

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年8月30日(2007.8.30)

【公表番号】特表2007-500938(P2007-500938A)

【公表日】平成19年1月18日(2007.1.18)

【年通号数】公開・登録公報2007-002

【出願番号】特願2006-521870(P2006-521870)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 27/115 (2006.01)

G 11 C 16/04 (2006.01)

G 11 C 16/02 (2006.01)

【F I】

H 01 L 29/78 3 7 1

H 01 L 27/10 4 3 4

G 11 C 17/00 6 2 2 C

G 11 C 17/00 6 1 2 Z

【手続補正書】

【提出日】平成19年7月10日(2007.7.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

トランジスタの電荷蓄積場所から放電するための方法であつて、

第1の電圧をトランジスタの制御ゲートに印加することであつて、前記制御ゲートが、前記トランジスタの選択ゲートに隣接する一部を少なくとも有し、前記トランジスタが、前記制御ゲートの下に位置する前記トランジスタの構造の誘電体内に配置されたナノクラスタを含む電荷蓄積場所を含む、前記第1の電圧をトランジスタの制御ゲートに印加すること、

第2の電圧を前記制御ゲートの下に位置するウェル領域に印加すること、を備え、

前記第1の電圧の印加および前記第2の電圧の印加により、前記電荷蓄積場所の前記ナノクラスタから電子を放出するために前記構造の両端に電圧差が発生する、方法。

【請求項2】

請求項1に記載の方法において、

前記トランジスタがさらに、前記制御ゲートからみて前記選択ゲートの反対側に位置する第2の制御ゲートと、トランジスタの第2の構造の誘電体内に配置されたナノクラスタを含む第2の電荷蓄積場所と、前記第2の制御ゲートと前記選択ゲートとの間に位置する誘電体とを含み、

前記第2の電荷蓄積場所に蓄積された電荷を放電することは、

前記第2の制御ゲートに第3の電圧を印加すること、

前記第2の制御ゲートの下に位置するウェル領域に第4の電圧を印加することを含み、

前記第3の電圧の印加および前記第4の電圧の印加により、前記第2の電荷蓄積場所の前記ナノクラスタから電子を放出するために前記第2の構造の両端に電圧差が発生する、

方法。

【請求項 3】

複数のメモリ・セルを含むメモリ・アレイであって、

各メモリ・セルが、

基板上に位置する制御ゲートと、

前記基板上に位置する選択ゲートであって、前記制御ゲートが前記選択ゲートに隣接する一部を少なくとも含む、前記選択ゲートと、

前記制御ゲートと前記基板との間に位置する誘電体内に配置されたナノクラスタを含む電荷蓄積場所と、

前記制御ゲートと選択ゲートとの間に位置する誘電体と、

前記基板内の第1の電流端子領域と、

前記基板内の第2の電流端子領域と、

前記第1の電流端子領域と前記第2の電流端子領域との間に位置する前記基板内のチャネル領域とを備えているトランジスタを含み、

前記制御ゲートが、前記チャネル領域の少なくとも第1の部分の上に位置し、前記選択ゲートが、前記チャネル領域の少なくとも第2の部分の上に位置する、メモリ・アレイ。

【請求項 4】

請求項3に記載のメモリ・アレイにおいて、

前記複数の各メモリ・セルの前記トランジスタがさらに、

前記制御ゲートからみて前記選択ゲートの反対側の前記基板上に位置する第2の制御ゲートと、

前記第2の制御ゲートと前記基板との間に位置する誘電体内に配置されたナノクラスタを含む第2の電荷蓄積場所と、

前記第2の制御ゲートと前記選択ゲートとの間に位置する誘電体とを含み、

前記第2の制御ゲートが、前記チャネル領域の少なくとも第3の部分の上に位置する、メモリ・アレイ。

【請求項 5】

メモリ・アレイの行内に位置する複数のメモリ・セルのトランジスタの電荷蓄積場所から放電するための方法であって、

ワード線に第1の電圧を印加することであって、メモリ・アレイの行内に位置する複数のメモリ・セルの各メモリ・セルが、前記トランジスタの制御ゲートと基板との間に位置する誘電体内に配置されたナノクラスタを含む電荷蓄積場所を有するトランジスタを含み、前記複数の各メモリ・セルの前記トランジスタの前記制御ゲートが、前記ワード線と接続されるとともに前記基板上に位置し、前記複数の各メモリ・セルの前記トランジスタの前記制御ゲートの少なくとも一部が、前記制御ゲートと前記選択ゲートとの間に位置する誘電体を含む前記トランジスタの選択ゲートに隣接して位置する、前記ワード線に前記第1の電圧を印加すること、

前記基板内のウェル領域に第2の電圧を印加すること、を備え、

前記複数の各メモリ・セルの前記トランジスタに対して、前記第1の電圧の印加および前記第2の電圧の印加により、前記電荷蓄積場所の前記ナノクラスタから電子を放出するためにその中に配置された前記電荷蓄積場所の前記ナノクラスタを有する前記誘電体の両端に電圧差が発生する、方法。