201836107

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201836107 A

(43)公開日： 中華民國 107 (2018) 年 10 月 01 日

(21)申請案號：106144043 (22)申請日： 中華民國 106 (2017) 年 12 月 15 日

(51)Int. Cl.： *H01L23/498 (2006.01)* *H01L23/12 (2006.01)*

(30)優先權：2016/12/28 日本 2016-254827

(71)申請人：日商瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：佐藤嘉昭 SATO, YOSHIAKI (JP) ；假屋崎修一 KARIYAZAKI, SHUUICHI (JP) ；中川和之 NAKAGAWA, KAZUYUKI (JP)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：22 項 圖式數：32 共 66 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明之目的在於改善半導體裝置的可靠度。本發明之半導體裝置，包含：配線基板 2，具備第 1 面、及第 1 面之相反側的第 2 面；晶片電容器 3，內建於配線基板 2，具備第 1 電極 31 及第 2 電極 32；第 1 端子 Vd21 及第 2 端子 Tpd，配置於第 1 面；以及第 3 端子 Vd22，配置於第 2 面。進一步，半導體裝置，具備：第 1 導通路徑(Ps1、2TW、Ps2)，連接第 1 端子 Vd21 與第 3 端子 Vd22；第 2 導通路徑 Ps3，連接第 1 端子 Vd21 與第 1 電極 31；第 3 導通路徑 Ps4，連接第 3 端子 Vd22 與第 1 電極 31；以及第 4 導通路徑 Ps5，連接第 2 端子 Tpd 與第 1 電極 31。

A semiconductor device which provides improved reliability. The semiconductor device includes: a wiring substrate having a first surface and a second surface opposite to the first surface; a chip condenser built in the wiring substrate, having a first electrode and a second electrode; a first terminal and a second terminal disposed on the first surface; and a third terminal disposed on the second surface. The semiconductor device further includes: a first conduction path for coupling the first terminal and the third terminal; a second conduction path for coupling the first terminal and the first electrode; a third conduction path for coupling the third terminal and the first electrode; and a fourth conduction path for coupling the second terminal and the first electrode.

指定代表圖：

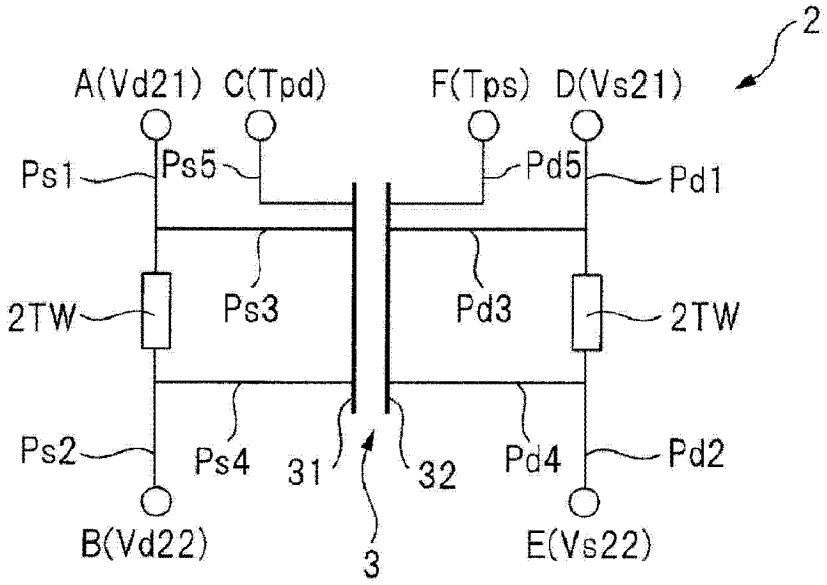


圖 17

符號簡單說明：

2・・・配線基板

2TW・・・穿通孔配線

3・・・晶片電容器(電容器、陶瓷電容器)

31、32・・・電極

A、B、C、D、E、F・・・端子

Pd1、Pd2、Pd3、Pd4、Pd5、Ps1、Ps2、Ps3、Ps4、Ps5・・・導通路徑(連接路徑)

Tpd、Tps、Vd21、Vd22、Vs21、Vs22・・・端子

【發明說明書】

【中文發明名稱】　半導體裝置

【英文發明名稱】　SEMICONDUCTOR DEVICE

【技術領域】

【0001】

本發明，例如係關於一種在內建有晶片電容器的配線基板上搭載半導體晶片之半導體裝置。

【先前技術】

【0002】

於日本特開第2015-18851號公報(專利文獻1)，記載一種在內建有晶片電容的電子零件內建基板上搭載半導體晶片之半導體裝置。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本特開第2015-18851號公報

【發明內容】

[本發明所欲解決的問題]

【0004】

於日本特開第2015-18851號公報(專利文獻1)的圖8，揭露一種在核心配線基板2之開口部2a內建有晶片電容40的構造。圖8中，晶片電容40之一方的連接端子42，與電子零件內建基板1之頂面側的第3配線層24、及底面側的第3配線層24

相連接。換而言之，頂面側的第3配線層24，經由晶片電容40之一方的連接端子42，而與底面側的第3配線層24相連接(稱作「導通路徑1」)。進一步，頂面側的第3配線層24，經由設置於核心配線基板2的穿通孔鍍層20a，而與底面側的第3配線層24相連接(稱作「導通路徑2」)。亦即，頂面側的第3配線層24與底面側的第3配線層24，藉由導通路徑1及2並聯連接。

【0005】

由本申請案發明人之檢討，發現上述構造，在導通路徑1發生連接不良的情況，難以檢測該不良，無法確保晶片電容40之連接可靠度。亦即，即便實施頂面側的第3配線層24與底面側的第3配線層24之間的導通試驗，由於導通路徑2存在，仍無法檢測導通路徑1之連接不良。換而言之，在頂面側的第3配線層24與連接端子42之間、及底面側的第3配線層24與連接端子42之間雙方具有斷路的情況，晶片電容40並未運作，電子將半導體晶片60的零件搭載於內建基板1上之半導體裝置的可靠度降低。

【0006】

此外，作為檢測晶片電容40的連接不良之方法，亦有測定頂面側的第3配線層24與底面側的第3配線層24之間的電容值之方法。然而，例如為去耦電容器等的情況，在電源電位配線與基準電位配線之間，將多個(例如10個)晶片電容(例如電容值1μF)並聯連接，各個晶片電容具有電容值之差異(例如±0.2μF)。多個晶片電容的合計電容值(10±2μF)之差異範圍(±2μF)，較各個晶片電容的電容值(1μF)更大，故例如難以檢測1個晶片電容之連接不良。

【0007】

因此，需要改善在內建有晶片電容器(上述晶片電容)的配線基板上搭載半導體晶片之半導體裝置的可靠度。

【0008】

其他課題與新特徵，應可自本說明書之記述內容及附圖明瞭。

[解決問題之技術手段]

【0009】

一實施形態之半導體裝置，包含：配線基板，具備第1面、及第1面之相反側的第2面；半導體晶片，具備第1晶片電極及第2晶片電極，搭載於配線基板；晶片電容器，內建於配線基板，具備第1電極及第2電極；第1端子及第2端子，配置於第1面；以及第3端子，配置於第2面。進一步，半導體裝置，包含：第1導通路徑，連接第1端子與第3端子；第2導通路徑，連接第1端子與第1電極；第3導通路徑，連接第3端子與第1電極；以及第4導通路徑，連接第2端子與第1電極。

[本發明之效果]

【0010】

依上述一實施形態，可改善半導體裝置的可靠度。

【圖式簡單說明】

【0011】

【圖1】係顯示本實施形態的半導體裝置之電路的構成例之說明圖。

【圖2】係本實施形態的半導體裝置之俯視圖。

【圖3】係圖2所示的半導體裝置之底視圖。

【圖4】係從頂面側觀察圖2所示的半導體裝置之透視俯視圖。

【圖5】係沿著圖4的A-A線之剖面圖。

【圖6】係顯示複數個晶片電容器中的一個晶片電容器之俯視圖。

【圖7】係沿著圖6的B-B線之剖面圖。

【圖8】係顯示本實施形態的半導體裝置之製程的流程圖。

【圖9】係本實施形態的半導體裝置之製程中的配線基板之剖面圖。

【圖10】係圖9所示之配線基板的配線層之配置圖(俯視圖)。

【圖11】係圖9所示之配線基板的配線層之配置圖(俯視圖)。

【圖12】係圖9所示之配線基板的配線層之配置圖(俯視圖)。

【圖13】係圖9所示之配線基板的配線層之配置圖(俯視圖)。

【圖14】係圖9所示之配線基板的配線層之配置圖(俯視圖)。

【圖15】係圖9所示之配線基板的配線層之配置圖(俯視圖)。

【圖16】係圖9所示之配線基板的配線層之配置圖(俯視圖)。

【圖17】係圖9所示之配線基板的等效電路圖。

【圖18】係「電容器連接測試」步驟的可否判定表。

【圖19】係本實施形態的半導體裝置之製程中的剖面圖。

【圖20】係本實施形態的半導體裝置之製程中的剖面圖。

【圖21】係本實施形態的半導體裝置之製程中的剖面圖。

【圖22】係顯示本實施形態的配線基板之製程的流程圖。

【圖23】係配線基板之製程中的剖面圖。

【圖24】係配線基板之製程中的剖面圖。

【圖25】係配線基板之製程中的剖面圖。

【圖26】係配線基板之製程中的剖面圖。

【圖27】係配線基板之製程中的剖面圖。

【圖28】係配線基板之製程中的剖面圖。

【圖29】係配線基板之製程中的剖面圖。

【圖30】係變形例1的半導體裝置之剖面圖。

【圖31】係變形例2的配線基板的配線層之配置圖。

【圖32】係變形例3的電子裝置之剖面圖。

【實施方式】

【0012】

(本申請案之記載形式、基本用語、用法的說明)

本申請案中，為了方便，將實施態樣之記載內容因應必要分割為複數個部分等，但除了特別指出並非如此的情況以外，其等並非彼此獨立分離，而係無論記載順序的前後，單一例子之各部分，其一方為另一方的部分細節、抑或部分或全部的變形例等。此外，原則上，省略同樣部分的重複說明。此外，實施態樣之各構成要素，除了特別指出並非如此的情況、理論上限定為該數目的情況、及從文脈看來明顯並非如此的情況以外，並非為必要。

【0013】

同樣地，在實施態樣等之記載內容中，關於材料、組成等，即便記載「由A構成的X」等，除了特別指出並非如此的情況、及從文脈看來明顯並非如此的情況以外，並未排除包含A以外之要素者。例如，提到成分，其係「包含A作為其主要成分的X」等之意。例如，即便提到「矽構件」等，仍未限定為純矽，自然亦包含SiGe(矽鍺)合金、其他以矽為主要成分的多元合金、或含有其他添加物等之構件。此外，即便提到鍍金、Cu層、鍍鎳等，除了特別指出並非如此的情況以外，並非為純物質，而分別包含以金、Cu、鎳等作為主要成分之構件。

【0014】

進一步，提及特定的數值、數量時，除了特別指出並非如此的情況、理論上限定為該數目的情況、及從文脈看來明顯並非如此的情況以外，可為超過該特定數值的數值，亦可為未滿該特定數值的數值。

【0015】

此外，實施形態之各圖中，將同一或同樣的部分以同一或類似的記號或參考編號表示，原則上不重複說明。

【0016】

此外，在附圖中，相反地，在變得繁複的情況、或使與空隙之區別明確化的情況，有即便為剖面圖仍省略影線等的情況。關於此點，在從說明內容等可顯然得知的情況等，即便為俯視時封閉的孔，仍省略背景之輪廓線的情況。進一步，即便並非為剖面圖，仍有為了指出並非為空隙，或為了指出區域之邊界，而給予影線或點圖案的情形。

【0017】

(實施形態)

<半導體裝置>

圖1為，顯示本實施形態的半導體裝置之電路的構成例之說明圖。圖2為，本實施形態的半導體裝置之俯視圖。圖3為，圖2所示的半導體裝置之底視圖。圖4為，從頂面側觀察圖2所示的半導體裝置之透視俯視圖。圖5為，沿著圖4的A-A線之剖面圖。圖6為，顯示複數個晶片電容器中的一個晶片電容器之俯視圖。圖7為，沿著圖6的B-B線之剖面圖。

【0018】

如圖1所示，本實施形態的半導體裝置PKG，具備配線基板2、及搭載於配線基板2上之半導體晶片1。

【0019】

半導體晶片1，分別具備複數個供給電源電位(例如Vdd=3V)的端子Vd1、供給基準電位(例如Vss=0V)的端子Vs1、及訊號用的端子SG1。半導體晶片1的端子Vd1、Vs1、及SG1，對應於圖5所示的焊墊電極PD。

【0020】

配線基板2，如圖5所示，具備主面2a及背面2b，於主面2a側，具備端子(內部端子)Vd21、Vs21、Tpd、Tps、及SG21。此外，於背面2b側，具備端子(外部端子)Vd22、TVs22、及SG22。端子Vd21、Vs21、Tpd、Tps、及SG21，如圖5所示，對應於從絕緣層(抗焊層)SR1露出之區域的配線1W；端子Vd22、TVs22、及SG22，對應於從絕緣層(抗焊層)SR2露出之區域的配線6W。然則，端子SG21及SG22，僅於圖1顯示。

【0021】

如圖1所示，端子Vd21、Vs21、Tpd、Tps、及SG21，與對應的端子Vd1、Vs1、Vd1、Vs1、及SG1相連接。如圖5所示，端子Vd21、Vs21、Tpd、及Tps，與對應的端子Vd1、Vs1、Vd1、及Vs1，係以突起電極(突塊電極)BP連接。此外，如圖1所示，分別於端子Vd21連接端子Vd22，於端子Vs21連接端子Vs22，於端子SG21連接端子SG22。可將連結端子Vd22與端子Vd1之路徑稱作電源配線，將連結端子Vs22與端子Vs1之路徑稱作接地配線。

【0022】

晶片電容器3，具備電極31及32；電極31，與端子Vd21及Vd22相連接，電極32，與端子Vs21及Vs22相連接。亦即，晶片電容器3，係連接在電源配線與接地配線之間的去耦電容器(或稱作電源用旁路電容器、bypass condenser)，具有防止電源電壓的變動、雜訊的發生之作用。進一步，分別將電極31與端子Tpd連接，將電極32與端子Tps連接。圖1中，雖僅顯示一個晶片電容器3，但實際上，於配線基板2，內建複數個具備圖1所示的電路連接之晶片電容器3(參考圖4)。

【0023】

如圖2所示，俯視時，於矩形形狀的配線基板2之主面2a的中央部，配置散熱板(散熱器、構件)4。如圖20所示，半導體晶片1，藉由黏接層43而與散熱板4

相連接，細節將於後述內容說明。散熱板4，具備將半導體晶片1產生的熱，往半導體裝置PKG之外部散熱的功能。

【0024】

如圖3所示，於配線基板2之背面2b，行列狀(陣列狀、矩陣狀)地配置複數個焊球(焊料、外部端子、電極、外部電極)SB。焊球SB，例如為在安裝基板(母板或繼電器板)上安裝半導體裝置PKG時，將形成於安裝基板(母板、繼電器板)的端子，及半導體裝置PKG的端子Vd22、Vs22、及SG22予以連接之導電性構件。

【0025】

如圖4所示，於配線基板2內建複數個晶片電容器3。複數個晶片電容器3，配置於俯視時與半導體晶片1重疊的區域，亦即，配置於半導體晶片1的下部。為了降低晶片電容器3所連接之電源配線的阻抗，宜將晶片電容器3，配置於與半導體晶片1重疊的區域，縮短電源配線，但亦可將晶片電容器3，配置於不與半導體晶片1重疊的區域。

【0026】

如圖4所示，於半導體晶片1之周圍，配置底部填充樹脂層(絕緣層、絕緣性樹脂)12。底部填充樹脂層12，與半導體晶片1接觸，連續地包圍半導體晶片1之周圍。如圖5所示，以底部填充樹脂層12，填埋半導體晶片1與配線基板2的主面2a之間的空間。底部填充樹脂層12，與各突起電極BP接觸，包圍各突起電極BP之周圍。位於鄰接的突起電極BP間之底部填充樹脂層12，與鄰接的突起電極BP接觸，並與配線基板2之主面2a的絕緣層SR1、及半導體晶片1之主面1a接觸。

【0027】

如圖5所示，配線基板2，具備：絕緣層(芯材、芯絕緣層)2C；絕緣層IL12、IL23、IL45、IL56；絕緣層SR1與SR2；以及配線1W、2W、3W、4W、5W、6W。於絕緣層2C，設置用於嵌入晶片電容器3之開口部(貫通孔)CBT、及穿通孔(貫通

孔)21。而後，於穿通孔21內，形成穿通孔配線2TW；穿通孔配線2TW，將形成於絕緣層2C之頂面(半導體晶片1側)的配線3W、及形成於底面(焊球SB側)的配線4W連接。另，將形成於絕緣層2C之頂面的複數條配線3W合稱作配線層WL3。此外，將形成於絕緣層2C之底面的複數條配線4W合稱作配線層WL4。同樣地，將複數條配線1W、2W、5W、及6W，分別稱作配線層WL1、WL2、WL5、及WL6。分別將複數條配線1W形成於絕緣層IL12與SR1之間，將複數條配線2W形成於絕緣層IL12與IL23之間，將複數條配線3W形成於絕緣層IL23與2C之間，將複數條配線4W形成於絕緣層2C與IL45之間，將複數條配線5W形成於絕緣層IL45與IL56之間，將複數條配線6W形成於絕緣層IL56與SR2之間。

【0028】

此處，絕緣層2C，例如由將玻璃纖維浸漬於樹脂之預浸體所構成。而配線層WL1、WL2、WL5、及WL6，係藉由增層法形成之微細配線。絕緣層IL12、IL23、IL45、及IL56，例如以含有二氧化矽(SiO_2)等填料之環氧樹脂或聚醯亞胺樹脂構成。此外，配線層WL1、WL2、WL3、WL4、WL5、及WL6，係由以銅(Cu)為主體之導體膜構成。

【0029】

晶片電容器3，於其兩端具備電極31及32，嵌入至形成於絕緣層2C的開口部CBT。

【0030】

以絕緣層IL23，覆蓋絕緣層2C之頂面、配線層WL3、及晶片電容器3之頂面電極31a與32a；於絕緣層IL23，嵌入複數個通孔電極V23。通孔電極V23，將形成於絕緣層IL23上的配線2W，與配線3W、抑或頂面電極31a或32a電性連接。此外，以絕緣層IL12，覆蓋配線層WL2及絕緣層IL23；於絕緣層IL12，嵌入複數個通孔電極V12。通孔電極V12，將形成於絕緣層IL12上的配線1W，與配線2W電

性連接。以絕緣層SR1，覆蓋配線1W及絕緣層IL12，絕緣層SR1具備複數個開口H1。由開口H1露出的配線1W之一部分區域，係端子Vd21、Tpd、Tps、及Vs21。端子Vd21、Tpd、Tps、及Vs21，經由突起電極BP，而與形成於半導體晶片1之主面1a的焊墊電極PD相連接。

【0031】

此外，以絕緣層IL45，覆蓋絕緣層2C之底面、配線層WL4、及晶片電容器3之底面電極31b與32b；於絕緣層IL45，嵌入複數個通孔電極V45。通孔電極V45，將形成於絕緣層IL45下的配線5W，與配線4W、抑或底面電極31b或32b電性連接。此外，以絕緣層IL56，覆蓋配線層WL5及絕緣層IL45；於絕緣層IL56，嵌入複數個通孔電極V56。通孔電極V56，將形成於絕緣層IL56下的配線6W，與配線5W電性連接。以絕緣層SR2，覆蓋配線6W及絕緣層IL56，絕緣層SR2具備複數個開口H2。由開口H2露出的配線6W之一部分區域，係端子Vd22及Vs22；端子Vd22及Vs22，經由導體層22，而與焊球SB相連接。另，亦有以圖5之紙面的下方為上方，而表示將配線層WL4、WL5、WL6，及絕緣層IL45、IL56、SR2，與焊球SB的上下關係之情況。例如，亦可說是將配線層WL5，形成於絕緣層IL45上。此外，圖5(包含後述圖30)中，導體層22，例如，表示形成於配線層WL6的鎳(Ni)膜、配線層WL6的銅(Cu)、焊球SB的焊料之合金層。然則，亦可於配線層WL6直接搭載焊球SB，在此一情況，導體層22，表示形成於界面的銅(Cu)與焊料之合金層。另，後述圖9及圖29，表示焊球SB形成前之狀態，故導體層22，表示上述合金層形成前的鎳(Ni)膜。

【0032】

此處，電極31與32，配線層WL1、WL2、WL3、WL4、WL5、WL6，穿通孔配線2TW，通孔電極V12，V23、V45、V56，突起電極BP，焊墊電極PD，導體層22，以及焊球SB，係由導電性構件構成。此外，絕緣層2C，絕緣層IL12、

IL23、IL45、IL56，絕緣層SR1與SR2，以及底部填充樹脂層12，係由絕緣性構件構成。

【0033】

如圖5所示，於晶片電容器3之一方的電極31，連接端子Vd21與端子Vd22；端子Vd21，經由穿通孔配線2TW，而與端子Vd22相連接。亦即，後述圖17中，端子Vd21(A)與端子Vd22(B)，係以下述路徑連接：導通路徑1，經由導通路徑Ps1、穿通孔配線2TW、導通路徑Ps2；以及導通路徑2，經由導通路徑Ps3、電極31、導通路徑Ps4。本實施形態中，進一步，可確認藉由設置經由導通路徑Ps5而與電極31電性連接的端子Tpd，而以導通路徑Ps3或導通路徑Ps4，取得與導通路徑Ps5之電性連接，故可改善半導體裝置PKG的可靠度。另，關於檢查方法，將於後述內容說明。

【0034】

此外，對於晶片電容器3之另一方的電極32，亦與上述同樣地，藉由設置端子Tps，而可檢查晶片電容器3的連接。

【0035】

進一步，將與晶片電容器3之一方的電極31連接之端子Tpd、及與另一方的電極32連接之端子Tps鄰接配置，經由鄰接的2個突起電極BP，而與半導體晶片1之鄰接的2個焊墊電極PD(換而言之，端子Vd1與端子Vs1)相連接，藉以可降低電源配線的阻抗，可減少電源電壓的變動及雜訊。另，鄰接的2個端子、突起電極、或焊墊電極，意指在此等2個端子、2個突起電極、或2個焊墊電極之間，不存在其他端子、突起電極、或焊墊電極。

【0036】

此外，藉由將使用於晶片電容器3之斷路檢測的端子Tpd及Tps，設置在配線基板2之主面2a側(換而言之，半導體晶片1之搭載面側)，而可防止配線基板2大

型化。焊球SB的直徑(寬度)，較突起電極BP的直徑(寬度)更大，此係因配線基板2之背面側，相較於主面側，可用空間少之故。

【0037】

此外，將端子Tpd及Tps，經由突起電極BP而與半導體晶片1的端子Vd1及Vs1相連接，故可防止在底部填充樹脂層12形成孔隙(空孔)。在並未於端子Tpd及Tps上設置突起電極BP的情況，產生端子Tpd及Tps存在，但突起電極BP不存在之區域。亦即，包含端子Tpd及Tps之區域中，相較於以等間距配置突起電極BP之區域，突起電極BP的間隔變大。如此地，若存在突起電極BP的配置間距不同之區域，則在充填底部填充樹脂層12時容易產生孔隙。

【0038】

如圖6所示，晶片電容器3，俯視時呈四角形(長方形)。此外，晶片電容器3，具備二個長邊(長側面)3LS、二個短邊(短側面)3SS。此外，晶片電容器3，在長邊3LS之延伸方向中，具備彼此配置於相反側的端部之電極31及電極32。此外，晶片電容器3，具備包夾在電極31與電極32之間的本體部3BD。例如，如圖7所示，本體部3BD，具備隔著絕緣層(介電層)3IL而疊層之複數導體層3CL；複數導體層3CL，分別與電極31及電極32中之一方連接。電極31，具備形成於晶片電容器3之頂面3a的頂面電極31a、形成於底面3b的底面電極31b、以及將頂面電極31a與底面電極31b連接的側面電極31s。同樣地，電極32，具備形成於晶片電容器3之頂面3a的頂面電極32a、形成於底面3b的底面電極32b、以及將頂面電極32a與底面電極32b連接的側面電極32s。晶片電容器3，雖頂面3a與底面3b並無區別，但為了方便，如圖5所示，將半導體晶片1側稱作頂面3a。

【0039】

<半導體裝置之製造方法>

圖8為，顯示本實施形態的半導體裝置之製程的流程圖。圖9為，本實施形態的半導體裝置之製程中的配線基板之剖面圖。圖10~圖16為，圖9所示之配線基板的配線層之配置圖(俯視圖)。圖17為，圖9所示之配線基板的等效電路圖。圖18為，「電容器連接測試」步驟的可否判定表。圖19~圖21為，本實施形態的半導體裝置之製程中的剖面圖。

【0040】

首先，實施圖8所示的「電容器內建配線基板之準備」步驟(步驟S1)。亦即，如圖9所示，準備內建有晶片電容器3的配線基板2。配線基板2，與圖5所說明之配線基板相同，但並未形成圖5所示的半導體晶片1、突起電極BP、及焊球SB。然則，於端子Vd21、Vs21、Tpd、及Tps上，形成導體層23。作為導體層23，可使用與後述焊球SB同樣的焊料。

【0041】

如圖9所示，於晶片電容器3之頂面電極31a，連接端子Tpd(顯示為端子C)及端子Vd21(顯示為端子A)；於底面電極31b，連接端子Vd22(顯示為端子B)。此外，端子A與端子B，經由穿通孔配線2TW而彼此連接。亦即，圖17所示的導通路徑Ps1，以端子A-配線1W-通孔電極V12-配線2W-通孔電極V23-配線3W-穿通孔配線2TW構成；導通路徑Ps2，以穿通孔配線2TW-配線4W-通孔電極V45-配線5W-通孔電極V56-配線6W-端子B構成；導通路徑Ps3，以端子A-配線1W-通孔電極V12-配線2W-通孔電極V23-電極31構成；導通路徑Ps4，以端子B-配線6W-通孔電極V56-配線5W-通孔電極V45-電極31構成。前述導通路徑1，由端子A-導通路徑Ps1-穿通孔配線2TW-導通路徑Ps2-端子B構成；導通路徑2，由端子A-導通路徑Ps3-電極31-導通路徑Ps4-端子B構成。此外，於電極31連接端子C，構成導通路徑Ps5。導通路徑Ps5，以端子C-配線1W-通孔電極V12-配線2W-通孔電極V23-電極31構成。

【0042】

雖省略說明，但晶片電容器3之另一方的電極32側亦為與上述內容同樣之構成。

【0043】

接著，實施圖8所示的「電容器連接測試」步驟(步驟S2)。為了進行端子A或B，與晶片電容器3之電極31的連接檢查，而實施端子A或端子B與端子C之間的導通測試。亦即，實施圖17的導通路徑Ps3及Ps5、或導通路徑Ps4及導通路徑Ps5的導通測試。不必將端子A及B雙方與晶片電容器3之電極31連接，連接其中一方晶片電容器3即可作用。

【0044】

圖18中，x標誌，表示導通路徑Ps3、Ps4、或Ps5發生連接不良(斷路)；○標誌，表示無連接不良。

【0045】

如圖18所示，在判斷為判定「可」(即良品)時，係導通路徑Ps3及Ps5，或導通路徑Ps4及導通路徑Ps5有導通的情況(案例1、3、5)。判斷為判定「否」(即不良)時，係導通路徑Ps3及Ps5，或導通路徑Ps4及導通路徑Ps5並未導通的情況(案例2、4、6、7、8)。在導通路徑Ps5發生連接不良(斷路)的情況(案例2、4、7、8)，即便導通路徑Ps3或Ps4連接(導通)仍成為「否」(不良)。

【0046】

對晶片電容器3之電極32亦實施與上述同樣的連接測試。可同時實施電極31及32之連接檢查。此外，亦可對其他晶片電容器3同時實施。可僅從配線基板2之主面側使探針與端子A及C抵接而實施連接檢查，故適合進行端子A與端子C間的導通檢查。

【0047】

接著，實施圖8所示的「半導體晶片搭載」步驟(步驟S3)。

【0048】

如圖19所示，將半導體晶片1，搭載於在前述連接測試中判定為良品的配線基板2上，將半導體晶片1與配線基板2間以複數個突起電極BP連接。突起電極BP，例如可使用無鉛焊料。此外，亦可於突起電極BP與焊墊電極PD(參考圖5)之間，設置基底金屬膜(鈦(Ti)、銅(Cu)、鎳(Ni)等的疊層膜)。

【0049】

接著，實施圖8所示的「密封」步驟(步驟S4)。

【0050】

首先，如圖20所示，以封閉配線基板2與半導體晶片1間之空間的方式，嵌入底部填充樹脂層12。底部填充樹脂層12，在上述空間中，如圖5所示，從配線基板2之主面2a至半導體晶片1之主面1a連續地設置，且與突起電極BP之側壁接觸，且覆蓋側壁的全表面。如此地，藉由以底部填充樹脂12，覆蓋複數個突起電極BP與複數個端子Vd21、Vs21、Tpd、及Tps之接合部，以及複數個突起電極BP與焊墊電極PD之接合部，而可減輕在半導體晶片1與配線基板2之電性連接部分產生的應力。此外，亦可減輕在半導體晶片1的複數個焊墊電極PD與複數個突起電極BP之接合部產生的應力。底部填充樹脂層12，例如，由環氧樹脂等絕緣性樹脂膜構成。底部填充樹脂層12，從半導體晶片1之主面突出，擴展至側面。亦即，亦覆蓋側面之一部分。

【0051】

如圖20所示，於半導體晶片1之周圍，固定支持散熱板4的支持框(加強環)41。散熱板4，藉由黏接層43及42，黏接固定在半導體晶片1之背面1b及支持框41。藉由將金屬性的支持框41固定在半導體晶片1之周圍，而可抑制配線基板2的翹曲變形，故從改善安裝可靠度的觀點來看為適宜態樣。此外，藉由將散熱板4，

黏接固定在以包圍半導體晶片1之周圍的方式設置之支持框41，而可使散熱板4的平面面積增大。另，不必非得設置散熱板4及支持框41。

【0052】

接著，實施圖8所示的「焊球形成」步驟(步驟S5)。

【0053】

如圖21所示，於配線基板2之背面2b上，形成複數個焊球SB。焊球SB，如圖5所示，經由導體層22，而與從形成於絕緣層SR2的開口H2露出之區域的配線6W相連接。焊球SB，例如為放入鉛(Pb)的Sn-Pb焊料，或實質上不含Pb之由所謂無鉛焊料構成的焊料。作為無鉛焊料之例子，列舉例如純錫(Sn)、錫-鉍(Sn-Bi)、或錫-銅-銀(Sn-Cu-Ag)、錫-銅(Sn-Cu)等。

【0054】

接著，使用圖10~圖16，說明構成配線基板2之配線層WL1~WL6的配置。圖10~圖16為各配線層WL1~WL6的一部分，顯示晶片電容器3與其周邊之區域的配置。

【0055】

首先，圖10為配線層WL1的配置。將在Y方向延伸之電源電位用的配線1W(Vd21)與基準電位用的配線1W(Vs21)，於X方向中交互配置。在配線1W(Vd21)與配線1W(Vs21)上，配置複數個開口H1(大的○標誌)，如圖5所示，於此開口H1連接突起電極BP。藉由將電源電位用的配線1W(Vd21)與基準電位用的配線1W(Vs21)，交互而均一地配置，而可對半導體晶片1均等地供給電源電位及基準電位。此外，在電源電位用的配線1W(Vd21)上，於Y方向中，隔著相等的間距P1配置複數個開口H1。此外，在基準電位用的配線1W(Vs21)上，於Y方向中，亦隔著相等的間距P1配置複數個開口H1。而電源電位用的配線1W(Vd21)上之開口H1、及基準電位用的配線1W(Vs21)上之開口H1，在X方向中配置於相等的位置。

亦即，在X方向中，基準電位用的配線1W(Vs21)上之開口H1，位於電源電位用的配線1W(Vd21)上之開口H1旁。

【0056】

作為變形例，亦可於X方向中，對配線1W(Vd21)上之複數個開口H1，偏移一半的間距(P1×1/2)而配置配線1W(Vs21)上之複數個開口H1。

【0057】

於圖10之中央部，配置端子Tpd用的配線1W及Tps用的配線1W；端子Tpd用的配線1W及Tps用的配線1W，從電源電位用的配線1W(Vd21)及基準電位用的配線1W(Vs21)分離。端子Tpd用的配線1W與Tps用的配線1W鄰接，在兩者間，並未配置其他配線。

【0058】

圖11為配線層WL2的配置。配線層WL2，主要為電源電位用的面。於圖11之中央部，配置2個狗骨頭形狀的配線2W，並以包圍該配線2W之方式配置電源電位用的配線2W。圖10之端子Tpd用的配線1W及Tps用的配線1W，經由通孔電極V12，而與上述狗骨頭形狀的配線2W相連接。

【0059】

圖12為配線層WL3的配置。配線層WL3，主要為基準電位用的面。於圖12的中央部，為了配置晶片電容器3而具有長方形的開口部CBT；配線3W，沿著開口部CBT之周圍而配置。基準電位用的配線3W，具有包圍長方形的開口部CBT之3邊的形狀，沿著該3邊的配線3W之端部3WE，較開口部CBT更為遠離晶片電容器3。此外，於開口部CBT之另1邊，配置電源電位用的配線3W，其與基準電位用的配線3W分離，並與穿通孔配線2TW連接。與穿通孔配線2TW連接之電源電位用的配線3W，亦遠離開口部CBT而配置。亦即，開口部CBT之周圍，由基準電位用的配線3W、及與穿通孔配線2TW連接之電源電位用的配線3W包圍。

另，此處所述之「包圍」，如圖12(或圖13)所示，包含在電源電位用的配線3W與基準電位用的配線3W之間具有空間(距離)的構成。此外，如圖5所示，基準電位用的配線3W、及與穿通孔配線2TW連接之電源電位用的配線3W之端部，從開口部CBT，往遠離晶片電容器3的方向後退。亦即，在基準電位用的配線3W、及與穿通孔配線2TW連接之電源電位用的配線3W之開口部CBT側，露出絕緣層2C之頂面，於該區域不存在配線3W。

【0060】

此外，於晶片電容器3之頂面電極31a，連接2個通孔電極V23；一方(右側)的通孔電極V23，與圖11之狗骨頭形狀的配線2W相連接，而另一方(左側)，與電源電位用的配線2W相連接。此外，於頂面電極32a，連接2個通孔電極V23；其一方(左側)，與圖11之狗骨頭形狀的配線2W相連接，而另一方(右側)，與圖11的T字形之基準電位用的配線2W相連接。與頂面電極31a連接之2個通孔電極V23，以與X方向(圖6的長邊3LS方向)、及圖6的長邊3LS平行的方式配置。另，與頂面電極32a連接之2個通孔電極V23亦同樣地配置。

【0061】

圖13為配線層WL4的配置。配線層WL4，主要為基準電位用的面。配線層WL4，具有與配線層WL3同樣的配置，以上述配線層WL3之說明取代其說明。

【0062】

圖14為配線層WL5的配置，圖15為配線層WL6的配置。如圖15所示，配線層WL6，為端子Vd22用的配線6W及Vs22用的配線6W。圖13所示的晶片電容器3之底面電極31b，經由通孔電極V45、圖14所示的配線5W、及通孔電極V56，而與端子Vd22用的配線6W相連接。圖13所示的晶片電容器3之底面電極32b，經由通孔電極V45、圖14所示的配線5W、及通孔電極V56，而與端子Vs22用的配線6W相連接。此外，於端子Vd22用的配線6W形成2個開口H2，從此開口H2露出

之區域為端子Vd22，在該處，連接圖5所示的焊球SB。於端子Vs22用的配線6W形成2個開口H2，從此開口H2露出之區域為端子Vs22，在該處，連接圖5所示的焊球SB。

【0063】

圖16，顯示構成電源電位用之面的配線2W、與構成基準電位用之面的配線3W。圖16中，對兩者重疊的區域給予影線。如此地，電源電位用的配線2W與基準電位用的配線3W，包夾圖5所示的絕緣層IL23，具有廣大的重疊區域，藉而可降低電源配線的阻抗。

【0064】

此外，如同上述，在半導體裝置之製造方法中，藉由實施電容器連接測試，而可改善半導體裝置的可靠度。此外，內建的晶片電容器3係以無斷路的方式連接，故可改善半導體裝置的性能。

【0065】

<配線基板之製造方法>

接著，說明晶片電容器內建的配線基板之製造方法。圖22為，顯示本實施形態的配線基板之製程的流程圖。圖23~圖29為，配線基板之製程中的剖面圖。

【0066】

首先，實施圖22所示的「基材準備」步驟(步驟S11)。如圖23所示，準備將玻璃纖維浸漬於樹脂之絕緣層2C。絕緣層2C，於其厚度方向中，具有穿通孔21；於該穿通孔21內形成穿通孔配線2TW，於絕緣層2C之頂面(圖23之上側)形成配線3W，於絕緣層2C之底面(圖23之下側)形成配線4W；配線3W及4W，與穿通孔配線2TW相連接。另，本實施形態雖對使用具有芯材即絕緣層2C的配線基板2之態樣進行說明，但例如亦可使用未具有上述絕緣層2C，僅以絕緣層IL12~IL56構成之所謂的無芯基板。

【0067】

接著，實施圖22所示的「開口部CBT形成」步驟(步驟S12)。如圖24所示，於絕緣層2C，形成開口部CBT。

【0068】

接著，實施圖22所示的「支持構件5貼付」步驟(步驟S13)。如圖25所示，將具有開口部CBT的絕緣層2C貼附於支持構件5上。此時，將絕緣層2C之頂面(圖25之下側)側，貼附於支持構件5，使配線3W與支持構件5接觸。另，不必非得以黏接劑等貼附，若可將兩者機械性固定即可。

【0069】

接著，實施圖22所示的「電容器3搭載」步驟(步驟S14)。如圖26所示，於絕緣層2C之開口部CBT搭載晶片電容器3。此處，以使晶片電容器3之頂面電極31a及32a接觸支持構件5的方式搭載。此外，如圖26所示，要點在於使絕緣層2C及配線3W與4W的合計厚度T1，較包含頂面電極31a及底面電極31b之晶片電容器3的厚度T2更厚。藉由成為此等關係(T1>T2)，而可防止晶片電容器3之破壞。亦即，此係因在貼附後述絕緣層IL45及IL23後，加壓並施加熱處理，但若晶片電容器3從絕緣層2C突出，則壓力局部性地施加於晶片電容器3。進一步，要點在於使配線3W與頂面電極31a及32a為相等高度。藉此，可使『晶片電容器3』靠近配線基板2之主面2a側，故可改善配線基板2之主面2a的平坦度。

【0070】

接著，實施圖22所示的「絕緣層IL45形成」步驟(步驟S15)及「支持構件5剝離」步驟(步驟S16)。如圖27所示，以覆蓋晶片電容器3、絕緣層2C、及配線4W的方式，形成絕緣層IL45。絕緣層IL45，例如係於開口部CBT內塗布糊狀的環氧樹脂，而後使溶劑揮發，使其硬化，進一步於配線4W上層疊膜狀的環氧樹脂後，施行加壓熱硬化，藉以製作絕緣層IL45；宜於其上方形成配線層WL5後，從絕

緣層2C剝離支持構件5。此係因，為了提高配線層WL5之圖案精度，必須使配線層WL5之平坦化，因此，要點在於將糊狀的環氧樹脂塗布於開口部CBT內，而後使溶劑揮發，使其硬化。

【0071】

此外，配線4W，包圍晶片電容器3及開口部CBT之周圍，其係作為用於防止糊狀的環氧樹脂往橫方向流出之壩體而作用。

【0072】

除此之外，亦可僅使用膜狀的環氧樹脂施行晶片電容器3及開口部CBT之樹脂填埋。此一情況，於配線4W上層疊片狀的環氧樹脂後，施行加壓熱硬化，藉以在將環氧樹脂充填於開口部CBT內的同時製作絕緣層IL45，於其上方形成配線層WL5後，從絕緣層2C剝離支持構件5。

【0073】

僅以膜狀的環氧樹脂施行樹脂填埋之情況，藉由使膜狀的環氧樹脂從開口部CBT之周邊部分往開口部CBT流入，而施行樹脂填埋。因此，若嵌入之晶片電容器3的間隔狹窄，則因樹脂往開口部CBT的流入而使配線層WL5層之平坦性若干劣化。因此在僅以膜狀的環氧樹脂施行樹脂填埋之情況，可嵌入的晶片電容器3之密度降低。一般而言，必須隔著約500um以上的間隔嵌入晶片電容器3。

【0074】

如此地，晶片電容器3之嵌入密度受到限制，但因刪去於開口部CBT內塗布糊狀的環氧樹脂，之後使溶劑揮發而使其硬化之步驟，故可更為低價地加工。

【0075】

接著，實施圖22所示的「絕緣層IL23形成」步驟(步驟S17)。如圖28所示，以覆蓋晶片電容器3、絕緣層2C、及配線3W的方式，形成絕緣層IL23。絕緣層IL23，例如係層疊膜狀的環氧樹脂後，施行加壓熱硬化，藉以製作絕緣層IL23，

於其上方形成配線層WL2。此處，亦以圖22所示的步驟S15之程序同時施行對樹脂的嵌入不足之區域的追加嵌入。步驟S15之程序中，雖有在圖27的支持構件5與晶片電容器3、絕緣層2C之間產生間隙的情形，但藉由以步驟S17之步驟從與圖27相反側的面層疊樹脂，而亦可嵌入此等部分，更為提升品質。

【0076】

另，晶片電容器3及開口部CBT之絕緣層IL23的膜厚，若較其他區域變得更薄，則在配線基板2之主面2a產生凹凸，因而發生例如檢查步驟之不良。亦即，形成於晶片電容器3之上空的配線1W、與形成於其他區域(亦即，開口部CBT之周圍的絕緣層2C之上空)的配線1W之高度不同，故變得難以使檢查用的探針，同時與配線1W(端子Vd21、Vs21、Tpd、及Tps等)抵接。此外，在利用熱微影技術及蝕刻技術將配線層WL1及WL2圖案化時，亦有高精度之加工變得困難等問題。接著，於絕緣層IL45上，形成配線層WL5。

【0077】

絕緣層IL12、IL23、IL45、及IL56，亦可由將玻璃纖維浸漬於樹脂之預浸體構成。藉由使內建有晶片電容器3的絕緣層2C之上下表面，為由預浸體構成的絕緣層IL23及IL45，而例如可防止圖5所示的配線1W、2W、5W、及6W之斷路。亦即，因內建多個晶片電容器3而具有多個開口部CBT之絕緣層2C，可藉由形成於其上下表面的由將玻璃纖維浸漬於樹脂之預浸體構成的絕緣層IL23及IL45，減輕伴隨配線基板2之熱變動而膨脹、收縮時的應力。

【0078】

接著，實施圖22所示的「配線層WL1、WL2、WL5、WL6形成」步驟(步驟S18)及「端子露出」步驟(步驟S19)。將圖28所示的配線層WL2及WL5加工，如圖29所示地形成配線2W及5W。圖27及圖28中雖未圖示，但在形成配線層WL5及WL2前，先於絕緣層IL45及IL23，形成通孔電極V45及V23。進一步，如圖29

所示，形成絕緣層IL12及IL56，並形成通孔電極V12及V56、與配線層WL1及WL6。另，亦可以預浸體構成絕緣層IL12及IL56。

【0079】

進一步，以覆蓋配線1W及6W的方式，形成絕緣層SR1及SR2，並形成露出配線1W及6W之一部分的開口H1及H2。開口H1及H2，俯視時皆具有圓形。此外，如圖29所示，開口H1的直徑(寬度)W1，較開口H2的直徑(寬度)W2更小(W1<W2)。另，開口H1及H2，亦可為圓形以外。

【0080】

此外，如圖29所示，絕緣層2C與配線3W及4W的合計厚度T1，較包含頂面電極31a及底面電極31b之晶片電容器3的厚度T2更厚，例如，以配線4W之底面為基準，配線3W之頂面、與頂面電極31a及32a之頂面，成為相等高度。因此，絕緣層2C與配線3W及4W的合計厚度T1，與包含頂面電極31a及底面電極31b之晶片電容器3的厚度T2之厚度差d，相當於以配線4W之底面為基準的情況下之底面配線4W的高度。另，頂面，係指圖29之上側的面(換而言之，搭載半導體晶片之側的面)；底面，係指下側的面(與焊球連接之側的面)。

【0081】

(變形例1)

以上，雖依據實施形態具體地說明本案發明人所提出之發明，但本發明並未限定於上述實施形態，自然亦可在未脫離其要旨的範圍進行各種變更。

【0082】

上述實施形態中，如圖5所示，將用於確認晶片電容器3之連接不良的端子Tpd及Tps，設置於配線基板2之主面2a側(換而言之，半導體晶片1之搭載面側)。變形例1中，將用於確認晶片電容器3之連接不良的端子Tpd1及Tps1，亦設置於配線基板2之背面2b側。

【0083】

圖30為，變形例1的半導體裝置之剖面圖。如圖30所示，於晶片電容器3之底面電極31b，連接2個通孔電極V45；一方的通孔電極V45，與端子Vd22相連接，而另一方的通孔電極V45，與端子Tpd1相連接。在使用圖8說明的半導體裝置之製程中，於「焊球形成」步驟(步驟S5)後，進行圖30所示的端子Vd22與端子Tpd1之間的導通試驗，藉而可確認晶片電容器3之往電源電位用的配線之連接。亦即，若可確認端子Vd22與端子Tpd1之間的導通，則電源配線，成為與底面電極31b或頂面電極31a之至少一方連接。

【0084】

另，於晶片電容器3之另一方的電極32之底面電極32b，亦與上述同樣地，設置端子Tps1。因此，可確認晶片電容器3之往接地電位用的配線之連接。

【0085】

此外，端子Tpd1及Tps1，從設置於絕緣層SR2之開口H3露出，開口H3為圓形，其徑(寬度)W3，較圖29所示的開口H2的直徑(寬度)W2更小(W3<W2)。進一步，於開口H3，並未形成突起電極，故可使其徑(寬度)W3，較開口H1的直徑(寬度)W1更小(W3<W1)。

【0086】

(變形例2)

變形例2，係上述實施形態之圖12的變形例。圖31為變形例2的配線基板的配線層之配置圖。如圖31所示，於晶片電容器3之頂面電極31a，連接2個通孔電極V23。2個通孔電極V23，對X方向(晶片電容器3之長邊3LS方向)呈斜向配置。亦即，2個通孔電極V23，沿著X方向(晶片電容器3之長邊3LS方向)配置，但將一方的通孔電極V23，配置為更接近一方的長邊3LS，將另一方的通孔電極V23，配置為更接近另一方的長邊3LS。

【0087】

藉由將2個通孔電極V23斜向配置，相較於將2個通孔電極V23在X方向配列的情況，可縮小X方向之電極31的寬度。此外，可增大通孔電極V23的直徑。

【0088】

(變形例3)

變形例3，係將上述實施形態1之晶片電容器搭載於電子裝置的例子。圖32為變形例3的電子裝置之剖面圖。

【0089】

如圖32所示，電子裝置EVD，具備：母板MB；配線基板IP，經由焊球SB而連接於母板MB上；以及半導體晶片1X與1Y，經由突起電極BP而連接於配線基板IP上。

【0090】

於配線基板IP，內建3個晶片電容器3X1、3X2、及3X3，雖未圖示，但3個晶片電容器3X1、3X2、及3X3，與上述實施形態同樣地，連接在電源電位用的配線、與基準電位用的配線之間。晶片電容器3X1，位於半導體晶片1X下方；晶片電容器3X3，位於半導體晶片1Y下方。而晶片電容器3X2，配置於未與半導體晶片1X及1Y重疊的區域，例如，配置於半導體晶片1X及1Y雙方之間的區域。

【0091】

進一步，同樣地，亦於母板MB內建晶片電容器3Y，將其連接在母板MB之電源電位用的配線、與基準電位用的配線之間。

【0092】

此等晶片電容器3X1、3X2、3X3、及3Y，如同上述實施形態的圖5所說明，與確認晶片電容器之連接的端子Tpd及Tps相連接。

【0093】

其他，於以下內容記載上述實施形態所記載之內容的一部分。

[附註1]

一種半導體裝置之製造方法，包含如下步驟：

(a) 準備包含以下元件之配線基板；第1面；該第1面之相反側的第2面；晶片電容器，內建於該第1面與該第2面之間，具備第1電極及第2電極；第1端子及第2端子，配置於該第1面；第3端子，配置於該第2面；第1導通路徑，將該第1端子與該第3端子連接；第2導通路徑，將該第1端子與該第1電極連接；第3導通路徑，將該第3端子與該第1電極連接；以及第4導通路徑，將該第2端子與該第1電極連接；

(b) 進行該第2端子與該第1端子間、或該第2端子與該第3端子間的導通測試；以及

(c) 將具備第1晶片電極及第2晶片電極之半導體晶片，搭載於該第1面上，形成將該第1端子與該第1晶片電極連接的第1突塊電極、及將該第2端子與該第2晶片電極連接的第2突塊電極。

[附註2]

如附註1記載的半導體裝置之製造方法，其中，

更包含如下步驟：

(d) 覆蓋該第1突塊電極及該第2突塊電極之周圍，以絕緣層填埋該第1面與該半導體晶片之間。

[附註3]

一種配線基板之製造方法，包含如下步驟：

(a) 準備包含以下元件之第1絕緣層：第1面；該第1面之相反側的第2面；第1配線，形成於該第1面；第2配線，形成於該第2面；以及貫通孔，從該第1面貫通至該第2面；

(b) 以支持構件之主面與該第1配線接觸的方式，在該支持構件上載置該第1絕緣層；

(c) 準備包含以下元件之晶片電容器：第3面；該第3面之相反側的第4面；第1電極，形成於該第3面；以及第2電極，形成於該第4面；

(d) 以該第3面之該第1電極與該支持構件之主面接觸的方式，將該晶片電容器插入該貫通孔內；

(e) 形成第2絕緣層，其覆蓋該第1絕緣層的該第2面、及該晶片電容器的第4面；

(f) 去除該支持構件，形成第3絕緣層，其覆蓋該第1絕緣層的該第1面、及該晶片電容器的第3面；以及

(g) 在該第3絕緣層上形成複數條第3配線。

[附註4]

如附註3記載的配線基板之製造方法，其中，

使包含該第1配線及該第2配線之該第1絕緣層的膜厚，較包含該第1電極及該第2電極之該晶片電容器的厚度更厚。

[附註5]

如附註3記載的配線基板之製造方法，其中，

該貫通孔，俯視時，呈具有4邊的4角形；

該第2配線，具有沿著該貫通孔的3邊，包圍該貫通孔之周圍的形狀。

[附註6]

如附註5記載的配線基板之製造方法，其中，

該第1配線，具有沿著該貫通孔的3邊，包圍該貫通孔之周圍的形狀。

[附註7]

如附註6記載的配線基板之製造方法，其中，

在該第1配線與該貫通孔之間，露出該第1絕緣層的該主面。

【符號說明】

【0094】

1、1X、1Y　半導體晶片

1a　主面

1b　背面

1W、2W、3W、4W、5W、6W　配線

12　底部填充樹脂層(絕緣層、絕緣性樹脂)

2　配線基板

2a　主面

2b　背面

2C　絕緣層(芯材、芯絕緣層)

2TW　穿通孔配線

21　穿通孔(貫通孔)

22、23　導體層

3、3X1、3X2、3X3、3Y　晶片電容器(電容器、陶瓷電容器)

3a　頂面

3b　底面

3BD　本體部

3CL　導體層

3IL　絕緣層(介電層)

3LS　長邊(長側面)

3SS　短邊(短側面)

3WE、4WE　端部

31、32　電極

31a、32a　頂面電極

31b、32b　底面電極

31s、32s　側面電極

4　散熱板(散熱器、構件)

41　支持框(加強環)

42、43　黏接層

5　支持構件

A、B、C、D、E、F　端子

BP　突起電極(突塊電極)

CBT　開口部(貫通孔)

EVD　電子裝置

H1、H2、H3　開口

IL12、IL23、IL45、IL56　絕緣層

IP　配線基板

MB　母板

PD　焊墊電極(晶片電極、電極焊墊、接合墊)

Pd1、Pd2、Pd3、Pd4、Pd5、Ps1、Ps2、Ps3、Ps4、Ps5　導通路徑(連接路徑)

PKG　半導體裝置

SB　焊球(焊料、外部端子、電極、外部電極)

SR1、SR2　絕緣層(抗焊層)

Tpd、Tps、Tpd1、Tps1、Vd1、Vd21、Vd22、Vs1、Vs21、Vs22、SG1、SG21、SG22　　端子

V12、V23、V45、V56　　通孔電極(通孔導體層)

WL1、WL2、WL3、WL4、WL5、WL6　　配線層

201836107
專利案號：106144043

【發明摘要】

【中文發明名稱】　半導體裝置

【英文發明名稱】　SEMICONDUCTOR DEVICE

【中文】

本發明之目的在於改善半導體裝置的可靠度。本發明之半導體裝置，包含：配線基板2，具備第1面、及第1面之相反側的第2面；晶片電容器3，內建於配線基板2，具備第1電極31及第2電極32；第1端子Vd21及第2端子Tpd，配置於第1面；以及第3端子Vd22，配置於第2面。進一步，半導體裝置，具備：第1導通路徑(Ps1、2TW、Ps2)，連接第1端子Vd21與第3端子Vd22；第2導通路徑Ps3，連接第1端子Vd21與第1電極31；第3導通路徑Ps4，連接第3端子Vd22與第1電極31；以及第4導通路徑Ps5，連接第2端子Tpd與第1電極31。

【英文】

A semiconductor device which provides improved reliability. The semiconductor device includes: a wiring substrate having a first surface and a second surface opposite to the first surface; a chip condenser built in the wiring substrate, having a first electrode and a second electrode; a first terminal and a second terminal disposed on the first surface; and a third terminal disposed on the second surface. The semiconductor device further includes: a first conduction path for coupling the first terminal and the third terminal; a second conduction path for coupling the first terminal and the first electrode; a third conduction path for coupling the third terminal and the first electrode; and a fourth conduction path for coupling the second terminal and the first electrode.

【指定代表圖】　　圖17

【代表圖之符號簡單說明】

2　　配線基板

2TW　　穿通孔配線

3　　晶片電容器(電容器、陶瓷電容器)

31、32　　電極

A、B、C、D、E、F　　端子

Pd1、Pd2、Pd3、Pd4、Pd5、Ps1、Ps2、Ps3、Ps4、Ps5　　導通路徑(連接路徑)

Tpd、Tps、Vd21、Vd22、Vs21、Vs22　　端子

【特徵化學式】

無

【發明申請專利範圍】

【第1項】

一種半導體裝置，包含：

配線基板，具備第1面、及該第1面之相反側的第2面；

半導體晶片，具備第1晶片電極及第2晶片電極，搭載於該配線基板；

晶片電容器，內建於該配線基板，具備第1電極及第2電極；

第1端子及第2端子，配置於該第1面；

第3端子，配置於該第2面；

第1導通路徑，連接該第1端子與該第3端子；

第2導通路徑，連接該第1端子與該第1電極；

第3導通路徑，連接該第3端子與該第1電極；以及

第4導通路徑，連接該第2端子與該第1電極；

該第4導通路徑，以和該第1導通路徑、該第2導通路徑、及該第3導通路徑電性獨立的方式，連接於該第1電極。

【第2項】

如申請專利範圍第1項之半導體裝置，其中，

進一步：

該第2導通路徑，包含與該第1電極相連接之第1通孔電極；

該第4導通路徑，包含與該第1電極相連接之第2通孔電極；

該晶片電容器，具備俯視時具有第1長邊、第2長邊、第1短邊、及第2短邊的矩形形狀，該第1電極係沿著該第1短邊形成。

【第3項】

如申請專利範圍第2項之半導體裝置，其中，

該第1通孔電極與該第2通孔電極，於俯視時，係與該第1長邊平行地配列。

【第4項】

如申請專利範圍第2項之半導體裝置，其中，

俯視時，該第1通孔電極與該第2通孔電極係沿著該第1長邊而配置；該第1通孔電極，配置為較該第2通孔電極更接近該第1長邊，該第2通孔電極，配置為較該第1通孔電極更接近該第2長邊。

【第5項】

如申請專利範圍第1項之半導體裝置，其中，

更包含：

第1突塊電極，連接該第1端子與該第1晶片電極；以及

第2突塊電極，連接該第2端子與該第2晶片電極。

【第6項】

如申請專利範圍第5項之半導體裝置，其中，

更包含第1絕緣層，其覆蓋該第1突塊電極及該第2突塊電極之周圍，並填埋該配線基板的該第1面與該半導體晶片之間。

【第7項】

如申請專利範圍第1項之半導體裝置，其中，

更包含：

第4端子，配置於該第2面；以及

第5導通路徑，連接該第4端子與該第1電極。

【第8項】

如申請專利範圍第7項之半導體裝置，其中，

更包含第2絕緣層，其覆蓋該第2面，並具備露出該第3端子之第1開口、及露出該第4端子之第2開口；

該第2開口的直徑，較該第1開口的直徑更小。

【第9項】

如申請專利範圍第1項之半導體裝置，其中，

更包含第3絕緣層，其覆蓋該第1面，並具備露出該第1端子之第3開口、及露出該第2端子之第4開口；

該第3開口的直徑，與該第4開口的直徑相等。

【第10項】

如申請專利範圍第1項之半導體裝置，其中，

該配線基板，包含：

第4絕緣層，具備第3面、該第3面之相反側的第4面、及從該第3面貫通至該第4面的第1貫通孔與第2貫通孔；

第1配線，覆蓋該第2貫通孔，而形成於該第3面；

第2配線，覆蓋該第2貫通孔，而形成於該第4面；以及

穿通孔配線，形成於該第2貫通孔內，並與該第1配線及該第2配線相連接；

該晶片電容器，具備頂面、及該頂面之相反側的底面；

該第1電極，具備形成於該頂面之頂面電極、及形成於該底面之底面電極；

斷面觀察時，包含該頂面電極及該底面電極之該晶片電容器的厚度，較包含該第1配線及該第2配線之該第4絕緣層的厚度更薄。

【第11項】

如申請專利範圍第10項之半導體裝置，其中，

更包含第5絕緣層，其覆蓋該第1配線及該頂面電極；

該第4絕緣層及該第5絕緣層，係由含有玻璃纖維之樹脂層構成。

【第12項】

如申請專利範圍第11項之半導體裝置，其中，

更包含：

第3配線，形成於該第5絕緣層上；以及

第6絕緣層，覆蓋該第3配線；

該第6絕緣層，係由環氧樹脂構成。

【第13項】

一種半導體裝置，包含：

配線基板，具備第1面及該第1面之相反側的第2面；

半導體晶片，具備第1晶片電極及第2晶片電極，搭載於該配線基板；

晶片電容器，內建於該配線基板，並具備第1電極及第2電極；

第1端子、第2端子、第3端子、及第4端子，配置於該第1面；

第5端子及第6端子，配置於該第2面；

第1導通路徑，連接該第1端子與該第5端子；

第2導通路徑，連接該第1端子與該第1電極；

第3導通路徑，連接該第5端子與該第1電極；

第4導通路徑，連接該第2端子與該第1電極；

第5導通路徑，連接該第3端子與該第6端子；

第6導通路徑，連接該第3端子與該第2電極；

第7導通路徑，連接該第6端子與該第2電極；以及

第8導通路徑，連接該第4端子與該第2電極；

該第4導通路徑，以和該第1導通路徑、該第2導通路徑、及該第3導通路徑獨立的方式，連接於該第1電極；

該第8導通路徑，以和該第5導通路徑、該第6導通路徑、及該第7導通路徑獨立的方式，連接於該第2電極。

【第14項】

如申請專利範圍第13項之半導體裝置，其中，

更包含：

第1突塊電極，連接該第2端子與該第1晶片電極；以及

第2突塊電極，連接該第4端子與該第2晶片電極。

【第15項】

如申請專利範圍第14項之半導體裝置，其中，

該第1突塊電極與該第2突塊電極係鄰接配置，在其等之間並未夾入其他突塊電極。

【第16項】

如申請專利範圍第15項之半導體裝置，其中，

更包含：

第1焊球電極，其與該第5端子連接；以及

第2焊球電極，其與該第6端子連接。

【第17項】

如申請專利範圍第13項之半導體裝置，其中，

更包含：

第1導電板，其與該第4導通路徑連接；

第2導電板，其與該第8導通路徑連接；以及

絕緣膜，配置在該第1導電板與該第2導電板之間；

該第1導電板與該第2導電板，具有俯視時彼此重疊的區域。

【第18項】

一種半導體裝置，包含：

配線基板，具備形成有複數個第1外部電極的第1表面、及與該第1表面為相反側且形成有複數個第2外部電極的第1背面；以及

半導體晶片，具備主面，以使該主面與該配線基板之該第1表面相對向的方式，搭載於該第1表面；

該配線基板，包含：

芯基板，具備：第2表面，在該第1表面與該第1背面之間，和該第1表面相面向；及第2背面，與該第2表面為相反側，且與該第1背面相面向；

第1電容器，具備：第1面，在該芯基板的該第2表面與該第2背面之間，和該第1表面相面向；及第2面，與該第1面為相反側，且與該第1背面相面向；以及

複數條配線；

該複數個第1外部電極，具備第1電極、第2電極；

該複數個第2外部電極，具備第3電極；

該第1電容器，具備複數個電極；

該複數條配線，包含第1配線、第2配線、第3配線、及第4配線；

該第1配線的一端，與該第1表面的該第1電極電性連接；

該第1配線的另一端，與該第1背面的該第3電極電性連接；

該第2配線的一端，與該第1表面的該第1電極電性連接；

該第2配線的另一端，與該第1電容器之該複數個電極所包含的第4電極電性連接；

該第3配線的一端，與該第1表面的該第2電極電性連接；

該第3配線的另一端，與該第1電容器的該第4電極電性連接；

該第4配線的一端，與該第1背面的該第3電極電性連接；

該第4配線的另一端，與該第1電容器的該第4電極電性連接；

該第2配線與該第3配線，經由該第4電極而電性連接；

該第3配線與該第4配線，經由該第4電極而電性連接。

【第19項】

如申請專利範圍第18項之半導體裝置，其中，

從該第1電容器的該第1面至該配線基板的該第1表面為止之長度，與從該芯基板的該第2表面至該配線基板的該第1表面為止之長度相同。

【第20項】

如申請專利範圍第18項之半導體裝置，其中，

該第1電容器的該第4電極，包含複數個通孔；

該第2配線的另一端，經由該複數個通孔所包含的第1通孔，而與該第1電容器的該第4電極電性連接；

該第3配線的另一端，經由該複數個通孔所包含的第2通孔，而與該第1電容器的該第4電極電性連接；

該第4電極，具備第1邊、第2邊、及第3邊，俯視時該第2邊沿著該第1邊延伸，而該第3邊交叉於該第1邊與該第2邊；

俯視時，該第1通孔，沿著該第1邊而配置；

俯視時，該第2通孔，沿著該第2邊而配置；

俯視時，該第1通孔，較該第2通孔更接近該第1邊，且較該第2通孔更接近該第3邊。

【第21項】

如申請專利範圍第18項之半導體裝置，其中，

該配線基板的該第1背面，具備該複數個第2外部電極所包含的第5電極；

在該芯基板的該第2表面與該第2背面之間，配置具備複數個電極的第2電容器；

該第1電容器，更具備該複數個電極所包含的第6電極；

該第2電容器，具備該複數個電極所包含的第7電極與第8電極；

該複數條配線，更具備第5配線、第6配線、第7配線；

該第5配線的一端，與該第1電容器的該第6電極電性連接；

該第5配線的另一端，與該第1背面的該第5電極電性連接；

該第6配線的一端，與該第1表面的該第1電極電性連接；

該第6配線的另一端，與該第2電容器的該第7電極電性連接；

該第7配線的一端，與該第2電容器的該第8電極電性連接；

該第7配線的另一端，與該第1背面的該第5電極電性連接；

該第1電容器之電容，較該第2電容器之電容更小。

【第22項】

如申請專利範圍第20項之半導體裝置，其中，

該配線基板，包含第3通孔，其隔著該第1邊，而與該第1通孔相鄰配置。