(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 4 月 13 日(13.04.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/061050 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号: PCT/JP2015/078821

(22) 国際出願日: 2015 年 10 月 9 日(09.10.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラプラザ ＃１６－０４ Singapore (SG).

(72) 発明者; および

(71) 出願人 (米国についてのみ): 舛岡 富士雄 (MASUOKA Fujio) [JP/JP]; 〒1020072 東京都千代田区飯田橋１－１２－１３ いずみ九段ビル５Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 中村 広記 (NAKAMURA Hiroki) [JP/JP]; 〒1020072 東京都千代田区飯田橋１－１２－１３ いずみ九段ビル５Ｆ Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人: 西島 孝喜, 外 (NISHIJIMA Takaki et al.); 〒1008355 東京都千代田区丸の内３丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置

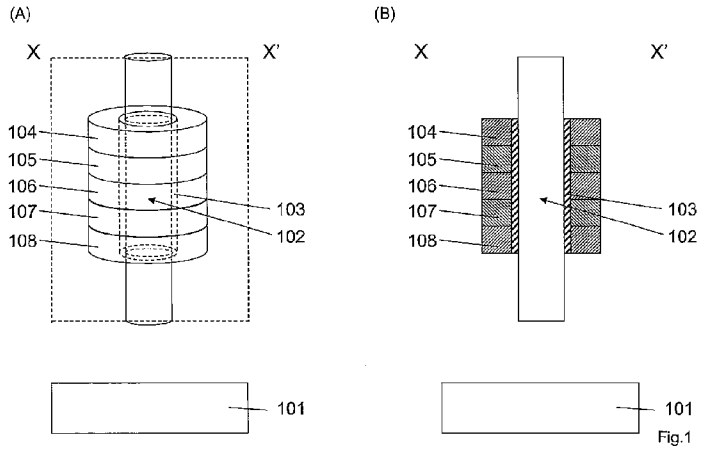


Fig.1

(57) **Abstract**: The purpose of the present invention is to provide a structure wherein a superlattice or a quantum well structure is formed in a columnar semiconductor layer by means of a work function difference between a metal and a semiconductor. The above-mentioned problem is solved by a semiconductor device that is characterized by having: a columnar semiconductor layer formed on a substrate; a first insulating material surrounding the columnar semiconductor layer; a first gate, which surrounds the first insulating material, and which is formed of a metal having a first work function; a second gate, which surrounds the first insulating material, and which is formed of a metal having a second work function that is different from the first work function, said second gate being positioned below the first gate; and a third gate, which surrounds the first insulating material, and which is formed of a metal having the first work function, said third gate being positioned below the second gate. The semiconductor device is also characterized in that the first gate, the second gate, and the third gate are electrically connected to each other.

(57) 要約:

[続葉有]

WO 2017/061050 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

金属と半導体との仕事関数差によって柱状半導体層に超格子もしくは量子井戸構造を形成する構造を提供することを目的とする。基板上に形成された柱状半導体層と、前記柱状半導体層を囲む第１の絶縁物と、前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第１のゲートと、前記第１の絶縁物を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第２のゲートと、前記第２のゲートは前記第１のゲートの下方に位置するのであって、前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第３のゲートと、を有し、前記第３のゲートは前記第２のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートは電気的に接続することを特徴とすることにより上記課題を解決する。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は半導体装置に関する。

背景技術

[0002] 従来のＳＧＴでは、ゲート長が短くなると、バリスティック伝導によりドレイン電流を向上させることができることが報告されている（例えば、特許文献１を参照）。バリスティック伝導とは、チャンネル長（ゲート長）がキャリアの平均自由工程より短くなると、キャリアが散乱を受けることなく、ソースからドレインまで走行するようになる現象を示す。

[0003] しかしながら、従来のＳＧＴでは、シリコン柱径が５ｎｍのとき、ゲート長１０ｎｍ以下になると、サブスレッショルドスイングが増大することが報告されている（例えば、特許文献２を参照）。

[0004] 一方で、Ｓｉ／ＳｉＧｅ／Ｓｉ／ＳｉＧｅ、Ｓｉ／Ｇｅ／Ｓｉ／Ｇｅ、又はｎ－Ｓｉ／ｐ－Ｓｉ／ｎ－Ｓｉ交互層のような、種々の交互半導体層を含む基板をエッチングし、半導体ナノワイヤ中の埋め込み量子井戸又は超格子構造体を有する半導体ナノワイヤが報告されている（例えば、特許文献３を参照）。しかしながら、Ｓｉ／ＳｉＧｅ／Ｓｉ／ＳｉＧｅ、Ｓｉ／Ｇｅ／Ｓｉ／Ｇｅでは物質間に界面が存在し、欠陥の原因となる。また、ｎ－Ｓｉ／ｐ－Ｓｉ／ｎ－Ｓｉでは、不純物の位置制御が難しい。また、不純物自体がキャリアの散乱の原因となる。

先行技術文献

特許文献

[0005] 特許文献1：特開２００９－２００４３４号公報

特許文献2：特開２００４－３５６３１４号公報

特許文献3：特開２０１１－５１９７３０号公報

発明の概要

発明が解決しようとする課題

[0006] そこで、本発明は、金属と半導体との仕事関数差によって柱状半導体層に超格子もしくは量子井戸構造を形成する構造を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の半導体装置は、基板上に形成された柱状半導体層と、前記柱状半導体層を囲む第１の絶縁物と、前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第１のゲートと、前記第１の絶縁物を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第２のゲートと、前記第２のゲートは前記第１のゲートの下方に位置するのであって、前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第３のゲートと、を有し、前記第３のゲートは前記第２のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートは電気的に接続することを特徴とする。

[0008] また、前記第１の絶縁物を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第４のゲートと、を有し、前記第４のゲートは前記第３のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートと前記第４のゲートは電気的に接続することを特徴とする。

[0009] また、前記第１の絶縁物を取り囲む前記第１の仕事関数を有する金属からなる第５のゲートと、を有し、前記第５のゲートは前記第４のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートと前記第４のゲートと前記第５のゲートは電気的に接続することを特徴とする。

[0010] また、前記第２の仕事関数は、４．０ｅＶから４．２ｅＶの間であることを特徴とする。

[0011] また、前記第１の仕事関数は、４．２ｅＶ以上であることを特徴とする。

[0012] また、前記第２の仕事関数は、５．０ｅＶから５．２ｅＶの間であることを特徴とする。

[0013] また、前記第１の仕事関数は、５．０ｅＶ以下であることを特徴とする。

[0014] また、前記柱状半導体層の上部と下部にソースもしくはドレインを有することを特徴とする。

[0015] また、前記ソースもしくはドレインは拡散層からなることを特徴とする。

[0016] また、前記第１のゲートと前記第２のゲートとの間に形成された第２の絶縁膜と、前記第２のゲートと前記第３のゲートとの間に形成された第３の絶縁膜と、を有することを特徴とする。

[0017] また、前記第３のゲートと前記第４のゲートとの間に形成された第４の絶縁膜を有することを特徴とする。

[0018] また、前記第４のゲートと前記第５のゲートとの間に形成された第５の絶縁膜を有することを特徴とする。

発明の効果

[0019] 本発明によれば、金属と半導体との仕事関数差によって柱状半導体層に超格子もしくは量子井戸構造を形成する構造を提供することができる。

[0020] 基板上に形成された柱状半導体層と、前記柱状半導体層を囲む第１の絶縁物と、前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第１のゲートと、前記第１の絶縁物を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第２のゲートと、前記第２のゲートは前記第１のゲートの下方に位置するのであって、前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第３のゲートと、を有し、前記第３のゲートは前記第２のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートは電気的に接続することを特徴とすることにより、

例えば、柱状半導体層を柱状シリコン層とし、前記第１の仕事関数は、５．０ｅＶから５．２ｅＶの間とし、前記第２の仕事関数は、４．０ｅＶから４．２ｅＶの間とすると、ｐ型シリコンの仕事関数５．１５ｅＶの近傍であるため、柱状半導体層の第１のゲートと第３のゲートに囲われた部分はｐ型シリコンとして機能し、ｎ型シリコンの仕事関数４．０５ｅＶの近傍である

ため、柱状半導体層の第２のゲートに囲われた部分はｎ型シリコンとして機能することにより、ｐ型シリコンとして機能する部分とｎ型シリコンとして機能する部分とｐ型シリコンとして機能する部分とにより、金属と半導体との仕事関数差によって柱状半導体層に超格子もしくは量子井戸構造を形成することができる。

このとき、金属と半導体との仕事関数差によって柱状半導体層に超格子もしくは量子井戸構造を形成するから、ｐ型シリコンとして機能する部分とｎ型シリコンとして機能する部分との間に界面は存在しないため、欠陥を減少させることができる。また、不純物を用いていないため、不純物の位置制御は不要であるし、不純物によるキャリアの散乱を抑制することができる。

[0021] また、前記第１の絶縁物を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第４のゲートと、前記第４のゲートは前記第３のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートと前記第４のゲートは電気的に接続することを特徴とし、前記第１の絶縁物を取り囲む前記第１の仕事関数を有する金属からなる第５のゲートと、を有し、前記第５のゲートは前記第４のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートと前記第４のゲートと前記第５のゲートは電気的に接続することを特徴とし、第１の仕事関数によるゲートと第２の仕事関数によるゲートが柱状半導体層を繰り返し取り囲むことにより、柱状半導体層内に超格子を形成することができる。

[0022] また、前記第１のゲートと前記第２のゲートとの間に形成された第２の絶縁膜と、前記第２のゲートと前記第３のゲートとの間に形成された第３の絶縁膜と、を有することを特徴とし、前記第３のゲートと前記第４のゲートとの間に形成された第４の絶縁膜を有することを特徴とし、前記第４のゲートと前記第５のゲートとの間に形成された第５の絶縁膜を有することを特徴とすることにより、各ゲートを絶縁膜により分離することで、第１の仕事関数を有する金属と第２の仕事関数を有する金属が混じることを抑制し、また、

第１の仕事関数を有する金属と第２の仕事関数を有する金属により化合物が形成されることを抑制することができる。

[0023] また、基板上に形成された柱状半導体層と、前記柱状半導体層を囲む第１の絶縁物と、前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第１のゲートと、前記第１の絶縁物を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第２のゲートと、前記第２のゲートは前記第１のゲートの下方に位置するのであって、前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第３のゲートと、を有し、前記第３のゲートは前記第２のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートは電気的に接続することを特徴とし、前記柱状半導体層の上部と下部にソースもしくはドレインを有することを特徴とし、

例えば、柱状半導体層を柱状シリコン層とし、ソースもしくはドレインをｎ型とし、第１のゲートと第３のゲートの高さをバリスティック伝導が起こる程度の高さとし、前記第２の仕事関数は４．０ｅＶから４．２ｅＶの間とし、前記第１の仕事関数を前記第２の仕事関数以上の仕事関数とすると、柱状半導体層の第１のゲートと第３のゲートに囲われた部分はトランジスタのチャネルとして機能し、ｎ型シリコンの仕事関数４．０５ｅＶの近傍であるため、柱状半導体層の第２のゲートに囲われた部分はｎ型シリコンとして機能することにより、チャネルとして機能する部分とｎ型シリコンとして機能する部分とチャネルとして機能する部分とにより、バリスティック伝導を有するトランジスタを２個直列することにより、バリスティック伝導を有し且つゲート長が長いトランジスタを可能とする。

[0024] また、前記第１の絶縁物を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第４のゲートと、前記第４のゲートは前記第３のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートと前記第４のゲートは電気的に接続することを特徴とし、前記第１の絶縁物を取り囲む前記第１の仕事関数を有する金属からなる

第５のゲートと、を有し、前記第５のゲートは前記第４のゲートの下方に位置するのであって、前記第１のゲートと前記第２のゲートと前記第３のゲートと前記第４のゲートと前記第５のゲートは電気的に接続することを特徴とし、第１の仕事関数によるゲートと第２の仕事関数によるゲートが柱状半導体層を繰り返し取り囲むことにより、バリスティック伝導を有するトランジスタを２個以上直列することにより、バリスティック伝導を有し且つゲート長が長いトランジスタを可能とする。

図面の簡単な説明

[0025] [図1]（Ａ）は本発明に係る半導体装置の鳥瞰図である。（Ｂ）は（Ａ）のＸ－Ｘ’面での断面図である。

[図2]（Ａ）は本発明に係る半導体装置の鳥瞰図である。（Ｂ）は（Ａ）のＸ－Ｘ’面での断面図である。

[図3]（Ａ）は本発明に係る半導体装置の鳥瞰図である。（Ｂ）は（Ａ）のＸ－Ｘ’面での断面図である。

[図4]（Ａ）は本発明に係る半導体装置の鳥瞰図である。（Ｂ）は（Ａ）のＸ－Ｘ’面での断面図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態に係る、半導体装置を、図１、図２を参照しながら説明する。本実施例の半導体層は、シリコン層であることが好ましい。また、半導体層は、Ｇｅ、ＣといったＩＶ族の半導体としてもよい。また、半導体層はＩＩＩ族とＩＶ族の化合物半導体としてもよい。

[0027] 基板１０１上に形成された柱状半導体層１０２と、前記柱状半導体層１０２を囲む第１の絶縁物１０３と、前記第１の絶縁物１０３を取り囲む第１の仕事関数を有する金属からなる第１のゲート１０４と、前記第１の絶縁物１０３を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第２のゲート１０５と、前記第２のゲート１０５は前記第１のゲート１０４の下方に位置するのであって、前記第１の絶縁物１０３を取り囲む第１の仕事関数を有する金属からなる第３のゲート１０６と、を有し、前記第

３のゲート１０６は前記第２のゲート１０５の下方に位置するのであって、前記第１のゲート１０４と前記第２のゲート１０５と前記第３のゲート１０６は電気的に接続することを特徴とする。

[0028] 第１の絶縁物１０３はゲート絶縁膜として機能する。第１の絶縁物１０３は酸化膜、窒化膜、酸窒化膜、高誘電体膜のどれか、もしくは酸化膜、窒化膜、酸窒化膜、高誘電体膜のどれか一つを少なくとも含むことが好ましい。

[0029] 第１のゲート１０４の下に第２のゲート１０５が接触し、第２のゲート１０５の下に第３のゲート１０６が接触していることで、前記第１のゲート１０４と前記第２のゲート１０５と前記第３のゲート１０６が電気的に接続している。

[0030] 前記第１の絶縁物１０３を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第４のゲート１０７と、を有し、前記第４のゲート１０７は前記第３のゲート１０６の下方に位置するのであって、前記第１のゲート１０４と前記第２のゲート１０５と前記第３のゲート１０６と前記第４のゲート１０７は電気的に接続することを特徴とする。

[0031] 前記第１の絶縁物１０３を取り囲む前記第１の仕事関数を有する金属からなる第５のゲート１０８と、を有し、前記第５のゲート１０８は前記第４のゲート１０７の下方に位置するのであって、前記第１のゲート１０４と前記第２のゲート１０５と前記第３のゲート１０６と前記第４のゲート１０７と前記第５のゲート１０８は電気的に接続することを特徴とする。

[0032] 第３のゲート１０６の下に第４のゲート１０７が接触し、第４のゲート１０７の下に第５のゲート１０８が接触していることで、前記第３のゲート１０６と前記第４のゲート１０７と前記第５のゲート１０８が電気的に接続している。

[0033] 図２には、図１に加えて、柱状半導体層１０２の上部と下部にソースもしくはドレイン１０９、１１０を有する構造が示される。柱状半導体層１０２の上部と下部にソースもしくはドレイン１０９、１１０を有することにより、トランジスタ動作を行うことができる。前記ソースもしくはドレイン１０

９、１１０は拡散層としてもよい。

[0034] 前記第２の仕事関数は、４．０ｅＶから４．２ｅＶの間であることが好ましい。ｎ型シリコンの仕事関数４．０５ｅＶの近傍であるため、第２の仕事関数を有する第２のゲート１０５と第４のゲート１０７に囲まれた柱状半導体層の部分は、柱状半導体層がシリコンであるとき、ｎ型シリコンとして機能する。例えば、タンタルとチタンの化合物（ＴａＴｉ）や窒化タンタル（ＴａＮ）が好ましい。

[0035] また、前記第１の仕事関数は、４．２ｅＶ以上であることが好ましい。第１の仕事関数が４．２ｅＶ以上であると、第１の仕事関数を有するゲート（第１のゲート１０４、第３のゲート１０６、第５のゲート１０８）によりチャネルが形成されるトランジスタをｎ型のエンハンスメント型として動作することができる。例えば、ミッドギャップの仕事関数を持つ金属や、ルテニウム（Ｒｕ）や窒化チタン（ＴｉＮ）が好ましい。

[0036] また、第１のゲート１０４と第３のゲート１０６の高さをバリスティック伝導が起こる程度の高さとすると、バリスティック伝導を有するトランジスタを２個直列することにより、バリスティック伝導を有し且つゲート長が長いトランジスタを可能とする。

[0037] また、第１のゲート１０４と第３のゲート１０６と第５のゲート１０８の高さをバリスティック伝導が起こる程度の高さとすると、バリスティック伝導を有するトランジスタを２個以上直列することにより、バリスティック伝導を有し且つゲート長が長いトランジスタを可能とする。

[0038] また、第１のゲート１０４と第３のゲート１０６と第５のゲート１０８の高さは同じであることが好ましい。また、第２のゲート１０５と第４のゲート１０７の高さは同じであることが好ましい。第１のゲート１０４と第３のゲート１０６と第５のゲート１０８の高さは同じであり、第２のゲート１０５と第４のゲート１０７の高さは同じであると、金属と半導体との仕事関数差によって柱状半導体層１０２に周期ポテンシャルを形成することができる。

[0039] また、第１の仕事関数が５．０ｅＶから５．２ｅＶの間であるとき、ｐ型シリコンの仕事関数５．１５ｅＶの近傍であるため、第１のゲートと第３のゲートと第５のゲートに囲まれた柱状半導体層１０２の部分は、ｐ型シリコンとして機能する。例えば、ルテニウム（Ｒｕ）や窒化チタン（ＴｉＮ）が好ましい。

[0040] このとき、ｐ型シリコンとして機能する部分とｎ型シリコンとして機能する部分とにより、金属と半導体との仕事関数差によって柱状半導体層１０２に超格子もしくは量子井戸構造を形成することができる。

[0041] 上記のように、第１の仕事関数によるゲートと第２の仕事関数によるゲートが柱状半導体層１０２を繰り返し取り囲むことにより、柱状半導体層１０２内に超格子を形成することができる。

[0042] このとき、金属と半導体との仕事関数差によって柱状半導体層１０２に超格子もしくは量子井戸構造を形成するから、ｐ型シリコンとして機能する部分とｎ型シリコンとして機能する部分との間に界面は存在しないため、欠陥を減少させることができる。また、不純物を用いていないため、不純物の位置制御は不要であるし、不純物によるキャリアの散乱を抑制することができる。

[0043] また、前記第２の仕事関数は、５．０ｅＶから５．２ｅＶの間であることが好ましい。ｐ型シリコンの仕事関数５．１５ｅＶの近傍であるため、第２の仕事関数を有する第２のゲート１０５と第４のゲート１０７に囲まれた柱状半導体層１０２の部分は、柱状半導体層１０２がシリコンであるとき、ｐ型シリコンとして機能する。例えば、ルテニウム（Ｒｕ）や窒化チタン（ＴｉＮ）が好ましい。

[0044] また、前記第１の仕事関数は、５．０ｅＶ以下であることが好ましい。第１の仕事関数が５．０以下であると、第１の仕事関数を有するゲート（第１のゲート１０４、第３のゲート１０６、第５のゲート１０８）によりチャネルが形成されるトランジスタをｐ型のエンハンスメント型として動作することができる。例えば、ミッドギャップの仕事関数を持つ金属や、タンタルと

チタンの化合物（ＴａＴｉ）や窒化タンタル（ＴａＮ）が好ましい。

[0045] また、第１の仕事関数が４．０ｅＶから４．２ｅＶの間であるとき、ｎ型シリコンの仕事関数４．０５ｅＶの近傍であるため、第１のゲートと第３のゲートと第５のゲートに囲まれた柱状半導体層の部分は、ｎ型シリコンとして機能する。例えば、タンタルとチタンの化合物（ＴａＴｉ）や窒化タンタル（ＴａＮ）が好ましい。

[0046] また、図３、図４に示すように、前記第１のゲート１０４と前記第２のゲート１０５との間に形成された第２の絶縁膜２１１と、前記第２のゲート１０５と前記第３のゲート１０６との間に形成された第３の絶縁膜２１２と、を有してもよい。

[0047] また、前記第３のゲート１０６と前記第４のゲート１０７との間に形成された第４の絶縁膜２１３を有してもよい。

[0048] また、前記第４のゲート１０７と前記第５のゲート１０８との間に形成された第５の絶縁膜２１４を有してもよい。

[0049] 第２の絶縁膜２１１、第３の絶縁膜２１２、第４の絶縁膜２１３、第５の絶縁膜２１４は、酸化膜、窒化膜、酸窒化膜、高誘電体膜のどれか、もしくは酸化膜、窒化膜、酸窒化膜、高誘電体膜のどれか一つを少なくとも含むことが好ましい

[0050] 各ゲート１０４、１０５、１０６、１０７、１０８を絶縁膜２１１、２１２、２１３、２１４により分離することで、第１の仕事関数を有する金属と第２の仕事関数を有する金属が混じることを抑制し、また、第１の仕事関数を有する金属と第２の仕事関数を有する金属により化合物が形成されることを抑制することができる。

[0051] このとき、各ゲート１０４、１０５、１０６、１０７、１０８をコンタクトや配線を用いて電気的に接続する必要がある。

[0052] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するも

のではない。

[0053] 例えば、上記実施例において、ｐ型（p^+型を含む。）とｎ型（n^+型を含む。）とをそれぞれ反対の導電型とした半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

[0054] １０１．基板

１０２．柱状半導体層

１０３．第１の絶縁物

１０４．第１のゲート

１０５．第２のゲート

１０６．第３のゲート

１０７．第４のゲート

１０８．第５のゲート

１０９．ソースもしくはドレイン

１１０．ソースもしくはドレイン

２１１．第２の絶縁膜

２１２．第３の絶縁膜

２１３．第４の絶縁膜

２１４．第５の絶縁膜

請求の範囲

[請求項1] 基板上に形成された柱状半導体層と、

前記柱状半導体層を囲む第１の絶縁物と、

前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第１のゲートと、

前記第１の絶縁物を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第２のゲートと、

前記第２のゲートは前記第１のゲートの下方に位置するのであって、

前記第１の絶縁物を取り囲む第１の仕事関数を有する金属からなる第３のゲートと、を有し、

前記第３のゲートは前記第２のゲートの下方に位置するのであって、

前記第１のゲートと前記第２のゲートと前記第３のゲートは電気的に接続することを特徴とする半導体装置。

[請求項2] 前記第１の絶縁物を取り囲む前記第１の仕事関数と異なる第２の仕事関数を有する金属からなる第４のゲートと、を有し、

前記第４のゲートは前記第３のゲートの下方に位置するのであって、

前記第１のゲートと前記第２のゲートと前記第３のゲートと前記第４のゲートは電気的に接続することを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記第１の絶縁物を取り囲む前記第１の仕事関数を有する金属からなる第５のゲートと、を有し、

前記第５のゲートは前記第４のゲートの下方に位置するのであって、

前記第１のゲートと前記第２のゲートと前記第３のゲートと前記第４のゲートと前記第５のゲートは電気的に接続することを特徴とする

請求項２に記載の半導体装置。

[請求項4] 前記第２の仕事関数は、４．０ｅＶから４．２ｅＶの間であることを特徴とする請求項１～３に記載の半導体装置。

[請求項5] 前記第１の仕事関数は、４．２ｅＶ以上であることを特徴とする請求項４に記載の半導体装置。

[請求項6] 前記第２の仕事関数は、５．０ｅＶから５．２ｅＶの間であることを特徴とする請求項１～３に記載の半導体装置。

[請求項7] 前記第１の仕事関数は、５．０ｅＶ以下であることを特徴とする請求項６に記載の半導体装置。

[請求項8] 前記柱状半導体層の上部と下部にソースもしくはドレインを有することを特徴とする請求項１に記載の半導体装置。

[請求項9] 前記ソースもしくはドレインは拡散層からなることを特徴とする請求項８に記載の半導体装置。

[請求項10] 前記第１のゲートと前記第２のゲートとの間に形成された第２の絶縁膜と、

前記第２のゲートと前記第３のゲートとの間に形成された第３の絶縁膜と、

を有することを特徴とする請求項１に記載の半導体装置。

[請求項11] 前記第３のゲートと前記第４のゲートとの間に形成された第４の絶縁膜を有することを特徴とする請求項２に記載の半導体装置。

[請求項12] 前記第４のゲートと前記第５のゲートとの間に形成された第５の絶縁膜を有することを特徴とする請求項３に記載の半導体装置。

[図1]

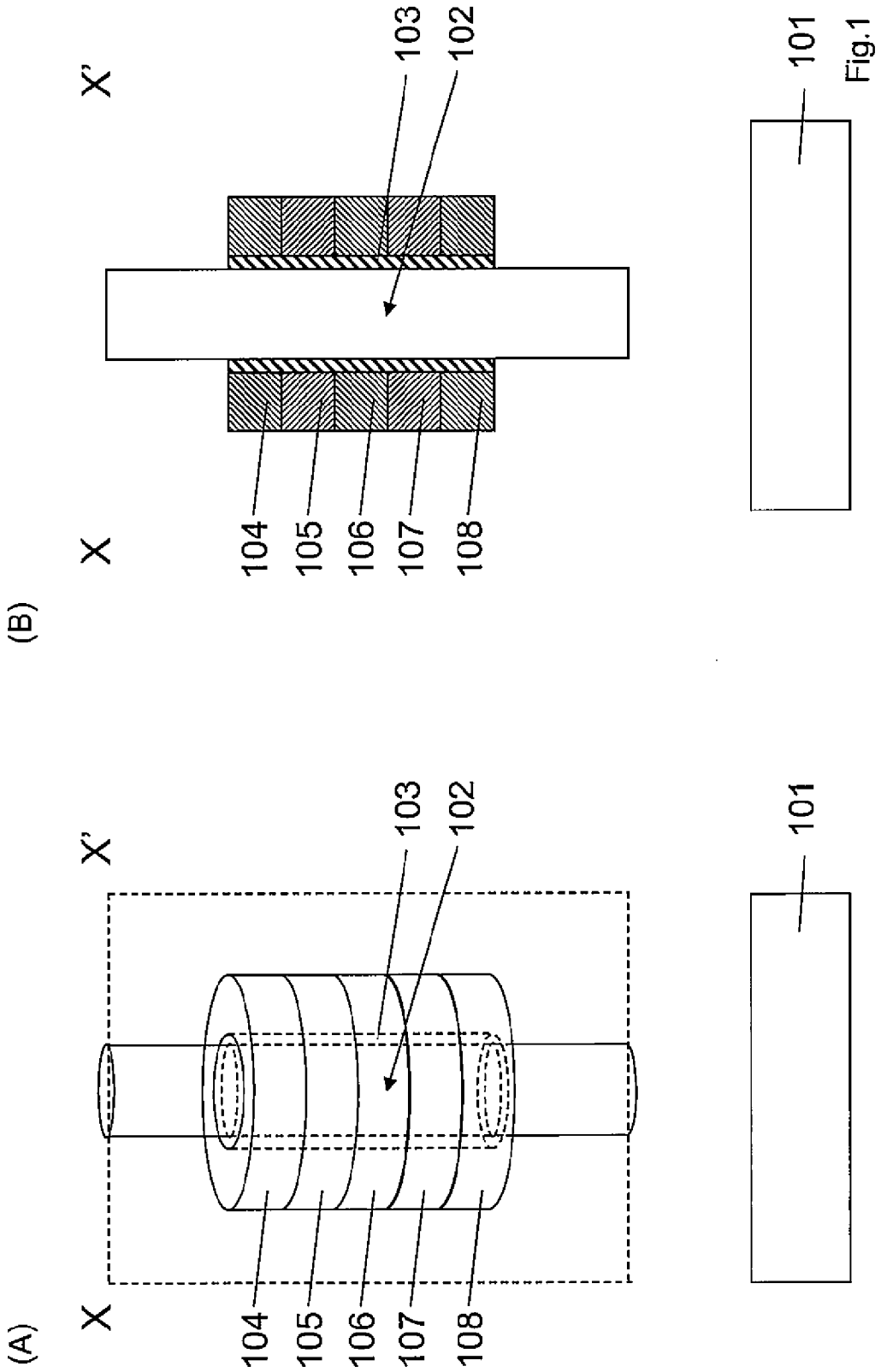

(B)
X'
X
103
102
101
104
105
106
107
108
(A)
X'
X
103
102
101
104
105
106
107
108

Fig.1

[図2]

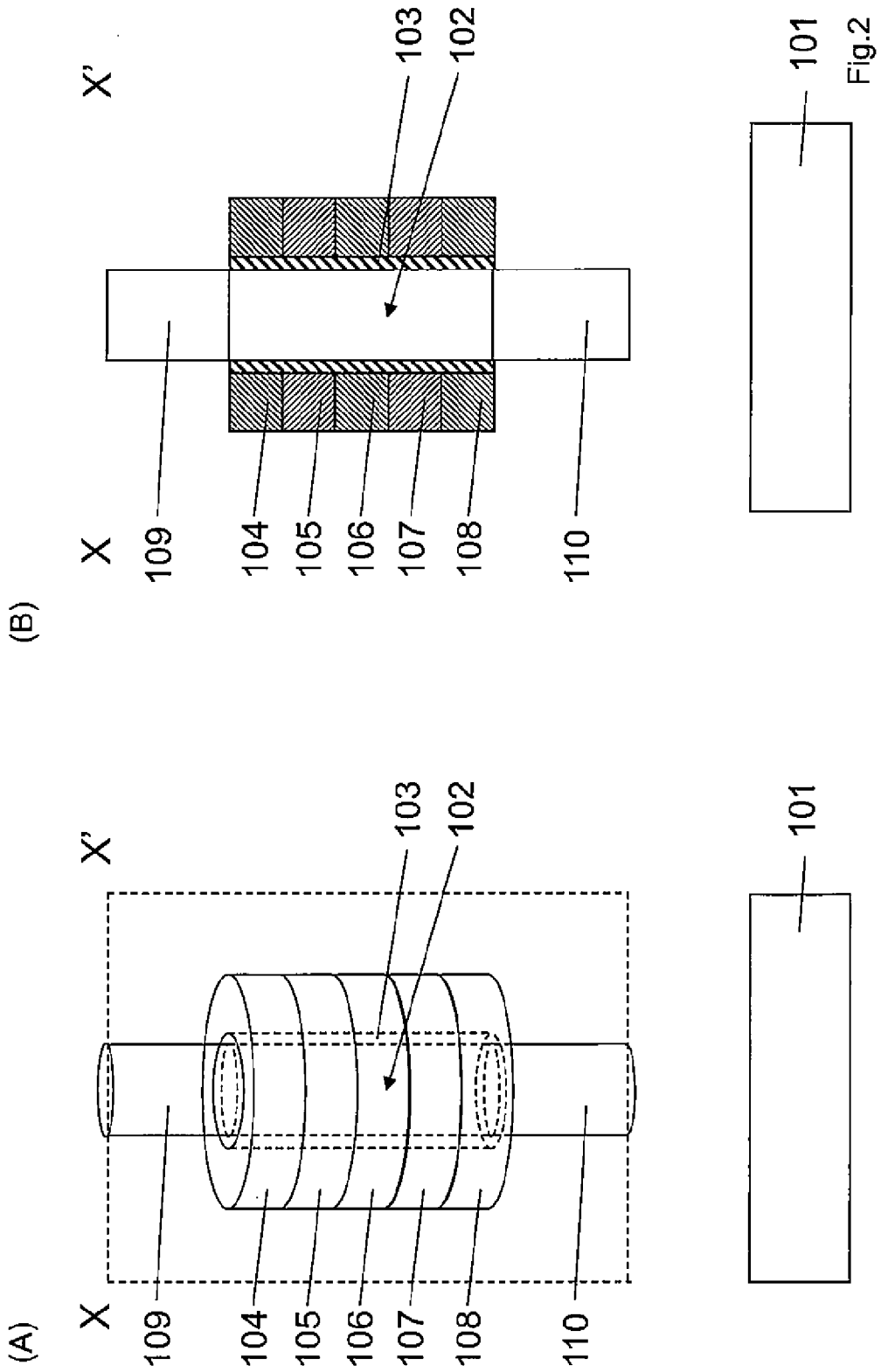

(B)
X
X'
103
102
101
109
104
105
106
107
108
110
(A)
X
X'
103
102
101
109
104
105
106
107
108
110

Fig.2

[図3]

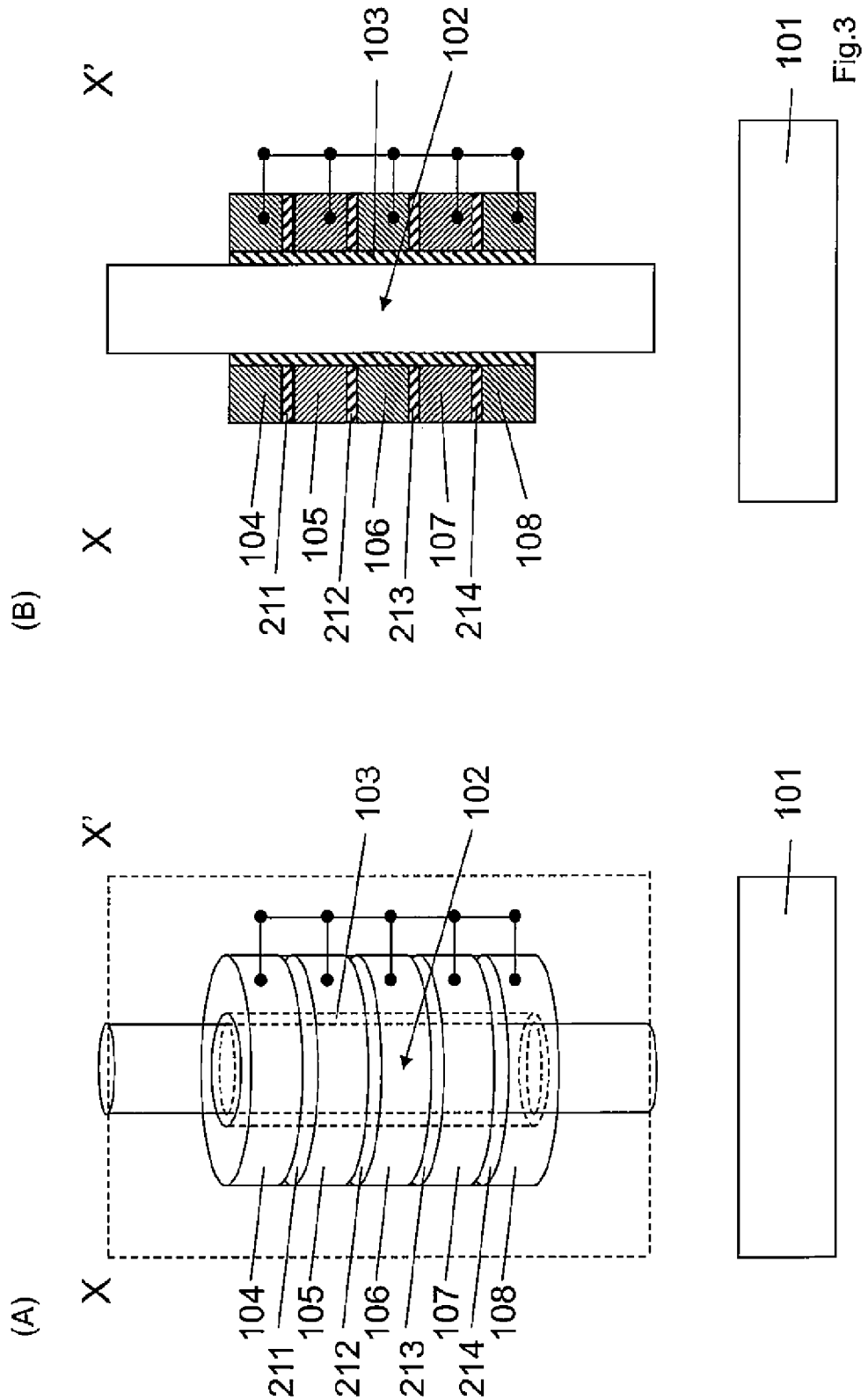

(B)
X
X'
103
102
101
104
105
106
107
108
211
212
213
214
(A)
X
X'
103
102
101
104
105
106
107
108
211
212
213
214

Fig.3

[図4]

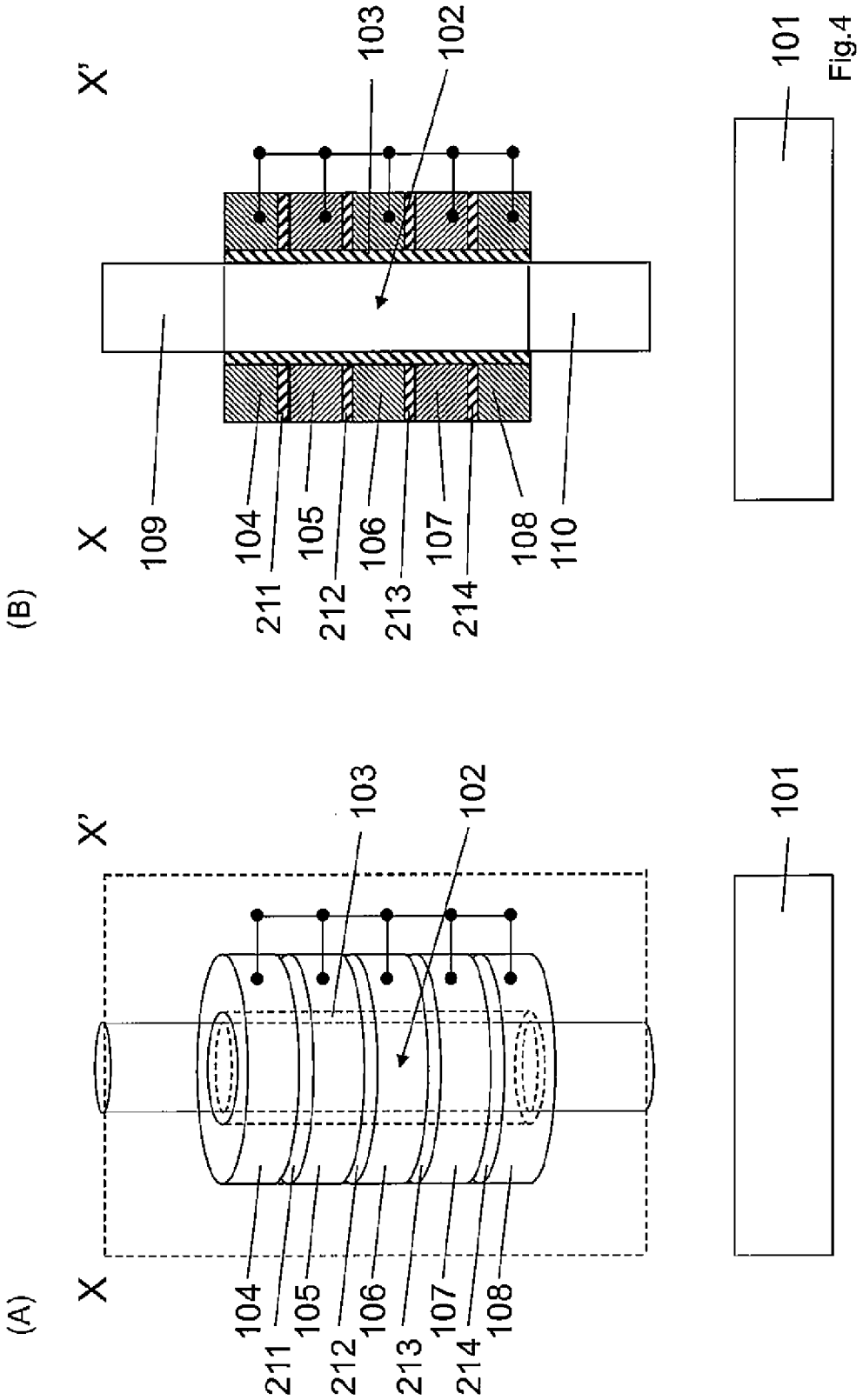

(B)
X
X'
103
102
101
109
104
211
105
212
106
213
107
214
108
110
(A)
X
X'
103
102
101
104
211
105
212
106
213
107
214
108

Fig.4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/078821

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2008-172164 A (Toshiba Corp.), 24 July 2008 (24.07.2008), paragraphs [0012] to [0021], [0031] to [0041]; fig. 1, 6 to 7 & US 2008/0173933 A1 paragraphs [0038] to [0048], [0066] to [0077]; fig. 1, 6, 7	1,4-10 2-3,11-12
A	JP 2006-310651 A (Toshiba Corp.), 09 November 2006 (09.11.2006), paragraphs [0038] to [0059]; fig. 17 to 26 & US 007115476 B1 page 11, line 29 to page 13, line 44; fig. 17 to 26	1-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 November 2015 (05.11.15)	17 November 2015 (17.11.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/078821

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-537709 A (Qinetiq Ltd.), 03 October 2013 (03.10.2013), paragraphs [0025], [0059] to [0063]; fig. 2 & WO 2012/020816 A1 paragraphs [0027], [0068] to [0072]; fig. 2 & US 2014/0042558 A1 page 6, lines 20 to 32; page 13, line 30 to page 14, line 22; fig. 2 & EP 002596522 A1 & CN 103098186 A & KR 10-2013-0132748 A	1-12

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０７８８２１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2008-172164 A (株式会社東芝) 2008.07.24, 段落[0012]-[0021]、段落[0031]- [0041]、図 1、図 6-7 & US 2008/0173933 A1 (Paragraphs [0038]-[0048],[0066]-[0077],FIG.1, FIG.6, FIG.7)	1,4-10 2-3,11-12
A	JP 2006-310651 A (株式会社東芝) 2006.11.09 段落[0038]-[0059]、図 17-26 & US 007115476 B1 (P.11 line29 - P.13 line44, FIGs.17-26)	1-12

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０５．１１．２０１５	国際調査報告の発送日 １７．１１．２０１５
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　６２９９ 宇多川　勉 電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-537709 A（キネテイツク・リミテツド）2013.10.03 段落[0025],[0059]-[0063]、図２ & WO 2012/020816 A1 (Paragraphs[0027],[0068]-[0072],Fig.2) & US 2014/0042558 A1(P.6 line20 - line 32, P.13 line30 - P.14 line22, Fig.2) & EP 002596522 A1 & CN 103098186 A & KR 10-2013-0132748 A	1-12