



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0043971
(43) 공개일자 2010년04월29일

(51) Int. Cl.

G11C 7/10 (2006.01) G11C 5/14 (2006.01)

(21) 출원번호 10-2008-0103245

(22) 출원일자 2008년10월21일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

장영찬

경기도 용인시 기흥구 보라동 현대모닝사이드1차
아파트 313동 1101호

(74) 대리인

박영우

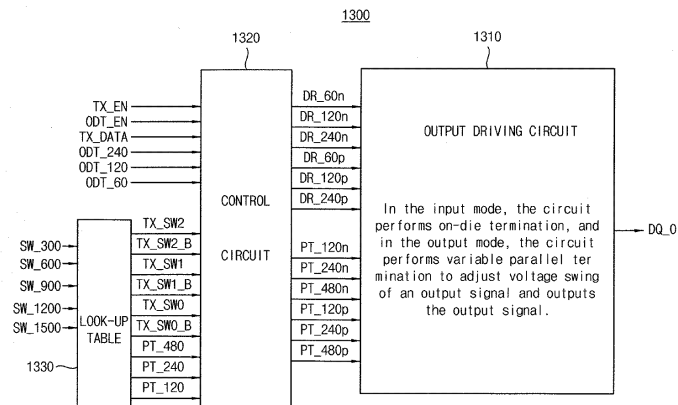
전체 청구항 수 : 총 10 항

(54) 출력신호의 전압 스윙을 조절할 수 있는 출력 회로, 이를 포함하는 반도체 장치, 및 반도체 장치들을 포함하는 통신 시스템

(57) 요약

출력신호의 전압 스윙을 적응적으로 조절할 수 있는 출력 회로 및 이를 포함하는 반도체 장치가 개시된다. 출력 회로는 제어 회로 및 출력 구동회로를 포함한다. 제어 회로는 게이트 제어신호들을 발생한다. 출력 구동회로는 입력 모드에서 게이트 제어신호들에 응답하여 온 다이 터미네이션을 수행하고, 출력 모드에서 게이트 제어신호들에 응답하여 출력 신호의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하고 병렬 터미네이션된 출력 신호를 출력한다. 따라서, 출력 회로는 채널들과 임피던스 매칭을 유지하면서 충실도가 높은 출력신호를 발생시킬 수 있다.

대표도



특허청구의 범위

청구항 1

게이트 제어신호들을 발생하는 제어 회로; 및

입력 모드에서 상기 게이트 제어신호들에 응답하여 온 다이 터미네이션을 수행하고, 출력 모드에서 상기 게이트 제어신호들에 응답하여 출력 신호의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하고 상기 병렬 터미네이션된 출력 신호를 출력하는 출력 구동회로를 포함하는 반도체 장치의 출력 회로.

청구항 2

제 1 항에 있어서, 상기 출력 회로는

상기 출력신호의 전압 스윙 정보 신호들에 기초하여 송신 데이터 선택 신호들 및 병렬 터미네이션 신호들을 발생시키는 룩업 테이블을 더 포함하는 것을 특징으로 하는 반도체 장치의 출력 회로.

청구항 3

제 1 항에 있어서, 상기 제어 회로는

송신 인에이블 신호, 온 다이 터미네이션 인에이블 신호, 송신 데이터, 온 다이 터미네이션 신호들, 송신 데이터 선택 신호들에 기초하여 구동부 게이트 제어신호들을 발생시키는 구동부 제어신호 발생 회로; 및

상기 송신 인에이블 신호 및 병렬 터미네이션 신호들에 기초하여 병렬 터미네이션부 게이트 제어신호들을 발생시키는 병렬 터미네이션부 제어신호 발생 회로를 포함하는 것을 특징으로 하는 반도체 장치의 출력 회로.

청구항 4

제 1 항에 있어서, 상기 출력 구동회로는

상기 입력 모드에서 상기 온 다이 터미네이션을 수행하고 상기 출력 모드에서 상기 출력신호를 출력하는 구동부; 및

상기 출력 모드에서 상기 출력신호의 전압 스윙을 조절하기 위해 상기 가변 병렬 터미네이션을 수행하는 병렬 터미네이션부를 포함하는 것을 특징으로 하는 반도체 장치의 출력 회로.

청구항 5

제 4 항에 있어서, 상기 구동부는

고전원전압과 출력 노드 사이에 직렬 연결된 PMOS 트랜지스터와 풀업 저항, 및 상기 출력 노드와 저전원전압 사이에 직렬 연결된 NMOS 트랜지스터와 풀다운 저항을 갖고, 구동부 게이트 제어신호들에 응답하여 동작하는 회로 가지들을 복수 개 포함하는 것을 특징으로 하는 반도체 장치의 출력 회로.

청구항 6

제 4 항에 있어서, 상기 병렬 터미네이션부는

고전원전압과 출력 노드 사이에 직렬 연결된 PMOS 트랜지스터와 풀업 저항, 및 상기 출력 노드와 저전원전압 사이에 직렬 연결된 NMOS 트랜지스터와 풀다운 저항을 갖고, 병렬 터미네이션부 게이트 제어신호들에 응답하여 동작하는 회로 가지들을 복수 개 포함하는 것을 특징으로 하는 반도체 장치의 출력 회로.

청구항 7

제 4 항에 있어서,

상기 출력 구동 회로를 구성하는 풀업 저항과 풀다운 저항은 동일한 값을 갖는 것을 특징으로 하는 반도체 장치의 출력 회로.

청구항 8

제 4 항에 있어서,

상기 출력 구동 회로를 구성하는 풀업 저항과 풀다운 저항은 서로 다른 값을 갖는 것을 특징으로 하는 반도체 장치의 출력 회로.

청구항 9

복수의 구동 제어신호들 및 복수의 병렬 터미네이션 제어신호들에 응답하여 입력 모드에서 온 다이 터미네이션을 수행하고, 출력모드에서 출력신호의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하고 상기 출력신호를 출력하는 출력 회로; 및

상기 입력 모드에서 입출력 노드로부터 입력신호를 수신하여 버퍼링하고 상기 버퍼링된 입력신호를 내부 회로에 제공하는 입력 회로를 포함하는 반도체 장치.

청구항 10

적어도 하나의 채널들; 및

상기 채널들을 통해 통신을 하는 적어도 하나의 반도체 장치들을 포함하고,

상기 반도체 장치들은 각각

복수의 구동 제어신호들 및 복수의 병렬 터미네이션 제어신호들에 응답하여 입력 모드에서 온 다이 터미네이션을 수행하고, 출력모드에서 출력신호의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하고 상기 출력신호를 출력하는 출력 회로; 및

상기 입력 모드에서 입출력 노드로부터 입력신호를 수신하여 버퍼링하고 상기 버퍼링된 입력신호를 내부 회로에 제공하는 입력 회로를 포함하는 통신 시스템.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 특히 출력신호의 전압 스윙을 조절할 수 있는 출력 회로를 포함하는 반도체 장치 및 반도체 장치들을 포함하는 통신 시스템에 관한 것이다.

배경기술

[0002] 반도체 장치는 외부 장치와 인터페이스하기 위한 입출력 구동 회로를 구비한다. 입출력 구동 회로는 입력 구동 회로와 출력 구동 회로를 포함하며, 출력 구동 회로는 출력 구동부와 온 다이 터미네이션부를 포함한다. 출력 구동부는 출력 신호를 버퍼링하여 외부로 출력하는 기능을 하고, 온 다이 터미네이션부는 입력 모드에서 채널과의 임피던스 매칭을 수행하여 신호의 충실도(integrity)를 향상시키는 기능을 한다.

[0003] 경우에 따라, 출력 구동 회로로부터 출력되는 출력신호의 전압 스윙(voltage swing)을 조절할 필요가 있다. 출력 구동 회로에 공급되는 고 전원전압과 저 전원전압의 값을 조절함으로써 출력신호의 전압 스윙을 조절할 수도 있다. 그러나, 전원전압의 값만 조절하여 출력신호의 전압 스윙을 조절하는 데에는 한계가 있다. 특히, 낮은 출력신호의 전압 스윙이 필요한 경우 전원전압을 너무 낮게 유지하면 구동부를 구성하는 트랜지스터가 턴온되지 않을 수 있으며 트랜지스터의 턴온 저항이 지나치게 증가할 수 있다. 또한, 전원전압의 값을 크게 조절하면 임피던스 매칭에 어려움이 있다.

발명의 내용

해결하고자하는 과제

[0004] 본 발명의 목적은 출력 임피던스를 유지하면서 출력신호의 전압 스윙을 조절할 수 있는 출력 회로를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기 출력 구동 회로를 포함하는 반도체 장치를 제공하는 것이다.

[0006] 본 발명의 또 다른 목적은 상기 반도체 장치를 포함하는 통신 시스템을 제공하는 것이다.

과제 해결수단

[0007] 상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 출력 회로는 제어 회로 및 출력 구동회로를 포함한다.

[0008] 제어 회로는 게이트 제어신호들을 발생한다. 출력 구동회로는 입력 모드에서 상기 게이트 제어신호들에 응답하여 온 다이 터미네이션을 수행하고, 출력 모드에서 상기 게이트 제어신호들에 응답하여 출력 신호의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하고 상기 병렬 터미네이션된 출력 신호를 출력한다.

[0009] 본 발명의 하나의 실시예에 의하면, 상기 출력 회로는 상기 출력신호의 전압 스윙 정보 신호들에 기초하여 송신 데이터 선택 신호들 및 병렬 터미네이션 신호들을 발생시키는 룩업 테이블을 더 포함할 수 있다.

[0010] 본 발명의 하나의 실시예에 의하면, 상기 제어 회로는 구동부 제어신호 발생 회로 및 병렬 터미네이션부 제어신호 발생 회로를 포함할 수 있다.

[0011] 구동부 제어신호 발생 회로는 송신 인에이블 신호, 온 다이 터미네이션 인에이블 신호, 송신 데이터, 온 다이 터미네이션 신호들, 송신 데이터 선택 신호들에 기초하여 구동부 게이트 제어신호들을 발생시킨다. 병렬 터미네이션부 제어신호 발생 회로는 상기 송신 인에이블 신호 및 병렬 터미네이션 신호들에 기초하여 병렬 터미네이션부 게이트 제어신호들을 발생시킨다.

[0012] 본 발명의 하나의 실시예에 의하면, 상기 출력 구동회로는 구동부 및 병렬 터미네이션부를 포함한다.

[0013] 구동부는 상기 입력 모드에서 상기 온 다이 터미네이션을 수행하고 상기 출력 모드에서 상기 출력신호를 출력한다. 병렬 터미네이션부는 상기 출력 모드에서 상기 출력신호의 전압 스윙을 조절하기 위해 상기 가변 병렬 터미네이션을 수행한다.

[0014] 본 발명의 하나의 실시예에 의하면, 상기 구동부는 고전원전압과 출력 노드 사이에 직렬 연결된 PMOS 트랜지스터와 풀업 저항, 및 상기 출력 노드와 저전원전압 사이에 직렬 연결된 NMOS 트랜지스터와 풀다운 저항을 갖고, 구동부 게이트 제어신호들에 응답하여 동작하는 회로 가지들을 복수 개 포함할 수 있다.

[0015] 본 발명의 하나의 실시예에 의하면, 상기 병렬 터미네이션부는 고전원전압과 출력 노드 사이에 직렬 연결된 PMOS 트랜지스터와 풀업 저항, 및 상기 출력 노드와 저전원전압 사이에 직렬 연결된 NMOS 트랜지스터와 풀다운 저항을 갖고, 병렬 터미네이션부 게이트 제어신호들에 응답하여 동작하는 회로 가지들을 복수 개 포함할 수 있다.

[0016] 본 발명의 하나의 실시예에 의하면, 상기 출력 구동 회로를 구성하는 풀업 저항과 풀다운 저항은 동일한 값을 가질 수 있다.

[0017] 본 발명의 하나의 실시예에 의하면, 상기 출력 구동 회로를 구성하는 풀업 저항과 풀다운 저항은 서로 다른 값을 가질 수 있다.

[0018] 본 발명의 하나의 실시형태에 따른 반도체 장치는 출력 회로 및 입력 회로를 포함한다.

[0019] 출력 회로는 복수의 구동 제어신호들 및 복수의 병렬 터미네이션 제어신호들에 응답하여 입력 모드에서 온 다이 터미네이션을 수행하고, 출력모드에서 출력신호의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하고 상기 출력신호를 출력한다. 입력 회로는 상기 입력 모드에서 입출력 노드로부터 입력신호를 수신하여 버퍼링하고 상기 버퍼링된 입력신호를 내부 회로에 제공한다.

[0020] 본 발명의 하나의 실시형태에 따른 통신 시스템은 적어도 하나의 채널들 및 상기 채널들을 통해 통신을 하는 적어도 하나의 반도체 장치들을 포함한다.

[0021] 상기 반도체 장치들은 각각 출력 회로 및 입력 회로를 포함한다.

[0022] 출력 회로는 복수의 구동 제어신호들 및 복수의 병렬 터미네이션 제어신호들에 응답하여 입력 모드에서 온 다이 터미네이션을 수행하고, 출력모드에서 출력신호의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하고 상기 출력신호를 출력한다. 입력 회로는 상기 입력 모드에서 입출력 노드로부터 입력신호를 수신하여 버퍼링하고 상기 버퍼링된 입력신호를 내부 회로에 제공한다.

효 과

[0023] 본 발명에 따른 출력 회로 및 이를 포함하는 반도체 장치는 구동부와 병렬 터미네이션부를 구비하여, 목표하는 출력신호의 전압 스윙에 최적인 회로 가지들을 선택함으로써 채널과의 임피던스 매칭을 유지하면서 신호의 충실도가 향상된 출력신호를 발생시킬 수 있다. 또한, 본 발명에 따른 출력 회로 및 이를 포함하는 반도체 장치는 목표하는 출력신호의 전압 스윙이 낮은 경우에도 신호의 충실도가 향상된 출력신호를 발생시킬 수 있다. 또한, 본 발명에 따른 출력 회로 및 이를 포함하는 반도체 장치는 풀업 저항과 풀다운 저항의 값을 다르게 설정하여 출력신호의 공통모드 전압 레벨을 제어할 수 있다.

발명의 실시를 위한 구체적인 내용

[0024] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.

[0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0026] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0028] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0030] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.

[0031] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0032] 도 1은 목표 장치(destination device)가 온 다이 터미네이션 회로를 구비한 경우 통신 시스템(100)의 출력신호의 전압 스윙을 설명하기 위한 회로도이다.

[0033] 도 1을 참조하면, 통신 시스템(100)은 제 1 반도체 장치(110) 및 제 2 반도체 장치(120)을 포함한다. 제 1 반도체 장치(110)는 출력 구동 회로(112) 및 입력 구동 회로(114)를 포함하고, 제 2 반도체 장치(120)는 온 다이 터미네이션 회로(122) 및 입력 구동 회로(124)를 포함한다. 설명의 편의상 제 1 반도체 장치(110)에서 입력 구동 회로(114)를 위한 온 다이 터미네이션 회로는 생략되었으며, 제 2 반도체 장치(120)에서 출력 구동 회로는 생략되었다. 도 1의 예에서, 채널(CH1)의 임피던스는 50Ω이다.

[0034] 도 1에서, 제 1 반도체 장치(110)에 포함된 출력 구동 회로(112)는 제 1 PMOS 트랜지스터(MP1), 제 1 NMOS 트랜지스터(MN1) 및 2 개의 저항들을 포함하며, 출력 구동 회로(112)의 출력 임피던스는 채널(CH1)의 임피던스와 매칭을 시키기 위해 50Ω을 갖게 설계한다. 출력 구동 회로(112)의 출력 임피던스가 채널(CH1)의 임피던스와 매칭되어야 반사파(reflection wave)가 발생하지 않는다.

[0035] 예를 들어, 송신 데이터(TX_DATA)가 로직 "로우" 상태를 가질 때, 제 1 PMOS 트랜지스터(MP1)는 턴온되고, 제 1 NMOS 트랜지스터(MN1)는 턴오프된다. 이 때, 제 1 반도체 장치(110)의 출력 임피던스는 제 1 PMOS 트랜지스터(MP1)의 턴온 저항과 제 1 PMOS 트랜지스터(MP1)와 출력 노드(DQ_0) 사이에 결합된 저항을 합한 값인 50Ω을 갖는다. 마찬가지로, 송신 데이터(TX_DATA)가 로직 "하이" 상태를 가질 때, 제 1 PMOS 트랜지스터(MP1)는 턴오프되고, 제 1 NMOS 트랜지스터(MN1)는 턴온된다. 이 때, 제 1 반도체 장치(110)의 출력 임피던스는 제 1 NMOS 트랜지스터(MN1)의 턴온 저항과 제 1 NMOS 트랜지스터(MN1)와 출력 노드(DQ_0) 사이에 결합된 저항을 합한 값인 50Ω을 갖는다.

[0036] 또한, 제 2 반도체 장치(120)에 포함된 출력 구동 회로(122)의 온 다이 터미네이션부는 제 2 PMOS 트랜지스터(MP2), 제 2 NMOS 트랜지스터(MN2) 및 2 개의 저항들을 포함하며, 출력 구동 회로(122)의 출력 임피던스는 채널(CH1)의 임피던스와 매칭을 시키기 위해 100Ω을 갖게 설계한다.

[0037] 출력 구동 회로(112)에 있는 제 1 PMOS 트랜지스터(MP1)와 제 1 NMOS 트랜지스터(MN1)는 동시에 턴온되지 않으며, 제 2 반도체 장치(120)에 포함된 온 다이 터미네이션 회로(122)에 있는 제 2 PMOS 트랜지스터(MP2)와 제 2 NMOS 트랜지스터(MN2)는 동시에 턴온된다.

[0038] 도 1을 참조하면, 출력신호(DQ_0)의 최소값(VOL) 및 최대값(VOH)은 각각 수학적 식 1과 수학적 식 2와 같이 나타낼 수 있다.

수학적 식 1

[0039]
$$VOL = \frac{50//100}{50//100+100} \times VDD$$

수학적 식 2

[0040]
$$VOH = \frac{100}{50//100+100} \times VDD$$

[0041] 수학적 식 1 및 수학적 식 2에서, VDD가 1.5V일 때, VOL=0.375V, VOH=1.125V가 된다. 따라서, VOH와 VOL의 차이는 750mV가 된다.

[0042] 도 2는 목표 장치가 온 다이 터미네이션 회로를 구비하지 않은 경우 통신 시스템(200)의 출력신호의 전압 스윙을 설명하기 위한 회로도이다.

[0043] 도 2를 참조하면, 통신 시스템(200)은 제 3 반도체 장치(210) 및 제 4 반도체 칩(220)을 포함한다. 제 3 반도체 장치(210)는 출력 구동 회로(212) 및 입력 구동 회로(214)를 포함하고, 제 4 반도체 장치(220)는 입력 구동 회로(224)를 포함한다. 도 2에 도시된 제 4 반도체 장치(220)는 온 다이 터미네이션 회로를 갖지 않는다.

[0044] 도 2를 참조하면, 출력신호(DQ_0)의 최소값(VOL) 및 최대값(VOH)은 각각 수학적 식 3과 수학적 식 4와 같이 나타낼 수 있다.

수학적 식 3

[0045]
$$VOL = \frac{50//\infty}{50//\infty+\infty} \times (VDD - VSS) + VSS = VSS$$

수학적 식 4

[0046]
$$VOH = \frac{\infty}{50//\infty+\infty} \times (VDD - VSS) + VSS = VDD$$

[0047] 수학적 식 3 및 수학적 식 4에서, VDD가 1.5V일 때, VOL=VDD, VOH=VSS가 된다. 따라서, VOH와 VOL의 차이는 VDD-

VSS가 된다.

- [0048] 도 1 및 도 2에 도시된 통신 시스템에서, 출력신호의 전압 스윙을 조절하려면, 고전원전압(VDD)과 저전원전압(VSS)의 값을 바꾸어야 한다.
- [0049] 상기한 바와 같이, 전원전압의 값만 조절하여 출력신호의 전압 스윙을 조절하는 데에는 한계가 있다. 특히, 낮은 출력신호의 전압 스윙이 필요한 경우 전원전압을 너무 낮게 유지하면 구동부를 구성하는 트랜지스터가 턴온되지 않을 수 있으며 트랜지스터의 턴온 저항이 지나치게 증가할 수 있다. 또한, 전원전압의 값을 크게 조절하면 임피던스 매칭에 어려움이 있다.
- [0050] 도 3은 본 발명의 하나의 실시예에 따른 반도체 메모리 장치(1000)를 나타내는 블록도이다.
- [0051] 도 3을 참조하면, 반도체 메모리 장치(1000)는 메모리 코어(1100) 및 메모리 코어(1100)로부터 데이터를 수신하고 버퍼링하여 출력하고, 외부로부터 수신된 입력 데이터를 버퍼링하여 상기 메모리 코어(1100)에 제공하는 입출력 회로(1200)를 포함한다. 입출력 회로(1200)는 출력 회로(1300)와 입력 회로(1400)를 포함한다.
- [0052] 반도체 메모리 장치(1000)는 어드레스(ADDR), 커맨드(CMD) 및 클럭신호(CLK)에 기초하여 여러 가지 제어신호들을 발생하고 이들 제어신호에 기초하여 외부로부터 데이터를 수신하여 메모리 코어(1100)에 저장하거나 메모리 코어(1100)에 저장된 데이터를 출력한다.
- [0053] 출력 회로(1300)는 후술하는 바와 같이, 복수의 구동 제어신호들 및 복수의 병렬 터미네이션 제어신호들에 응답하여 입력 모드에서 온 다이 터미네이션을 수행하고, 출력모드에서 메모리 코어(1100)로부터 제 1 출력신호(DATA_0)를 수신하고 제 1 출력신호(DATA_0)의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하여 제 2 출력신호(DQ_0)를 발생시킨다. 입력 회로(1400)는 입력 모드에서 입출력 노드(NDQ)로부터 입력신호(DQ_I)를 수신하여 버퍼링하고 상기 버퍼링된 입력신호(DATA_I)를 메모리 코어(1100)에 제공한다.
- [0054] 반도체 메모리 장치(1000)의 입출력 노드(NDQ)는 채널(CH1)의 일단에 연결되어 있다. 채널(CH1)의 다른 일단에는 반도체 장치가 결합될 수 있다.
- [0055] 도 4는 도 3의 반도체 메모리 장치(1000)에 포함된 출력 회로(1300)의 하나의 예를 나타내는 블록도이다.
- [0056] 도 4를 참조하면, 출력 회로(1300)는 출력 구동회로(1310) 및 제어 회로(1320)를 포함한다.
- [0057] 제어 회로(1320)는 송신 인에이블 신호(TX_EN), 온 다이 터미네이션 인에이블 신호(ODT_EN), 송신 데이터(TX_DATA), 온 다이 터미네이션 신호들(ODT_240, ODT_120, ODT_60), 송신 데이터 선택 신호들(TX_SW2, TX_SW2_B, TX_SW1, TX_SW1_B, TX_SW0, TX_SW0_B), 및 병렬 터미네이션 신호들(PT_480, PT_240, PT_120)에 기초하여 게이트 제어신호들(DR_60n, DR_120n, DR_240n, DR_60p, DR_120p, DR_240p, PT_120n, PT_240n, PT_480n, PT_120p, PT_240p, PT_480p)을 발생시킨다.
- [0058] 출력 구동회로(1310)는 입력 모드에서 게이트 제어신호들(DR_60n, DR_120n, DR_240n, DR_60p, DR_120p, DR_240p, PT_120n, PT_240n, PT_480n, PT_120p, PT_240p, PT_480p)에 응답하여 온 다이 터미네이션을 수행하고, 출력 모드에서 게이트 제어신호들(DR_60n, DR_120n, DR_240n, DR_60p, DR_120p, DR_240p, PT_120n, PT_240n, PT_480n, PT_120p, PT_240p, PT_480p)에 응답하여 출력신호의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하고 상기 병렬 터미네이션된 출력신호(DQ_0)를 출력한다. 여기서, 출력신호는 송신 데이터(TX_DATA)에 대응한다.
- [0059] 또한, 출력 회로(1300)는 록업 테이블(1330)을 포함한다. 록업 테이블(1330)은 출력신호의 전압 스윙 정보 신호들(SW_300, SW_600, SW_900, SW_1200, SW_1500)에 기초하여 송신 데이터 선택 신호들(TX_SW2, TX_SW2_B, TX_SW1, TX_SW1_B, TX_SW0, TX_SW0_B) 및 병렬 터미네이션 신호들(PT_480, PT_240, PT_120)을 발생시킨다.
- [0060] 도 5는 도 4의 출력 회로(1300)에 포함된 출력 구동 회로(1310)의 하나의 예를 나타내는 회로도이다.
- [0061] 도 5를 참조하면, 출력 구동 회로(1310)는 구동부(1312) 및 병렬 터미네이션부(1314)를 포함한다.
- [0062] 구동부(1312)는 입력 모드(input mode)에서 온 다이 터미네이션을 수행하고 출력 모드(output mode)에서 출력신호(DQ_0)를 출력한다. 병렬 터미네이션부(1314)는 출력 모드에서 출력신호(DQ_0)의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행한다.
- [0063] 구동부(1312)는 제 1 PMOS 트랜지스터(MP11), 제 1 저항(R11), 제 2 저항(R14), 및 제 1 NMOS 트랜지스터(MN11)로 구성된 제 1 회로 가지, 제 2 PMOS 트랜지스터(MP12), 제 3 저항(R12), 제 4 저항(R15), 및 제 2

NMOS 트랜지스터(MN12)로 구성된 제 2 회로 가지, 제 3 PMOS 트랜지스터(MP13), 제 5 저항(R13), 제 6 저항(R16), 및 제 3 NMOS 트랜지스터(MN13)로 구성된 제 3 회로 가지를 포함한다.

[0064] 병렬 터미네이션부(1314)는 제 4 PMOS 트랜지스터(MP14), 제 7 저항(R17), 제 8 저항(R20), 및 제 4 NMOS 트랜지스터(MN14)로 구성된 제 4 회로 가지, 제 5 PMOS 트랜지스터(MP15), 제 9 저항(R18), 제 10 저항(R21), 및 제 5 NMOS 트랜지스터(MN15)로 구성된 제 5 회로 가지, 제 6 PMOS 트랜지스터(MP16), 제 11 저항(R19), 제 12 저항(R22), 및 제 6 NMOS 트랜지스터(MN16)로 구성된 제 6 회로 가지를 포함한다.

[0065] 도 5의 예에서, 각 저항의 저항 값들은 각 저항에 직렬 연결된 MOS 트랜지스터의 턴온 저항을 포함한다. 예를 들어, 제 1 저항(R11)의 저항 값은 제 1 PMOS 트랜지스터(MP11)의 턴온 저항값을 포함한 값이다. 설명의 편의상 MOS 트랜지스터들의 턴온 저항은 생략하였다. 실제로는 MOS 트랜지스터들은 출력 저항의 저항 값의 20~30%의 턴온 저항 값을 가질 수 있다.

[0066] 도 5에서, 구동부(1312)에 공급되는 고전원전압은 VDD이고 저전원전압은 VSS이다. 병렬 터미네이션부(1314)에 공급되는 고전원전압은 VDDA이고 저전원전압은 VSSA이다. 병렬 터미네이션부(1314)에는 구동부(1312)에 공급되는 전원전압과 동일한 전원전압이 공급될 수도 있고, 구동부(1312)에 공급되는 전원전압과 다른 값을 갖는 전원전압이 공급될 수도 있다.

[0067] 도 6은 구동부와 병렬 터미네이션부를 구성하는 회로 가지들을 게이트 제어신호들에 의해 선택한 후의 도 5의 출력 구동 회로(1310a)의 구성을 나타내는 회로도이다.

[0068] 도 6을 참조하면, 출력 구동 회로(1310b)는 제 2 PMOS 트랜지스터(MP12), 제 3 저항(R12), 제 4 저항(R15), 및 제 2 NMOS 트랜지스터(MN12)로 구성된 제 2 회로 가지로 구성된 구동부(1313)와 제 4 PMOS 트랜지스터(MP14), 제 7 저항(R17), 제 8 저항(R20), 및 제 4 NMOS 트랜지스터(MN14)로 구성된 제 4 회로 가지, 및 제 5 PMOS 트랜지스터(MP15), 제 9 저항(R18), 제 10 저항(R21), 및 제 5 NMOS 트랜지스터(MN15)로 구성된 제 5 회로 가지로 구성된 병렬 터미네이션부(1315)를 포함한다.

[0069] 도 6의 예에서, 구동부(1313)는 입력 모드에서 온 다이 터미네이션은 수행하지 않고 출력 모드에서 송신 데이터(TX_DATA)를 버퍼링하여 출력 노드(NDQ)에 제공한다. 도 6에 나타나 있는 160Ω 저항은 도 5의 병렬 터미네이션부(1314)의 제 4 회로 가지에 있는 480Ω 저항과 제 5 회로 가지에 있는 240Ω 저항이 병렬 연결된 저항을 나타낸다.

[0070] 출력 구동 회로(1310b)에서 구동부(1313)를 구성하는 제 2 PMOS 트랜지스터(MP12) 및 제 2 NMOS 트랜지스터(MN12)는 동시에 턴온되지 않는다. 따라서, 출력 구동 회로(1310b)의 출력 임피던스는 서로 병렬 연결된 3 개의 저항의 합이므로 $(120\Omega // 160\Omega // 160\Omega) = 48\Omega$ 으로 채널의 임피던스인 50Ω과 근사한 값을 갖는다. 다시 말해, 도 6에 도시된 바와 같이 회로 가지들을 선택하면, 출력 구동회로(1310b)는 채널(CH1)과 임피던스 매칭이 이루어진다.

[0071] 도 7은 도 4의 출력 회로(1300)에 포함된 제어 회로(1320)의 하나의 예를 나타내는 블록도이다.

[0072] 도 7을 참조하면, 제어 회로(1320)는 구동부 제어신호 발생 회로(1340) 및 병렬 터미네이션부 제어신호 발생 회로(1360)를 포함한다.

[0073] 구동부 제어신호 발생 회로(1340)는 송신 인에이블 신호(TX_EN), 온 다이 터미네이션 인에이블 신호(ODT_EN), 송신 데이터(TX_DATA), 온 다이 터미네이션 신호들(ODT_240, ODT_120, ODT_60), 송신 데이터 선택 신호들(TX_SW2, TX_SW2_B, TX_SW1, TX_SW1_B, TX_SW0, TX_SW0_B)에 기초하여 구동부 게이트 제어신호들(DR_60n, DR_120n, DR_240n, DR_60p, DR_120p, DR_240p)을 발생시킨다. 병렬 터미네이션부 제어신호 발생 회로(1360)는 송신 인에이블 신호(TX_EN) 및 병렬 터미네이션 신호들(PT_480, PT_240, PT_120)에 기초하여 병렬 터미네이션부 게이트 제어신호들(PT_120n, PT_240n, PT_480n, PT_120p, PT_240p, PT_480p)을 발생시킨다.

[0074] 도 8은 도 7의 제어 회로(1320)를 구성하는 구동부 제어신호 발생 회로(1340)를 나타내는 회로도이다.

[0075] 도 8을 참조하면, 구동부 제어신호 발생 회로(1340)는 제 1 NAND 게이트(1341), 제 2 NAND 게이트(1342), 제 3 NAND 게이트(1343), 제 4 NAND 게이트(1344), 제 5 NAND 게이트(1345), 제 6 NAND 게이트(1346), 제 7 NAND 게이트(1347), 제 8 NAND 게이트(1348), 제 9 NAND 게이트(1349)를 포함한다. 또한, 구동부 제어신호 발생 회로(1340)는 제 1 NOR 게이트(1350), 제 2 NOR 게이트(1351), 제 3 NOR 게이트(1352), 제 4 NOR 게이트(1353), 제 5 NOR 게이트(1354), 제 6 NOR 게이트(1355), 제 7 NOR 게이트(1356), 제 8 NOR 게이트(1357), 제 9 NOR 게이트

트(1358)를 포함한다.

- [0076] 제 1 NAND 게이트(1341)는 송신 데이터(TX_DATA), 제 1 송신 데이터 선택 신호(TX_SW2) 및 송신 인에이블 신호(TX_EN)에 대해 비논리곱 연산을 수행한다. 제 2 NAND 게이트(1342)는 제 1 온 다이 터미네이션 신호(ODT_240) 및 온 다이 터미네이션 인에이블 신호(ODT_EN)에 대해 비논리곱 연산을 수행한다. 제 3 NAND 게이트(1343)는 제 1 NAND 게이트(1341)의 출력신호 및 제 2 NAND 게이트(1342)의 출력신호에 대해 비논리곱 연산을 수행하고 제 1 구동부 게이트 제어신호(DR_240n)를 발생시킨다.
- [0077] 제 1 NOR 게이트(1350)는 송신 데이터(TX_DATA), 제 2 송신 데이터 선택 신호(TX_SW2_B) 및 반전 송신 인에이블 신호(TX_EN_B)에 대해 비논리합 연산을 수행한다. 제 2 NOR 게이트(1351)는 제 2 온 다이 터미네이션 신호(ODT_240_B) 및 반전 온 다이 터미네이션 인에이블 신호(ODT_EN_B)에 대해 비논리합 연산을 수행한다. 제 3 NOR 게이트(1352)는 제 1 NOR 게이트(1350)의 출력신호 및 제 2 NOR 게이트(1351)의 출력신호에 대해 비논리합 연산을 수행하고 제 2 구동부 게이트 제어신호(DR_240p)를 발생시킨다.
- [0078] 제 4 NAND 게이트(1344)는 송신 데이터(TX_DATA), 제 3 송신 데이터 선택 신호(TX_SW1) 및 송신 인에이블 신호(TX_EN)에 대해 비논리곱 연산을 수행한다. 제 5 NAND 게이트(1345)는 제 3 온 다이 터미네이션 신호(ODT_120) 및 온 다이 터미네이션 인에이블 신호(ODT_EN)에 대해 비논리곱 연산을 수행한다. 제 6 NAND 게이트(1346)는 제 4 NAND 게이트(1344)의 출력신호 및 제 5 NAND 게이트(1345)의 출력신호에 대해 비논리곱 연산을 수행하고 제 3 구동부 게이트 제어신호(DR_120n)를 발생시킨다.
- [0079] 제 4 NOR 게이트(1353)는 송신 데이터(TX_DATA), 제 4 송신 데이터 선택 신호(TX_SW1_B) 및 반전 송신 인에이블 신호(TX_EN_B)에 대해 비논리합 연산을 수행한다. 제 5 NOR 게이트(1354)는 제 4 온 다이 터미네이션 신호(ODT_120_B) 및 반전 온 다이 터미네이션 인에이블 신호(ODT_EN_B)에 대해 비논리합 연산을 수행한다. 제 6 NOR 게이트(1355)는 제 4 NOR 게이트(1353)의 출력신호 및 제 5 NOR 게이트(1354)의 출력신호에 대해 비논리합 연산을 수행하고 제 4 구동부 게이트 제어신호(DR_120p)를 발생시킨다.
- [0080] 제 7 NAND 게이트(1347)는 송신 데이터(TX_DATA), 제 5 송신 데이터 선택 신호(TX_SW0) 및 송신 인에이블 신호(TX_EN)에 대해 비논리곱 연산을 수행한다. 제 8 NAND 게이트(1348)는 제 5 온 다이 터미네이션 신호(ODT_60) 및 온 다이 터미네이션 인에이블 신호(ODT_EN)에 대해 비논리곱 연산을 수행한다. 제 9 NAND 게이트(1349)는 제 7 NAND 게이트(1347)의 출력신호 및 제 8 NAND 게이트(1348)의 출력신호에 대해 비논리곱 연산을 수행하고 제 5 구동부 게이트 제어신호(DR_60n)를 발생시킨다.
- [0081] 제 7 NOR 게이트(1356)는 송신 데이터(TX_DATA), 제 6 송신 데이터 선택 신호(TX_SW0_B) 및 반전 송신 인에이블 신호(TX_EN_B)에 대해 비논리합 연산을 수행한다. 제 8 NOR 게이트(1357)는 제 6 온 다이 터미네이션 신호(ODT_60_B) 및 반전 온 다이 터미네이션 인에이블 신호(ODT_EN_B)에 대해 비논리합 연산을 수행한다. 제 9 NOR 게이트(1358)는 제 7 NOR 게이트(1356)의 출력신호 및 제 8 NOR 게이트(1357)의 출력신호에 대해 비논리합 연산을 수행하고 제 6 구동부 게이트 제어신호(DR_60p)를 발생시킨다.
- [0082] 도 9는 도 7의 제어 회로(1320)를 구성하는 병렬 터미네이션부 제어신호 발생 회로(1360)를 나타내는 회로도이다.
- [0083] 도 9를 참조하면, 병렬 터미네이션부 제어신호 발생 회로(1360)는 제 1 AND 게이트(1361), 제 2 AND 게이트(1362), 제 3 AND 게이트(1363), 제 1 인버터(1364), 제 2 인버터(1365) 및 제 3 인버터(1366)를 포함한다.
- [0084] 제 1 AND 게이트(1361)는 송신 인에이블 신호(TX_EN) 및 제 1 병렬 터미네이션 신호(PT_480)에 대하여 논리곱 연산을 수행하고 제 1 병렬 터미네이션부 게이트 제어신호(PT_480n)를 발생시킨다. 제 1 인버터(1364)는 제 1 병렬 터미네이션부 게이트 제어신호(PT_480n)의 위상을 반전시키고 제 2 병렬 터미네이션부 게이트 제어신호(PT_480p)를 발생시킨다.
- [0085] 제 2 AND 게이트(1362)는 송신 인에이블 신호(TX_EN) 및 제 2 병렬 터미네이션 신호(PT_240)에 대하여 논리곱 연산을 수행하고 제 3 병렬 터미네이션부 게이트 제어신호(PT_240n)를 발생시킨다. 제 2 인버터(1365)는 제 3 병렬 터미네이션부 게이트 제어신호(PT_240n)의 위상을 반전시키고 제 4 병렬 터미네이션부 게이트 제어신호(PT_240p)를 발생시킨다.
- [0086] 제 3 AND 게이트(1363)는 송신 인에이블 신호(TX_EN) 및 제 3 병렬 터미네이션 신호(PT_120)에 대하여 논리곱 연산을 수행하고 제 5 병렬 터미네이션부 게이트 제어신호(PT_120n)를 발생시킨다. 제 3 인버터(1366)는 제 5 병렬 터미네이션부 게이트 제어신호(PT_120n)의 위상을 반전시키고 제 6 병렬 터미네이션부 게이트 제어신호

(PT_120p)를 발생시킨다.

- [0087] 도 10은 도 4의 출력 회로를 구성하는 록업 테이블의 하나의 예를 나타내는 표이다.
- [0088] 도 10의 표에서, RDRV는 구동부(1312)에서 선택된 회로 가지의 저항 값을, RPT는 병렬 터미네이션부(1314)에서 선택된 회로 가지의 저항 값을, ZOUT는 출력 구동 회로(1310)의 출력 임피던스를, VSUP는 전원전압을, VOH는 출력신호(DQ_0)의 최대값을, VOL은 출력신호(DQ_0)의 최소값을, VSW는 출력신호(DQ_0)의 전압 스윙을 각각 나타낸다. 또한, TX_SW2는 도 7 및 도 8에 도시된 제 1 송신 데이터 선택 신호를, TX_SW1는 제 3 송신 데이터 선택 신호를, TX_SW0는 제 5 송신 데이터 선택 신호를 각각 나타낸다. 또한, PT_480은 도 7 및 도 8에 도시된 제 1 병렬 터미네이션 신호를, PT_240은 제 2 병렬 터미네이션 신호를, PT_120은 제 3 병렬 터미네이션 신호를 각각 나타낸다.
- [0089] 도 10의 표에서 각 행에는 전원전압(VSUP)이 1.5V일 때 출력신호(DQ_0)의 전압 스윙(VSW)의 목표치(300mV, 600mV, 900mV, 1200mV, 1500mV)들 각각에 대한 제어신호들의 로직 상태와 선택된 회로 가지들의 저항 값과 출력 구동 회로(1310)의 출력 임피던스(ZOUT)를 나타낸다. 도 10의 표는 출력 회로가 포함된 반도체 장치에 결합된 채널의 임피던스가 50Ω일 때의 록업 테이블을 나타낸다.
- [0090] 예를 들어, 도 10의 표에서 제 3 행은 출력신호(DQ_0)의 전압 스윙(VSW)의 목표치가 600mV인 경우, TX_SW2는 로직"로우"상태, TX_SW1은 로직"하이"상태, TX_SW0은 로직"로우"상태, PT_480은 로직"하이"상태, PT_240은 로직"하이"상태, PT_120은 로직"로우"상태를 각각 가진다. 또한, 전압 스윙(VSW)의 목표치가 600mV인 경우, 구동부(1312)에서 선택된 회로 가지의 저항 값(RDRV)은 120Ω이고, 병렬 터미네이션부(1314)에서 선택된 회로 가지의 저항 값(RPT)은 160Ω이다. 도 10의 제 3 행과 같이 제어신호들이 선택되었을 때, 출력 임피던스(ZOUT)는 48Ω이고, 출력신호(DQ_0)의 최대값(VOH)은 1.05V, 출력신호(DQ_0)의 최소값(VOL)은 0.45V가 된다.
- [0091] 도 8을 참조하면, TX_SW2는 로직"로우"상태, TX_SW1은 로직"하이"상태, TX_SW0은 로직"로우"상태일 때, DR_240n은 로직"로우"상태, DR_240p는 로직"하이"상태, DR_120n은 로직"하이"상태, DR_120p는 로직"로우"상태, DR_60n은 로직"로우"상태, DR_60p는 로직"하이"상태를 가진다. 도 9를 참조하면, PT_480은 로직"하이"상태, PT_240은 로직"하이"상태, PT_120은 로직"로우"상태일 때, PT_480n은 로직"하이"상태를, PT_480p는 로직"로우"상태를, PT_240n은 로직"하이"상태를, PT_240p는 로직"로우"상태를, PT_120n은 로직"로우"상태를, PT_120p는 로직"하이"상태를 가진다.
- [0092] 이 조건에서, 도 5에 도시된 출력 구동 회로(1310)의 구동부(1312)에서 제 2 PMOS 트랜지스터(MP12), 제 3 저항(R12), 제 4 저항(R15), 및 제 2 NMOS 트랜지스터(MN12)로 구성된 제 2 회로 가지가 선택된다. 또한, 출력 구동 회로(1310)의 병렬 터미네이션부(1314)에서 제 4 PMOS 트랜지스터(MP14), 제 7 저항(R17), 제 8 저항(R20), 및 제 4 NMOS 트랜지스터(MN14)로 구성된 제 4 회로 가지, 및 제 5 PMOS 트랜지스터(MP15), 제 9 저항(R18), 제 10 저항(R21), 및 제 5 NMOS 트랜지스터(MN15)로 구성된 제 5 회로 가지가 선택된다.
- [0093] 도 10의 표의 제 3 행의 조건에 의해 도 5의 출력 구동 회로(1310)는 전기적으로 도 6에 도시된 회로 구성(1310b)을 가진다. 도 6에서, 구동부(1313)는 입력 모드에서 온 다이 터미네이션은 수행하지 않고 출력 모드에서 송신 데이터(TX_DATA)를 버퍼링하여 출력 노드(NDQ)에 제공한다. 도 6에 나타나 있는 160Ω 저항은 도 5의 병렬 터미네이션부(1314)의 제 4 회로 가지에 있는 480Ω 저항과 제 5 회로 가지에 있는 240Ω 저항이 병렬 연결된 저항을 나타낸다.
- [0094] 도 11a 내지 도 11e는 전원전압 1.5v, 동작 온도 100°C에서, 출력신호의 전압 스윙에 따른 도 4의 출력 회로의 출력 파형을 나타내는 파형도이다. 도 11a는 출력신호의 전압 스윙이 300mV일 때 출력 회로의 출력 파형을, 도 11b는 출력신호의 전압 스윙이 600mV일 때 출력 회로의 출력 파형을, 도 11c는 출력신호의 전압 스윙이 900mV일 때 출력 회로의 출력 파형을, 도 11d는 출력신호의 전압 스윙이 1200mV일 때 출력 회로의 출력 파형을, 도 11e는 출력신호의 전압 스윙이 1500mV일 때 출력 회로의 출력 파형을 각각 나타낸다.
- [0095] 도 11a 내지 도 11e에 도시된 바와 같이, 본 발명의 실시예에 따른 출력 회로는 출력 신호의 전압 스윙이 낮은 값에서부터 높은 값까지 높은 충실도(signal integrity)를 갖는 출력신호를 발생하고 있음을 알 수 있다.
- [0096] 상기에서는 도 5를 참조하여 풀업 저항과 풀다운 저항이 동일한 값을 갖는 출력 구동 회로에 대해 기술하였지만, 도 5의 출력 구동 회로에서 풀업 저항과 풀다운 저항은 서로 다른 값을 가질 수도 있다. 예를 들면, 병렬 터미네이션부의 풀업 저항들과 풀다운 저항들의 저항 값을 다르게 설정하여 출력신호의 공통 모드(common mode) 전압 레벨을 조절할 수 있다.

- [0097] 상기에서는 주로 출력 회로를 포함하는 반도체 메모리 장치에 대해 기술하였지만, 본 발명은 출력 회로를 포함하는 반도체 장치 및 채널을 통해 통신하는 반도체 장치들을 포함하는 시스템에 적용이 가능하다.
- [0098] 상기와 같이, 본 발명의 실시예에 따른 출력 회로는 채널의 임피던스와의 매칭되는 출력 임피던스를 유지하면서 적응적으로 출력신호의 전압 스윙을 조절할 수 있다.
- [0099] 구동부와 병렬 터미네이션부를 구비한 출력 구동 회로는 고전원전압(VDD, VDDA) 및 저전원전압(VSS, VSSA)까지 조절하면 더욱 낮은 레벨을 갖는 출력신호를 정밀하게 조절할 수 있다.
- [0100] 도 12는 본 발명의 실시예에 따른 출력 회로를 갖는 반도체 장치들(2100, 2200)이 채널을 통해 결합된 통신 시스템(2000)을 나타내는 블록도이다.
- [0101] 도 12를 참조하면, 통신 시스템(2000)은 채널들(CH1, CH2, ..., CHn), 및 채널들(CH1, CH2, ..., CHn)을 통해 통신을 하는 반도체 장치들(2100, 2200)을 포함한다. 입출력 회로들(2110, 2210)은 각각 출력 회로와 입력 회로를 포함한다. 입출력 회로들(2110, 2210)에 포함된 출력 회로는 도 4에 도시된 출력 회로(1300)의 회로 구성을 가질 수 있다.
- [0102] 입출력 회로들(2110, 2210)에 포함된 출력 회로는 복수의 구동 제어신호들 및 복수의 병렬 터미네이션 제어신호들에 응답하여 입력 모드에서 온 다이 터미네이션을 수행하고, 출력 모드에서 상기 게이트 제어신호들에 응답하여 출력 신호의 전압 스윙을 조절하기 위해 가변 병렬 터미네이션을 수행하고 상기 병렬 터미네이션된 출력 신호를 출력한다. 입력 회로는 입력 모드에서 입출력 노드로부터 입력신호를 수신하여 버퍼링하고 상기 버퍼링된 입력신호를 내부 회로에 제공한다.
- [0103] 입출력 회로들(2110, 2210)에 포함된 출력 회로는 채널의 임피던스와의 매칭되는 출력 임피던스를 유지하면서 적응적으로 출력신호의 전압 스윙을 조절할 수 있다.

산업이용 가능성

- [0104] 본 발명은 통신 시스템에 적용이 가능하며, 특히 채널을 통해 통신하는 반도체 장치들을 포함하는 통신 시스템에 적용이 가능하다.
- [0105] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

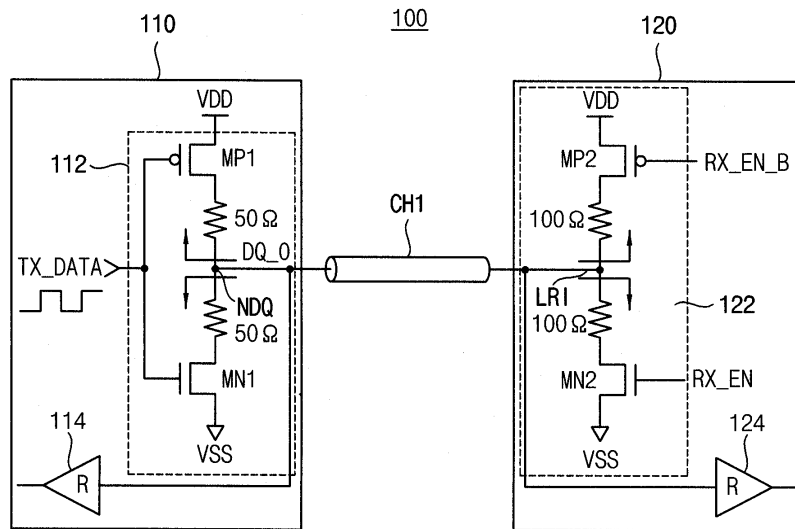
- [0106] 도 1은 목표 장치(destination device)가 온 다이 터미네이션 회로를 구비한 경우 통신 시스템의 출력신호의 전압 스윙을 설명하기 위한 회로도이다.
- [0107] 도 2는 목표 장치가 온 다이 터미네이션 회로를 구비하지 않은 경우 통신 시스템의 출력신호의 전압 스윙을 설명하기 위한 회로도이다.
- [0108] 도 3은 본 발명의 하나의 실시예에 따른 반도체 메모리 장치를 나타내는 블록도이다.
- [0109] 도 4는 도 3의 반도체 메모리 장치에 포함된 출력 회로의 하나의 예를 나타내는 블록도이다.
- [0110] 도 5는 도 4의 출력 회로에 포함된 출력 구동 회로의 하나의 예를 나타내는 회로도이다.
- [0111] 도 6은 도 5의 출력 구동 회로에서 구동부와 병렬 터미네이션부를 구성하는 회로 가지들을 게이트 제어신호들에 의해 선택한 나타내는 회로도이다.
- [0112] 도 7은 도 4의 출력 회로에 포함된 제어 회로의 하나의 예를 나타내는 블록도이다.
- [0113] 도 8은 도 7의 제어 회로를 구성하는 구동부 제어신호 발생 회로를 나타내는 회로도이다.
- [0114] 도 9는 도 7의 제어 회로를 구성하는 병렬 터미네이션부 제어신호 발생 회로를 나타내는 회로도이다.
- [0115] 도 10은 도 4의 출력 회로를 구성하는 록업 테이블의 하나의 예를 나타내는 표이다.
- [0116] 도 11a 내지 도 11e는 출력신호의 전압 스윙에 따른 도 4의 출력 회로의 출력 파형을 나타내는 파형도이다.
- [0117] 도 12는 본 발명의 실시예에 따른 출력 회로를 갖는 반도체 장치들이 채널을 통해 결합된 통신 시스템을 나타내

는 블록도이다.

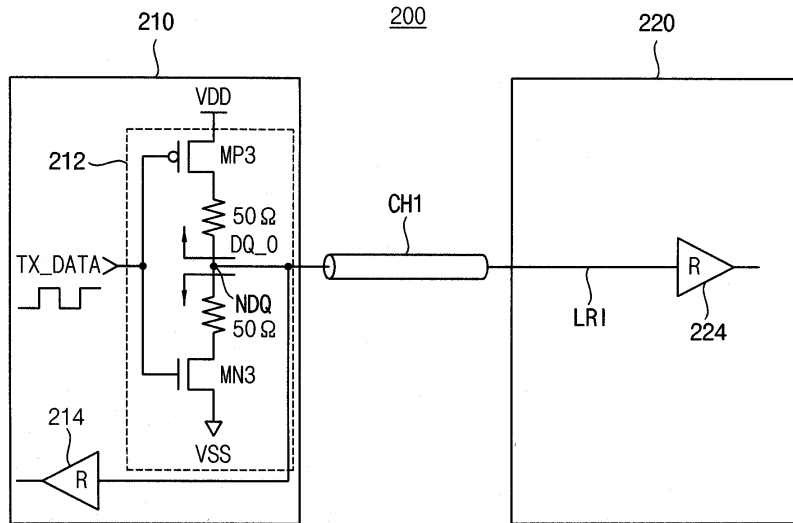
- [0118] <도면의 주요부분에 대한 부호의 설명>
- [0119] 100, 200, 2000 : 통신 시스템
- [0120] 110, 120, 210, 220, 1000, 2100, 2200 : 반도체 장치
- [0121] 1100 : 메모리 코어
- [0122] 1200 : 입출력 회로
- [0123] 1300 : 출력 회로
- [0124] 1310 : 출력 구동 회로
- [0125] 1312, 1313 : 구동부
- [0126] 1314, 1315 : 병렬 터미네이션부
- [0127] 1320 : 제어 회로
- [0128] 1330 : 록업 테이블
- [0129] 1340 : 구동부 제어신호 발생 회로
- [0130] 1360 : 병렬 터미네이션부 제어신호 발생 회로
- [0131] 1400 : 입력 회로

도면

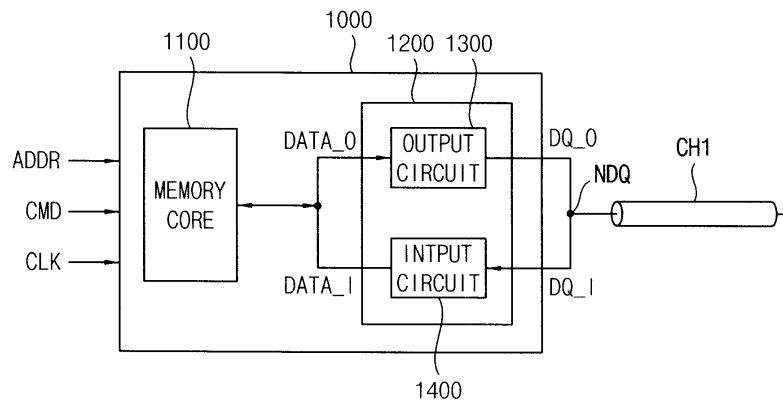
도면1



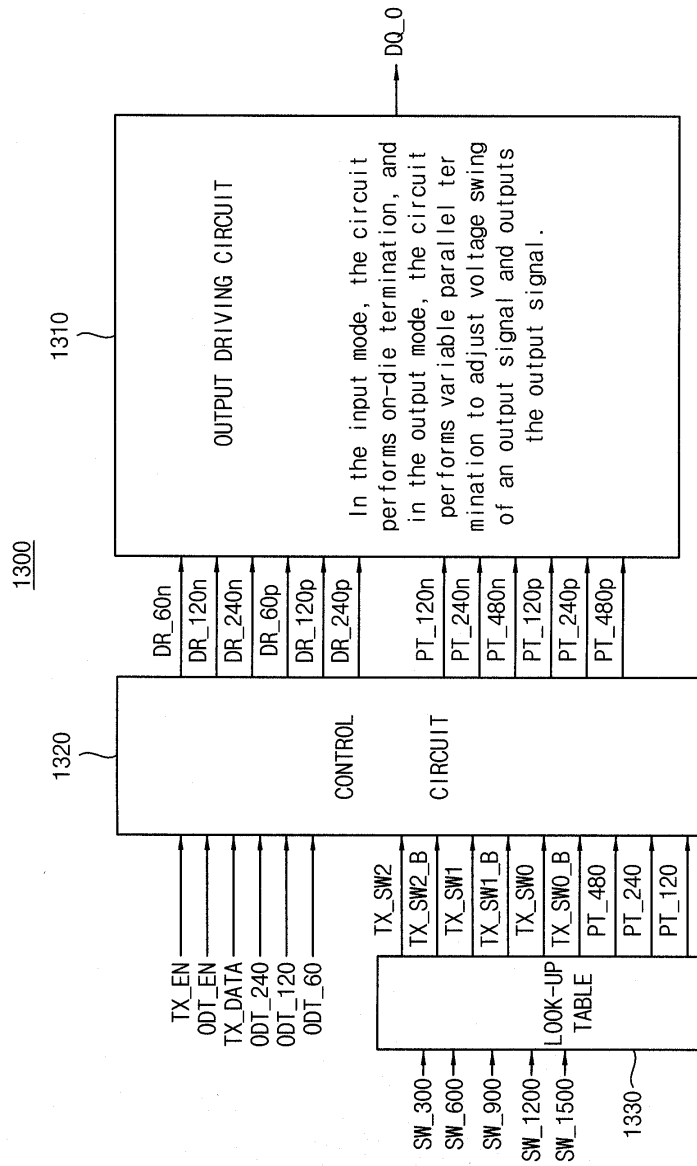
도면2



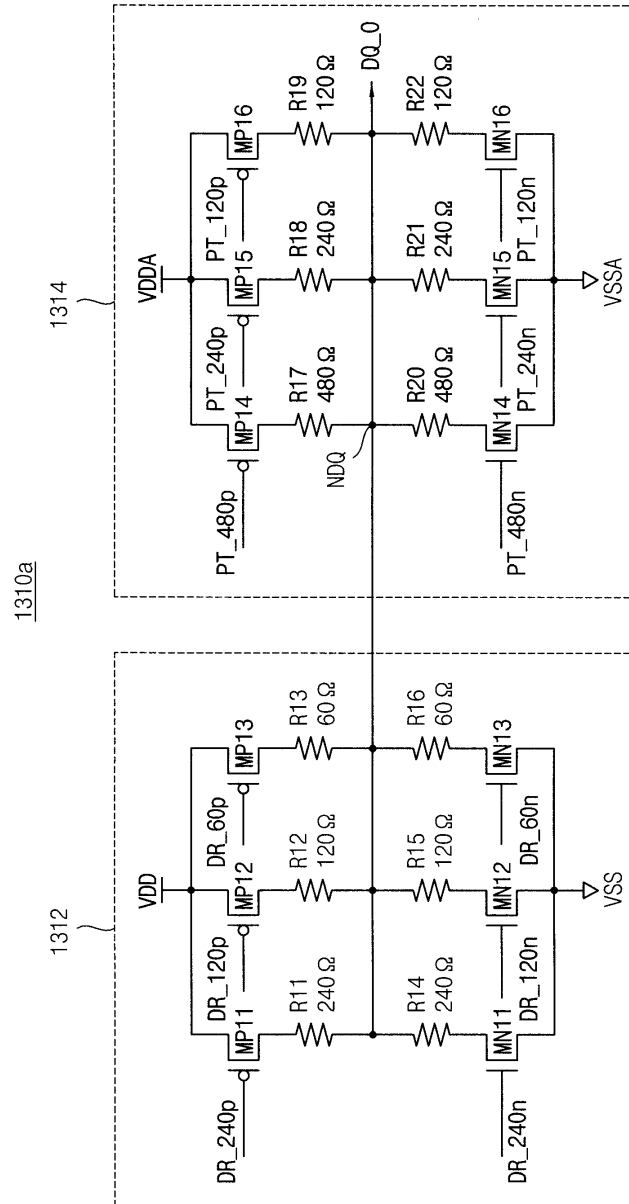
도면3



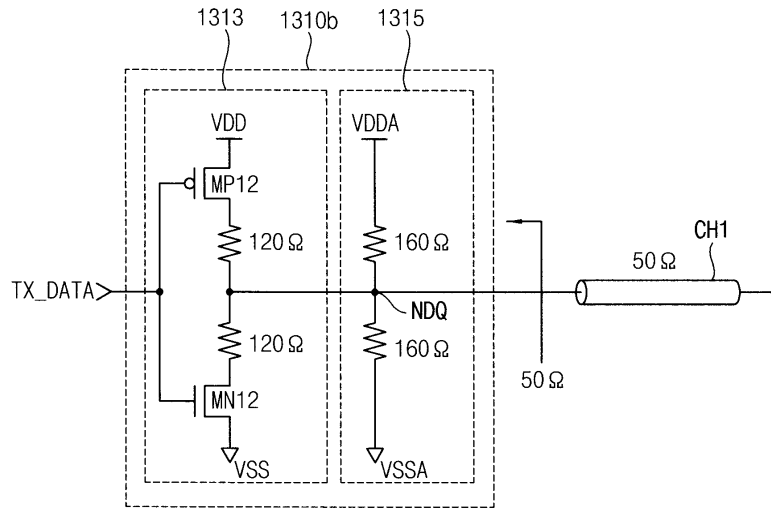
도면4



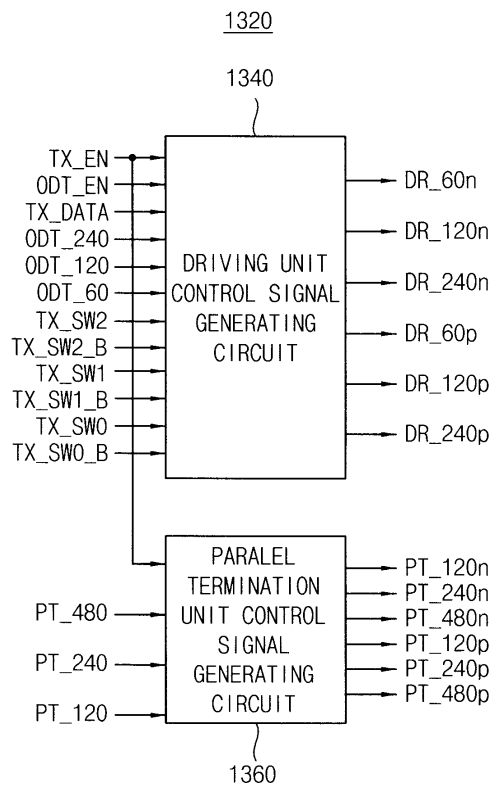
도면5



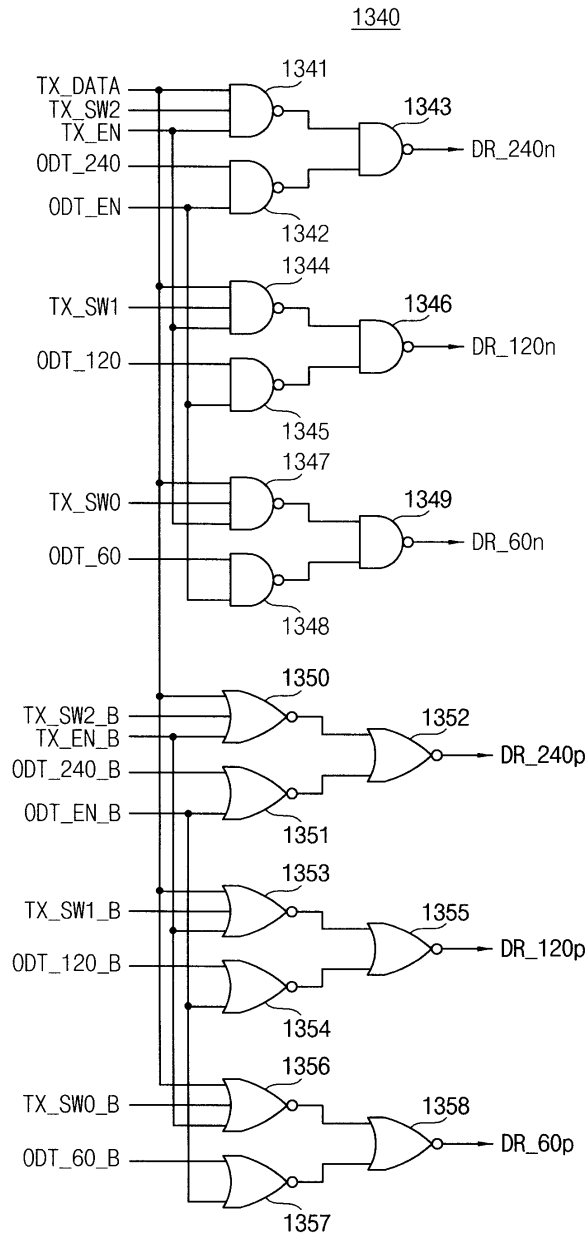
도면6



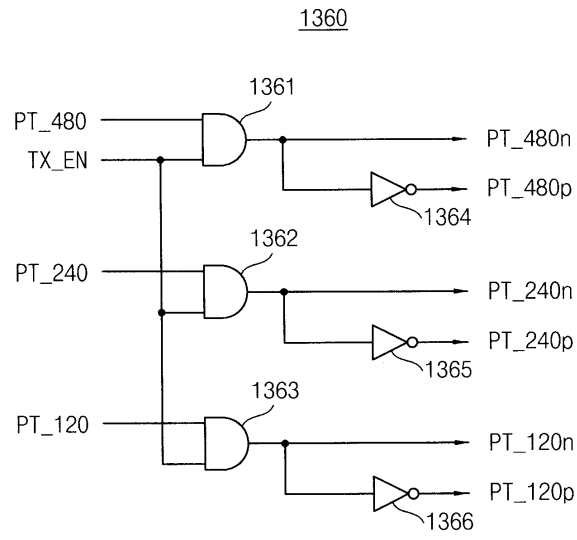
도면7



도면8



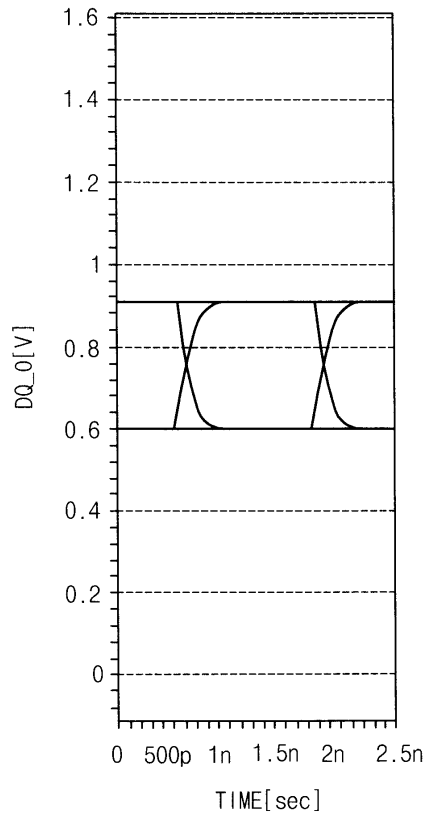
도면9



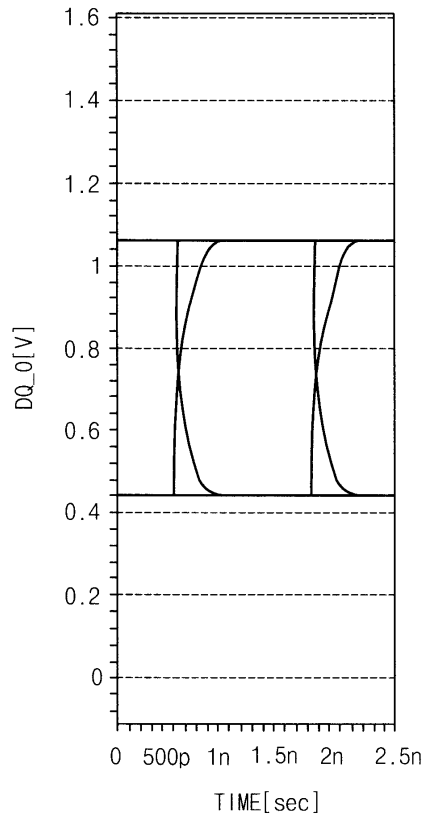
도면10

RDRV[Ω]	RPT[Ω]	ZOUT[Ω]	VSUP[V]	VOH[V]	VOL[V]	VSW[mV]	TX_SW2	TX_SW1	TX_SW0	PT_480	PT_240	PT_120
240	120	48	1.5	0.90	0.60	300	H	L	L	L	L	H
120	160	48	1.5	1.05	0.45	600	L	H	L	H	H	L
80	240	48	1.5	1.20	0.30	900	H	H	L	L	H	L
60	480	48	1.5	1.35	0.15	1200	L	L	H	H	L	L
48	∞	48	1.5	1.50	0.00	1500	H	H	H	L	L	L

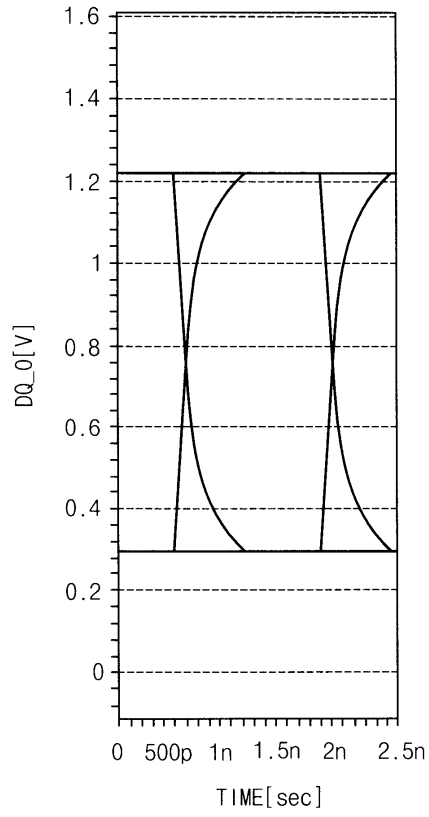
도면11a



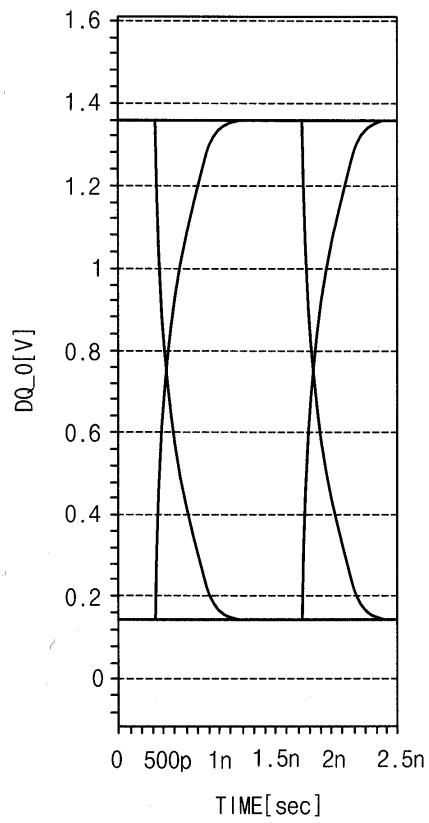
도면11b



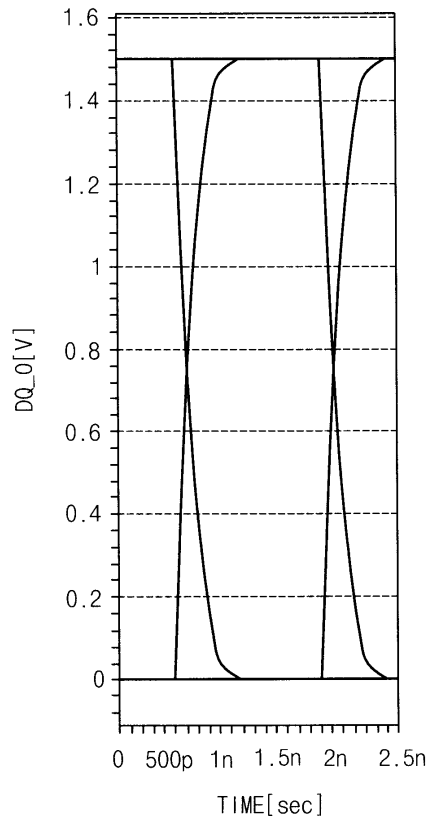
도면11c



도면11d



도면11e



도면12

