



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 601 02 230 T2 2005.03.03**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 281 178 B1**

(51) Int Cl.7: **G11C 15/04**

(21) Deutsches Aktenzeichen: **601 02 230.0**

(86) PCT-Aktenzeichen: **PCT/SE01/00483**

(96) Europäisches Aktenzeichen: **01 914 269.4**

(87) PCT-Veröffentlichungs-Nr.: **WO 01/67456**

(86) PCT-Anmeldetag: **07.03.2001**

(87) Veröffentlichungstag
der PCT-Anmeldung: **13.09.2001**

(97) Erstveröffentlichung durch das EPA: **05.02.2003**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **03.03.2004**

(47) Veröffentlichungstag im Patentblatt: **03.03.2005**

(30) Unionspriorität:

187895 P	08.03.2000	US
666844	21.09.2000	US

(84) Benannte Vertragsstaaten:

**AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,
LI, LU, MC, NL, PT, SE, TR**

(73) Patentinhaber:

**Telefonaktiebolaget LM Ericsson (publ),
Stockholm, SE**

(72) Erfinder:

**KLING, Örjan, Lars, S-152 57 Södertälje, SE; AHL,
Otto, Hakan, S-113 21 Stockholm, SE;
TORKESSON, Gunnar, Kjell, S-128 38 Skarpnäck,
SE**

(74) Vertreter:

HOFFMANN & EITL, 81925 München

(54) Bezeichnung: **MEHRFACHEINTRAGSVERGLEICH IN EINEM INHALTSADRESSIERBAREN SPEICHER**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND

[0001] Die vorliegende Erfindung bezieht sich auf Computerspeichervorrichtungen und insbesondere auf inhaltsadressierbare Speicher.

[0002] Ein konventioneller inhaltsadressierbarer Speicher (CAM) **101** ist in **Fig. 1** dargestellt. Ein CAM **101** kann als eine computerzugreifbare Speichervorrichtung betrachtet werden, die im Vergleich zu typischen adressierbaren Speichern einen inversen Typ eines Zugriffs aufweist. Zum Beispiel wird auf einen typischen Zufalls-Zugriffs-Speicher, bzw. Random Access Memory (RAM), mittels eines Adress-Ports zugegriffen. Man liefert eine Adresse an den Adress-Port, und der RAM liefert an seinen Ausgang den Datenwert, der auf dem Speicherplatz gespeichert ist, der durch die Adresse bezeichnet wird. Im Gegensatz greift man auf einen CAM **101** zu durch Liefern von Daten, die von Interesse sind (bezeichnet als ein "Comparand"), an einen Comparand-Eingang-Port **103**. Der Comparand wird repräsentiert als ein Dreifach-Wert für jedes Bit "0", "1" oder "***", wobei der letzte als eine Wild Card interpretiert wird. Jeder Speichereintrag **105** in dem CAM **101** schließt eine Logik ein oder gehört anderweitig dazu, die den in dem Eintrag **105** gespeicherten Wert mit dem Comparand vergleicht. (Jeder Wert wird so betrachtet, dass er auf einen Wert "***" passt.) Die resultierenden Signale, die jeweils anzeigen, ob eine Übereinstimmung aufgetreten ist, werden an einen Prioritätskodierer **107** geliefert, der eine Adresse **109** erzeugt, die einen der passenden (matching) Einträge anzeigt (z.B. die niedrigste Adresse, die zu einem passenden Eintrag **105** gehört).

[0003] CAMs werden zunehmend verwendet, um massive parallele Suchen über eine große Anzahl von Daten zu implementieren. Zum Beispiel erfordern in dem Internetprotokoll (IP) das Weiterleiten und Klassifizieren von Paketen jeweils eine Suche einer großen bis massiven Datenbasis. Ein IP-Weiterleitungsverweis bzw. -lookup ist das Problem des Verwendens der Bestimmungsadresse eines ankommenden Paketes, um einen passenden unter Zig-Tausenden von Routing-Tafel-Einträgen zu finden. Ist einmal ein bester passender Eintrag gefunden, wird er verwendet, um den nächsten Sprung für das Paket zu bestimmen. Die Routing-Tafel kann verschiedene passende Einträge enthalten, wobei der mit der geringsten Anzahl von "Wild Cards" als die beste Übereinstimmung (matching) betrachtet wird.

[0004] IP-Klassifizierung ist das mehr generelle Problem einer Verwendung ausgewählter Teile der IP und höherer Pegel-Header eines hereinkommenden Paketes, um einen passenden unter hundert bis tausend Klassifikationseinträgen zu finden. Ist einmal

ein höchster Prioritätseintrag gefunden, wird er für verschiedene Zwecke verwendet, etwa Filtern, IP-Sicherheitsauswahl und virtuelles Routing.

[0005] Das IP-Weiterleitungslookup-Problem kann behandelt werden durch Erweitern des Basis-CAM-Prinzips, um den Bits von gespeicherten Dateneinträgen zu erlauben, Wild-Card-Werte anzunehmen. Auf diese Weise erweiterte CAMs werden Dreifach-CAMs genannt. Mit einem derartigen erweiterten CAM werden die Routing-Tafel-Einträge einer nach dem anderen direkt in dem CAM gespeichert. Die Bestimmungsadresse des Pakets wird einfach dem CAM als ein Comparand präsentiert (ohne Wild Cards), der die Übereinstimmung in einem einzelnen Zugriff durchführt. Die Adresse, die durch den CAM erzeugt wird, wird verwendet, um weitere (nicht zugehörige) Routing-Daten von einem Standard-RAM zu lesen.

[0006] Die Aufgabe eines Aktualisierens bzw. Updatens des CAM ist einfach, da alle Daten direkt mit einem Routing-Eintrag korrespondieren. Die einzige Berücksichtigung ist, dass Einträge in der Reihenfolge gespeichert werden sollten, die auf der Anzahl von Wild Cards beruhen. Somit kann eine Wiederplatzierung notwendig sein, wenn Updates gemacht werden.

[0007] Durch konventionelle CAMs wird das IP-Klassifikationsproblem verbessert, aber nicht völlig behandelt. Durch Betrachten aller möglichen Übereinstimmungsstrategien erscheint es zur Zeit, dass das triviale Verfahren einer Übereinstimmung gegen jeden Tafel-Eintrag durch Lesen desselben, einer nach den anderen, Performance-Erfordernissen nicht gerecht wird. Somit sind verschiedene Verfahren verwendet worden, die Baum-Repräsentationen verwenden. Insbesondere kann die Routing-Tafel in einen Baum kompiliert werden, der in einem RAM gespeichert ist. Der Baum ist von den Wurzeln bis zu den Blättern durchquert. In jedem Knoten wird ein Unterfeld der Bestimmungsadresse zusammen mit Knoten-spezifischen Daten verwendet, um zu entscheiden, welcher Zweig des Baums als der nächste Schritt ausgewählt wird. Die Routing-Einträge gehören zu einigen Knoten oder Blättern in dem Baum. Schließlich wird eine beste Übereinstimmung gefunden.

[0008] Das Problem bei diesen Verfahren ist, dass sie abhängig von Implementationsauswahlen entweder eine große Anzahl von Zyklen benötigen, um den Baum zu durchqueren, oder alternativ eine große Verschwendung von Speicher benötigen (einige Größenordnungen mehr als für die Einträge benötigt). Dieses Problem ist insbesondere unter Berücksichtigung des Klassifikationsproblems akut, weil die Übereinstimmungskriterien ziemlich allgemein sind und die Anzahl von Bits zum übereinstimmen sehr

hoch ist. Eine mögliche Lösung ist es, das Problem in ein mehrdimensionales Suchproblem aufzuteilen, wobei jedes oder eine Anzahl von Feldern in den Headern eine Dimension repräsentiert. Vielfach einfachere Suchen werden dann in jeder Dimension durchgeführt, und die Ergebnisse werden in irgendeiner Weise in einem zweiten Schritt kombiniert. Jedoch werden verschiedene Klassifikationseinträge sich miteinander überlappen, wenn sie in eine Dimension projiziert werden, die eine außerordentliche Komplexität in beiden Schritten des Problems erzeugt.

[0009] Anwenden eines konventionellen CAM auf das IP-Klassifikationsproblem vereinfacht die Suche in jeder der Dimensionen. Jedoch stellt die Verwendung von konventionellen CAMs keine direkte Lösung bereit, um die Ergebnisse in dem oben beschriebenen zweiten Schritt des mehrdimensionalen Übereinstimmungsproblems zu kombinieren.

[0010] Wie gewöhnliche Speicher, ist ein konventioneller CAM als eine Anzahl von Einträgen angeordnet, wobei jeder ein Datenwort einer festgelegten Breite hält. Ein Übereinstimmen ist begrenzt auf diese Breite. Konventionelle CAMs bieten keinen allgemeinen und schnellen Weg, um Übereinstimmungen zu einem Comparand größer als die Breite einer Zelle zu machen.

[0011] US 5,440,715 offenbart einen CAM, der eine Möglichkeit aufweist, um einen sequentiellen Vergleich einer variablen Anzahl von mehrfachen CAM-Worten bereitzustellen.

ZUSAMMENFASSUNG

[0012] Gemäß einem Aspekt der vorliegenden Erfindung wird das vorherige und andere Ziele erreicht durch einen inhaltsadressierbaren Speicher, der eine Matrix von Zellen umfasst, die $(n+1)$ Spalten und m Zeilen aufweist, wobei n und m jeweils ganze Zahlen größer oder gleich 1 sind, und wobei jede Zeile von Zellen umfasst: n Datenspeicherzellen, eine Trägerspeicherzelle, eine Wortvergleichslogik und eine Trägerschreiblogik.

[0013] Jede der n Datenspeicherzellen umfasst: eine Speicherlogik zum Speichern eines entsprechenden einen von n Datensignalen, einen Eingang zum Empfangen eines entsprechenden einen von n Comparand-Datensignalen und eine Bit-Vergleichslogik, die ein Bit-Vergleichssignal erzeugt, das anzeigt, ob das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt.

[0014] Die Trägerspeicherzelle umfasst: einen ersten Eingang zum Empfangen eines Trägerdatensignals, eine Speicherlogik zum Speichern des Träger-

datensignals, einen zweiten Eingang zum Empfangen eines Träger-Comparand-Datensignals und eine Trägerschreiblogik, die ein Trägerschreibsignal erzeugt, das anzeigt, ob das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt.

[0015] Die Wortvergleichslogik erzeugt ein Wortvergleichssignal, das anzeigt, ob jedes der Bit-Vergleichssignale in der Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt, und dass das Trägerschreibsignal in der Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt.

[0016] Die Trägerschreiblogik erzeugt ein Trägerspeicherzellenschreibsignal nur, wenn das durch die Wortvergleichslogik in einer vorangegangenen Zeile von Zellen erzeugte Wortvergleichssignal anzeigt, dass jedes der Bit-Vergleichssignale in der vorangegangenen Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt, und dass das Trägerschreibsignal in der vorangegangenen Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt.

[0017] Gemäß einem anderen Aspekt der Erfindung kann jedes der n Comparand-Datensignale und der Träger-Comparand-Datensignale ein Dreifach-Wert sein, ausgewählt aus einer Gruppe von Werten, die aus "0", "1" und "don't care" besteht, und wobei der "don't care"-Wert auf irgendeinen der Dreifach-Werte passt.

[0018] Gemäß einem anderen Aspekt der Erfindung umfasst die Trägerschreiblogik weiterhin einen Schreibeingangs-Port zum Empfangen eines Trägerschreibsignals, und die Trägerschreiblogik erzeugt das Trägerspeicherzellenschreibsignal nur, wenn das Trägerschreibsignal durchgesetzt wird und das durch die Wortvergleichslogik erzeugte Wortvergleichssignal in einer vorangegangenen Zeile von Zellen anzeigt, dass jedes der Bit-Vergleichssignale in der vorangegangenen Zelle anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägerschreibsignal in der vorangegangenen Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt.

[0019] Gemäß einem anderen Aspekt der Erfindung umfasst die Wortvergleichslogik das Bit-Vergleichssignal in der Zeile, die zusammen "wire ANDed" ist.

[0020] Gemäß einem anderen Aspekt der Erfindung werden Techniken und Vorrichtungen zum Betreiben des erfinderischen inhaltsadressierbaren Speichers

bereitgestellt. Die Betriebstechniken schließen ein: Speichern von einem oder mehreren Daten-Merkmalen bzw. -Items in dem inhaltsadressierbaren Speicher, wobei jedes Daten-Item eine Mehrzahl von Bruchteilen umfasst, die voneinander unterscheidbar sind, und wobei für jedes Daten-Item die Bruchteile in verschiedenen Zeilen des inhaltsadressierbaren Speichers gespeichert sind, Löschen des gespeicherten Trägerdatensignals in jeder der Zeilen und sequentielles Liefern von Bruchteilen eines Comparand-Daten-Items an die Eingänge an die n Datenspeicherzellen und an die zweiten Eingänge der Trägerspeicherzellen, wobei ein erster der Bruchteile des Comparand-Daten-Items einen Trägerteil umfasst, der nicht gleich einem "1"-Wert gesetzt ist, und verbleibende der Bruchteile des Comparand-Daten-Items jeweils einen Trägerteil umfassen, der gleich einem "1"-Wert gesetzt ist, wobei ein Durchsetzen von einem der Wortvergleichssignale anzeigt, dass alle der Bruchteile von einem gespeicherten Daten-Item auf die entsprechenden gelieferten Bruchteile des Comparand-Daten-Items passen.

[0021] Beim Praktizieren einiger Ausführungsbeispiele dieses Aspektes der Erfindung werden die Bruchteile in aufeinanderfolgenden Zeilen des inhaltsadressierbaren Speichers gespeichert.

[0022] Gemäß einem anderen Aspekt der Erfindung kann jeder Bruchteil des Comparand-Daten-Items umfassen: einen Comparand-Datenbruchteil, einen Comparand-Tag-Teil und einen Trägerteil. Der Comparand-Tag-Teil kann nützlich sein zum Beispiel zum Spezifizieren, welche Position der Bruchteil in der Sequenz von Bruchteilen besetzt, die das Comparand-Daten-Item ausmachen. Durch Setzen von Werten der Comparand-Tag-Teile, derart dass für jeden Bruchteil des Comparand-Daten-Items der Comparand-Tag-Teil auf einen Wert gesetzt wird, der den Bruchteil von anderen Bruchteilen des Comparand-Daten-Items unterscheidet, ist der Verwender in der Lage sicherzustellen, dass eine Übereinstimmung nur auftritt, wenn die gleichen Sequenzen von Bruchteilen in dem inhaltsadressierbaren Speicher gefunden werden.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0023] Die Ziele und Vorteile der Erfindung werden durch Lesen der folgenden detaillierten Beschreibung in Verbindung mit den Zeichnungen verstanden, in denen

[0024] Fig. 1 ein Blockdiagramm eines konventionellen inhaltsadressierbaren Speichers ist,

[0025] Fig. 2 ein Blockdiagramm einer Speichermatrix eines konventionellen CAM ist,

[0026] Fig. 3 ein Blockdiagramm einer Speicherma-

trix ist, die gemäß einem Aspekt der Erfindung erweitert worden ist, und

[0027] Fig. 4 eine beispielhafte Technik zum Verwenden des erfinderischen CAM ist zum Durchführen einer Übereinstimmungsoperation über mehrere Einträge.

DETAILLIERTE BESCHREIBUNG

[0028] Die verschiedenen Merkmale der Erfindung werden nun beschrieben unter Bezugnahme auf die Figuren, in denen gleiche Teile jeweils mit gleichen Bezugszeichen bezeichnet werden.

[0029] Die Erfindung bezieht sich auf Verfahren und Vorrichtungen für Übereinstimmungen über mehrere Einträge in einem CAM. Gemäß einem Aspekt der Erfindung wird das erreicht durch Bereitstellen einer speziellen Trägerzellenlogik in dem Speicher. Die Trägerzellenlogik erlaubt jeder Zelle, eine Übereinstimmung zu erzeugen, die nicht nur darauf basiert, ob dieser Zelleninhalt auf einen derzeit angewendeten Comparand passt, sondern auch, ob eine benachbarte Zelle auf einen zuvor angewendeten Comparand passt.

[0030] Diese und andere Aspekte der Erfindung werden nun detaillierter beschrieben in Verbindung mit einer Anzahl beispielhafter Ausführungsformen. Um das Verständnis der Erfindung zu erleichtern, werden eine Anzahl von Aspekten der Erfindung beschrieben, betreffend Abfolgen von Aktionen, die durch Elemente spezialisierter Hardware oder eines Computersystems durchgeführt werden. Es wird bemerkt, dass in jedem der Ausführungsbeispiele die verschiedenen Aktionen durch spezialisierte Schaltkreise (z.B. diskrete Logik-Gatter, untereinander verbunden, um eine spezialisierte Funktion durchzuführen), durch Programmbefehle, die durch einen oder mehr Prozessoren ausgeführt werden, oder durch eine Kombination von beiden durchgeführt werden können. Darüber hinaus kann die Erfindung zusätzlich betrachtet werden als in Gänze verkörpert innerhalb jeder Form von computerlesbarem Speichermedium, das Signale gespeichert hält, die einen geeigneten Satz von Computerbefehlen repräsentieren, die einen Prozessor veranlassen, die darin beschriebene Technik auszuführen. Computerlesbare Speichermedien schließen statische oder dynamische Zufallszugriffsspeicher bzw. Random Access Memories (SRAM oder DRAM), Nur-Lesespeicher bzw. Read Only Memory (ROM), magnetische Speichermedien (z.B. Disketten, Platten oder Bänder) und optische Medien (z.B. Compact Disk ROM oder CD-ROM) ein, sind jedoch nicht darauf beschränkt. Somit werden die verschiedenen Aspekte der Erfindung in vielen verschiedenen Formen verkörpert, und all diese Formen werden als innerhalb des Schutzbereiches der Erfindung liegend betrachtet.

Für jeden der verschiedenen Aspekte der Erfindung kann irgendeine derartige Form von Ausführungsbeispielen hiernach bezeichnet werden als "Logik, die" eine beschriebene Aktion durchführt.

[0031] Bezugnehmend auf **Fig. 2** ist dies ein Blockdiagramm einer Speichermatrix **201** eines konventionellen CAM **101**. Der CAM **101** ist organisiert als m Einträge, wobei jeder ein Wort von n Bits hält. Jede CAM-Zelle $u_{i,j}$ speichert ein Daten-Bit $s_{i,j}$ eines Wortes i . Die n Vertikal-Datenleitungen d_j halten die Comparand-Eingangsdaten während einer Übereinstimmung. Die m horizontalen "wired AND"-Leitungen, $\&_i$, berechnen das Ergebnis einer Übereinstimmung. Dieses Ergebnis wird durch Verstärker **302** verstärkt und als ein Ausgang an den Prioritäts-Codierer (in **Fig. 2** nicht gezeigt) präsentiert auf m passenden Signalen m_i . Die Logik zum Schreiben von Daten in die Zellen ist bekannt und für die Erfindung nicht relevant.

[0032] Somit wurde die Datenschreiblogik der Einfachheit halber in der Figur ausgelassen.

[0033] Konventionelle CAMs können ebenso Teil-Übereinstimmungen ausführen. In diesem mehr allgemeinen Fall sind sowohl die Comparand-Daten als auch die gespeicherten Daten Dreifach-Werte $\{0, 1, *\}$, wobei "*" einen "don't care"-Status repräsentiert, der auf alles passt. In der Praxis sind die n Horizontal-Datenleitungen gewöhnlich als doppelte physikalische Leitungen implementiert, wobei die Dreifach-Werte als ein Paar von binären Werten kodiert sind. Die tatsächliche Kodierung ist nicht wichtig für die Erfindung, jedoch wird in dieser Beschreibung die Abstraktion von einfachen Datenleitungen, die Dreifach-Werte tragen, aufrechterhalten.

[0034] Die Funktion der Zellen und die Ergebnisberechnungslogik wird in einer funktionalen Notation wie folgt definiert:

[0035] Zelle $u_{i,j}$:

$$\&_{i,j} = \text{if } (s_{i,j} \approx d_j) \text{ then } 1 \text{ else } 0$$

[0036] Result logic,

$$\&_i = \text{if } (\forall j \ \&_{i,j}=1) \text{ then } 1 \text{ else } 0$$

$$m_i = \&_i$$

wobei der Übereinstimmungsoperator \approx gegeben ist durch: $(x \approx y) = \text{if } (x=y \text{ or } x=* \text{ or } y=*) \text{ then "true" else "false"}$

[0037] **Fig. 3** ist ein Blockdiagramm einer ähnlichen Speichermatrix **301**, die gemäß einem Aspekt der Erfindung erweitert wurde. Zusätzlich zu den oben beschriebenen Zellen $u_{i,j}$ ist eine spezielle CAM-Träger-

zelle v_i für jedes Wort i eingeführt. Jede der CAM-Trägerzellen v_i speichert ein Trägerdaten-Bit c_i , das das Ergebnis eines vorhergehenden Übereinstimmungsergebnisses für das vorhergehende Wort $i-1$ spiegelt (z.B. in der beispielhaften Ausführungsform ist das vorherige Wort das Wort unmittelbar über dem derzeit betrachteten Wort).

[0038] Die CAM-Trägerzelle v_i partizipiert als eine gewöhnliche Zelle während einer Übereinstimmungsoperation. Für diesen Zweck wird eine Wortvergleichlogik $\&_i$ bereitgestellt, die ein Wortvergleichssignal m_i erzeugt, das anzeigt, ob jedes der Bit-Vergleichssignale in der Zeile anzeigt, dass das gespeicherte eine der n Datensignale $s_{i,j}$ auf das empfangene eine der n Comparand-Datensignale d_j passt, und dass das Trägervergleichssignal in der Zeile anzeigt, dass das gespeicherte Trägerdatensignal c_i auf das empfangene Träger-Comparand-Datensignal d_0 passt.

[0039] Die CAM-Trägerzelle v_i kann auch als ein Ergebnis der Übereinstimmungsoperation geschrieben werden. Eine vertikale Trägerdatenleitung, cd , hält die Werte, die optional geschrieben werden müssen, und eine vertikale Trägerschreibleitung, cw , muss durchgesetzt werden, um die CAM-Trägerzellen v_i bedingt zu schreiben. Die Phrase "bedingt schreiben" wurde im vorangegangenen Satz verwendet, weil die cw -Leitung nicht selbst bestimmt, ob der Wert auf der cd -Leitung in eine CAM-Trägerzelle v_i getaktet wird. Vielmehr wird für jede der CAM-Trägerzellen v_i eine Trägerschreiblogik **303** bereitgestellt, die ein Trägerschreibsignal cw_i erzeugt, das ermöglicht, dass die Trägerschreiboperation durchgeführt, wenn, und nur wenn, die Trägerschreibleitung, cw , aktiv ist und eine Übereinstimmung für das unmittelbar vorherige Wort $i-1$ vorliegt (die letztere Bedingung wird angezeigt durch die Durchsetzung des Übereinstimmungssignals m_{i-1}). In der beispielhaften Ausführungsform ist die Trägerschreiblogik **303** als ein logisches AND-Gatter implementiert. In alternativen Ausführungsformen können jedoch äquivalente Logikkonfigurationen anstelle dessen verwendet werden.

[0040] Die Funktion der Zellen $u_{i,j}$ und v_i und die Ergebnisberechnungslogik für die beispielhafte Ausführungsform der Erfindung ist durch das Folgende gegeben:

[0041] Zelle $u_{i,j}$

$$\&_{i,j} = \text{if } (s_{i,j} \approx d_j) \text{ then } 1 \text{ else } 0, \text{ for } j \in \{1..n\}$$

[0042] Trägerzelle v_i :

$$\&_{i,0} = \text{if } (c_i \approx d_0) \text{ then } 1 \text{ else } 0$$

$$c_i' = \text{if } (cw=1 \text{ and } m_{i-1}=1) \text{ then } cd \text{ else } c_i$$

[0043] Result logic,

$$\&_i = \text{if } (\forall j \ \&_{i,j}=1) \text{ then } 1 \text{ else } 0$$

$$m_i = \&_i$$

wobei der Übereinstimmungsoperator \approx wieder gegeben ist durch:

$$(x \approx y) = \text{if } (x=y \text{ or } x=* \text{ or } y=*) \text{ then "true" else "false",}$$

und wobei die Notation c'_i den Wert von c_i in dem nächsten Taktzyklus bezeichnet.

[0044] Man bemerke, dass m_0 als ein neuer Eingang zu der Zellenmatrix eingegeben wurde. Der Wert von m_0 ist 0, solange nicht anderweitig bezeichnet. Weiterhin wurde eine weitere Horizontaldatenleitung d_0 als ein neuer Eingang in die Zellenmatrix eingeführt zum Tragen des Comparand-Werts, der zu jeder der CAM-Trägerzellen v_i geliefert wird.

[0045] Die oben unter Bezugnahme auf **Fig. 3** beschriebene beispielhafte Vorrichtung kann für eine Übereinstimmung über mehrfache Einträge verwendet werden. Eine beispielhafte Technik, um dieses auszuführen, wird nun unter Bezugnahme auf **Fig. 4** beschrieben. Ein gespeichertes Datenmerkmal, das mehr als einen einfachen Eintrag besetzt, wird in q kleinere Bruchteile geteilt, die mit S_1 bis S_q bezeichnet werden. Ein einzigartiger Tag-Wert t , der von 1 bis q reicht, wird für jede Art des Bruchteils eingeführt. Jeder Eintrag in dem CAM hält einen Datenbruchteil, hinzugefügt durch seinen korrespondierenden Tag-Wert. Bruchteile, die zu den gleichen Originaldaten gehören, werden in aufeinanderfolgenden Einträgen gespeichert (z.B. unmittelbar aufeinanderfolgend) und in der inneren Reihenfolge ihrer korrespondierenden Tag-Werte. Die Bruchteile und ihre korrespondierenden Tags werden den konventionellen CAM-Zellen $u_{i,n} \dots u_{i,1}$ gespeichert. Eine hinreichende Anzahl von konventionellen CAM-Zellen sollten den Tag-Bits zugewiesen sein, um zu erlauben, dass sie die den höchsten Tag-Wert q repräsentieren. Die verbleibenden konventionellen CAM-Zellen für jedes Wort können zugewiesen sein zum Speichern einer der Bruchteile. Die CAM-Trägerzelle v_i speichert anfänglich einen unbekanntenen Wert, der in **Fig. 4** durch das "?"-Symbol gezeigt ist.

[0046] Der Comparand-Wert ist ähnlich in korrespondierende Bruchteile geteilt, die hier mit D_1 bis D_q bezeichnet werden. Für jeden der Comparand-Bruchteile D_1 bis D_q repräsentieren einige der Bits Bruchteildaten, die passen, andere Bits repräsentieren Tag-Bits, die passen, und noch andere Bits repräsentieren ein Träger-Bit, das passt. Der Zweck der Tag-Bits ist es, das Markieren von Bruchteilen als zugehörig zu einer besonderen Position zu ermöglichen (z.B. erste, zweite, dritte,...) innerhalb des voll-

ständig gespeicherten Datenmerkmals, so dass, wenn eine Übereinstimmungsoperation durchgeführt wird, ein Comparand-Wert nicht nur den gewünschten Bruchdatenteil spezifizieren kann, sondern auch den Tag-Wert zum Anzeigen, welcher Bruchteil gesucht wird.

[0047] Der Algorithmus zum übereinstimmen über die mehrfachen Bruchteile kann wie folgt spezifiziert werden (wobei der Text rechts von dem "/" einen Kommentar anzeigt):

Lasse D den durch $d_n \dots d_0$ gebildeten Bit-Vektor bezeichnen und lasse

$\langle x, y, z \rangle$ die Teilung dieses Vektors sein in $x =$ der Comparand-Datenbruchteil,

$d_0 \dots d_{t+i}$

$y =$ der Comparand-Tag-Teil $d_t \dots d_i$; und

$z =$ der Trägerteil d_0 ,

wobei t die Anzahl von Bits in dem Tag ist.

Do

Zyklus 0: $d = \langle *, *, * \rangle$, $cd=0$, $cw=1$, $m_0=1$ /* lösche alle Träger-Bits

Zyklus 1: $d = \langle D_1, 1, * \rangle$, $cd=1$, $cw=1$

Zyklen 2 bis q :

For $p=2$ to q do

Zyklus p : $D = \langle D_p, p, 1 \rangle$, $cd=1$, $cw=1$ /* Übereinstimmungsdaten /* Tag und vorherige Übereinstimmungen

[0048] In Zyklus 0 sind die Comparand-Daten "don't care", was bedeutet, dass jeder Eintrag passt. Als ein Ergebnis werden alle Trägerzellen mit einem 0-Wert initialisiert.

[0049] In Zyklus 1 wird der erste Bruchteil des Comparands, hinzugefügt durch einen Tag-Wert von 1 und einen "don't care"-Wert auf dem Trägerteil, auf den Comparand-Datenleitungen dargestellt. Alle Einträge, die einen ersten Datenbruchteil aufweisen, der auf die ersten Comparand-Daten passt, werden passen. Das Ergebnis ist, dass für jeden derartigen Eintrag die Trägerzelle des nächsten Eintrags, die den zweiten Datenbruchteil hält, mit einem "1"-Wert geschrieben wird.

[0050] In Zyklus 2 wird der erste Bruchteil des Comparands, fortgesetzt durch einen Tag-Wert von 2 und einen Trägerwert von 1, auf den Comparand-Datenleitungen dargestellt. Alle Einträge, die einen zweiten Datenbruchteil aufweisen, der auf den zweiten Comparand-Daten passt, und für die der vorherige Eintrag eine Übereinstimmung in dem vorherigen Zyklus darstellte, werden passen. Das Ergebnis ist, dass für jeden derartigen Eintrag die Trägerzelle des nächsten Eintrags, die den dritten Datenteil hält, mit einem "1"-Wert geschrieben wird.

[0051] Dieselbe Art von Operation wird für alle verbleibenden Bruchteile ausgeführt. Das Ergebnis in je-

dem Zyklus ist, dass das Träger-Bit in dem nächsten Zyklus geschrieben wird, wenn Übereinstimmungen für alle vorherigen Bruchteile vorlagen. Somit wird in dem letzten Zyklus nur eine Übereinstimmung bei einem Eintrag vorliegen, wenn alle Bruchteile, die zu den gleichen original gespeicherten Daten gehören, auf die korrespondierenden Bruchteile der Comparand-Daten in geeigneter Reihenfolge passen.

[0052] Folglich stellt am Ende des letzten Zyklus ein Prioritätskodierer, wie der in **Fig. 1** gezeigte Prioritätskodierer **107**, die Adresse des letzten Bruchteils von vollständig gespeicherten Daten dar, die auf einen vollständigen Operand passen.

[0053] Die Erfindung ist nützlich zum Speichern und übereinstimmen gegen beliebig lange Daten in einem CAM. Für einige spezielle Fälle können andere spezifische Verfahren verwendet werden, um auf lange Daten zu passen, die wiederholte Zugriffe auf den CAM verwenden. Jedoch ist die Wartezeit viel höher und der Speicherverbrauch oft höher.

[0054] Die Erfindung kann in allen technischen Gebieten verwendet werden, die ein zeitkritisches, nicht-triviales Übereinstimmungsproblem enthalten. Ein Beispiel ist das IP-Klassifikationsproblem, das in Internet-Routern vorliegt, wie in dem HINTERGRUND-Kapitel beschrieben. Um den erfinderischen CAM anzuwenden, um ein derartiges Problem zu lösen, werden verschiedene relevante Felder von Klassifikationseinträgen in aufeinanderfolgenden Adressen des CAM gespeichert. Der erfinderische CAM erlaubt, dass logische "AND"-Bedingungen durchgeführt werden zwischen aufeinanderfolgenden Einträgen über verschiedene Zyklen, und erlaubt somit ein übereinstimmen von beliebig langen Daten. Das Ergebnis ist unmittelbar erhältlich als eine Adresse nach dem letzten Zyklus, ohne dass irgendeine Kombination von Ergebnissen benötigt wird.

[0055] In anderen Aspekten der Erfindung können Datenbruchteile, andere als der erste und der letzte, ausgelassen werden, bei denen alle Bits einen "don't care"-Wert aufweisen.

[0056] In noch einem anderen Aspekt der Erfindung brauchen die Tag-Werte nicht ein solcher zu sein, wie in den obigen beispielhaften Ausführungsbeispielen gezeigt ist. Anstelle dessen werden irgendwelche Werte es tun, solange die Reihenfolge zwischen verschiedenen Arten von Bruchteilen gehalten wird. Anders ausgedrückt kann für jeden Bruchteil des Comparand-Datenmerkmals der Comparand-Tag-Teil auf irgendeinen Wert gesetzt werden, der den Bruchteil von anderen Bruchteilen des Comparand-Datenmerkmals unterscheidet. In dem Übereinstimmungsalgorithmus bedeutet dies, dass die Konstanten 1 bis q, die für den Tag verwendet werden, durch unterscheidbare Variablen T_1 bis T_q ersetzt werden kön-

nen.

[0057] Diese Flexibilität beim Spezifizieren der Tag-Werte erlaubt dem erfinderischen CAM angewendet zu werden, um das Problem von Übereinstimmung von einer Mehrzahl von verschiedenen Comparand-Datenmerkmalen effizient zu lösen, wobei jede der Comparand-Datenmerkmalen einen gemeinsamen Teil und einen nicht-gemeinsamen Teil aufweist. Der gemeinsame Teil ist der gleiche für alle Comparand-Datenmerkmale, wobei der nicht-gemeinsame Teil eines Comparand-Datenmerkmals unterschiedlich zu den nicht-gemeinsamen Teilen der anderen Datenmerkmale ist. Dies ist nützlich bei dem IP-Klassifikationsproblem, das in Internet-Routern vorliegt, wie in dem HINTERGRUND-Kapitel beschrieben. Beispielsweise, angenommen, es ist gewünscht, drei Klassifikationen durchzuführen, die als R, S und T bezeichnet sind, und dass A, B, C, D, E, F und G verschiedene Parameter zum übereinstimmen sind. Nun angenommen, dass:

R passen soll mit A, B, C, D;
S passen soll mit A, B, C, E; und
T passen soll mit A, B, F, G.

[0058] Natürlich könnte man diese Klassifikationen sequentiell durchführen, jedes mal aufeinanderfolgend über alle vier Parameter. Jedoch erlaubt die Struktur des erfinderischen CAM, die Klassifikationen effizienter durchzuführen durch Darstellen der Parameter (zusammen mit ihren entsprechenden Tags) als Comparand-Datenmerkmale an den CAM in der folgenden Reihenfolge:

Rücksetzzyklus (löscht alle Träger-Bits)
Comparand-Datenmerkmal = A
Comparand-Datenmerkmal = B
Comparand-Datenmerkmal = C
Comparand-Datenmerkmal = D und verwende Ergebnis zum Verweis auf Ergebnis von R
Comparand-Datenmerkmal = E und verwende Ergebnis zum Verweis auf Ergebnis von S
Comparand-Datenmerkmal = F
Comparand-Datenmerkmal = G und verwende Ergebnis zum Verweis auf Ergebnis von T.

[0059] Es wird beobachtet, dass die obige Strategie in Teilen effektiv ist, weil nach ihrer anfänglichen Rücksetzung an keinem Punkt des Prozesses Träger-Bits nachfolgend zurückgesetzt werden. Folglich bleibt ein Träger-Bit gesetzt, wenn es einmal anzeigt, dass die Sequenz A, B, C gefunden wurde, und erlaubt somit, dass Comparand-Datenmerkmale D und E, individuell getestet werden. Ähnlich bleibt das Träger-Bit gesetzt, das anzeigt, dass die Sequenz A, B platziert wurde, und erlaubt somit das spätere Testen für die verbliebenen Parameter F und G.

[0060] Die Erfindung wurde beschrieben unter Be-

zugnahme auf eine besondere Ausführungsform. Jedoch wird es dem Fachmann hinlänglich klar sein, dass es möglich ist, die Erfindung in anderen spezifischen Formen als denen der oben beschriebenen bevorzugten Ausführungsform auszuführen. Dies kann getan werden, ohne von dem Schutzbereich der Erfindung abzurücken.

[0061] Zum Beispiel wird es hinlänglich deutlich für den gewöhnlichen Fachmann, dass, während eine beispielhafte Ausführungsform der Erfindung in den Begriffen "Zeilen" und "Spalten" einer Matrix von Zellen beschrieben wurde, alternative Ausführungsformen abgeleitet werden können durch Auswechseln der Funktionen von Zeilen und Spalten. Folglich sollen die Begriffe "Zeilen" und "Spalten" in einer allgemeineren Bedeutung bezüglich der ersten und zweiten orthogonalen Richtungen verstanden werden, so wie sie in der Beschreibung als auch in den Ansprüchen verwendet wurden.

[0062] Ähnlich stellt die beispielhafte Ausführungsform Daten dar, die in aufeinanderfolgenden Zeilen in einer von-oben-nach-unten-Richtung gespeichert sind. Jedoch können alternative Ausführungsformen der Erfindung leicht angeordnet werden, um in anderen Richtungen, wie etwa von unten-nach-oben zu funktionieren. Folglich soll die Verwendung der Begriffe innerhalb dieser Beschreibung ebenso wie in den Ansprüchen, wie etwa "vorherige", "nächste" und dergleichen, nicht derart begriffen werden, dass sie nur die Richtungen in dem beispielhaften Ausführungsbeispiel darstellen, sondern sollen anstelle dessen sich allgemeiner auf das beziehen, was als "vorherige" oder "nächste" (etc.) bezeichnet wird relativ zu einer vorbestimmten Ausrichtung, ungeachtet dessen, ob die vorbestimmte Ausrichtung eine von-oben-nach-unten, von-unten-nach-oben oder eine andere ist.

[0063] Somit ist das bevorzugte Ausführungsbeispiel nur illustrativ und soll nicht in irgendeiner Weise restriktiv betrachtet werden. Der Schutzbereich der Erfindung wird durch die nachfolgenden Ansprüche im Lichte der vorangegangenen Beschreibung gegeben.

Patentansprüche

1. Ein inhaltsadressierbarer Speicher, umfassend: eine Matrix von Zellen, die $(n+1)$ Spalten und m Zeilen aufweist, wobei n und m jeweils ganze Zahlen größer oder gleich 1 bzw. 2 sind und wobei jede Zeile von Zellen umfasst:

n Datenspeicherzellen, jede umfassend:
eine Speicherlogik zum Speichern eines jeweiligen von n Datensignalen;
einen Eingang zum Empfangen eines jeweiligen von n Comparand-Datensignalen; und
eine Bit-Vergleichslogik, die ein Bit-Vergleichssignal

erzeugt, das anzeigt, ob das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt;
eine Trägerspeicherzelle umfassend:
einen ersten Eingang zum Empfangen eines Trägerdatensignals;
eine Speicherlogik zum Speichern des Trägerdatensignals;
einen zweiten Eingang zum Empfangen eines Träger-Comparand-Datensignals; und
eine Trägervergleichslogik, die ein Trägervergleichssignal erzeugt, das anzeigt, ob das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt;
eine Wortvergleichslogik, die ein Wortvergleichssignal erzeugt, das anzeigt, ob jedes der Bit-Vergleichssignale in der Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt; und
eine Trägerschreiblogik, die ein Trägerspeicherzellenschreibsignal nur erzeugt, wenn das durch die Wortvergleichslogik erzeugte Wortvergleichssignal in einer vorangegangenen Zeile von Zellen anzeigt, dass jedes der Bit-Vergleichssignale in der vorangegangenen Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der vorangegangenen Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt.

2. Inhaltsadressierbarer Speicher gemäß Anspruch 1, wobei:
jedes der n Comparand-Datensignale und der Träger-Comparand-Datensignale ein Dreifachwert ist, der aus einer Gruppe von Werten ausgewählt wird, die aus "0", "1" und "don't care" besteht; und
der "don't care"-Wert auf irgendeinen der Dreifachwerte passt.

3. Inhaltsadressierbarer Speicher nach Anspruch 1, wobei die Trägerschreiblogik weiterhin einen Schreibeingangsport zum Empfangen eines Trägerschreibsignals umfasst,
und wobei die Trägerschreiblogik das Trägerspeicherzellenschreibsignal nur erzeugt, wenn das Trägerschreibsignal durchgesetzt wird und das Wortvergleichssignal, das durch die Wortvergleichslogik erzeugt wird, in einer vorangegangenen Zeile von Zellen anzeigt, dass jedes der Bit-Vergleichssignale in der vorangegangenen Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der vorangegangenen Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Compa-

rand-Datensignal passt.

4. Inhaltsadressierbarer Speicher nach Anspruch 1, wobei die Wortvergleichslogik die Bit-Vergleichssignale in der Zeile, die zusammen "wäre ANDed" ist, umfasst.

5. Verfahren zum Betreiben eines inhaltsadressierbaren Speichers, der eine Matrix von Zellen umfasst, die $(n+1)$ Spalten und m Zeilen umfasst, wobei n und m jeweils ganze Zahlen größer oder gleich 1 bzw. 2 sind, und wobei jede Zeile von Zellen umfasst: n Datenspeicherzellen, jede umfassend:

eine Speicherlogik zum Speichern eines jeweiligen von n Datensignalen;

einen Eingang zum Empfangen eines jeweiligen von n Comparand-Datensignalen; und

eine Bit-Vergleichslogik, die ein Bit-Vergleichssignal erzeugt, das anzeigt, ob das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt;

eine Trägerspeicherzelle, umfassend:

einen ersten Eingang zum Empfangen eines Trägerdatensignals;

eine Speicherlogik zum Speichern des Trägerdatensignals;

einen zweiten Eingang zum Empfangen eines Träger-Comparand-Datensignals; und

eine Trägervergleichslogik, die ein Trägervergleichssignal erzeugt, das anzeigt, ob das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt;

eine Wortvergleichslogik, die ein Wortvergleichssignal erzeugt, das anzeigt, ob jedes der Bit-Vergleichssignale in der Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt; und

eine Trägerschreiblogik, die ein Trägerspeicherzellenschreibsignal nur erzeugt, wenn das Wortvergleichssignal, das durch die Wortvergleichslogik erzeugt wird, in einer vorangegangenen Zeile von Zellen anzeigt, dass jedes der Bit-Vergleichssignale in der vorangegangenen Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der vorangegangenen Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt,

wobei das Verfahren umfasst:

Speichern eines oder mehrerer Datenmerkmale in dem inhaltsadressierbaren Speicher, wobei jedes Datenmerkmal eine Mehrzahl von Bruchteilen umfasst, die von einander unterscheidbar sind, und wobei für jedes Datenmerkmal die Bruchteile in verschiedenen Zeilen des inhaltsadressierbaren Speichers gespeichert sind;

Löschen des gespeicherten Trägerdatensignals in jeder der Zeilen; und

sequenzielles Liefern der Bruchteile eines Comparand-Datenmerkmals zu den Eingängen zu den n Datenspeicherzellen und zu den zweiten Eingängen der Trägerspeicherzellen;

wobei:

ein erster der Bruchteile der Comparand-Datenmerkmale einen Trägerteil umfasst, der nicht gleich eines "1"-Wertes gesetzt ist; und

die verbliebenen der Bruchteile des Comparand-Datenmerkmals jeweils einen Trägerteil umfassen, der gleich einem "1"-Wert gesetzt ist,

wodurch eine Durchsetzung von einem der Wortvergleichssignale anzeigt, dass alle der Bruchteile eines gespeicherten Datenmerkmals auf die jeweiligen gelieferten Bruchteile des Comparand-Datenmerkmals passen.

6. Verfahren gemäß Anspruch 5, wobei die Bruchteile in aufeinander folgenden Zeilen des inhaltsadressierbaren Speichers gespeichert sind.

7. Verfahren gemäß Anspruch 5, wobei jeder Bruchteil der Comparand-Datenmerkmale umfasst:

einen Comparand-Datenbruchteil;

einen Comparand-Tag-Teil; und

einen Trägerteil.

8. Verfahren gemäß Anspruch 7, wobei für jeden Bruchteil des Comparand-Datenmerkmals der Comparand-Tag-Teil auf einen Wert gesetzt ist, der den Bruchteil von anderen Bruchteilen des Comparand-Datenmerkmals unterscheidet.

9. Eine Vorrichtung zum Betreiben eines inhaltsadressierbaren Speichers, der umfasst:

eine Matrix von Zellen, die $(n+1)$ Spalten und m Zeilen aufweist, wobei n und m jeweils ganze Zahlen größer oder gleich 1 bzw. 2 sind und wobei jede Zeile von Zellen umfasst

n Datenspeicherzellen, jede umfassend:

eine Speicherlogik zum Speichern eines jeweiligen von n Datensignalen;

einen Eingang zum Empfangen eines jeweiligen von n Comparand-Datensignalen; und

eine Bit-Vergleichslogik, die ein Bit-Vergleichssignal erzeugt, das anzeigt, ob das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt;

eine Trägerspeicherzelle umfassend:

einen ersten Eingang zum Empfangen eines Trägerdatensignals;

eine Speicherlogik zum Speichern des Trägerdatensignals;

einen zweiten Eingang zum Empfangen eines Träger-Comparand-Datensignals; und

eine Trägervergleichslogik, die ein Trägervergleichssignal erzeugt, das anzeigt, ob das gespeicherte Trägerdatensignal auf das empfangene Träger-Compa-

rand-Datensignal passt;
 eine Wortvergleichslogik, die ein Wortvergleichssignal erzeugt, das anzeigt, ob jedes der Bit-Vergleichssignale in der Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt; und
 eine Trägerschreiblogik, die ein Trägerspeicherzellenschreibsignal nur erzeugt, wenn das Wortvergleichssignal, das durch die Wortvergleichslogik erzeugt wird, in einer vorangegangenen Zeile von Zellen anzeigt, dass jedes der Bit-Vergleichssignale in der vorangegangenen Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der vorangegangenen Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt,
 wobei die Vorrichtung umfasst:
 eine Logik, die ein oder mehrere Datenmerkmale in dem inhaltsadressierbaren Speicher speichert, wobei jedes Datenmerkmal eine Mehrzahl von Bruchteilen umfasst, die von einander unterscheidbar sind, und wobei für jedes Datenmerkmal die Bruchteile in verschiedenen Zeilen des inhaltsadressierbaren Speichers gespeichert sind;
 eine Logik, die das gespeicherte Trägerdatensignal in jeder der Zeilen löscht; und
 eine Logik, die sequenziell Bruchteile eines Comparand-Datenmerkmals zu den Eingängen der n Datenspeicherzellen und zu den zweiten Eingängen der Trägerspeicherzellen liefert,
 wobei:
 ein erster der Bruchteile des Comparand-Datenmerkmals einen Trägerteil umfasst, der nicht gleich einem "1"-Wert gesetzt ist; und
 verbliebene der Bruchteile des Comparand-Datenmerkmals jeweils einen Trägerteil umfassen, der gleich einem "1"-Wert gesetzt ist,
 wodurch eine Durchsetzung von einem der Wortvergleichssignale anzeigt, dass alle der Bruchteile eines gespeicherten Datenmerkmals auf die jeweiligen gelieferten Bruchteile des Comparand-Datenmerkmals passen.

10. Vorrichtung gemäß Anspruch 9, wobei die Bruchteile in aufeinanderfolgenden Zeilen des inhaltsadressierbaren Speichers gespeichert sind.

11. Vorrichtung gemäß Anspruch 9, wobei jeder Bruchteil des Comparand-Datenmerkmals umfasst:
 einen Comparand-Datenbruchteil;
 einen Comparand-Tag-Teil; und
 einen Trägerteil.

12. Vorrichtung gemäß Anspruch 11, wobei für jeden Bruchteil des Comparand-Datenmerkmals der

Comparand-Tag-Teil auf einen Wert gesetzt wird, der den Bruchteil von anderen Bruchteilen des Comparand-Datenmerkmals unterscheidet.

13. Ein Verfahren zum Betreiben eines inhaltsadressierbaren Speichers, der eine Matrix von Zellen umfasst, die (n+1) Spalten und m Zeilen aufweist, wobei n und m jeweils ganze Zahlen größer oder gleich 1 bzw. 2 sind, wobei jede Zeile von Zellen umfasst:

n Datenspeicherzellen, jede umfassend:
 eine Speicherlogik zum Speichern eines jeweiligen von n Datensignalen;
 einen Eingang zum Empfangen eines jeweiligen von n Comparand-Datensignalen; und
 eine Bit-Vergleichslogik, die ein Bit-Vergleichssignal erzeugt, das anzeigt, ob das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt;
 eine Trägerspeicherzelle umfassend:
 einen ersten Eingang zum Empfangen eines Trägerdatensignals;
 eine Speicherlogik zum Speichern des Trägerdatensignals;
 einen zweiten Eingang zum Empfangen eines Träger-Comparand-Datensignals; und
 eine Trägervergleichslogik, die ein Trägervergleichssignal erzeugt, das anzeigt, ob das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt;
 eine Wortvergleichslogik, die ein Wortvergleichssignal erzeugt, das anzeigt, ob jedes der Bit-Vergleichssignale in der Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt; und
 eine Trägerschreiblogik, die ein Trägerspeicherzellenschreibsignal nur erzeugt, wenn das Wortvergleichssignal, das durch die Wortvergleichslogik erzeugt wird, in einer vorangegangenen Zeile von Zellen anzeigt, dass jedes der Bit-Vergleichssignale in der vorangegangenen Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der vorangegangenen Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt,
 wobei das Verfahren umfasst:
 Speichern eines oder mehrerer Datenmerkmale in dem inhaltsadressierbaren Speicher speichert, wobei jedes Datenmerkmal eine Mehrzahl von Bruchteilen umfasst, die unterscheidbar von einander sind, und wobei für jedes Datenmerkmal die Bruchteile in verschiedenen Zeilen des inhaltsadressierbaren Speichers gespeichert sind;
 Löschen der gespeicherten Trägerdatensignale in jeder der Zeilen;

sequenzielles Liefern von einem oder mehreren gemeinsamen Bruchteilen und einem oder mehreren nicht gemeinsamen Bruchteilen eines ersten Comparand-Datenmerkmals zu den Eingängen der n Datenspeicherzellen und der zweiten Eingänge der Träger-speicherzellen,
wobei:

ein erster der gemeinsamen Bruchteile des ersten Comparand-Datenmerkmals einen Trägerteil umfasst, der nicht gleich einem "1"-Wert gesetzt ist;
verbliebene der gemeinsamen Bruchteile des ersten Comparand-Datenmerkmals jeweils einen Trägerteil umfassen, der gleich einem "1"-Wert gesetzt ist, und
der eine oder mehrere erste nicht gemeinsame Bruchteile des ersten Comparand-Datenmerkmals jeweils einen Trägerteil umfassen, der gleich einem "1"-Wert gesetzt ist,

wodurch eine Durchsetzung von einem der Wortvergleichssignale anzeigt, dass alle der Bruchteile eines gespeicherten Datenmerkmals auf die jeweiligen gelieferten gemeinsamen und ersten nicht gemeinsamen Bruchteile des ersten Comparand-Datenmerkmals passen; und

sequenzielles Liefern eines oder mehrerer zweiter nicht gemeinsamer Bruchteile eines zweiten Comparand-Datenmerkmals zu den Eingängen der n Datenspeicherzellen und zu den zweiten Eingängen der Trägerspeicherzellen,
wobei die einen oder mehreren zweiten nicht gemeinsamen Bruchteile des zweiten Comparand-Datenmerkmals jeweils einen Trägerteil umfassen, der gleich eines "1"-Wertes gesetzt ist,

wodurch eine Durchsetzung von einem der Wortvergleichssignale anzeigt, dass alle der Bruchteile des gespeicherten Datenmerkmals auf die jeweiligen gelieferten gemeinsamen und zweiten nicht gemeinsamen Bruchteile des zweiten Comparand-Datenmerkmals passen.

14. Eine Vorrichtung zum Betreiben eines inhaltsadressierbaren Speichers, der umfasst:

eine Matrix von Zellen, die (n+1) Spalten und m Zeilen aufweist, wobei n und m jeweils ganze Zahlen größer oder gleich 1 bzw. 2 sind und wobei jede Zeile von Zellen umfasst:

n Datenspeicherzellen, jeweils umfassend:

eine Speicherlogik zum Speichern eines jeweiligen von n Datensignalen;

einen Eingang zum Empfangen eines jeweiligen von n Comparand-Datensignalen; und

eine Bit-Vergleichslogik, die ein Bit-Vergleichssignal erzeugt, das anzeigt, ob das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt;

eine Trägerspeicherzelle umfassend:

einen ersten Eingang zum Empfangen eines Trägerdatensignals;

eine Speicherlogik zum Speichern des Trägerdatensignals;

einen zweiten Eingang zum Empfangen eines Trä-

ger-Comparand-Datensignals; und
eine Trägervergleichslogik, die ein Trägervergleichssignal erzeugt, das anzeigt, ob das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt;

eine Wortvergleichslogik, die ein Wortvergleichssignal erzeugt, das anzeigt, ob jedes der Bit-Vergleichssignale in der Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt und dass das Trägervergleichssignal in der Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt; und

eine Trägerschreiblogik, die ein Trägerspeicherzellenschreibsignal nur erzeugt, wenn das Wortvergleichssignal, das durch die Wortvergleichslogik erzeugt wird, in einer vorangegangenen Zeile von Zellen anzeigt, dass jedes der Bit-Vergleichssignale in der vorangegangenen Zeile anzeigt, dass das gespeicherte eine der n Datensignale auf das empfangene eine der n Comparand-Datensignale passt, und dass das Trägervergleichssignal in der vorangegangenen Zeile anzeigt, dass das gespeicherte Trägerdatensignal auf das empfangene Träger-Comparand-Datensignal passt,

wobei die Vorrichtung umfasst:

eine Logik, die ein oder mehrere Datenmerkmale in dem inhaltsadressierbaren Speicher speichert, wobei jedes Datenmerkmal eine Mehrzahl von Bruchteilen umfasst, die von einander unterscheidbar sind, und wobei für jedes Datenmerkmal die Bruchteile in verschiedenen Zeilen des inhaltsadressierbaren Speichers gespeichert sind;

eine Logik, die das gespeicherte Trägerdatensignal in jeder der Zeilen löscht;

eine Logik, die sequenziell einen oder mehrere gemeinsame Bruchteile und einen oder mehrere nicht gemeinsame Bruchteile eines ersten Comparand-Datenmerkmals zu den Eingängen der n Datenspeicherzellen und zu den zweiten Eingängen der Trägerspeicherzellen liefert,

wobei:

ein erster der gemeinsamen Bruchteile des ersten Comparand-Datenmerkmals einen Trägerteil umfasst, der nicht gleich einem "1"-Wert gesetzt ist;

verbliebene der gemeinsamen Bruchteile des ersten Comparand-Datenmerkmals jeweils einen Trägerteil umfassen, der gleich eines "1"-Wertes gesetzt ist; und

der eine oder mehrere erste nicht gemeinsame Bruchteile von dem ersten Comparand-Datenmerkmal jeweils einen Trägerteil umfassen, der gleich einem "1"-Wert gesetzt ist,

wodurch eine Durchsetzung von einem der Wortvergleichssignale anzeigt, dass alle der Bruchteile eines gespeicherten Datenmerkmals auf die jeweiligen gelieferten gemeinsamen und ersten nicht gemeinsamen Bruchteile des ersten Comparand-Datenmerkmals passen; und

eine Logik, die sequenziell einen oder mehrere zwei-

te nicht gemeinsame Bruchteile eines zweiten Comparand-Datenmerkmals zu den Eingängen der n Datenspeicherzellen und zu den zweiten Eingängen der Trägerspeicherzellen liefert, wobei die einen oder mehreren zweiten nicht gemeinsamen Bruchteile des zweiten Comparand-Datenmerkmals jeweils einen Trägerteil umfassen, der gleich einem "1"-Wert gesetzt ist, wodurch eine Durchsetzung von einem der Wortvergleichssignale anzeigt, dass alle der Bruchteile eines gespeicherten Datenmerkmals auf die jeweiligen gelieferten, gemeinsamen und zweiten nicht gemeinsamen Bruchteile des zweiten Comparand-Datenmerkmals passen.

Es folgen 4 Blatt Zeichnungen

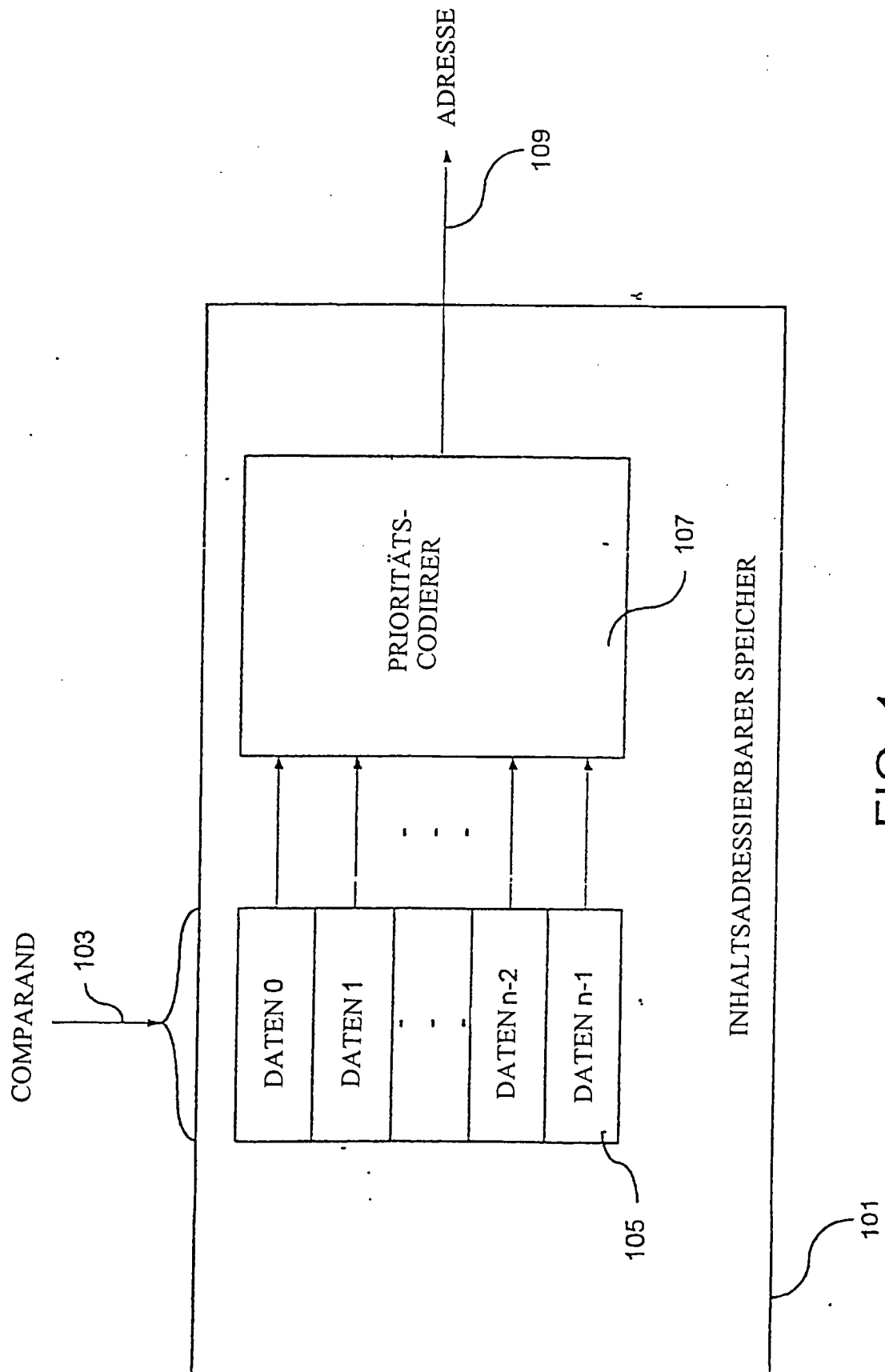


FIG. 1

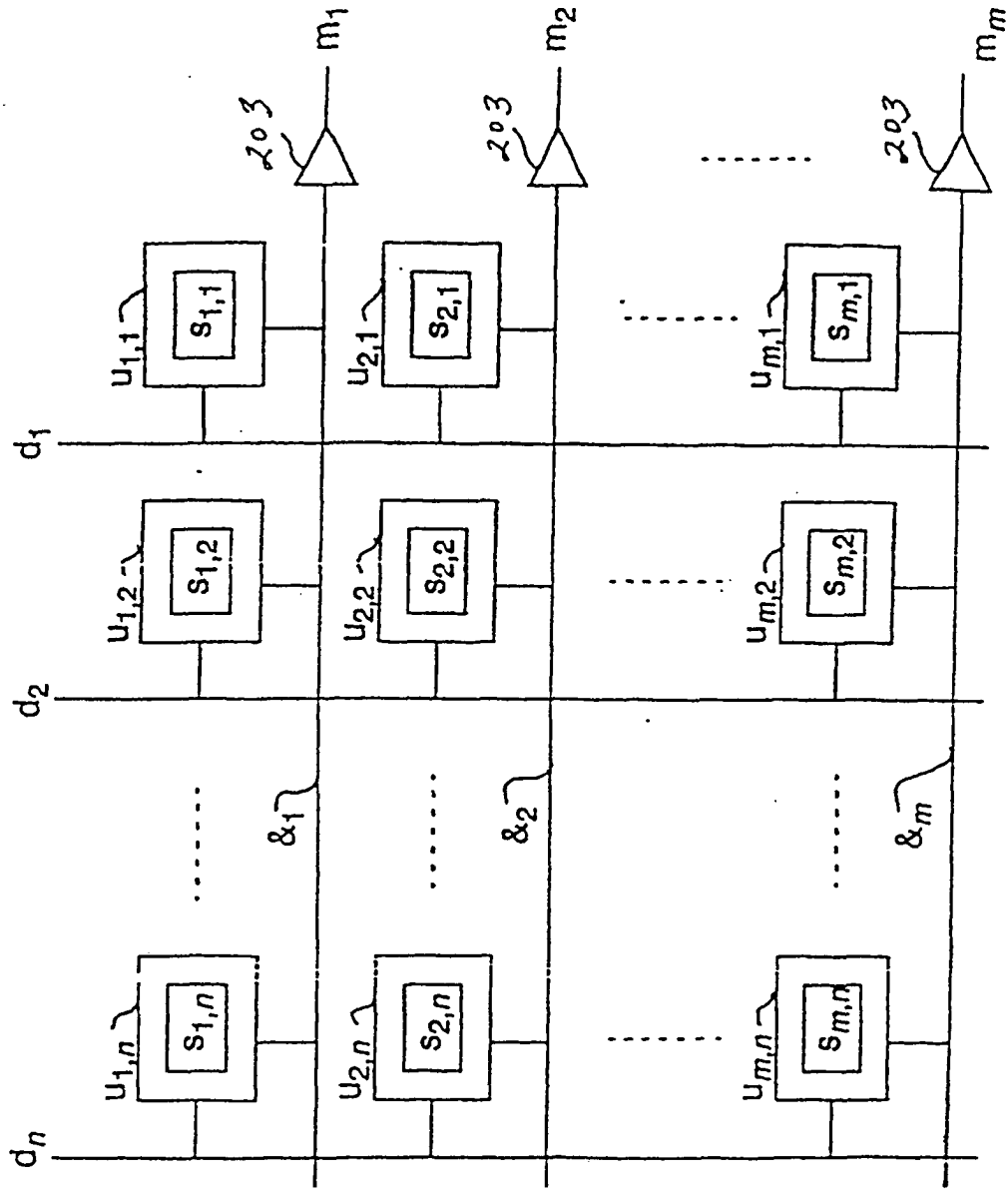


FIG. 2

201 \rightarrow

29x ↗

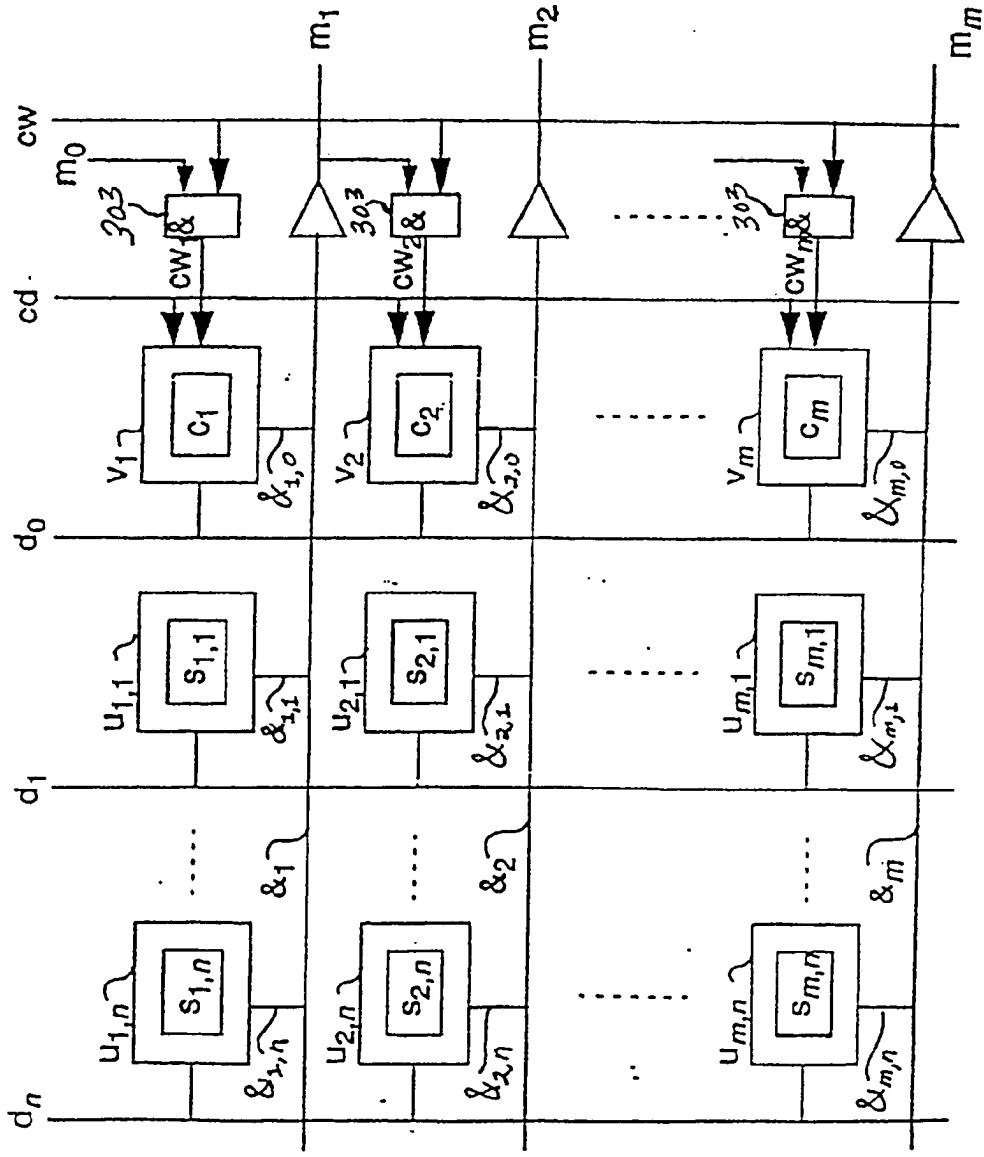


FIG. 2

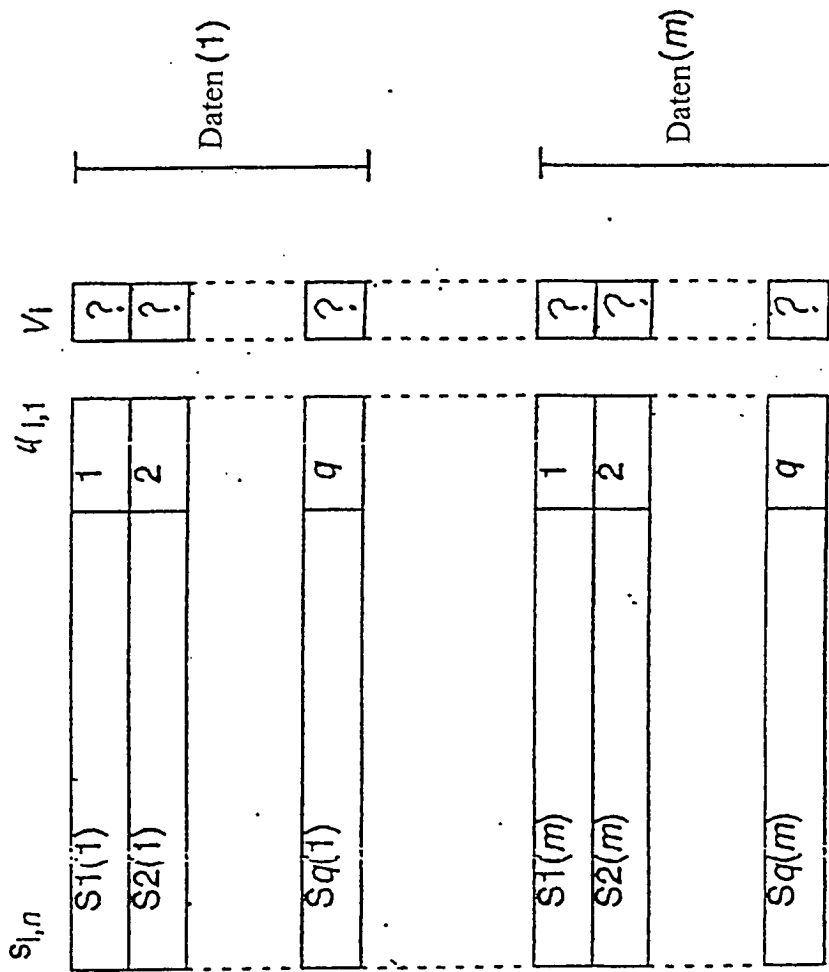


FIG. 4