



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0047681
(43) 공개일자 2016년05월03일

(51) 국제특허분류(Int. Cl.)

G09G 3/20 (2006.01)

(21) 출원번호 10-2014-0143698

(22) 출원일자 2014년10월22일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

강병욱

경기 파주시 가람로 22, 101동 1702호 (와동동, 가람마을1단지벽산한라아파트)

한인호

경기 광명시 디지털로 24, 105동 803호 (철산동, 철산푸르지오하늘채아파트)

(뒷면에 계속)

(74) 대리인

특허법인천문

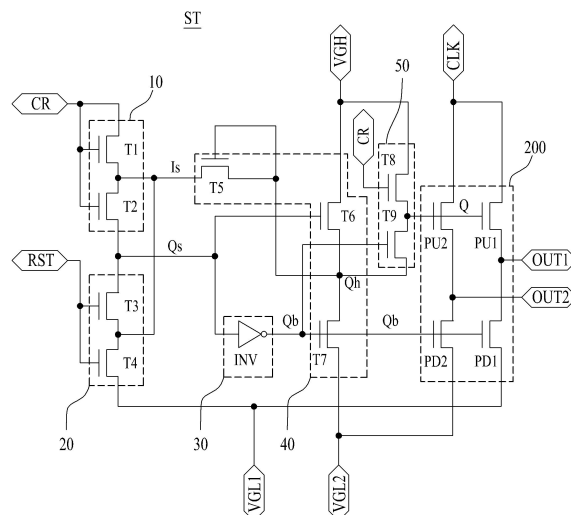
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 게이트 쉬프트 레지스터 및 이를 이용한 평판 표시 장치

(57) 요약

본 발명은 누설 전류를 줄일 수 있는 게이트 쉬프트 레지스터 및 이를 이용한 평판 표시 장치에 관한 것으로, 본 발명에 따른 게이트 쉬프트 레지스터는 다수의 클럭 신호가 공급되는 다수의 클럭 신호 공급 라인에 선택적으로 접속되어, 스캔 펄스를 순차적으로 출력하는 다수의 스테이지를 포함하고, 상기 각 스테이지에 구비된 노드 제어부는 상기 제 1 노드의 전압을 충전시키기 위한 충전용 트랜지스터, 및 상기 제 1 노드의 전압을 방전시키기 위한 방전용 트랜지스터를 구비하고, 상기 제 1 노드의 전압 충전 기간에서, 상기 방전용 트랜지스터의 게이트-소스 전압은 상기 방전용 트랜지스터의 문턱 전압보다 낮을 수 있다.

대표도 - 도5



(72) 발명자

오길환

서울 도봉구 해등로 195, 114동 1006호 (쌍문동,
삼익세라믹아파트)

송은지

서울 동대문구 이문로8길 23-9, 205호 (휘경동)

남형식

인천 연수구 독배로40번길 48, 101동 905호 (옥련
동, 우성1차아파트)

명세서

청구범위

청구항 1

다수의 클럭 신호가 공급되는 라인들에 선택적으로 접속되어, 스캔 펄스를 순차적으로 출력하는 다수의 스테이지를 포함하고,

상기 다수의 스테이지 각각은 캐리 신호 및 리셋 신호에 응답하여 제 1 및 제 2 노드의 전압을 제어하는 노드 제어부, 및 상기 제 1 및 제 2 노드의 전압 레벨에 따라 상기 스캔 펄스를 출력하는 출력부를 포함하고,

상기 노드 제어부는 상기 제 1 노드의 전압을 충전시키기 위한 충전용 트랜지스터, 및 상기 제 1 노드의 전압을 방전시키기 위한 방전용 트랜지스터를 구비하고,

상기 제 1 노드의 전압 충전 기간에서, 상기 방전용 트랜지스터의 게이트-소스 전압은 상기 방전용 트랜지스터의 문턱 전압보다 낮은 게이트 쉬프트 레지스터.

청구항 2

제 1 항에 있어서,

상기 다수의 스테이지 각각은 상기 캐리 신호가 입력되는 제 1 입력 단자; 상기 리셋 신호가 입력되는 제 2 입력 단자; 상기 스캔 펄스를 출력하는 제 1 출력 단자; 및 상기 스캔 펄스에 동기된 보조 스캔 펄스 출력하는 제 2 출력 단자를 포함하고;

상기 캐리 신호는 외부로부터 제공된 스타트 신호 또는 적어도 하나의 이전단에 구비된 스테이지로부터 제공된 상기 보조 스캔 펄스이고,

상기 리셋 신호는 적어도 하나의 다음단에 구비된 스테이지로부터 제공된 상기 보조 스캔 펄스인 게이트 쉬프트 레지스터.

청구항 3

제 2 항에 있어서,

상기 노드 제어부는

상기 캐리 신호에 응답하여 제 3 및 제 4 노드의 전압을 충전하는 제 1 노드 제어부;

상기 리셋 신호에 응답하여 상기 제 3 및 제 4 노드의 전압을 방전하는 제 2 노드 제어부;

상기 제 4 노드의 전압 레벨을 반전시켜, 반전된 제 4 노드의 전압을 상기 제 2 노드에 공급하는 제 3 노드 제어부;

상기 제 2 및 제 4 노드의 전압 레벨에 따라 제 5 노드의 전압을 제어하는 제 4 노드 제어부; 및

상기 충전용 트랜지스터 및 상기 방전용 트랜지스터를 구비하는 제 5 노드 제어부를 포함하고;

상기 충전용 트랜지스터는 상기 캐리 신호의 공급 라인에 접속된 게이트 전극, 게이트 온 전압의 공급 라인에 접속된 제 1 전극, 및 상기 제 1 노드에 접속된 제 2 전극을 구비하고,

상기 방전용 트랜지스터는 상기 제 2 노드에 접속된 게이트 전극, 상기 제 1 노드에 접속된 제 1 전극, 및 상기 제 5 노드에 접속된 제 2 전극을 구비하는 게이트 쉬프트 레지스터.

청구항 4

제 2 항에 있어서,

상기 출력부는

상기 제 1 노드에 접속된 게이트 전극, 상기 클럭 신호 공급 라인에 접속된 제 1 전극, 및 상기 제 1 출력 단자

에 접속된 제 2 전극을 구비하는 제 1 풀업 트랜지스터;

상기 제 1 노드에 접속된 게이트 전극, 상기 클럭 신호 공급 라인에 접속된 제 1 전극, 및 상기 제 2 출력 단자에 접속된 제 2 전극을 구비하는 제 2 풀업 트랜지스터;

상기 제 1 노드에 접속된 게이트 전극, 상기 제 1 출력 단자에 접속된 제 1 전극, 및 제 1 게이트 오프 전압의 공급 라인에 접속된 제 2 전극을 구비하는 제 1 풀다운 트랜지스터; 및

상기 제 1 노드에 접속된 게이트 전극, 상기 제 2 출력 단자에 접속된 제 1 전극, 및 제 2 게이트 오프 전압의 공급 라인에 접속된 제 2 전극을 구비하는 제 2 풀다운 트랜지스터를 포함하고;

상기 제 2 게이트 오프 전압은 상기 제 1 게이트 오프 전압보다 낮게 설정되는 게이트 쉬프트 레지스터.

청구항 5

제 1 항에 있어서,

상기 다수의 스테이지 각각을 구성하는 다수의 트랜지스터들은 산화물로 이루어진 반도체층을 포함하여 구성되는 게이트 쉬프트 레지스터.

청구항 6

표시 패널; 및

상기 표시 패널에 구비된 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하고;

상기 게이트 드라이버는 상기 제 1 항 내지 제 5 항 중 어느 한 항에 기재된 상기 게이트 쉬프트 레지스터를 포함하는 표시 장치.

청구항 7

제 6 항에 있어서,

상기 게이트 드라이버는 게이트 인 패널(GIP; gate in panel) 방식으로 상기 표시 패널의 비표시 영역에 배치되는 표시 장치.

청구항 8

다수의 클럭 신호가 공급되는 다수의 클럭 신호 공급 라인에 선택적으로 접속되어, 스캔 펄스를 순차적으로 출력하는 다수의 스테이지를 포함하는 게이트 쉬프트 레지스터의 구동 방법에 있어서,

상기 다수의 스테이지 각각이 상기 스캔 펄스를 출력하는 단계는

충전용 트랜지스터가 캐리 신호에 응답하여 제 1 노드를 충전하는 단계;

출력부가 충전된 상기 제 1 노드의 전압에 따라 상기 클럭 신호를 상기 스캔 펄스로서 출력하는 단계;

상기 제 1 노드에 접속된 방전용 트랜지스터가 리셋 신호에 응답하여 상기 제 1 노드를 방전시키는 단계; 및

상기 출력부가 상기 리셋 신호에 응답하여 충전된 제 2 노드의 전압에 따라 상기 스캔 펄스의 출력 단자를 방전시키는 단계를 포함하고;

상기 제 1 노드의 충전 단계는 상기 방전용 트랜지스터의 게이트-소스 전압이 상기 방전용 트랜지스터의 문턱 전압보다 낮아지도록 제어하는 단계를 더 포함하는 게이트 쉬프트 레지스터의 구동 방법.

청구항 9

제 8 항에 있어서,

상기 제 1 노드의 충전 단계는

제 1 노드 제어부가 상기 캐리 신호에 응답하여 제 3 및 제 4 노드의 전압을 충전함과 동시에 제 5 노드 제어부가 상기 캐리 신호에 응답하여 상기 제 1 노드를 충전하는 단계;

제 3 노드 제어부가 상기 제 4 노드의 전압을 방전시켜, 방전된 제 4 노드의 전압을 상기 제 2 노드에

공급하여, 상기 제 2 노드의 전압을 상기 방전용 트랜지스터의 게이트 전극에 공급하는 단계; 및

제 4 노드 제어부가 충전된 상기 제 4 노드의 전압에 따라 제 5 노드의 전압을 충전하여, 충전된 상기 제 5 노드의 전압을 상기 방전용 트랜지스터의 제 2 전극에 공급하는 단계를 포함하는 게이트 쉬프트 레지스터의 구동 방법.

청구항 10

제 8 항에 있어서,

상기 제 1 노드의 방전 단계는

제 2 노드 제어부가 상기 리셋 신호에 응답하여 상기 제 3 및 제 4 노드의 전압을 제 1 게이트 오프 전압으로 방전시키는 단계;

제 3 노드 제어부가 상기 제 4 노드의 전압을 반전시켜, 반전된 제 4 노드의 전압을 상기 제 2 노드에 공급하는 단계;

제 4 노드 제어부가 상기 제 4 노드의 전압에 따라 상기 제 5 노드를 상기 제 1 게이트 오프 전압보다 낮은 제 2 게이트 오프 전압으로 방전시키는 단계;

상기 방전용 트랜지스터가 상기 제 4 노드의 전압에 따라 상기 제 1 및 제 5 노드를 서로 연결함으로써, 상기 제 1 노드를 상기 제 2 게이트 오프 전압으로 방전시키는 단계를 포함하는 게이트 쉬프트 레지스터의 구동 방법.

청구항 11

제 8 항에 있어서,

상기 출력부가 상기 스캔 펄스를 출력하는 단계는

제 1 풀업 트랜지스터가 충전된 상기 제 1 노드의 전압에 따라 상기 클럭 신호를 상기 스캔 펄스로서 출력하는 단계;

제 2 풀업 트랜지스터가 충전된 상기 제 1 노드의 전압에 따라 상기 클럭 신호를 적어도 하나의 다음단에 공급되는 상기 캐리 신호 및 적어도 하나의 이전단에 공급되는 상기 리셋 신호로서 출력하는 단계;

제 1 풀다운 트랜지스터가 충전된 상기 제 2 노드의 전압에 따라 상기 스캔 펄스를 제 1 게이트 오프 전압으로 방전시키는 단계; 및

제 2 풀다운 트랜지스터가 충전된 상기 제 2 노드의 전압에 따라 상기 보조 스캔 펄스를 상기 제 1 게이트 오프 전압보다 낮은 제 2 게이트 오프 전압으로 방전시키는 단계를 포함하는 게이트 쉬프트 레지스터의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 쉬프트 레지스터 및 이를 이용한 평판 표시 장치에 관한 것으로, 보다 구체적으로는 누설 전류를 줄일 수 있는 게이트 쉬프트 레지스터 및 이를 이용한 평판 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치, 플라즈마 표시 장치, 유기 발광 표시 장치 등의 평판 표시 장치가 상용화되고 있다.

[0003] 이러한 평판 표시 장치의 게이트 구동 회로는 복수의 게이트 라인에 스캔 펄스를 순차적으로 공급하기 위한 쉬프트 레지스터를 포함하고 있다. 상기 쉬프트 레지스터는 다수의 트랜지스터를 포함하는 복수의 스테이지를 포함하고, 스테이지들은 종속적(cascade)로 접속되어 상기 스캔 펄스를 순차적으로 출력한다.

[0004] 최근에는, 액정 표시 장치 및/또는 유기 발광 표시 장치의 경우, 상기 게이트 구동 회로의 쉬프트 레지스터를 구성하는 트랜지스터를 박막 트랜지스터 형태로 표시 패널의 기판에 내장하는 GIP(gate in panel) 구조가 적용되고 있다.

[0005] 상기 GIP 구조의 쉬프트 레지스터를 구성하는 트랜지스터는 표시 패널에 형성된 각 화소의 트랜지스터에 스캔 펄스를 공급하는 역할을 하므로, 이동도, 누설 전류 등과 같은 기본적인 트랜지스터의 특성뿐만 아니라, 오랜 수명을 유지할 수 있는 내구성 및 전기적 신뢰성이 매우 중요하다. 이때, 트랜지스터의 반도체층은 비정질 실리콘 또는 다결정 실리콘으로 형성되는데, 비정질 실리콘은 성막 공정이 간단하고 생산 비용이 적게 드는 장점이 있지만 전기적 신뢰성이 확보되지 못하는 문제가 있다. 또한 다결정 실리콘은 높은 공정 온도로 인하여 대면적 응용이 매우 곤란하며, 결정화 방식에 따른 균일도가 확보되지 못하는 문제점이 있다. 이러한 문제점을 해결하기 위해 최근에는 산화물 반도체를 트랜지스터의 반도체층으로 이용하는 연구가 진행되고 있다.

[0006] 산화물(Oxide) 반도체는 비정질 형태이면서 안정적인 재료로서 평가되고 있으며, 이러한 산화물 반도체를 트랜지스터의 반도체층으로 이용하면 별도의 공정 장비를 추가적으로 구입하지 않고도 기존의 공정 장비를 이용하여 저온에서 트랜지스터를 제조할 수 있으며, 이온 주입 공정이 생략되는 등 여러 가지 장점이 있다.

[0007] 도 1은 일반적인 산화물 박막 트랜지스터의 특성을 나타내는 그래프이다.

[0008] 도 1에서 알 수 있듯이, 산화물 트랜지스터는 대부분 음(negative)의 문턱 전압을 가지기 때문에 게이트 전압(V_g)이 0(zero)인 상태에서 누설 전류(leakage current)가 발생하게 되고, 이러한 누설 전류로 인해 쉬프트 레지스터에서 정상적인 스캔 펄스가 출력되지 않는 문제점이 발생한다. 이러한 문제점은 산화물 트랜지스터의 제조 공정의 변화를 통해 산화물 트랜지스터의 문턱 전압을 양(positive)로 쉬프트시켜 해결할 수 있으나, 이 경우 표시 패널의 표시 영역에 형성되는 트랜지스터도 양(positive)의 문턱 전압을 가지므로 구동 전력이 증가되는 단점이 있다.

[0009] 따라서, 쉬프트 레지스터를 구성하는 산화물 트랜지스터의 누설 전류를 방지할 수 있는 방안이 요구된다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 전술한 문제점을 해결하고자 안출된 것으로, 누설 전류를 줄일 수 있는 게이트 쉬프트 레지스터 및 이를 이용한 평판 표시 장치를 제공하는 것을 기술적 과제로 한다.

[0011] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 전술한 기술적 과제를 달성하기 위한 본 발명에 따른 게이트 쉬프트 레지스터는 다수의 클럭 신호가 공급되는 라인들에 선택적으로 접속되어, 스캔 펄스를 순차적으로 출력하는 다수의 스테이지를 포함하고, 상기 각 스테이지에 구비된 노드 제어부는 상기 제 1 노드의 전압을 충전시키기 위한 충전용 트랜지스터, 및 상기 제 1 노드의 전압을 방전시키기 위한 방전용 트랜지스터를 구비하고, 상기 제 1 노드의 전압 충전 기간에서, 상기 방전용 트랜지스터의 게이트-소스 전압은 상기 방전용 트랜지스터의 문턱 전압보다 낮을 수 있다.

[0013] 전술한 기술적 과제를 달성하기 위한 본 발명에 따른 게이트 쉬프트 레지스터의 구동 방법은 충전용 트랜지스터가 캐리 신호에 응답하여 제 1 노드를 충전하는 단계, 출력부가 충전된 상기 제 1 노드의 전압에 따라 상기 클럭 신호를 상기 스캔 펄스로서 출력하는 단계, 상기 제 1 노드에 접속된 방전용 트랜지스터가 리셋 신호에 응답하여 상기 제 1 노드를 방전시키는 단계, 및 상기 출력부가 상기 리셋 신호에 응답하여 충전된 제 2 노드의 전압에 따라 상기 스캔 펄스의 출력 단자를 방전시키는 단계를 포함하고, 상기 제 1 노드의 충전 단계는 상기 방전용 트랜지스터의 게이트-소스 전압이 상기 방전용 트랜지스터의 문턱 전압보다 낮아지도록 제어하는 단계를 더 포함할 수 있다.

발명의 효과

[0014] 상기 과제의 해결 수단에 의하면, 본 발명은 다음과 같은 효과가 있다.

[0015] 본 발명은 풀업 트랜지스터의 게이트 전극에 접속된 제 1 노드의 전압이 충전되는 기간 동안, 상기 제 1 노드에 접속된 방전용 트랜지스터의 게이트-소스 전압(V_{gs})을 문턱 전압(V_{th})보다 낮은 음(negative) 전압을 갖도록 한다. 이에 따라, 방전용 트랜지스터는 제 1 노드의 전압이 충전되는 기간 동안 완전한 턴-오프 상태를 유지하여

상기 방전용 트랜지스터를 통한 누설 전류를 방지할 수 있다. 이와 같은 본 발명은 각 스테이지를 구성하는 다수의 트랜지스터가 상대적으로 누설 전류에 취약한 산화물 트랜지스터로 이루어질 경우에 누설 전류 방지 효과가 더 뛰어나다.

[0016] 위에서 언급된 본 발명의 효과 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0017] 도 1은 일반적인 산화물 박막 트랜지스터의 특성을 나타내는 그래프이다.

도 2는 본 발명의 실시 예에 따른 게이트 쉬프트 레지스터의 구성도이다.

도 3은 도 2에 도시된 게이트 쉬프트 레지스터의 구동 파형도이다.

도 4는 도 2에 도시된 임의의 스테이지(ST)를 개략적으로 나타낸 구성 블록도이다.

도 5는 도 2에 도시된 임의의 스테이지(ST)의 구성 회로도이다.

도 6은 도 5에 도시된 인버터의 구성 회로도이다.

도 7a 내지 도 7d는 도 5에 도시된 스테이지(ST)의 구동 방법을 단계적으로 설명한 도면이다.

도 8은 도 2에 도시된 게이트 쉬프트 레지스터로부터 출력되는 스캔 펄스이다.

도 9는 본 발명의 다른 실시 예에 따른 게이트 쉬프트 레지스터의 구성도이다.

도 10은 도 9에 도시된 게이트 쉬프트 레지스터의 구동 파형도이다.

도 11은 도 9에 도시된 게이트 쉬프트 레지스터로부터 출력되는 스캔 펄스이다.

도 12는 본 발명에 따른 평판 표시 장치의 개략적인 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다. 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다. "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우 뿐만 아니라 이들 구성들 사이에 제 3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.

[0019] 이하에서는 본 발명에 따른 게이트 쉬프트 레지스터 및 이를 이용한 평판 표시 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다.

[0020] 도 2는 본 발명의 실시 예에 따른 게이트 쉬프트 레지스터의 구성도이다. 도 3은 도 2에 도시된 게이트 쉬프트 레지스터의 구동 파형도이다.

[0021] 도 2를 참조하면, 게이트 쉬프트 레지스터는 종속적으로 접속된 다수의 스테이지(ST; ST1, ST2, ST3, ...)를 포함한다.

[0022] 다수의 스테이지(ST)는 다수의 클럭 신호(CLKs)가 공급되는 다수의 클럭 신호 공급 라인에 선택적으로 접속되어, 스캔 펄스(SCAN; SCAN1, SCAN2, SCAN3, ...)를 순차적으로 출력한다. 이러한 스캔 펄스(SCAN)는 평판 표시 장치의 표시 패널에 구비된 게이트 라인들을 순차적으로 구동하는 신호가 될 수 있다.

[0023] 다수의 스테이지(ST) 각각은 다수의 클럭 신호(CLKs) 중 선택된 어느 하나와, 게이트 온 전압(VGH)과, 제 1 게이트 오프 전압(VGL1)과, 제 2 게이트 오프 전압(VGL2)을 입력받는다. 상기 다수의 클럭 신호(CLKs)는 도 3에 도시된 바와 같이, 일정 기간씩 쉬프트 되며, 4 상으로 구현되어 제 1 내지 제 4 클럭 신호(CLK1~CLK4)를 포함

할 수 있다. 이러한 제 1 내지 제 4 클럭 신호(CLK1~CLK4)는 다수의 스테이지(ST)에 순차적으로 공급될 수 있다.

[0024] 상기 각 스테이지(ST)는 제 1 및 제 2 입력 단자(IN1, IN2)와, 제 1 및 제 2 출력 단자(OUT1, OUT2)를 구비한다. 상기 제 1 입력 단자(IN1)에는 외부로부터 제공된 스타트 신호(VST) 또는 적어도 하나의 이전 단계에 구비된 스테이지(ST)로부터 제공된 보조 스캔 펄스가 캐리 신호(CR)로서 입력된다. 상기 제 2 입력 단자(IN2)에는 적어도 하나의 다음 단계에 구비된 스테이지로부터 제공된 보조 스캔 펄스가 리셋 신호(RST)로서 입력된다. 상기 제 1 출력 단자(OUT1)는 해당된 스테이지(ST)에서 생성된 스캔 펄스(SCAN)가 출력된다. 상기 제 2 출력 단자(OUT2)는 상기 스캔 펄스(SCAN)에 동기된 보조 스캔 펄스가 출력된다. 상기 보조 스캔 펄스는 상기 캐리 신호(CR)로서 적어도 하나의 다음단 스테이지에 공급됨과 동시에 리셋 신호(RST)로서 적어도 하나의 이전단 스테이지에 공급된다. 예를 들어, 도 2에 도시된 바와 같이, k 번째 스테이지(STk)로부터 출력된 상기 보조 스캔 펄스는 k-1 번째 스테이지(STk-1) 및 k+1 번째 스테이지(STk+1)에 공급된다. 단, 제 1 스테이지(ST1)는 이전단 스테이지로부터 제공되는 캐리 신호(CR)를 대신하여 외부로부터 제공된 스타트 신호(VST)가 입력된다.

[0025] 상기 각 스테이지(ST)는 제 1 입력 단자(IN1)를 통해 입력되는 스타트 신호(VST) 또는 캐리 신호(CR)에 따라 상기 클럭 신호(CLK)를 스캔 펄스(SCAN)로서 출력하며, 이와 동시에 상기 스캔 펄스(SCAN)와 동기하여 보조 스캔 펄스를 출력한다. 이때, 상기 스캔 펄스(SCAN)는 해당 스테이지(ST)의 제 1 출력 단자(OUT1)를 통해 출력되고, 상기 보조 스캔 펄스는 해당 스테이지(ST)의 제 2 출력 단자(OUT2)를 통해 출력된다. 이어서, 상기 각 스테이지(ST)는 제 2 입력 단자(IN2)를 통해 입력되는 리셋 신호(RST)에 따라 상기 스캔 펄스(SCAN) 및 상기 보조 스캔 펄스를 방전시킨다.

[0026] 상기 "전단 스테이지(ST)"는 기준이 되는 스테이지(ST)의 상부에 위치하는 것으로, 예를 들어, 제 k($1 \leq k \leq n$) 스테이지(STk)에 기준된 전단 스테이지는 "제 2 스테이지(ST2) 내지 제 k-1 스테이지(STk-1)" 중 어느 하나를 지시할 수 있다. 상기 "다음단 스테이지"는 기준이 되는 스테이지의 하부에 위치하는 것으로, 예를 들어, 제 k 스테이지(STk)에 기준된 다음단 스테이지는 "제 k+1 스테이지(STk+1) 내지 제 n 스테이지(STn)" 중 어느 하나를 지시할 수 있다.

[0027] 도 4는 도 2에 도시된 임의의 스테이지(ST)를 개략적으로 나타낸 구성 블록도이다. 도 5는 도 2에 도시된 임의의 스테이지(ST)의 구성 회로도이다. 도 6은 도 5에 도시된 인버터의 구성 회로도이다.

[0028] 도 4를 참조하면, 각 스테이지(ST)는 캐리 신호(CR) 및 리셋 신호(RST)에 응답하여, 제 1 및 제 2 노드(Q, Qb)의 전압을 제어하는 노드 제어부(100)와, 상기 제 1 및 제 2 노드(Q, Qb)의 전압 레벨에 따라 상기 스캔 펄스(SCAN) 및 상기 보조 스캔 펄스를 출력하는 출력부(200)를 포함한다. 구체적으로 후술되는 본 발명은 상기 제 1 노드(Q)의 전압을 충전시키기 위한 충전용 트랜지스터(T8)와, 상기 제 1 노드(Q)의 전압을 방전시키기 위한 방전용 트랜지스터(T9)를 구비한다. 이러한 본 발명은 상기 제 1 노드(Q)의 전압을 충전시키는 기간에 상기 방전용 트랜지스터(T9)의 게이트-소스 전압(Vgs)을 상기 방전용 트랜지스터(T9)의 문턱 전압(Vth)보다 낮게 설정한다. 이는, 상기 제 1 노드(Q)의 전압을 충전시키는 기간에 상기 방전용 트랜지스터(T9)를 통한 누설 전류를 방지하기 위함이다.

[0029] 이하, 도 5 및 도 6을 참조하여, 각 스테이지(ST)의 회로 구성을 상세히 설명한다. 참고로, 상기 다수의 스테이지(ST)는 회로 구성이 동일하다.

[0030] 도 5를 참조하면, 각 스테이지(ST)는 제 1 내지 제 5 노드(Q, Qb, Is, Qs, Qh)에 유기적으로 연결된 다수의 트랜지스터를 구비한다. 그리고 상기 다수의 트랜지스터는 상기 제 1 내지 제 5 노드(Q, Qb, Is, Qs, Qh)의 전압을 제어하기 위한 제 1 내지 제 5 노드 제어부(10, 20, 30, 40, 50)와, 전술한 출력부(200)로 구분될 수 있다.

[0031] 상기 제 1 노드 제어부(10)는 캐리 신호(CR)에 응답하여, 제 3 및 제 4 노드(Is, Qs)의 전압을 충전한다. 이를 위해, 제 1 노드 제어부(10)는 캐리 신호(CR)의 공급 라인에 접속된 제 1 및 제 2 트랜지스터(T1, T2)를 구비한다. 상기 제 1 트랜지스터(T1)는 상기 캐리 신호(CR)에 응답하여 게이트 온 전압(VGH) 상태인 캐리 신호(CR)를 제 1 노드(Q)에 공급한다. 상기 제 2 트랜지스터(T2)는 상기 캐리 신호(CR)에 응답하여 게이트 온 전압(VGH) 상태인 캐리 신호(CR)를 제 2 노드(Qb)에 공급한다.

[0032] 상기 제 2 노드 제어부(20)는 리셋 신호(RST)에 응답하여 제 3 및 제 4 노드(Is, Qs)의 전압을 방전한다. 이를 위해, 제 2 노드 제어부(20)는 리셋 신호(RST)의 공급 라인에 접속된 제 3 및 제 4 트랜지스터(T3, T4)를 구비한다. 상기 제 3 트랜지스터(T3)는 리셋 신호(RST)에 응답하여 제 1 게이트 오프 전압(VGL1)을 제 4 노드(Qs)에 공급한다. 상기 제 4 트랜지스터(T4)는 리셋 신호(RST)에 응답하여 제 1 게이트 오프 전압(VGL1)을 제 3 노드

드(Is)에 공급한다.

[0033] 상기 제 3 노드 제어부(30)는 상기 제 4 노드(Qs)의 전압 레벨을 반전시켜, 반전된 제 4 노드(Qs)의 전압을 제 2 노드(Qb)에 공급한다. 이를 위해, 상기 제 3 노드 제어부(30)는 상기 제 2 및 제 4 노드(Qb, Qs) 사이에 접속된 인버터(INV)를 구비한다. 구체적으로, 상기 인버터(INV)는 도 6에 도시된 바와 같이, 제 10 내지 제 13 트랜지스터(T10~T13)를 포함하여 구성될 수 있다. 상기 제 10 트랜지스터(T10)는 게이트 온 전압(VGH)에 따라 스위칭 되어 상기 게이트 온 전압(VGH)을 제 11 트랜지스터(T11)의 게이트 전극에 공급한다. 제 11 트랜지스터(T11)는 제 10 트랜지스터(T10)의 제 2 전극에 접속된 게이트 전극과, 게이트 온 전압(VGH)이 인가되는 제 1 전극과, 제 2 노드(Qb)에 접속된 제 2 전극을 포함하여 구성된다. 제 12 트랜지스터(T12)는 제 4 노드(Qs)의 전압 레벨에 따라 스위칭 되어, 제 1 게이트 오프 전압(VGL1)을 제 11 트랜지스터(T11)의 게이트 전극에 공급한다. 제 13 트랜지스터(T13)는 제 4 노드(Qs)의 전압 레벨에 따라 스위칭 되어, 제 2 게이트 오프 전압(VGL2)을 제 2 노드(Qb)에 공급한다. 여기서, 제 2 게이트 오프 전압(VGL2)은 제 1 게이트 오프 전압(VGL1)보다 낮은 값으로 설정된다. 이는, 제 1 노드(Q)의 전압을 충전시키는 기간에, 제 2 게이트 오프 전압(VGL2)을 제 1 노드(Q)에 접속된 방전용 트랜지스터(T9)의 게이트 전극에 인가함으로써, 제 1 노드(Q)에 충전된 전하가 방전용 트랜지스터(T9)를 통해 빠져나가는 것을 방지하기 위함이다.

[0034] 상기 제 4 노드 제어부(40)는 제 2 및 제 4 노드(Qb, Qs)의 전압 레벨에 따라 제 5 노드(Qh)의 전압을 제어한다. 이를 위해, 제 4 노드 제어부(40)는 제 5 내지 제 7 트랜지스터(T5~T7)를 구비한다. 상기 제 5 트랜지스터(T5)는 게이트 전극 및 제 2 전극이 서로 연결되고, 제 1 전극이 제 3 노드(Is)와 연결된다. 여기서, 제 5 트랜지스터(T5)의 제 2 전극은 제 5 노드(Qh)와 연결된다. 제 6 트랜지스터(T6)는 제 4 노드(Qs)의 전압 레벨에 따라 스위칭 되어, 게이트 온 전압(VGH)을 제 5 노드(Qh)에 공급한다. 제 7 트랜지스터(T7)는 제 2 노드(Qb)의 전압 레벨에 따라 스위칭 되어, 제 2 게이트 오프 전압(VGL2)을 제 5 노드(Qh)에 공급한다.

[0035] 상기 제 5 노드 제어부(50)는 캐리 신호(CR)의 공급 라인 및 제 5 노드(Qh)에 접속되어 제 1 노드(Q)의 전압 레벨을 제어한다. 이를 위해, 제 5 노드 제어부(50)는 제 8 및 제 9 트랜지스터(T8, T9)를 구비한다. 제 8 트랜지스터(T8)는 전술한 충전용 트랜지스터(T8)로서 제 1 노드(Q)의 전압을 충전한다. 이를 위해, 제 8 트랜지스터(T8)는 캐리 신호(CR)의 공급 라인에 접속된 게이트 전극과, 게이트 온 전압(VGH)의 공급 라인에 접속된 제 1 전극과, 제 1 노드(Q)에 접속된 제 2 전극을 포함하여 구성된다. 제 9 트랜지스터(T9)는 전술한 방전용 트랜지스터(T9)로서 제 1 노드(Q)의 전압을 방전시킨다. 이를 위해, 제 9 트랜지스터(T9)는 제 2 노드(Qb)에 접속된 게이트 전극과, 제 1 노드(Q)에 접속된 제 1 전극과, 제 5 노드(Qh)에 접속된 제 2 전극을 포함하여 구성된다. 이러한 제 9 트랜지스터(T9)는 제 1 노드(Q)의 전압이 충전되는 기간 동안 게이트 전극에 제 2 게이트 오프 전압(VGL2)이 인가되고, 제 2 전극에 게이트 온 전압(VGH)이 인가됨으로써, 게이트-소스 전압(Vgs)이 문턱 전압(Vth)보다 훨씬 낮은 음(negative) 전압을 갖게 된다. 이로써, 제 9 트랜지스터(T9)는 제 1 노드(Q)의 전압이 충전되는 기간 동안 완전한 턴-오프 상태를 유지할 수 있고, 제 9 트랜지스터(T9)를 통한 누설 전류를 방지할 수 있다. 이와 같은 본 발명은 각 스테이지를 구성하는 다수의 트랜지스터 각각이 산화물 트랜지스터로 이루어질 경우에 더 효과적이다. 즉, 일반적인 산화물 트랜지스터는 음(negative)의 문턱 전압(Vth)을 가져 누설 전류에 취약한데, 본 발명은 제 1 노드(Q)에 접속되는 방전용 트랜지스터(T9)가 산화물 트랜지스터로 구성될 지라도, 게이트-소스 간 전압이 문턱 전압(Vth)보다 훨씬 낮은 음(negative) 전압을 갖는 바, 완전한 턴-오프 상태를 유지할 수 있다.

[0036] 상기 출력부(200)는 제 1 및 제 2 풀업 트랜지스터(PU1, PU2)와, 제 1 및 제 2 풀다운 트랜지스터(PD1, PD2)를 구비한다.

[0037] 상기 제 1 풀업 트랜지스터(PU1)는 상기 제 1 노드(Q)에 접속된 게이트 전극, 상기 클럭 신호(CLK) 공급 라인에 접속된 제 1 전극, 및 상기 제 1 출력 단자(OUT1)에 접속된 제 2 전극을 구비한다. 상기 제 2 풀업 트랜지스터(PU2)는 상기 제 1 노드(Q)에 접속된 게이트 전극, 상기 클럭 신호(CLK) 공급 라인에 접속된 제 1 전극, 및 상기 제 2 출력 단자(OUT2)에 접속된 제 2 전극을 구비한다. 상기 제 1 풀다운 트랜지스터(PD1)는 상기 제 1 노드(Q)에 접속된 게이트 전극, 상기 제 1 출력 단자(OUT1)에 접속된 제 1 전극, 및 제 1 게이트 오프 전압(VGL1)의 공급 라인에 접속된 제 2 전극을 구비한다. 상기 제 2 풀다운 트랜지스터(PD2)는 상기 제 1 노드(Q)에 접속된 게이트 전극, 상기 제 2 출력 단자(OUT2)에 접속된 제 1 전극, 및 제 2 게이트 오프 전압(VGL2)의 공급 라인에 접속된 제 2 전극을 구비한다.

[0038] 이와 같이, 본 발명의 각 스테이지(ST)는 제 1 출력 단자(OUT1)를 통해 스캔 펄스(SCAN)가 출력되도록 제 1 풀업 트랜지스터(PU1) 및 제 1 풀다운 트랜지스터(PD1)를 구비하고, 제 2 출력 단자(OUT2)를 통해 보조 스캔 펄스

가 출력되도록 제 2 풀업 트랜지스터(PU2) 및 제 2 풀다운 트랜지스터(PD2)를 구비한다. 따라서, 본 발명은 출력 단자와 다른 스테이지(ST)들을 연결하는 배선의 저항 성분에 의해 캐리 신호(CR), 리셋 신호(RST) 및 스캔 펄스(SCAN) 각각의 출력이 왜곡되는 현상을 방지할 수 있다.

[0039] 이하, 본 발명의 실시 예에 따른 게이트 쉬프트 레지스터의 구동 방법을 단계적으로 설명한다.

[0040] 도 7a 내지 도 7d는 도 5에 도시된 스테이지(ST)의 구동 방법을 단계적으로 설명한 도면이다.

[0041] 먼저, 도 3 및 도 7a를 참조하면, 제 1 기간에는 제 1 입력 단자(IN1)를 통해 스타트 신호(VST) 또는 캐리 신호(CR)가 입력된다. 도시된 예에서 캐리 신호(CR)는 제 1 클럭 신호(CLK)에 동기되어 있다. 제 1 및 제 2 트랜지스터(T1, T2)는 캐리 신호(CR)에 따라 턴-온되고, 제 1 및 제 2 트랜지스터(T1, T2)를 통해 게이트 온 전압(VGH)이 제 3 및 제 4 노드(Is, Qs)에 공급된다. 이로써, 제 3 및 제 4 노드(Is, Qs)의 전압 레벨은 게이트 온 전압(VGH)으로 충전된다. 그러면, 인버터는 제 4 노드(Qs)의 전압을 제 2 게이트 오프 전압(VGL2)으로 변환하고, 변환된 제 2 게이트 오프 전압(VGL2)을 제 2 노드(Qb)에 공급한다. 그리고 제 5 및 제 6 트랜지스터(T5, T6)는 턴-온되어 제 5 노드(Qh)를 게이트 온 전압(VGH)으로 충전한다. 이와 동시에, 제 8 트랜지스터(T8)는 캐리 신호(CR)에 따라 턴-온되어 제 1 노드(Q)를 게이트 온 전압(VGH)으로 충전한다. 이에 따라, 제 1 풀업 트랜지스터(PU1) 및 제 2 풀업 트랜지스터(PU2) 각각의 게이트 전압은 프리 차징된다.

[0042] 이어서, 도 3 및 도 7b를 참조하면, 제 2 기간에는 클럭 신호(CLK) 공급 라인을 통해 게이트 온 전압(VGH) 상태의 클럭 신호(CLK)가 입력된다. 도시된 예에서 해당 스테이지(ST)에 입력되는 클럭 신호(CLK)는 제 2 클럭 신호(CLK2)이다. 이러한 제 2 클럭 신호(CLK2)는 제 1 및 제 2 풀업 트랜지스터(PU1, PU2) 각각의 제 1 전극에 인가된다. 그러면, 제 1 노드(Q)의 전압은 제 1 및 제 2 풀업 트랜지스터(PU1, PU2) 각각의 기생 용량에 의해 부트스트래핑(bootstrapping)되어, 현재보다 높은 레벨로 상승된다. 이에 따라, 제 1 및 제 2 풀업 트랜지스터(PU1, PU2) 각각은 완전한 턴-온 상태가 된다. 그러면, 제 1 풀업 트랜지스터(PU1)는 클럭 신호(CLK)를 스캔 펄스(SCAN)로서 제 1 출력 단자(OUT1)로 출력하고, 제 2 풀업 트랜지스터(PU2)는 클럭 신호(CLK)를 보조 스캔 펄스로서 제 2 출력 단자(OUT2)로 출력한다.

[0043] 한편, 전술한 제 1 및 제 2 기간(T1, T2)에는 방전용 트랜지스터(T9)로서 구비된 제 9 트랜지스터(T9)가 완전한 턴-오프 상태가 됨으로써, 제 1 노드(Q)에 충전된 전하가 제 9 트랜지스터(T9)를 통해 빠져나가는 누설 전류가 방지된다.

[0044] 이어서, 도 3 및 도 7c를 참조하면, 제 3 기간에는 제 2 입력 단자(IN2)를 통해 리셋 신호(RST)가 입력된다. 도시된 예에서 리셋 신호(RST)는 제 3 클럭 신호(CLK3)에 동기되어 있다. 이러한 리셋 신호(RST)에 응답하여, 제 3 및 제 4 트랜지스터(T3, T4)는 턴-온되고, 제 3 및 제 4 트랜지스터(T3, T4)를 통해 제 1 게이트 오프 전압(VGL1)이 제 3 및 제 4 노드(Is, Qs)에 공급된다. 이에 따라, 제 3 및 제 4 노드(Is, Qs) 각각은 제 1 게이트 오프 전압(VGL1)으로 방전된다. 그러면, 제 5 및 제 6 트랜지스터는 턴-오프되고, 인버터(INV)는 제 4 노드(Qs)의 전압을 게이트 온 전압(VGH)으로 변환하여 변환된 게이트 온 전압(VGH)을 제 2 노드(Qb)에 공급한다. 그러면, 제 7 및 제 9 트랜지스터(T7, T9)가 턴-온되고, 제 7 및 제 9 트랜지스터(T7, T9)를 통해 제 1 노드(Q)에 제 2 게이트 오프 전압(VGL2)이 인가된다. 이로써, 제 1 노드(Q)의 전압 레벨은 제 2 게이트 오프 전압(VGL2)이 된다. 한편, 제 1 노드(Q)에 따라 스위칭되는 제 1 및 제 2 풀업 트랜지스터(PU1, PU2)는 턴-오프되며, 제 2 노드(Qb)에 따라 스위칭되는 제 1 및 제 2 풀다운 트랜지스터(PD1, PD2)는 턴-온된다. 그러면, 제 1 풀다운 트랜지스터(PD1)를 통해 제 1 출력 단자(OUT1)는 제 1 게이트 오프 전압(VGL1)으로 방전되고, 제 2 풀다운 트랜지스터(PD2)를 통해 제 2 출력 단자(OUT2)는 제 2 게이트 오프 전압(VGL2)으로 방전된다.

[0045] 이어서, 도 3 및 도 7d를 참조하면, 제 4 기간에는 제 2 노드(Qb)의 전압 레벨이 게이트 온 전압(VGH) 상태를 유지한다. 제 4 기간은 해당 스테이지(ST)에 다음 프레임의 캐리 신호(CR)가 입력될 때까지 지속된다. 따라서, 각 스테이지(ST)는 다음 프레임의 캐리 신호(CR)가 입력될 때까지 제 1 출력 단자(OUT1)를 통해 제 1 게이트 오프 전압(VGL1)을 출력하고, 제 2 출력 단자(OUT2)를 통해 제 2 게이트 오프 전압(VGL2)을 출력한다.

[0046] 이러한 본 발명은 제 2 출력 단자(OUT2)를 방전시키는 전압이 제 2 게이트 오프 전압(VGL2)으로 설정됨으로써, 캐리 신호(CR)의 공급 라인의 전압 레벨은 캐리 신호(CR)가 출력되는 기간을 제외하면, 제 2 게이트 오프 전압(VGL2)을 유지한다. 마찬가지로, 리셋 신호(RST)의 공급 라인의 전압 레벨은 리셋 신호(RST)가 출력되는 기간을 제외하면, 제 2 게이트 오프 전압(VGL2)을 유지한다. 따라서, 각 스테이지에서 캐리 신호(CR)의 공급 라인에 자신의 게이트가 접속된 제 1 및 제 2 트랜지스터(T1, T2)는 캐리 신호(CR)가 입력되지 않는 기간 동안 완전한 턴-오프 상태를 유지하여 누설 전류를 방지할 수 있다. 마찬가지로, 리셋 신호(RST)의 공급 라인에 자신의

게이트가 접속된 제 3 및 제 4 트랜지스터(T3, T4)도 리셋 신호(RST)가 입력되지 않는 기간 동안 완전한 턴-오프 상태를 유지하여 누설 전류를 방지할 수 있다.

- [0047] 본 발명의 실시 예에 따른 게이트 쉬프트 레지스터는 전술한 바와 같은 제 1 내지 제 4 기간 각각의 동작을 반복하여 도 8에 도시된 바와 같이 순차적으로 쉬프트된 스캔 펄스(SCAN)를 출력할 수 있다.
- [0048] 도 9는 본 발명의 다른 실시 예에 따른 게이트 쉬프트 레지스터의 구성도이다. 도 10은 도 9에 도시된 게이트 쉬프트 레지스터의 구동 파형도이다.
- [0049] 도 9를 참조하면, 본 발명의 다른 실시 예에 따른 게이트 쉬프트 레지스터는 도 2에 도시된 예와는 달리, k 번째 스테이지(ST)로부터 출력된 상기 보조 스캔 펄스가 k-2 번째 스테이지(ST_{k-2}) 및 k+2 번째 스테이지(ST_{k+2})에 공급된다. 이 경우, 제 1 스테이지(ST1)는 이전단 스테이지로부터 제공되는 캐리 신호(CR)를 대신하여 외부로부터 제공된 제 1 스타트 신호(VST1)가 입력된다. 그리고 제 2 스테이지(ST)는 이전단 스테이지로부터 제공되는 캐리 신호(CR)를 대신하여 외부로부터 제공된 제 2 스타트 신호(VST2)가 입력된다.
- [0050] 또한, 도 10을 참조하면, 본 발명의 다른 실시 예에 따른 게이트 쉬프트 레지스터는 도 3에 도시된 예와는 달리, 상기 다수의 클럭 신호(CLKs)가 특정 기간씩 오버랩된 형태로 입력된다. 단, 각 스테이지(ST)의 회로적 구성은 도 5에 도시된 것과 동일하다. 도시된 예에서 해당 스테이지(ST)에 입력되는 클럭 신호(CLK)는 제 3 클럭 신호(CLK3)이다.
- [0051] 이와 같은, 본 발명의 다른 실시 예에 따른 게이트 쉬프트 레지스터는 도 11에 도시된 바와 같이, 순차적으로 쉬프트된 스캔 펄스(SCAN)를 출력하되, 상기 스캔 펄스(SCAN)가 특정 기간씩 오버랩된 형태로 출력된다.
- [0052] 이하, 전술한 바와 같은 본 발명의 게이트 쉬프트 레지스터를 포함한 평판 표시 장치를 설명한다.
- [0053] 도 12는 본 발명에 따른 평판 표시 장치의 개략적인 구성도이다.
- [0054] 도 12를 참조하면, 본 발명에 따른 평판 표시 장치는 표시 패널과, 게이트 드라이버와, 데이터 드라이버와, 타이밍 컨트롤러를 포함하여 구성된다.
- [0055] 상기 표시 패널(2)은 서로 교차하는 다수의 게이트 라인(GL)과 다수의 데이터 라인(DL)을 구비하고, 이들(GL, DL)의 교차 영역에는 다수의 화소(P)들이 구비된다. 각 화소(P)들은 게이트 라인(GL)으로부터 공급되는 스캔 펄스(SCAN)에 응답하여 데이터 라인(DL)으로부터 공급되는 영상 신호(데이터 전압)에 따른 영상을 표시한다.
- [0056] 상기 게이트 드라이버(4)는 GIP(gate in panel)형 게이트 드라이버로서, 표시 패널(2)의 비표시 영역에 형성된다. 게이트 드라이버(4)는 표시 패널(2)의 일측에 구비되거나 표시 패널(2)의 양측에 각각 구비되어 다수의 게이트 라인(GL)을 구동할 수 있다.
- [0057] 상기 게이트 드라이버(4)는 타이밍 컨트롤러(8)로부터 제공된 다수의 게이트 제어 신호(GCS)에 따라 다수의 게이트 라인(GL)에 스캔 펄스(SCAN)를 공급하는 게이트 쉬프트 레지스터를 구비한다. 상기 게이트 쉬프트 레지스터는 전술한 특징을 갖는다.
- [0058] 상기 데이터 드라이버(6)는 타이밍 컨트롤러(8)로부터 제공된 다수의 데이터 제어 신호(DCS)에 따라 타이밍 컨트롤러(8)로부터 입력되는 디지털 영상 데이터(RGB)를 기준 감마 전압을 이용하여 데이터 전압으로 변환하고, 변환된 데이터 전압을 다수의 데이터 라인(DL)에 공급한다.
- [0059] 상기 타이밍 컨트롤러(8)는 외부로부터 입력되는 영상 데이터(RGB)를 표시 패널(2)의 크기 및 해상도에 알맞게 정렬하여 데이터 드라이버(6)에 공급한다. 타이밍 컨트롤러(8)는 외부로부터 입력되는 동기 신호(SYNC)들, 예를 들어 도트클럭(DCLK), 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호(Vsync)를 이용해 다수의 게이트 및 데이터 제어신호(GCS, DCS)를 생성하여 게이트 드라이버(4) 및 데이터 드라이버(6)에 각각 공급한다.
- [0060] 다수의 게이트 제어신호(GCS)는 서로 다른 위상을 갖는 다수의 클럭 신호(CLKs)와, 게이트 드라이버(4)의 구동 시작을 지시하는 스타트 신호(VST)를 포함한다.
- [0061] 상술한 바와 같이, 본 발명은 풀업 트랜지스터의 게이트 전극에 접속된 제 1 노드의 전압이 충전되는 기간 동안, 상기 제 1 노드에 접속된 방전용 트랜지스터의 게이트-소스 전압(V_{gs})을 문턱 전압(V_{th})보다 낮은 음(negative) 전압을 갖도록 한다. 이에 따라, 방전용 트랜지스터는 제 1 노드의 전압이 충전되는 기간 동안 완전

한 턴-오프 상태를 유지하여 상기 방전용 트랜지스터를 통한 누설 전류를 방지할 수 있다. 이와 같은 본 발명은 각 스테이지를 구성하는 다수의 트랜지스터가 상대적으로 누설 전류에 취약한 산화물 트랜지스터로 이루어질 경우에 누설 전류 방지 효과가 더 뛰어나다.

[0062] 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 발명의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

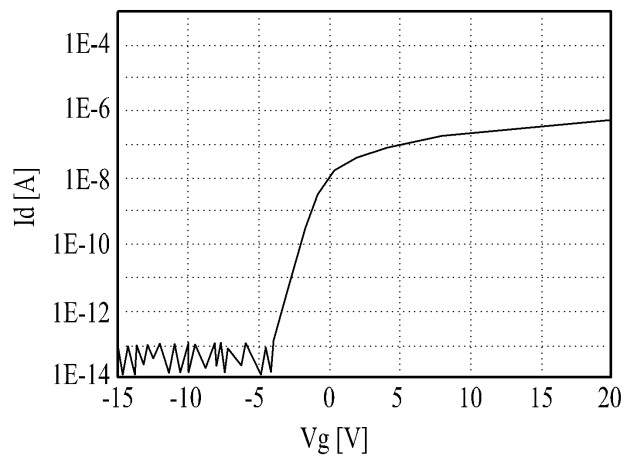
부호의 설명

[0063]

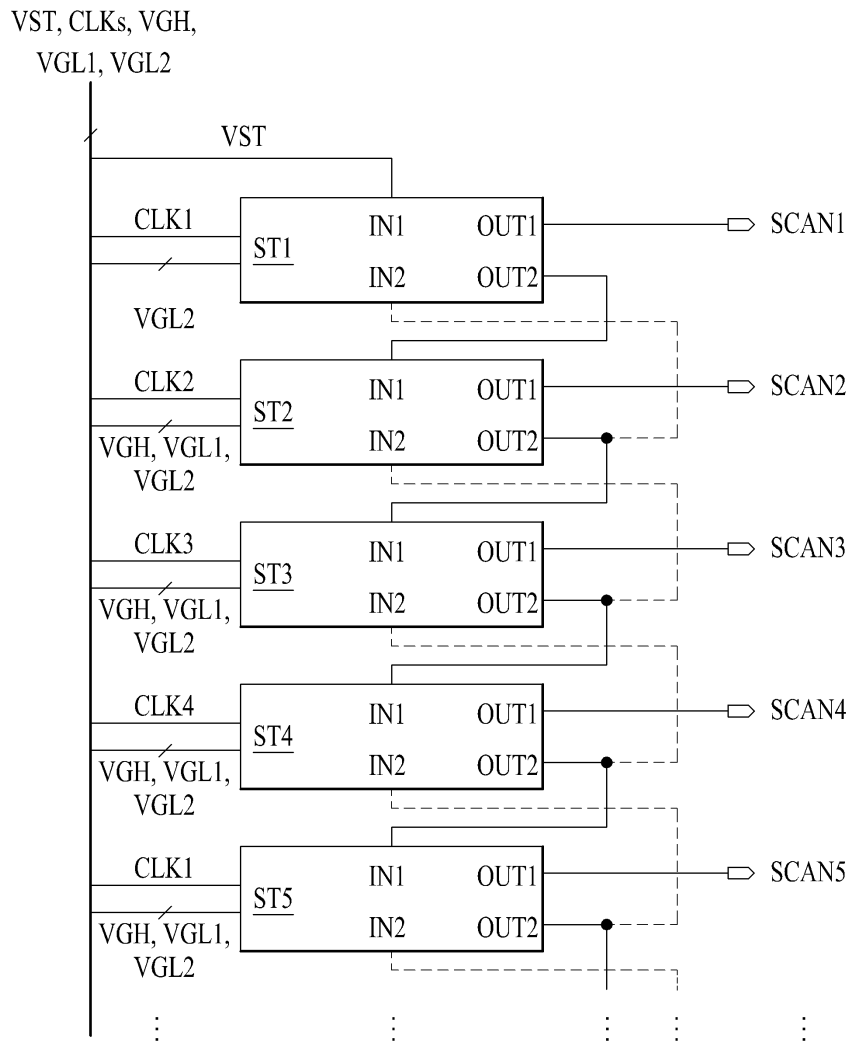
10: 제 1 노드 제어부	20: 제 2 노드 제어부
30: 제 3 노드 제어부	40: 제 4 노드 제어부
50: 제 5 노드 제어부	200: 출력부
Q: 제 1 노드	Qb: 제 2 노드
Is: 제 3 노드	Qs: 제 4 노드
Qh: 제 5 노드	T8: 충전용 트랜지스터
T9: 방전용 트랜지스터	

도면

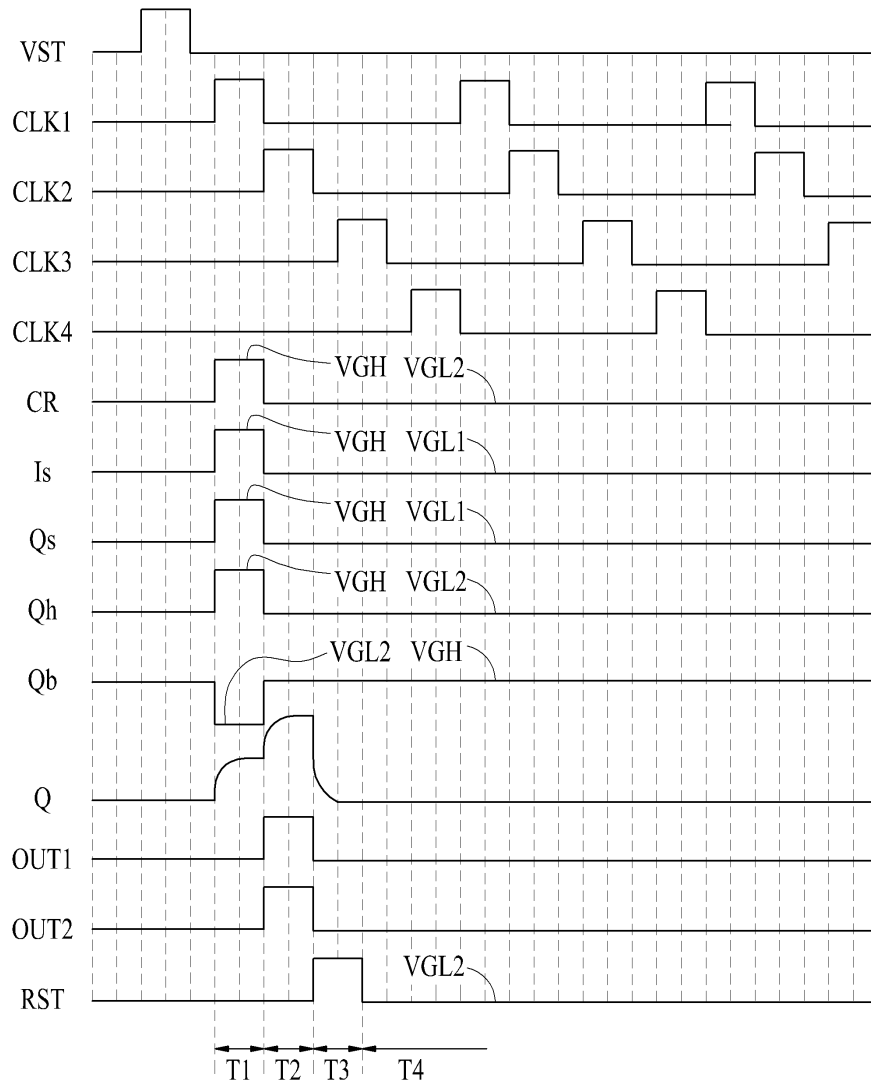
도면1



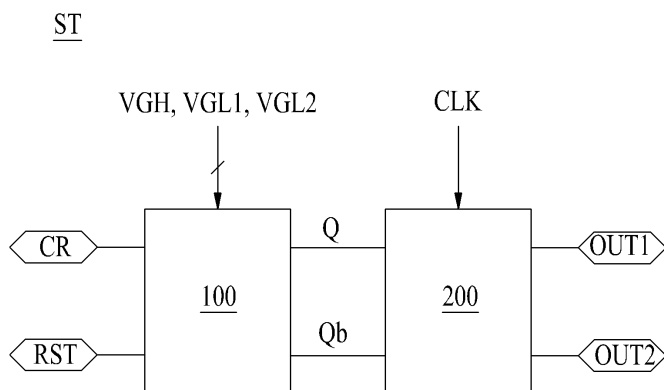
도면2



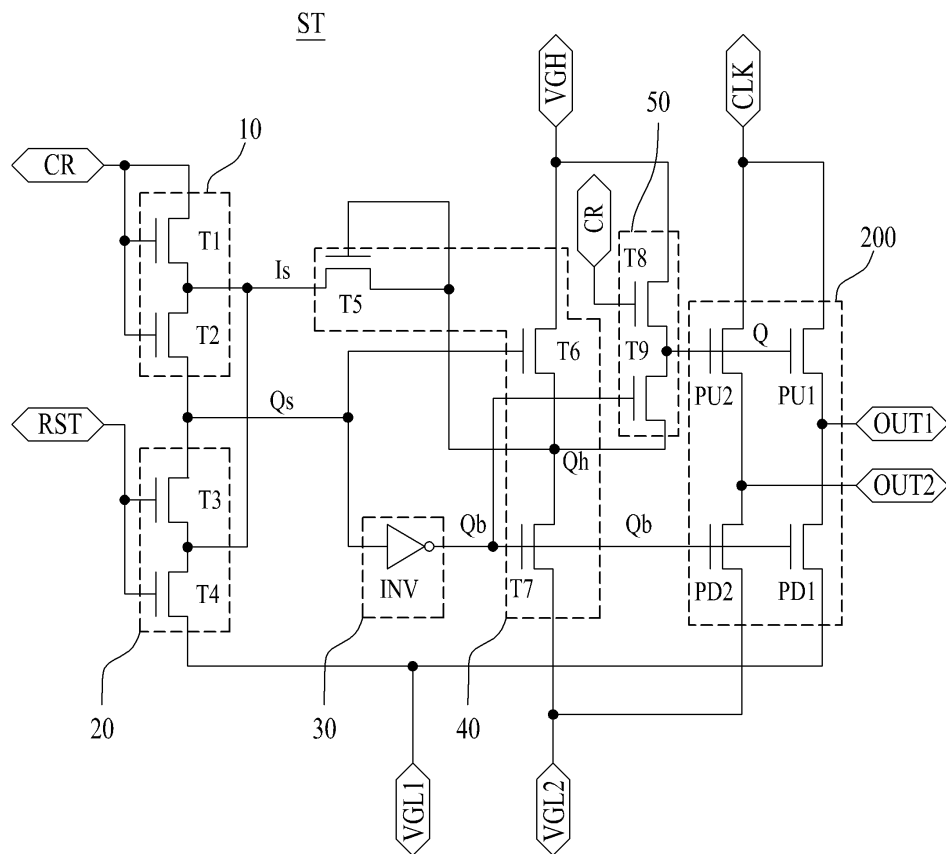
도면3



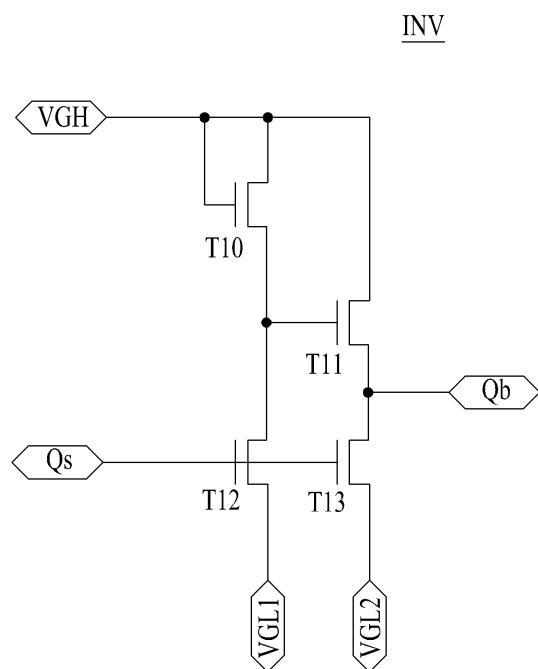
도면4



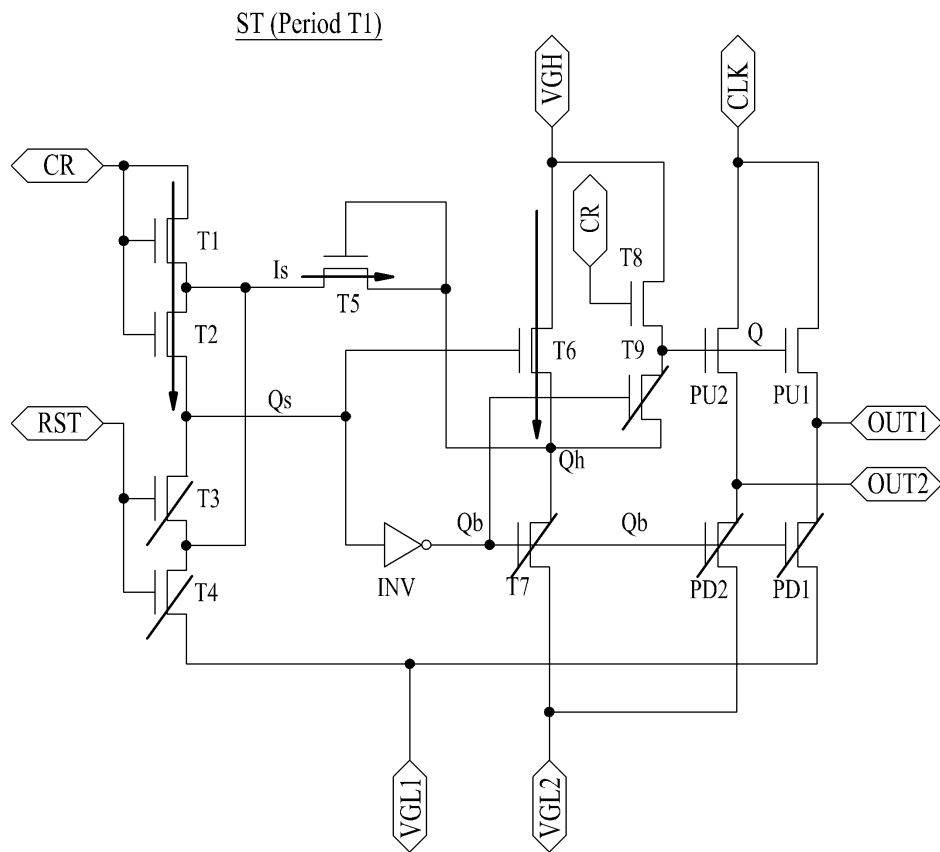
도면5



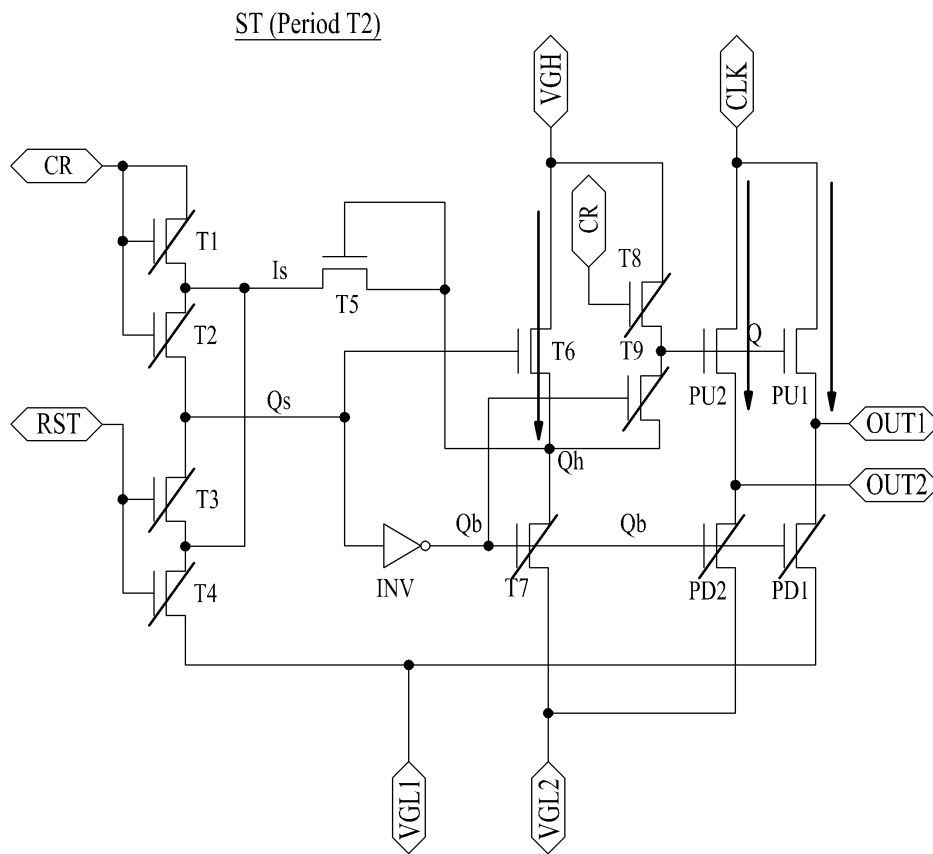
도면6



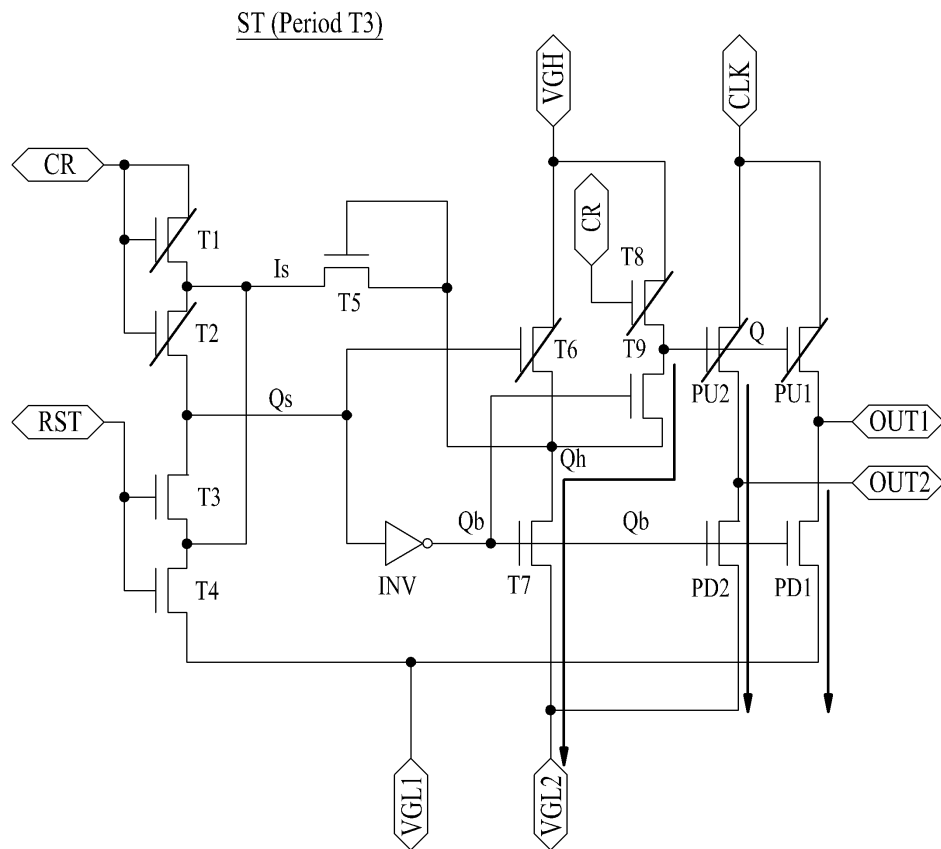
도면7a



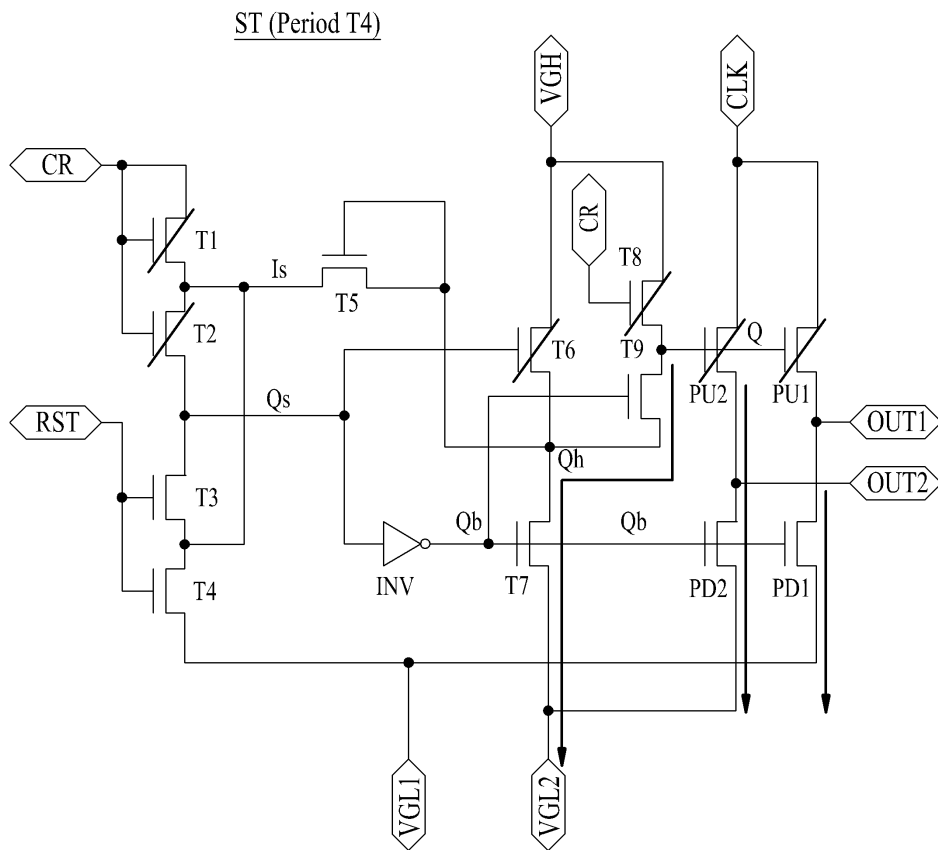
도면7b



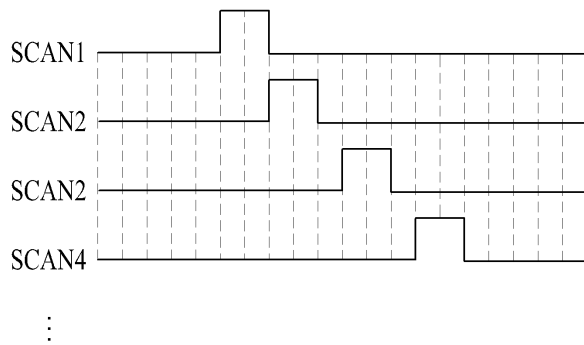
도면7c



도면7d

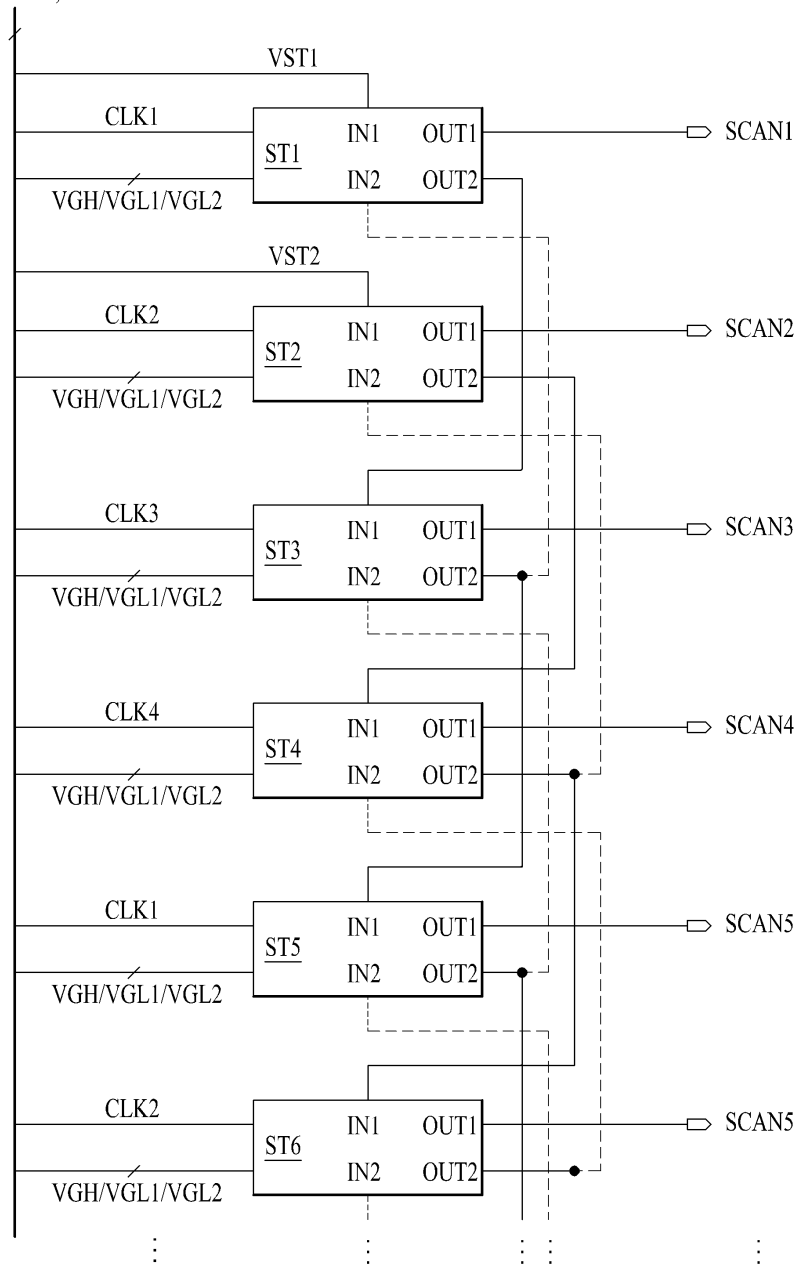


도면8

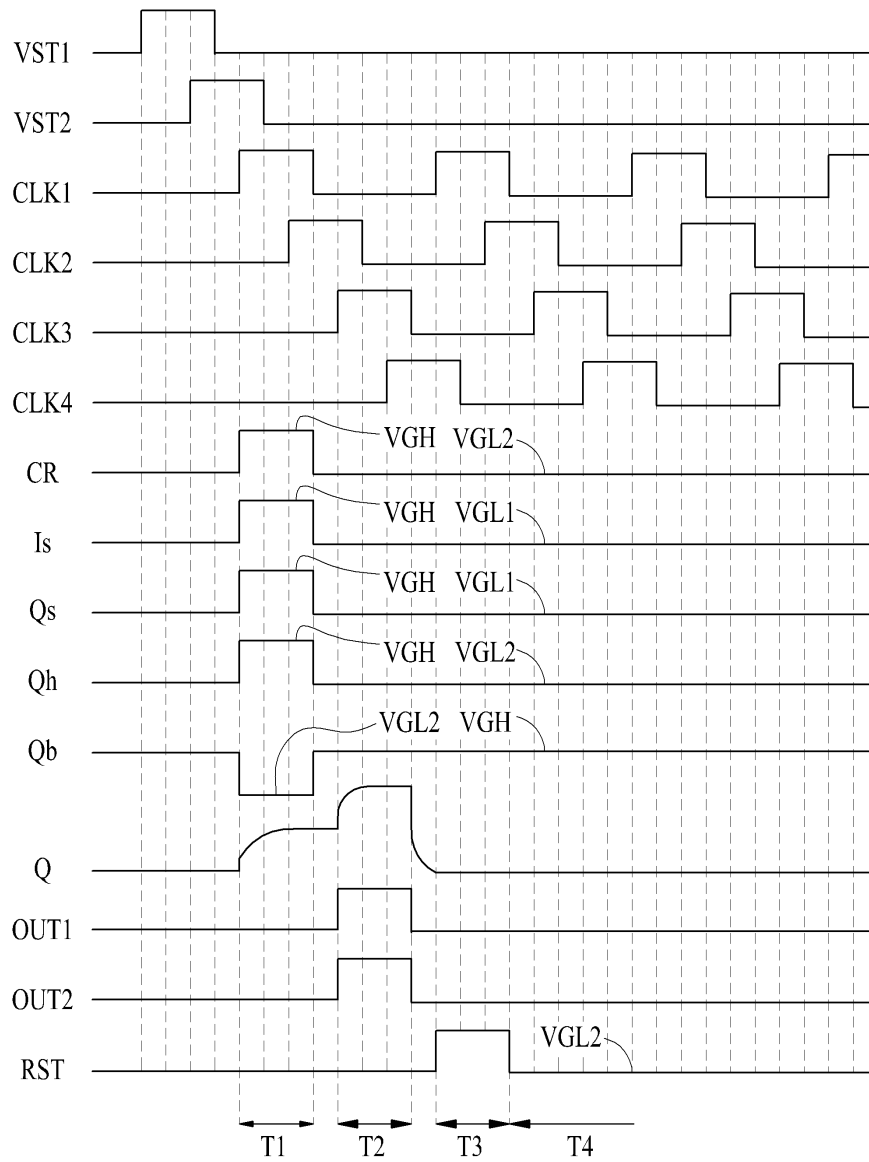


도면9

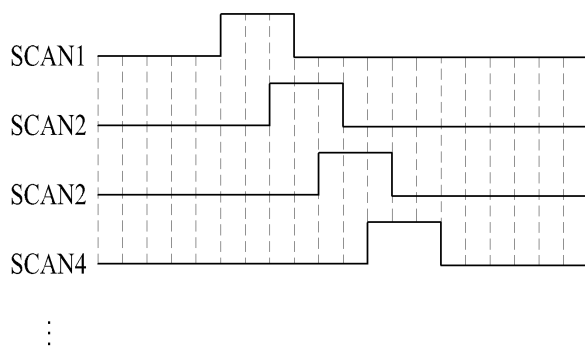
VST1, VST2, CLKs,
VGH, VGL1, VGL2



도면10



도면11



도면12

