

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 4 月 3 日(03.04.2014)



(10) 国際公開番号
WO 2014/049968 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
- (21) 国際出願番号: PCT/JP2013/005126
- (22) 国際出願日: 2013 年 8 月 29 日(29.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-212533 2012 年 9 月 26 日(26.09.2012) JP
- (71) 出願人: 凸版印刷株式会社(TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1100016 東京都台東区台東 1 丁目 5 番 1 号 Tokyo (JP).
- (72) 発明者: 石▲崎▼ 守(ISHIZAKI, Mamoru). 松原 亮平(MATSUBARA, Ryohei).
- (74) 代理人: 特許業務法人 小笠原特許事務所 (OGASAWARA PATENT OFFICE); 〒5640063 大阪府吹田市江坂町 1 丁目 2 3 番 1 0 1 号 大同生命江坂ビル 1 3 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

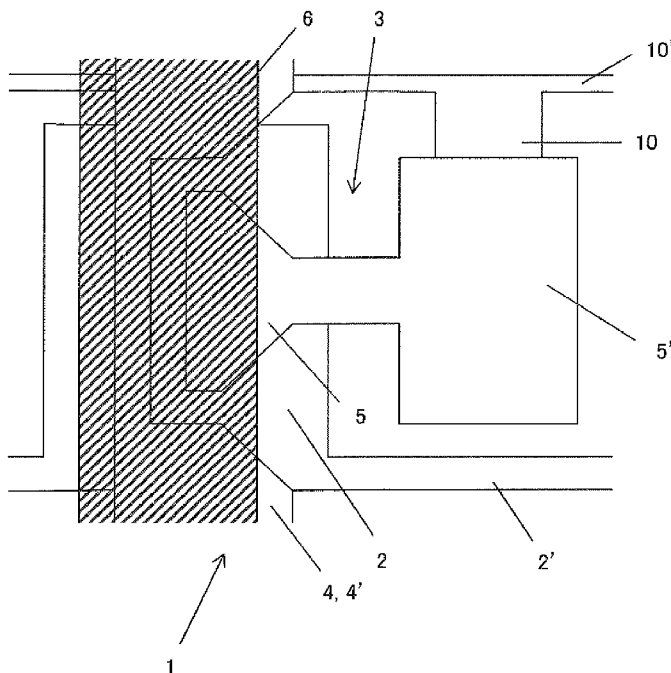
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシ ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN-FILM TRANSISTOR AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 薄膜トランジスタおよびその製造方法



(57) Abstract: A thin-film transistor obtained by stacking the following on an insulating substrate in this order: a gate electrode, a gate-insulating film, and a source electrode and a drain electrode which have a gap interposed between one another in the region overlapping the gate electrode when seen from a planar view. The thin-film transistor also has a semiconductor pattern having a region in the gap. Therein: the gap has a first region having a constant interval, and a second region where the interval gradually increases; and the semiconductor pattern is shaped so as to contain the entirety of the region having the constant interval, and a portion of the region where the interval gradually increases.

(57) 要約: 絶縁基板上に、ゲート電極と、ゲート絶縁膜と、平面視でゲート電極と重なる領域に互いの間隙を有するソース電極およびドレイン電極とを、順に積層されるように有し、間隙に領域を有する半導体パターンを有する薄膜トランジスタであって、間隙が、間隔が一定の第 1 の領域と間隔が漸増する第 2 の領域とを有し、半導体パターンが、間隔が一定の領域の全体と間隔が漸増する領域の一部とを含む形状である。

WO 2014/049968 A1

明 細 書

発明の名称： 薄膜トランジスタおよびその製造方法

技術分野

[0001] 本発明は、薄膜トランジスタおよびその製造方法に関し、特に、フレキシブル基板や印刷法に適した薄膜トランジスタおよびその製造方法に係る。

背景技術

[0002] 半導体自体を基板としたトランジスタや集積回路技術を基礎として、ガラス基板上にアモルファスシリコン（ $a-Si$ ）やポリシリコン（ $poly-Si$ ）の薄膜トランジスタ（Thin Film Transistor：TFT）が製造され、液晶ディスプレイなどに応用されている（非特許文献1）。TFTとしては、例えば図13のようなものが用いられている（図13では半導体形状は、明示されていない）。ここでTFTはスイッチの役割を果たしており、ゲート配線2'に与えられた選択電圧によってTFTをオンにした時に、ソース配線4'に与えられた信号電圧をドレイン5に接続された画素電極5'に書き込む。書き込まれた電圧は、画素電極5'／ゲート絶縁膜3／キャパシタ電極10によって構成される蓄積キャパシタに保持される。ゲート絶縁膜3は、ゲート電極2、ゲート配線2'、キャパシタ電極10、および、キャパシタ配線10'よりも上層にあり、ソース電極4、ソース配線4'、ドレイン電極5、画素電極5'、および、図示しない半導体パターンよりも下層にある。キャパシタ電極10にはキャパシタ配線10'から電圧が印加される。ここで、TFTアレイの場合、ソースおよびドレインの働きは書き込む電圧の極性によって変わるため、動作の特徴でソースおよびドレインの名称を決められない。そこで、便宜的に一方をソース、他方をドレインと、呼び方を統一しておく。本発明では、配線に接続されている方をソース、画素電極に接続されている方をドレインと呼ぶ。

先行技術文献

非特許文献

- [0003] 非特許文献1：松本正一編著：「液晶ディスプレイ技術 ―アクティブマトリクスLCD―」産業図書、1996年11月発行、p. 55

発明の概要

発明が解決しようとする課題

- [0004] 近年、有機半導体や酸化物半導体が登場し、200℃以下の低温でTFTを作製できることが示され、プラスチック基板を用いたフレキシブルディスプレイへの期待が高まっている。フレキシブルという特長以外に、軽量、壊れにくい、薄型化できるというメリットも期待されている。また、印刷によってTFTを形成することにより、安価で大面積なディスプレイが期待されている。
- [0005] ところで、フレキシブル基板を用いた場合や印刷法を用いた場合、リジッド基板およびフォトリソ法を用いた場合に比べてアライメントずれが大きくなる。フレキシブル基板は、基板自体の位置精度が悪いため、印刷法は、印刷時の移動による位置精度悪化のためである。また、インクの粘度が小さい場合、印刷後の流動により、半導体印刷のパターン幅がばらつくという問題があった。
- [0006] 薄膜トランジスタの電流特性に最も影響する寸法パラメータは、チャンネル長 L とチャンネル幅 W である。チャンネルは半導体中を電流が流れる領域、チャンネル長 L は電流方向の長さ、チャンネル幅 W は電流に垂直な方向の幅である。チャンネル長 L はソース電極・ドレイン電極間距離でほぼ決まり、ソース電極・ドレイン電極を同一印刷で形成すればアライメントずれや半導体印刷の影響はない。しかしチャンネル幅 W はソース電極・ドレイン電極への半導体形成のアライメントずれやパターン幅の影響が大きい。例えば図14A～図14Cに示すパターンデザインの場合、図14Aが設計通りであるが、図14Bのように半導体パターン6が右にずれると W が大きくなり、図14Cのように半導体が左にずれると W が小さくなる。図15A～図15Cに示すパターンデザインの場合、図15Aが設計通りであるが、図15Bのように半導体パターン6の幅が大きくなると W が大きくなり、図15Cのように半導体パ

ターン 6 の幅が小さくなると W が小さくなる。W が変化することになり、それに比例して電流が変化する。なお、破線は設計での半導体縁を示している。

[0007] このように、ソース電極・ドレイン電極への半導体のアライメントずれやパターン幅ばらつきに起因して、チャネル幅のばらつきが発生し、電流のばらつきを引き起こすという問題があった。電流の変化（ばらつき）は、液晶ディスプレイや電子ペーパーのトランジスタ、有機 EL の走査トランジスタでは安全係数（＝設計電流値／必要電流値）を大きくする必要が生じ、即ち過大なトランジスタを設けることになる。また、有機 EL の駆動トランジスタでは輝度ばらつきを生じ、画質を悪化させる。

[0008] 本発明は、係る従来技術の状況に鑑みてなされたもので、ソース電極・ドレイン電極に対する半導体形成のアライメントずれやパターン幅ばらつきの影響が小さい、薄膜トランジスタおよびその製造方法を提供することを課題とする。

課題を解決するための手段

[0009] 上記課題を解決するための、第 1 の発明は、絶縁基板上に、ゲート電極と、ゲート絶縁膜と、平面視で前記ゲート電極と重なる領域に互いの間隙を有するソース電極およびドレイン電極とを、順に積層されるように有し、前記間隙に領域を有する半導体パターンを有する薄膜トランジスタであって、前記間隙が、間隔が一定の第 1 の領域と間隔が漸増する第 2 の領域とを有し、前記半導体パターンが、間隔が一定の領域の全体と間隔が漸増する領域の一部とを含む形状であることを特徴とする薄膜トランジスタである。

[0010] 第 2 の発明は、第 1 の発明において、前記ゲート電極がゲート配線に接続され、前記ソース電極がソース配線に接続された、マトリクス状の薄膜トランジスタであって、前記半導体パターンが、前記ソース配線に沿った等幅ストライプ形状であり、複数の薄膜トランジスタの半導体がつながって成ることを特徴とする薄膜トランジスタである。

[0011] 第 3 の発明は、絶縁基板上に、ゲート電極と、ゲート絶縁膜と、平面視で

前記ゲート電極と重なる領域に互いの間隙を有するソース電極およびドレイン電極とを、順に積層されるように有し、前記間隙に領域を有する半導体パターンを有する薄膜トランジスタであって、前記間隙が、間隔が一定の第1の領域と間隔が漸増する第2の領域とを有し、前記半導体パターンが、前記第1の領域には形成されており、前記第2の領域には必ずしも形成されていないことを特徴とする薄膜トランジスタである。

[0012] 第4の発明は、第3の発明において、前記ゲート電極がゲート配線に接続され、前記ソース電極がソース配線に接続された、マトリクス状の薄膜トランジスタであって、前記半導体パターンが、前記ソース配線に沿ったストライプ形状であり、複数の薄膜トランジスタの半導体がつながって成ることを特徴とする薄膜トランジスタである。

[0013] 第5の発明は、絶縁基板上に、ゲート電極と、ゲート絶縁膜と、平面視で前記ゲート電極と重なる領域に互いの間隙を有するソース電極およびドレイン電極とを、順に積層するように形成する工程と、前記間隙に領域を有する半導体パターンを印刷する工程とを少なくとも有する薄膜トランジスタの製造方法であって、前記間隙が、間隔が一定の第1の領域と間隔が漸増する第2の領域とを有し、前記半導体パターンの印刷を、前記第1の領域の全体と前記第2の領域の一部とを含むように行うことを特徴とする薄膜トランジスタの製造方法である。

[0014] 第6の発明は、第5の発明において、前記半導体パターンの印刷パターンが、ソース配線に沿った等幅ストライプ形状であることを特徴とする薄膜トランジスタの製造方法である。

[0015] 第7の発明は、第5または第6の発明において、前記第1の領域の全体と前記第2の領域の一部とを含むように印刷された前記半導体パターンの前記印刷パターンのうち、前記第2の領域に印刷された半導体が、前記第1の領域に吸収されることを特徴とする薄膜トランジスタの製造方法である。

[0016] 第8の発明は、第5～第7のいずれかの発明において、前記第2の領域の前記間隙と、前記半導体パターンの前記印刷パターンとの重なりが、鋭角を

有することを特徴とする薄膜トランジスタの製造方法である。

発明の効果

[0017] 本発明によれば、ソース電極・ドレイン電極に対する半導体のアライメントずれやパターン幅ばらつきの影響が小さい薄膜トランジスタおよびその製造方法を提供できる。

図面の簡単な説明

[0018] [図1]図1は、本発明の実施形態を示すものであり、薄膜トランジスタの第1の構成例を示す平面図である。

[図2]図2は、本発明の実施形態を示すものであり、薄膜トランジスタの第2の構成例を示す平面図である。

[図3A]図3Aは、本発明の実施形態を示すものであり、ばらつき低減効果について第1の説明をする図である。

[図3B]図3Bは、本発明の実施形態を示すものであり、ばらつき低減効果について第2の説明をする図である。

[図4A]図4Aは、図2の薄膜トランジスタの製造方法の一例について第1の工程を示す平面図である。

[図4B]図4Bは、図2の薄膜トランジスタの製造方法の一例について第2の工程を示す平面図である。

[図4C]図4Cは、図2の薄膜トランジスタの製造方法の一例について第3の工程を示す平面図である。

[図4D]図4Dは、図2の薄膜トランジスタの製造方法の一例について第4の工程を示す平面図である。

[図4E]図4Eは、図2の薄膜トランジスタの製造方法の一例について第5の工程を示す平面図である。

[図4F]図4Fは、図2の薄膜トランジスタの製造方法の一例について第6の工程を示す平面図である。

[図5]図5は、本発明の実施形態を示すものであり、薄膜トランジスタの一例を示す平面図である。

[図6A]図 6 A は、図 5 の薄膜トランジスタの製造方法の一例について第 1 の工程を示す平面図である。

[図6B]図 6 B は、図 5 の薄膜トランジスタの製造方法の一例について第 2 の工程を示す平面図である。

[図6C]図 6 C は、図 5 の薄膜トランジスタの製造方法の一例について第 3 の工程を示す平面図である。

[図7]図 7 は、本発明の実施形態を示すものであり、薄膜トランジスタの第 3 の構成例を示す平面図である。

[図8]図 8 は、本発明の実施形態を示すものであり、薄膜トランジスタの第 4 の構成例を示す平面図である。

[図9A]図 9 A は、本発明の実施形態を示すものであり、半導体流動効果について第 1 の説明をする平面図である。

[図9B]図 9 B は、本発明の実施形態を示すものであり、半導体流動効果について第 2 の説明をする平面図である。

[図10A]図 1 0 A は、図 8 の薄膜トランジスタの製造方法の一例について第 1 の工程を示す平面図である。

[図10B]図 1 0 B は、図 8 の薄膜トランジスタの製造方法の一例について第 2 の工程を示す平面図である。

[図10C]図 1 0 C は、図 8 の薄膜トランジスタの製造方法の一例について第 3 の工程を示す平面図である。

[図10D]図 1 0 D は、図 8 の薄膜トランジスタの製造方法の一例について第 4 の工程を示す平面図である。

[図10E]図 1 0 E は、図 8 の薄膜トランジスタの製造方法の一例について第 5 の工程を示す平面図である。

[図10F]図 1 0 F は、図 8 の薄膜トランジスタの製造方法の一例について第 6 の工程を示す平面図である。

[図10G]図 1 0 G は、図 8 の薄膜トランジスタの製造方法の一例について第 7 の工程を示す平面図である。

[図11]図 1 1 は、本発明の実施形態を示すものであり、薄膜トランジスタの一例を示す平面図である。

[図12A]図 1 2 A は、図 1 1 の薄膜トランジスタの製造方法の一例について第 1 の工程を示す平面図である。

[図12B]図 1 2 B は、図 1 1 の薄膜トランジスタの製造方法の一例について第 2 の工程を示す平面図である。

[図12C]図 1 2 C は、図 1 1 の薄膜トランジスタの製造方法の一例について第 3 の工程を示す平面図である。

[図12D]図 1 2 D は、図 1 1 の薄膜トランジスタの製造方法の一例について第 4 の工程を示す平面図である。

[図13]図 1 3 は、従来技術を示すものであり、薄膜トランジスタの構成例を示す平面図である。

[図14A]図 1 4 A は、従来技術を示すものであり、薄膜トランジスタの第 1 のパターンデザイン例を示す平面図である。

[図14B]図 1 4 B は、図 1 4 A のパターンデザインにおける第 1 のパターンずれを示す平面図である。

[図14C]図 1 4 C は、図 1 4 A のパターンデザインにおける第 2 のパターンずれを示す平面図である。

[図15A]図 1 5 A は、従来技術を示すものであり、薄膜トランジスタの第 2 のパターンデザイン例を示す平面図である。

[図15B]図 1 5 B は、図 1 5 A のパターンデザインにおける第 1 のパターンずれを示す平面図である。

[図15C]図 1 5 C は、図 1 5 A のパターンデザインにおける第 2 のパターンずれを示す平面図である。

発明を実施するための形態

[0019] 本発明の実施の形態について、以下に図面を使用して詳細に説明する。なお、以下に使用する図面では、説明を判り易くするために縮尺は正確には描かれていない。

[0020] [第 1 の実施形態]

本発明の第 1 の実施形態に係る薄膜トランジスタの例を、図 1、図 2、図 5 に平面図で示す。図 1、図 2、図 5 に示すように、本実施形態に係る薄膜トランジスタは、絶縁基板 1 上に、ゲート電極 2、ゲート配線 2'、キャパシタ電極 10、および、キャパシタ配線 10' を有し、その上にゲート絶縁膜 3 を有し、その上に、上から見て前記ゲート電極 2 と重なる領域に間隙を有するソース電極 4・ドレイン電極 5、ソース配線 4'、および、ドレイン電極 5 に接続された画素電極 5' を有し、該ソース電極 4 とドレイン電極 5 との間隙に領域を有するような半導体パターン 6 を有する薄膜トランジスタである。また、当該薄膜トランジスタにおいて、該ソース電極 4 とドレイン電極 5 との間隙が、間隔が一定の領域と間隔が漸増する領域とを有し、半導体パターン 6 が、間隔が一定の領域の全体と間隔が漸増する領域の一部とを含む形状である。当該間隔が一定の領域は、図 5 のように直線状でもよいし、図 1 のように角ばったコーナ部を有する多角形状でもよいし、図 2 のように丸まったコーナ部を有する曲線形状でもよい。なお、絶縁基板 1 は図 1、図 2、図 5 において最下層の全体に広がっているため、特に境界線は示しておらず、このことは他の図においても同様とする。また、ソース配線 4' は、薄膜トランジスタの各ソース電極 4 とソース駆動回路出力とを接続する部分を指しているが、図面上ではソース配線 4' がソース電極 4 を兼ねている、即ちソース配線 4' の一部がソース電極 4 となっているため、ソース電極 4 に符号 4' を併記した。

[0021] 図 3 A および図 3 B を用いて、半導体パターン 6 の縁が、間隔が漸増する領域にある効果について説明する。従来のように半導体パターン 6 の縁が間隔一定値 L の部分にある場合（図 3 A）、半導体パターン 6 の縁（実線）が設計位置（破線）より Δx だけずれると、チャンネル幅／チャンネル長は $\Delta x / L$ だけ変化する。一方、本実施形態（図 3 B）の場合、間隔が漸増する部分のチャンネル幅／チャンネル長は $W1 / (L1 - L) \times \ln [\{ (L1 - L) / W2 + L \} / L]$ となり、半導体パターンの縁が Δx ずれると、チャンネル幅

／チャンネル長は $\Delta x / \{ (L_1 - L) / W_1 \times W_2 + L \}$ だけ変化するが、この値は従来値の $L / \{ (L_1 - L) / W_1 \times W_2 + L \}$ 倍に小さくなっている ($L_1 > L$ の場合)。ただし、 L は間隔一定部の間隔、 L_1 は広がった先での間隔、 W_1 はテーパーに対応する x 方向寸法、 W_2 はテーパー開始位置から半導体縁までの設計値である。例えば $L = 10 \mu\text{m}$ 、 $L_1 = 30 \mu\text{m}$ 、 $W_1 = 20 \mu\text{m}$ 、 $W_2 = 10 \mu\text{m}$ の場合、チャンネル幅／チャンネル長の変化量は従来の半分になる。この効果により、チャンネル幅のばらつきを小さく抑えられる。図 1 および図 2 では、半導体印刷のアライメントずれに起因するチャンネル幅ばらつきを低減できる。図 5 では、半導体印刷のパターン幅ばらつきに起因するチャンネル幅ばらつきを低減できる。なお、上述の式はテーパーが直線状に広がった場合であるが、テーパーが直線状でなくても類似の効果があり、本発明は直線状のテーパーに限定するものではない。

[0022] また、図 4 A～図 4 F、図 6 A～図 6 C に示すように本実施形態に係る薄膜トランジスタの製造方法は、絶縁基板 1 上に、ゲート電極 2 を形成する工程と、その上にゲート絶縁膜 3 を形成する工程と、上から見て前記ゲート電極 2 と重なる領域に間隙を有するソース電極 4・ドレイン電極 5 を形成する工程と、該ソース電極 4 とドレイン電極 5 との間隙に領域を有するように半導体パターン 6 を印刷する工程と、を少なくとも有する薄膜トランジスタの製造方法であって、該ソース電極 4 とドレイン電極 5 との間隙が、間隔が一定の領域と間隔が漸増する領域とを有し、半導体パターン 6 の印刷を、間隔が一定の領域の全体と間隔が漸増する領域の一部とを含むように行うことを特徴とする薄膜トランジスタの製造方法である。

[0023] 絶縁基板 1 としては、ガラス基板のようなリジッドなものでもよいし、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリイミド (PI)、ポリエーテルイミド (PEI)、ポリエーテルスルホン (PES)、等のフレキシブルなものでもよい。

[0024] その上に、ゲート電極 2 を形成する (図 4 A、図 6 A)。通常、ゲート電極 2 はゲート配線 2' に接続されている。また、同一層にキャパシタ電極 1

Oを有し、それがキャパシタ配線10'に接続されていてもよい。ゲート電極2、ゲート配線2'、キャパシタ電極10、キャパシタ配線10'としては、Al、Ag、Cu、Cr、Ni、Mo、Au、Pt等の金属や、ITO等の導電性酸化物、カーボン、導電性高分子等を用いることができる。製法としては、インクを印刷・焼成してもよいし、全面成膜後にフォトリソ・エッチング・レジスト剥離によって形成してもよい。あるいは、全面成膜後にレジスト印刷・エッチング・レジスト剥離によって形成してもよい。

[0025] 次に、図4A、図6Aに網掛け模様で示すようにゲート絶縁膜3を形成する。ゲート絶縁膜3としては、SiO₂、SiON、SiN等の無機物や、ポリビニルフェノール(PVP)、エポキシ等の有機物を用いることができる。製法としては、スパッタ、CVD等の真空成膜や、溶液の塗布・焼成によって得られる。

[0026] さらに、ソース電極4・ドレイン電極5を形成する(図4B、図6B)。ここでソース電極4・ドレイン電極5は、上から見て前記ゲート電極2と重なる領域に間隙を有し、その間隙は、間隔が一定の領域と、間隔が漸増する領域を有する。なお、ソース電極4は通常、ソース配線4'に接続され、ドレイン電極5は通常、画素電極5'に接続されている。ソース電極4・ドレイン電極5としては、Ag、Cu、Cr、Ni、Mo、Au、Pt、Al等の金属や、ITO等の導電性酸化物、カーボン、導電性高分子等を用いることができる。製法としては、全面成膜後にフォトリソ・エッチング・レジスト剥離によって形成してもよいが、インクを印刷・焼成して得ることが望ましい。印刷方法としては、スクリーン印刷、グラビア印刷、フレキソ印刷、オフセット印刷等が好適である。特にグラビア印刷、フレキソ印刷、オフセット印刷は、20μm以下のパターンを再現性よく形成することができる。

[0027] そして、図4Bまたは図6Bの状態の基板上に半導体パターン6を形成する。このとき、半導体パターン6が、前記間隔が一定の領域の全体と、前記間隔が漸増する領域の一部とを含むように、印刷直後の半導体の印刷パターン6'を形成する(図4C、図6C)。半導体パターン6は、各トランジス

タごとに独立していてもよいし、ソース配線4'に平行な方向につながったストライプ状でもよい。半導体パターン6としては、ポリチオフェン系、アセン系、アリルアミン系などの有機半導体や、 In_2O_3 系、 Ga_2O_3 系、 ZnO 系、 SnO_2 系、 InGaZnO 系、 InGaSnO 系、 InSnZnO 系などの酸化物半導体を用いることができる。製法としては、溶液をインクジェット、ディスペンサ、フレキソ印刷等で印刷・焼成する方法が好適である。

[0028] なお、半導体の印刷パターン6'は単純な形状が望ましい。単純な形状ほど、印刷が容易になるからである。最も好ましいのはソース配線4'に平行な等幅ストライプ形状であり、縦方向に並ぶTFTの半導体がつながった形状である。この場合、縦方向のアライメントずれは特性に影響しない。次に望ましいのは、長方形を各TFTに配置した形状である。この場合、縦方向のアライメントずれが小さければ特性に影響しない。

[0029] こうして作製したTFTのゲート配線2'およびソース配線4'に適切な波形を与えることにより、画素電極5'の電位を制御でき、電子ペーパー等の表示を行うことが可能となる。

[0030] 場合によっては、さらに半導体パターン6を覆う封止層7（図4D）や、画素電極5'上に開口Aを有する層間絶縁膜8（図4Eに模様を施して示す）や、該開口Aを通じて画素電極5'に接続された上部画素電極9（図4F）を設けることもできる。半導体パターン6がストライプの場合、封止層7もストライプが望ましい。また、半導体パターン6が独立であって、封止層7がストライプでもよい。封止層7としては、フッ素樹脂などの有機物や、 SiO_2 、 SiN 、 SiON 等の無機物、あるいはそれらの混合物、積層物などを使用することができる。製法としては、全面に成膜後、フォトリソ・エッチング・レジスト除去による方法も可能であるが、溶液をスクリーン印刷等の方法で印刷・焼成する方法がより好適である。層間絶縁膜8としてはエポキシ等の有機絶縁膜が好適であり、上部画素電極9としてはAgペースト等が好適であり、いずれもスクリーン印刷等の方法で印刷・焼成するのがよ

い。層間絶縁膜 8 および上部画素電極 9 を有する場合、ゲート配線 2' およびソース配線 4' に適切な波形を与えることにより、上部画素電極 9 の電位を制御でき、電子ペーパー等の表示を行うことが可能となる。

[0031] [第 2 の実施形態]

本発明の第 2 の実施形態に係る薄膜トランジスタの例を、図 7、図 8、図 11 に平面図で示す。図 7、図 8、図 11 に示すように本実施形態に係る薄膜トランジスタは、絶縁基板 1 上に、ゲート電極 2、ゲート配線 2'、キャパシタ電極 10、および、キャパシタ配線 10' を有し、その上にゲート絶縁膜 3 を有し、その上に、上から見て前記ゲート電極 2 と重なる領域に間隙を有するソース電極 4・ドレイン電極 5、ソース配線 4'、および、画素電極 5' を有し、該ソース電極 4 とドレイン電極 5 との間隙に領域を有するような半導体パターン 6 を有する。また、当該薄膜トランジスタにおいて、該ソース電極 4 とドレイン電極 5 との間隙が、間隔が一定の領域と間隔が漸増する領域とを有している。半導体パターン 6 は、当該間隔が一定の領域には形成されており、間隔が漸増する領域には形成されていない。当該間隔が一定の領域は、図 11 のように直線状でもよいし、図 7 のように角ばったコーナ部を有する多角形状でもよいし、図 8 のように丸まったコーナ部を有する曲線形状でもよい。

[0032] また、図 10A～図 10G、図 12A～図 12D に示すように本実施形態に係る薄膜トランジスタの製造方法は、絶縁基板 1 上に、ゲート電極 2 を形成する工程と、その上にゲート絶縁膜 3 を形成する工程と、上から見て前記ゲート電極 2 と重なる領域に間隙を有するソース電極 4・ドレイン電極 5 を形成する工程と、該ソース電極 4 とドレイン電極 5 との間隙に領域を有するように半導体パターン 6 を印刷する工程と、を少なくとも有する薄膜トランジスタの製造方法であって、該ソース電極 4 とドレイン電極 5 との間隙が、間隔が一定の領域と間隔が漸増する領域とを有し、半導体の印刷パターン 6' を、間隔が一定の領域の全体と間隔が漸増する領域の一部とを含むように行うことを特徴とする薄膜トランジスタの製造方法である。

[0033] 本実施形態の場合、上記ソース電極4とドレイン電極5との間隙のうち、図9Aに示すような間隔が漸増する領域に印刷された半導体が、図9Bに示すように間隔が一定の領域に吸収される。これは、表面張力の効果である。また、上記ソース電極4とドレイン電極5との間隔が漸増する領域のソース電極4とドレイン電極5との間隙と、半導体の印刷パターン6'との重なり部が、鋭角を有する場合、半導体の吸収がスムーズに行える。

[0034] 第1の実施形態との違いは、主に半導体インクの粘性が効いている。第1の実施形態では、インクの粘性が大きいために印刷後のインクの流動が起こりにくく、印刷パターン6'がほぼそのまま半導体パターン6となる。一方、第2の実施形態では、インクの粘性が小さいために印刷後のインクの流動が起こり易い。半導体インクの表面張力により、半導体インクは間隔が漸増する領域よりも間隔が一定の（狭い）領域にある方が安定である。また、半導体インクがソース電極4およびドレイン電極5の近傍にある方が安定なため、ソース電極4とドレイン電極5との間隙と半導体印刷パターン6'との重なり部が鋭角を有する場合、図9Aのように、半導体インクがソース電極4またはドレイン電極5に引き付けられる方向と、半導体インクが間隔一定領域に引き付けられる方向が近いので、間隔一定領域に吸収される作用を強めることができる。

[0035] 絶縁基板1としては、ガラス基板のようなリジッドなものでもよいし、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリイミド（PI）、ポリエーテルイミド（PEI）、ポリエーテルスルホン（PES）、等のフレキシブルなものでもよい。

[0036] その上に、ゲート電極2を形成する（図10A、図12A）。通常、ゲート電極2はゲート配線2'に接続されている。また、同一層にキャパシタ電極10を有し、それがキャパシタ配線10'に接続されていてもよい。ゲート電極2、ゲート配線2'、キャパシタ電極10、キャパシタ配線10'としては、Al、Ag、Cu、Cr、Ni、Mo、Au、Pt等の金属や、ITO等の導電性酸化物、カーボン、導電性高分子等を用いることができる。

製法としては、インクを印刷・焼成してもよいし、全面成膜後にフォトリソ・エッチング・レジスト剥離によって形成してもよい。あるいは、全面成膜後にレジスト印刷・エッチング・レジスト剥離によって形成してもよい。

[0037] 次に、図10A、図12Aに網掛け模様で示すようにゲート絶縁膜3を形成する。ゲート絶縁膜3としては、 SiO_2 、 SiON 、 SiN 等の無機物や、ポリビニルフェノール（PVP）、エポキシ等の有機物を用いることができる。製法としては、スパッタ、CVD等の真空成膜や、溶液の塗布・焼成によって得られる。

[0038] さらに、ソース電極4・ドレイン電極5を形成する（図10B、図12B）。ここでソース電極4・ドレイン電極5は、上から見て前記ゲート電極2と重なる領域に間隙を有し、その間隙は、間隔が一定の領域と、間隔が漸増する領域とを有する。なお、ソース電極4は通常、ソース配線4'に接続され、ドレイン電極5は通常、画素電極5'に接続されている。ソース電極4・ドレイン電極5としては、Ag、Cu、Cr、Ni、Mo、Au、Pt、Al等の金属や、ITO等の導電性酸化物、カーボン、導電性高分子等を用いることができる。製法としては、全面成膜後にフォトリソ・エッチング・レジスト剥離によって形成してもよいが、インクを印刷・焼成して得ることが望ましい。印刷方法としては、スクリーン印刷、グラビア印刷、フレキソ印刷、オフセット印刷等が好適である。特にグラビア印刷、フレキソ印刷、オフセット印刷は、 $20\mu\text{m}$ 以下のパターンを再現性よく形成することができる。

[0039] そして、前記間隔が一定の領域の全体と、前記間隔が漸増する領域の一部とを含むように、半導体の印刷パターン6'を形成する（図10C、図12C）。印刷パターン6'は、前述のように、ソース電極4とドレイン電極5との間隔一定の領域に吸収される（図10D、図12D）。半導体パターン6としては、ポリチオフェン系、アセン系、アリルアミン系などの有機半導体や、 In_2O_3 系、 Ga_2O_3 系、ZnO系、 SnO_2 系、 InGaZnO 系、 InGaSnO 系、 InSnZnO 系などの酸化物半導体を用いることがで

きる。製法としては、溶液をインクジェット、ディスペンサ、フレキソ印刷等で印刷・焼成する方法が好適である。

[0040] なお、半導体の印刷パターン6'は単純な形状が望ましい。単純な形状ほど、印刷が容易になるからである。最も好ましいのはソース配線4'に平行な等幅ストライプ形状であり、縦方向に並ぶTFTの半導体がつながった形状である。この場合、縦方向のアライメントずれは特性に影響しない。次に望ましいのは、長方形を各TFTに配置した形状である。この場合、縦方向のアライメントずれが小さければ特性に影響しない。

[0041] こうして作製したTFTのゲート配線2'およびソース配線4'に適切な波形を与えることにより、画素電極5'の電位を制御でき、電子ペーパー等の表示を行うことが可能となる。

[0042] 場合によっては、さらに半導体パターン6を覆う封止層7（図10E）や、画素電極5'上に開口Aを有する層間絶縁膜8（図10F）や、該開口Aを通じて画素電極5'に接続された上部画素電極9（図10G）を設けることもできる。半導体パターン6がストライプの場合、封止層7もストライプが望ましい。また、半導体パターン6が独立であって、封止層7がストライプでもよい。封止層7としては、フッ素樹脂などの有機物や、 SiO_2 、 SiN 、 SiON 等の無機物、あるいはそれらの混合物、積層物などを使用することができる。製法としては、全面に成膜後、フォトリソ・エッチング・レジスト除去による方法も可能であるが、溶液をスクリーン印刷等の方法で印刷・焼成する方法がより好適である。層間絶縁膜8としてはエポキシ等の有機絶縁膜が好適であり、上部画素電極9としてはAgペースト等が好適であり、いずれもスクリーン印刷等の方法で印刷・焼成するのがよい。層間絶縁膜8および上部画素電極9を有する場合、ゲート配線2'およびソース配線4'に適切な波形を与えることにより、上部画素電極9の電位を制御でき、電子ペーパー等の表示を行うことが可能となる。

実施例

[0043] （実施例1）

本発明の実施例について、図4 A～図4 Cを用いて説明する。図2に示す素子を、図4 A～図4 Cの工程によって作製した。まず初めに、絶縁基板1であるPEN上に、蒸着によってAlを50 nm成膜し、フォトリソおよびウェットエッチによってゲート電極2、キャパシタ電極10を形成した(図4 A)。次に、ポリビニルフェノール溶液をスピコートし、150℃で焼成することにより、ゲート絶縁膜3としてポリビニルフェノールを1 μm形成した(図4 A)。さらに、ソース電極4、ソース配線4'、ドレイン電極5、画素電極5'として、Agインクを反転印刷し180℃で焼成することによってパターンを形成した(図4 B)。さらに、ポリチオフェン溶液(粘度100 mPa・s)をフレキソ印刷し、100℃で焼成することにより、半導体層6を形成した(図4 C)。

[0044] こうして作製した薄膜トランジスタの電流ばらつきを調べたところ、後述する比較例1のばらつきの約半分になった。

[0045] (実施例2)

本発明の実施例について、図6 A～図6 Cを用いて説明する。図5に示す素子を、図6 A～図6 Cの工程によって作製した。まず初めに、絶縁基板1であるPEN上に、蒸着によってAlを50 nm成膜し、フォトリソおよびウェットエッチによってゲート電極2を形成した(図6 A)。次に、ポリビニルフェノール溶液をスピコートし、150℃で焼成することにより、ゲート絶縁膜3としてポリビニルフェノールを1 μm形成した(図6 A)。さらに、ソース電極4、ソース配線4'、ドレイン電極5、画素電極5'として、Agインクを反転印刷し180℃で焼成することによってパターンを形成した(図6 B)。さらに、ポリチオフェン溶液(粘度100 mPa・s)をフレキソ印刷し、100℃で焼成することにより、半導体層6を形成した(図6 C)。

[0046] こうして作製した薄膜トランジスタの電流ばらつきを調べたところ、後述する比較例2のばらつきの約半分になった。

[0047] (実施例3)

本発明の実施例について、図10A～図10Dを用いて説明する。図8に示す素子を、図10A～図10Dの工程によって作製した。まず初めに、絶縁基板1であるPEN上に、蒸着によってAlを50nm成膜し、フォトリソおよびウェットエッチによってゲート電極2、キャパシタ電極10を形成した(図10A)。次に、ポリビニルフェノール溶液をスピンコートし、150℃で焼成することにより、ゲート絶縁膜3としてポリビニルフェノールを1μm形成した(図10A)。さらに、ソース電極4、ソース配線4'、ドレイン電極5、画素電極5'として、Agインクを反転印刷し180℃で焼成することによってパターンを形成した(図10B)。さらに、ポリチオフェン溶液(粘度10mPa・s)をフレキソ印刷し、100℃で焼成することにより、半導体層6を形成した(図10C～図10D)。

[0048] こうして作製した薄膜トランジスタの電流ばらつきを調べたところ、後述する比較例1のばらつきの約3分の1になった。

[0049] (実施例4)

本発明の実施例について、図12A～図12Dを用いて説明する。図11に示す素子を、図12A～図12Cの工程によって作製した。まず初めに、絶縁基板1であるPEN上に、蒸着によってAlを50nm成膜し、フォトリソおよびウェットエッチによってゲート電極2を形成した(図12A)。次に、ポリビニルフェノール溶液をスピンコートし、150℃で焼成することにより、ゲート絶縁膜3としてポリビニルフェノールを1μm形成した(図12A)。さらに、ソース電極4、ソース配線4'、ドレイン電極5、画素電極5'として、Agインクを反転印刷し180℃で焼成することによってパターンを形成した(図12B)。さらに、ポリチオフェン溶液(粘度10mPa・s)をフレキソ印刷し、100℃で焼成することにより、半導体層6を形成した(図12C～図12D)。

[0050] こうして作製した薄膜トランジスタの電流ばらつきを調べたところ、後述する比較例2のばらつきの約3分の1になった。

[0051] (比較例1)

比較例について、図14A～図14Cを用いて説明する。図14Aに示す素子を目指して、図4A～図4Cと類似の工程によって作製した。まず初めに、絶縁基板1であるPEN上に、蒸着によってAlを50nm成膜し、フォトリソおよびウェットエッチによってゲート電極2、キャパシタ電極10を形成した。次に、ポリビニルフェノール溶液をスピンコートし、150℃で焼成することにより、ゲート絶縁膜3としてポリビニルフェノールを1μm形成した。さらに、ソース電極4、ソース配線4'、ドレイン電極5、画素電極5'として、Agインクを反転印刷し180℃で焼成することによってパターンを形成した。さらに、ポリチオフェン溶液（粘度100mPa・s）をフレキソ印刷し、100℃で焼成することにより、半導体層6を形成した。

[0052] こうして作製した薄膜トランジスタには、半導体パターンの位置ずれ（図14B、図14C）によると思われる電流ばらつきが発生した。

[0053] （比較例2）

比較例について、図15A～図15Cを用いて説明する。図15Aに示す素子を目指して、図6A～図6Cと類似の工程によって作製した。まず初めに、絶縁基板1であるPEN上に、蒸着によってAlを50nm成膜し、フォトリソおよびウェットエッチによってゲート電極2、キャパシタ電極10を形成した。次に、ポリビニルフェノール溶液をスピンコートし、150℃で焼成することにより、ゲート絶縁膜3としてポリビニルフェノールを1μm形成した。さらに、ソース電極4、ソース配線4'、ドレイン電極5、画素電極5'として、Agインクを反転印刷し180℃で焼成することによってパターンを形成した。さらに、ポリチオフェン溶液（粘度10mPa・s）をフレキソ印刷し、100℃で焼成することにより、半導体層6を形成した。

[0054] こうして作製した薄膜トランジスタには、半導体パターン幅のばらつき（図15B、図15C）によると思われる電流ばらつきが発生した。

[0055] 以上の説明から理解できるように、本発明には、以下の効果がある。1つ

には、ソース電極とドレイン電極との間隙が、間隔が一定の第1の領域と間隔が漸増する第2の領域とを有し、第1の領域の全体と、第2の領域の一部とを含むように半導体パターンを形成することにより、アライメントずれがチャンネル幅に与える影響を小さくできる。もう1つには、ソース電極とドレイン電極との間隙のうち、第2の領域に印刷された半導体が、第1の領域に吸収されることによって、チャンネル幅が第1の領域でほぼ決定されるようになり、アライメントずれやパターン幅ばらつきの影響を小さくできる。第2の領域に存在する部分のソース電極とドレイン電極との間隙と半導体印刷パターンとの重なりが鋭角を有することにより、半導体の移動がよりスムーズになる。

産業上の利用可能性

[0056] 本発明は、液晶表示装置、電子ペーパー、有機EL表示装置等の薄膜トランジスタに適用可能である。

符号の説明

- [0057]
- | | | |
|----|---|------------|
| 1 | … | 絶縁基板 |
| 2 | … | ゲート電極 |
| 2' | … | ゲート配線 |
| 3 | … | ゲート絶縁膜 |
| 4 | … | ソース電極 |
| 4' | … | ソース配線 |
| 5 | … | ドレイン電極 |
| 5' | … | 画素電極 |
| 6 | … | 半導体パターン |
| 6' | … | 半導体の印刷パターン |
| 7 | … | 封止層 |
| 8 | … | 層間絶縁膜 |
| 9 | … | 上部画素電極 |
| 10 | … | キャパシタ電極 |

10' ... キャパシタ配線

請求の範囲

- [請求項1] 絶縁基板上に、ゲート電極と、ゲート絶縁膜と、平面視で前記ゲート電極と重なる領域に互いの間隙を有するソース電極およびドレイン電極とを、順に積層されるように有し、前記間隙に領域を有する半導体パターンを有する薄膜トランジスタであって、
- 前記間隙が、間隔が一定の第1の領域と間隔が漸増する第2の領域とを有し、前記半導体パターンが、間隔が一定の領域の全体と間隔が漸増する領域の一部とを含む形状であることを特徴とする薄膜トランジスタ。
- [請求項2] 前記ゲート電極がゲート配線に接続され、前記ソース電極がソース配線に接続された、マトリクス状の薄膜トランジスタであって、前記半導体パターンが、前記ソース配線に沿った等幅ストライプ形状であり、複数の薄膜トランジスタの半導体がつながって成ることを特徴とする請求項1記載の薄膜トランジスタ。
- [請求項3] 絶縁基板上に、ゲート電極と、ゲート絶縁膜と、平面視で前記ゲート電極と重なる領域に互いの間隙を有するソース電極およびドレイン電極とを、順に積層されるように有し、前記間隙に領域を有する半導体パターンを有する薄膜トランジスタであって、
- 前記間隙が、間隔が一定の第1の領域と間隔が漸増する第2の領域とを有し、前記半導体パターンが、前記第1の領域には形成されており、前記第2の領域には必ずしも形成されていないことを特徴とする薄膜トランジスタ。
- [請求項4] 前記ゲート電極がゲート配線に接続され、前記ソース電極がソース配線に接続された、マトリクス状の薄膜トランジスタであって、前記半導体パターンが、前記ソース配線に沿ったストライプ形状であり、複数の薄膜トランジスタの半導体がつながって成ることを特徴とする請求項3記載の薄膜トランジスタ。
- [請求項5] 絶縁基板上に、ゲート電極と、ゲート絶縁膜と、平面視で前記ゲー

ト電極と重なる領域に互いの間隙を有するソース電極およびドレイン電極とを、順に積層するように形成する工程と、前記間隙に領域を有する半導体パターンを印刷する工程とを少なくとも有する薄膜トランジスタの製造方法であって、

前記間隙が、間隔が一定の第1の領域と間隔が漸増する第2の領域とを有し、前記半導体パターンの印刷を、前記第1の領域の全体と前記第2の領域の一部とを含むように行うことを特徴とする薄膜トランジスタの製造方法。

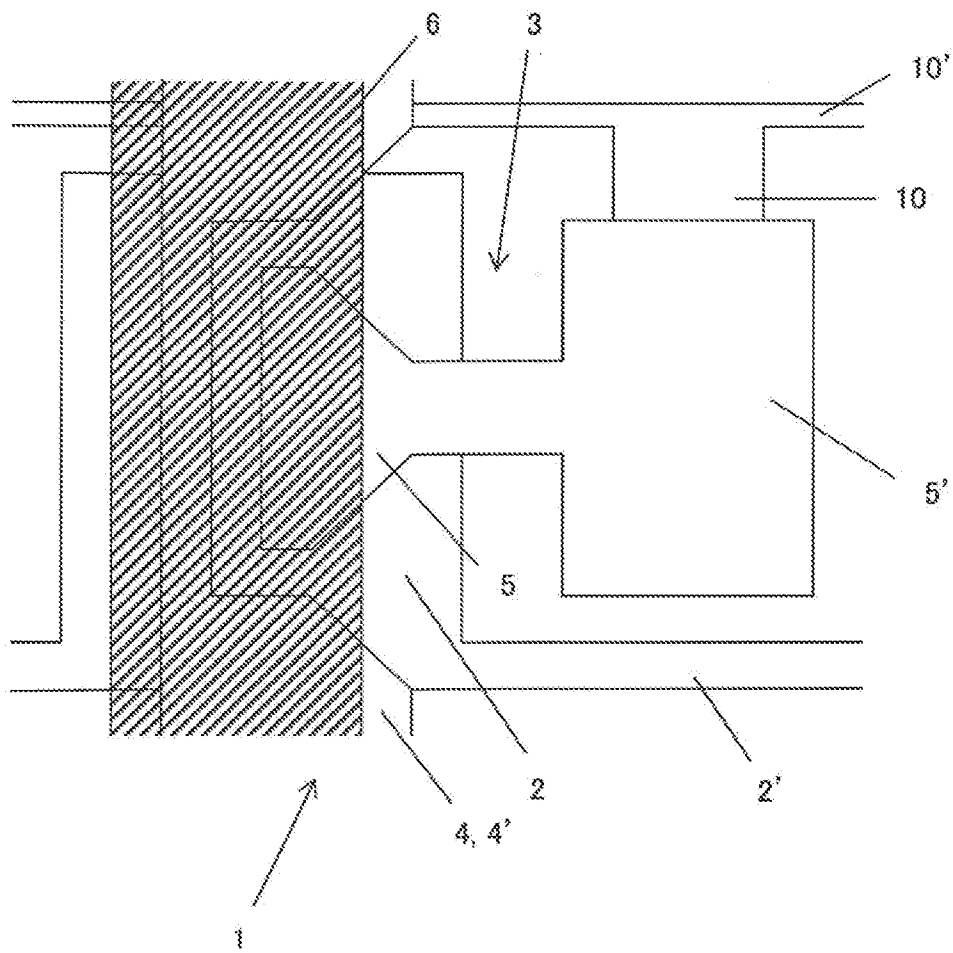
[請求項6] 前記半導体パターンの印刷パターンが、ソース配線に沿った等幅ストライプ形状であることを特徴とする請求項5記載の薄膜トランジスタの製造方法。

[請求項7] 前記第1の領域の全体と前記第2の領域の一部とを含むように印刷された前記半導体パターンの前記印刷パターンのうち、前記第2の領域に印刷された半導体が、前記第1の領域に吸収されることを特徴とする請求項5または6記載の薄膜トランジスタの製造方法。

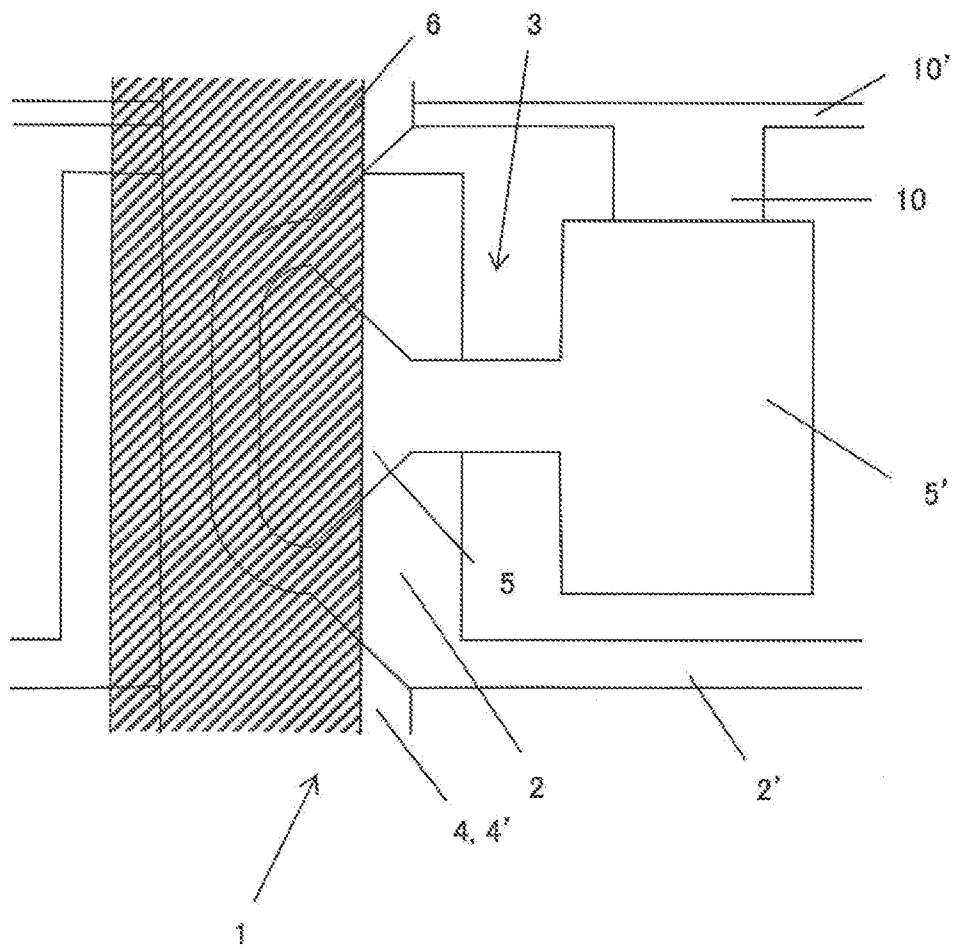
[請求項8] 前記第2の領域の前記間隙と、前記半導体パターンの前記印刷パターンとの重なりが、鋭角を有することを特徴とする請求項5または6記載の薄膜トランジスタの製造方法。

[請求項9] 前記第2の領域の前記間隙と、前記半導体パターンの前記印刷パターンとの重なりが、鋭角を有することを特徴とする請求項7記載の薄膜トランジスタの製造方法。

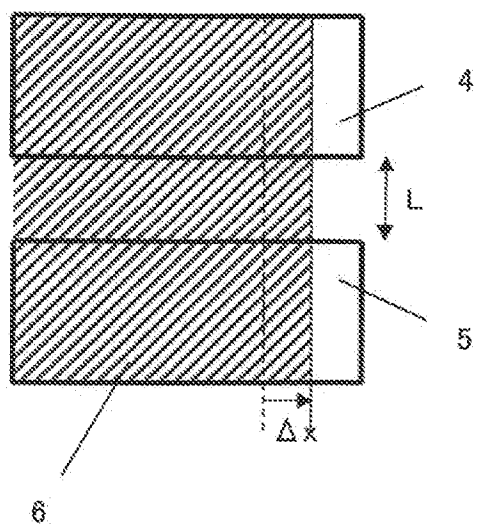
[図1]



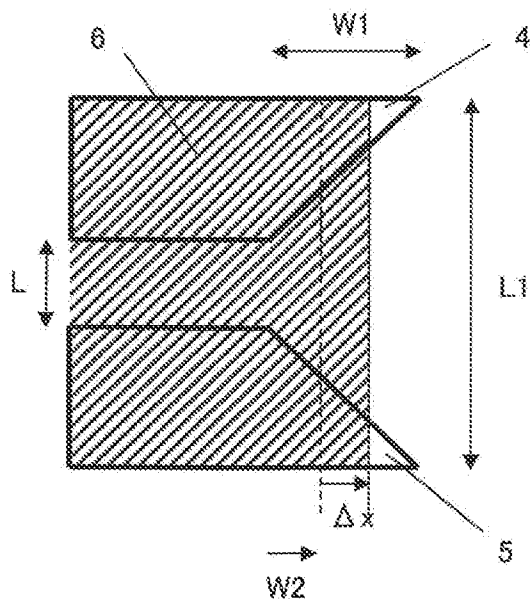
[図2]



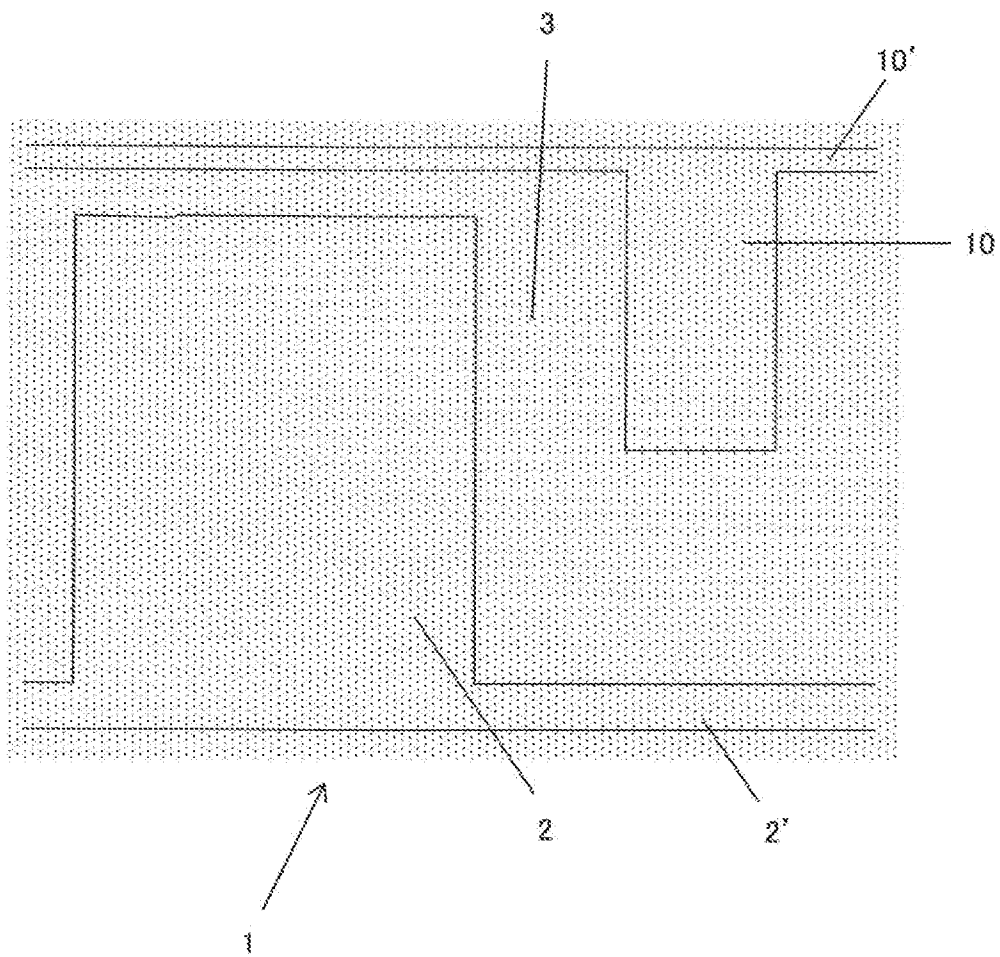
[図3A]



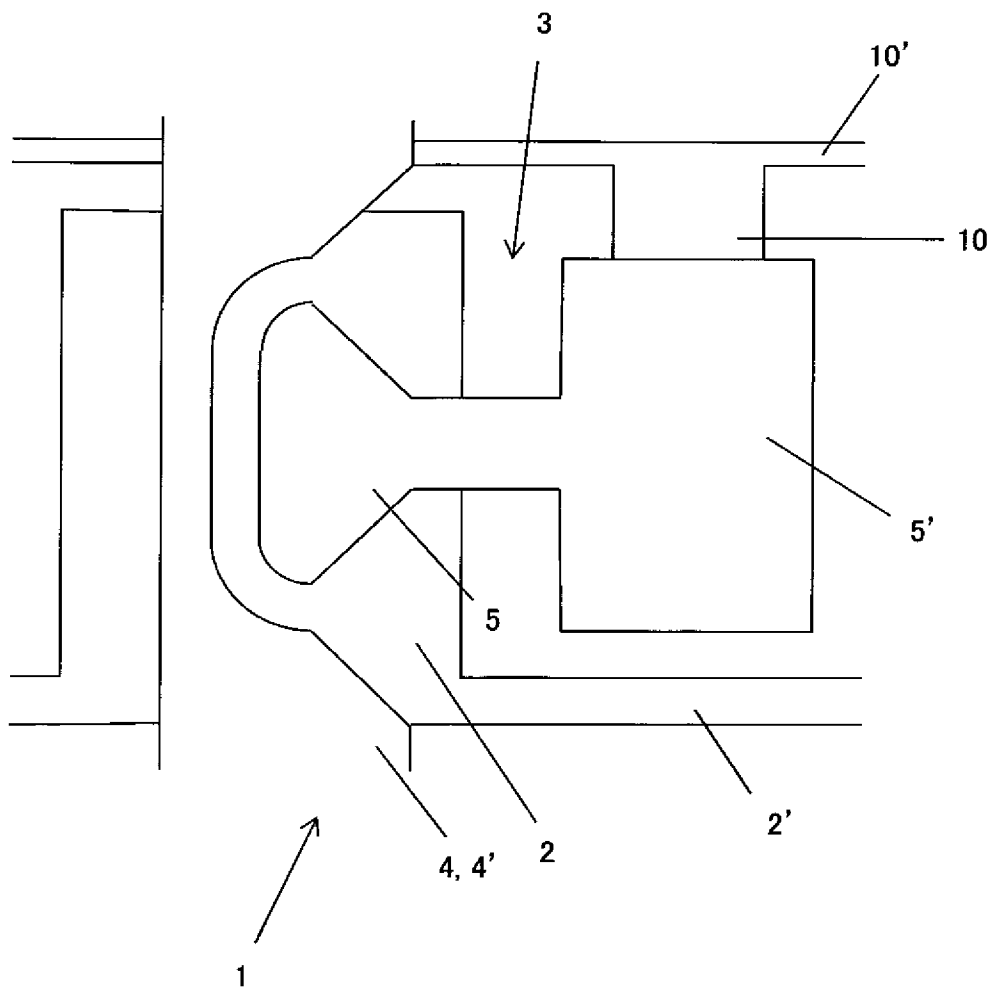
[図3B]



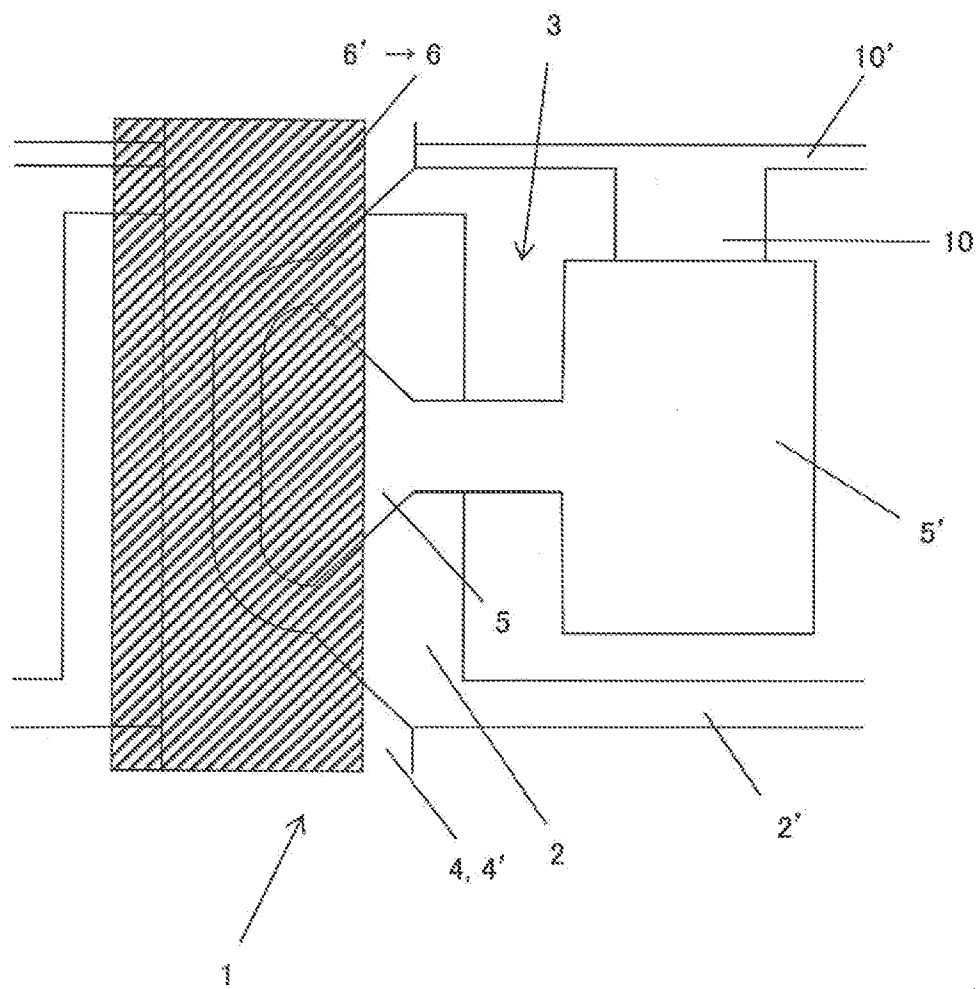
[図4A]



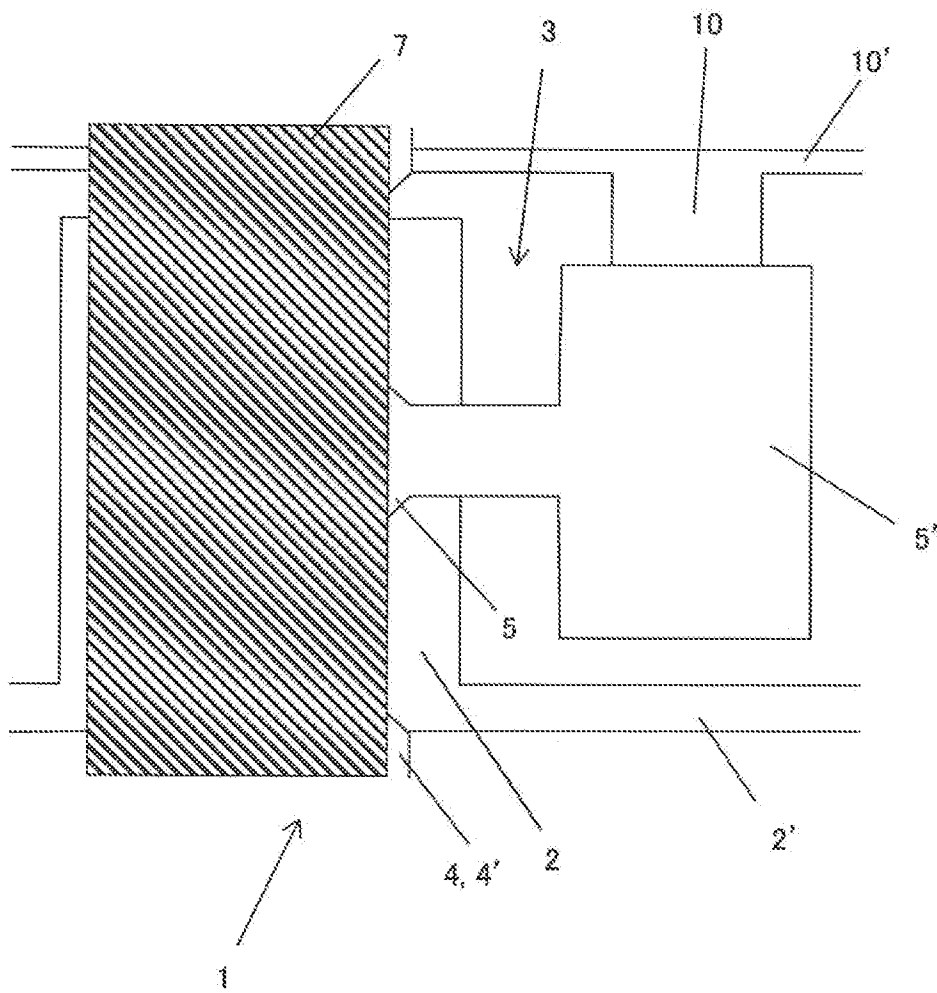
[図4B]



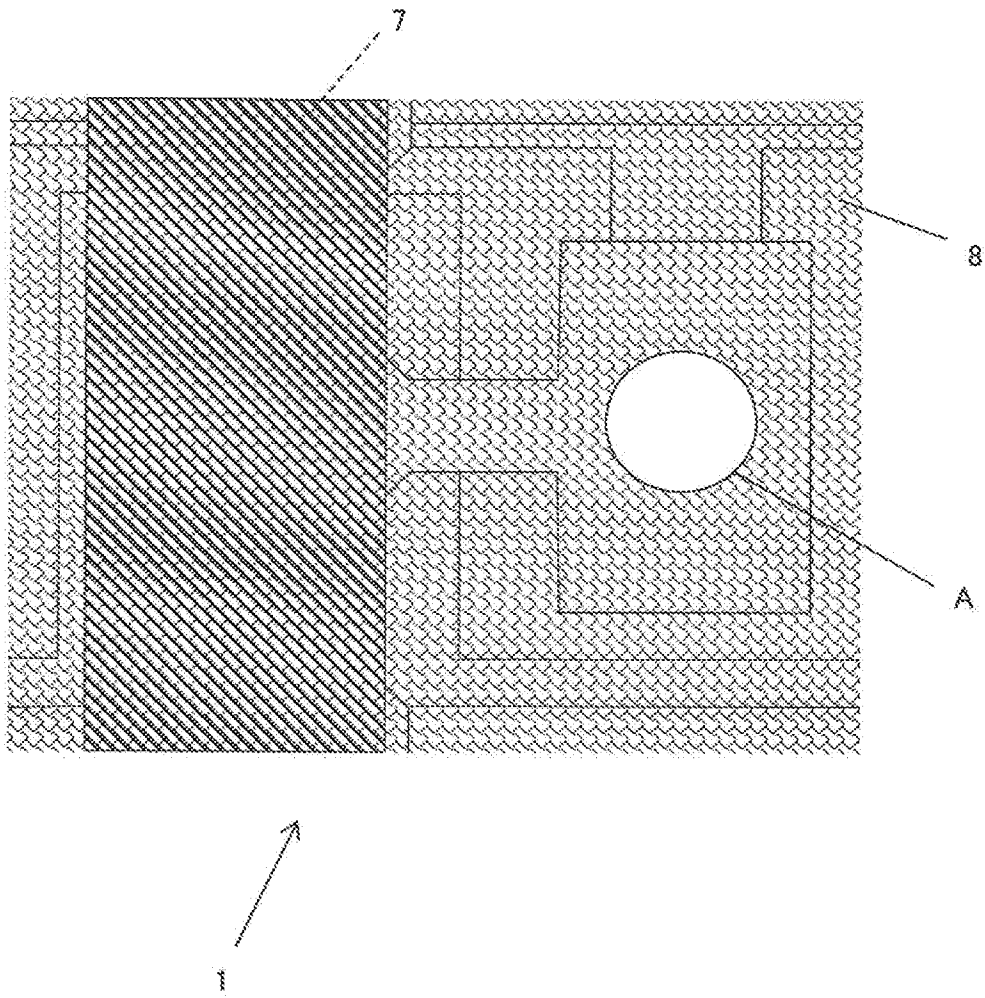
[図4C]



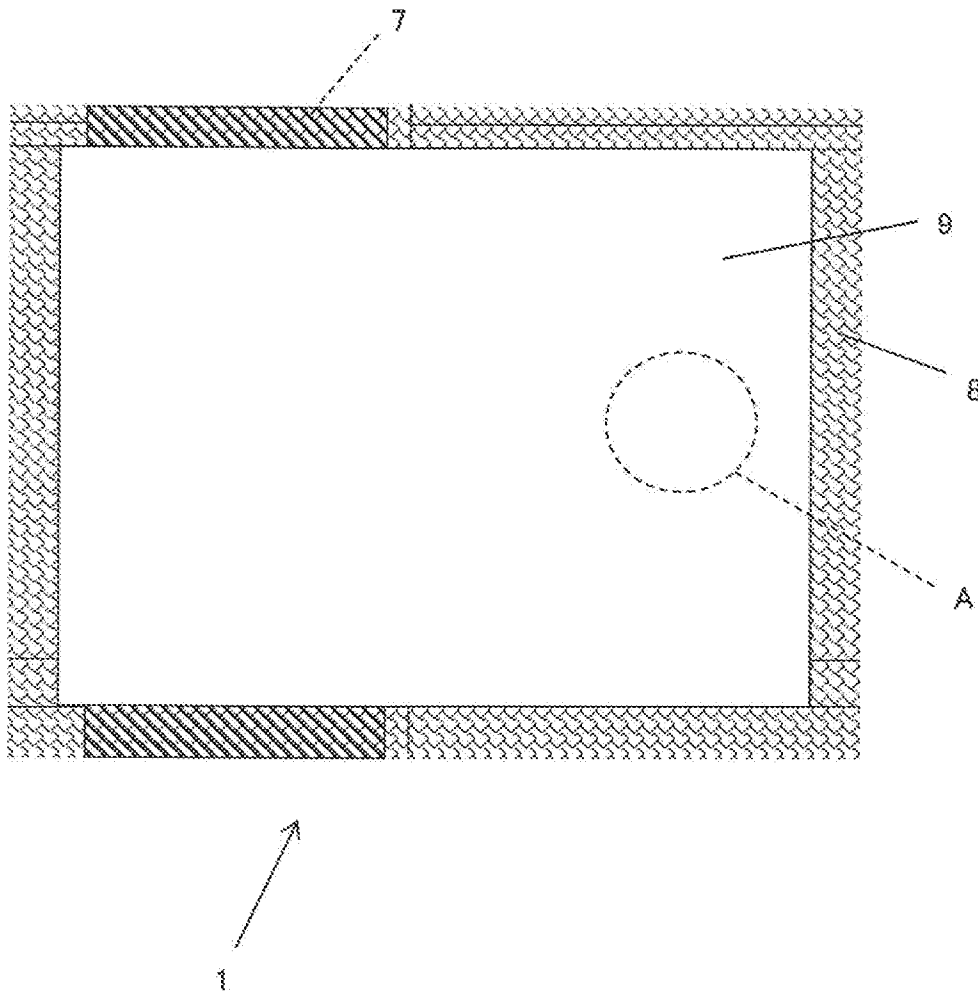
[図4D]



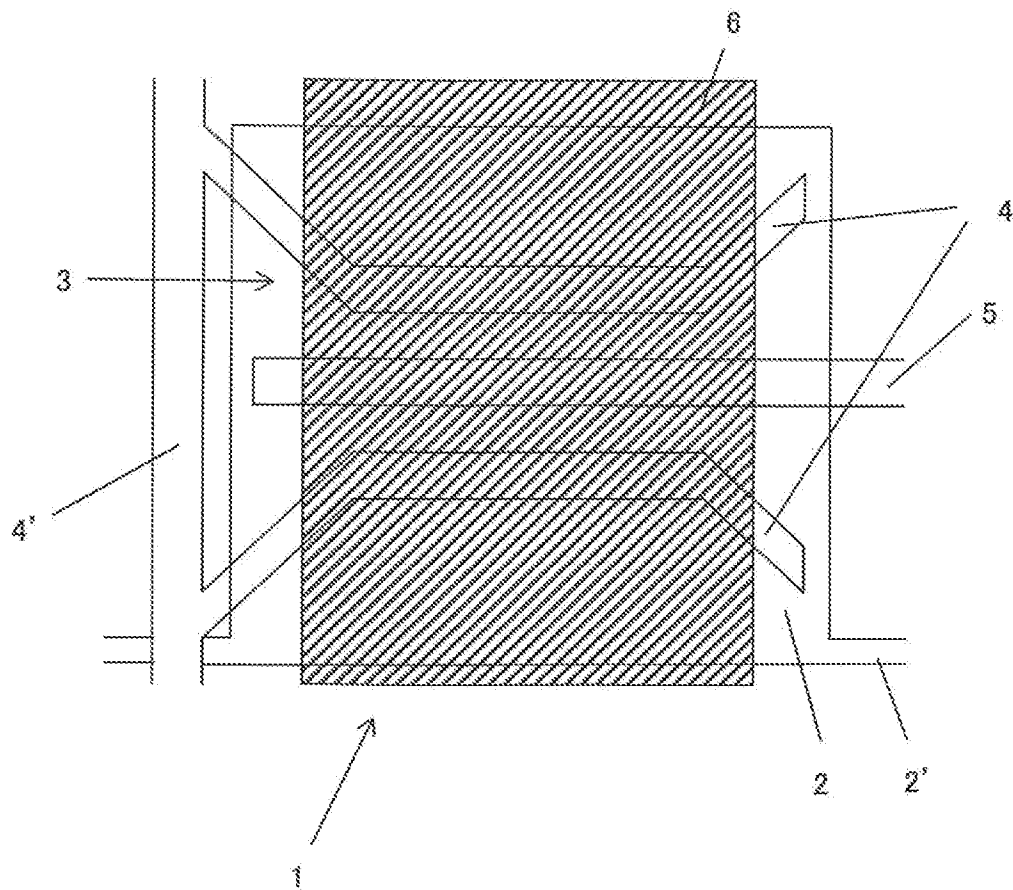
[図4E]



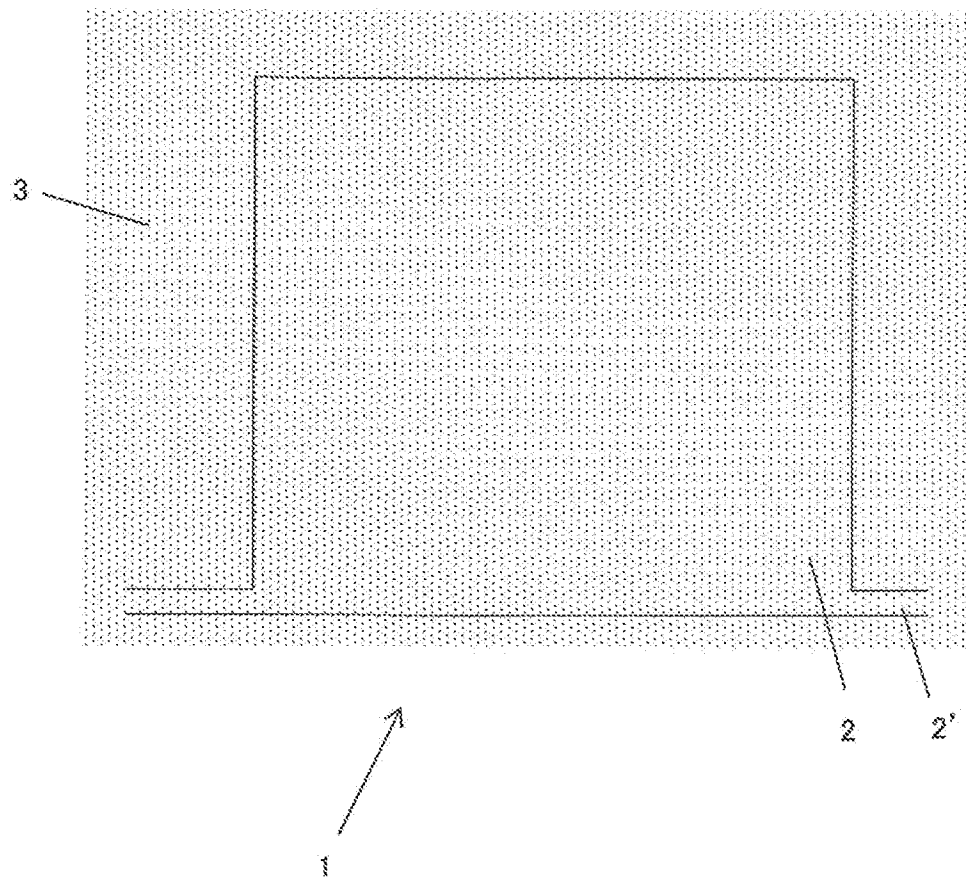
[図4F]



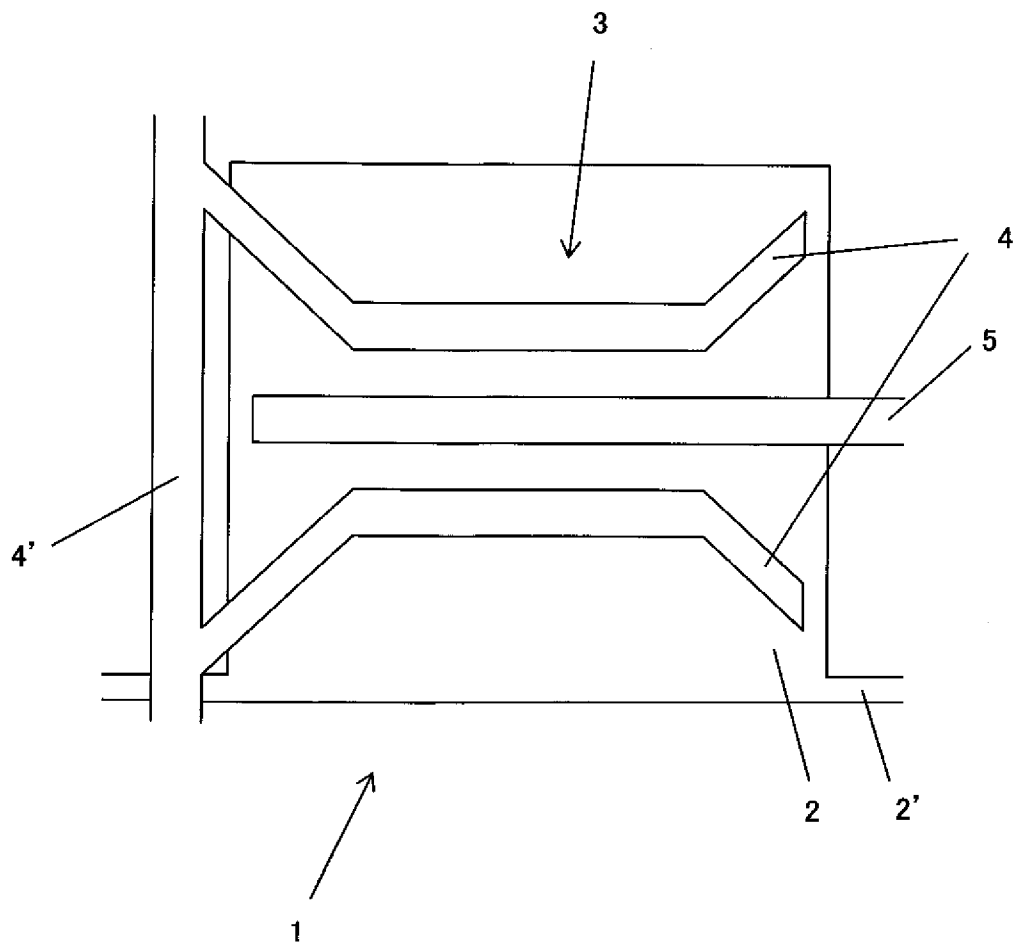
[図5]



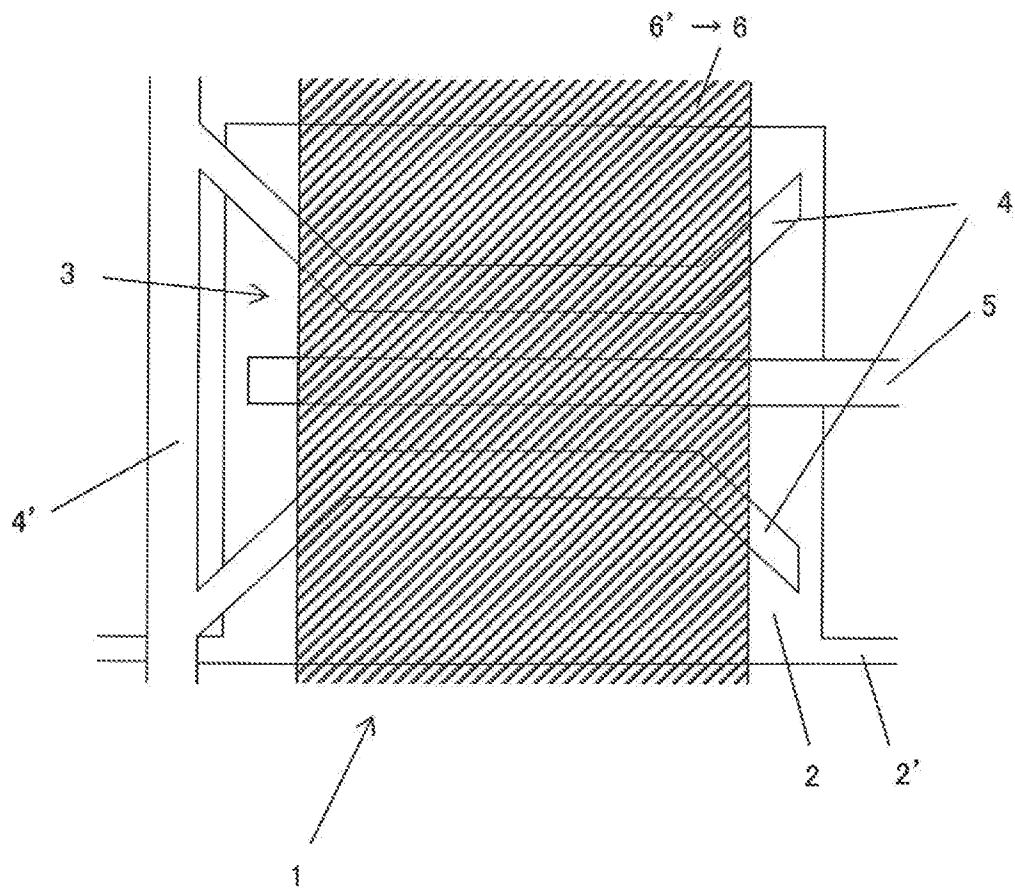
[図6A]



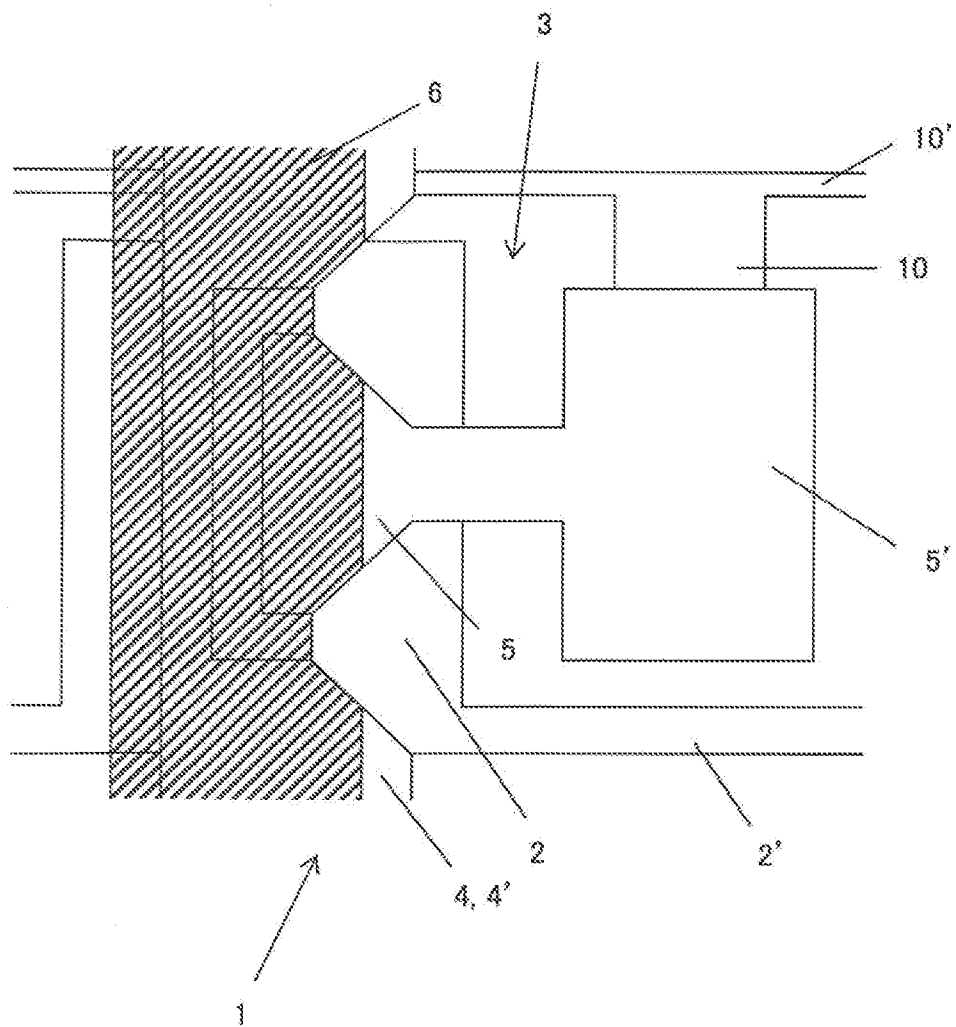
[図6B]



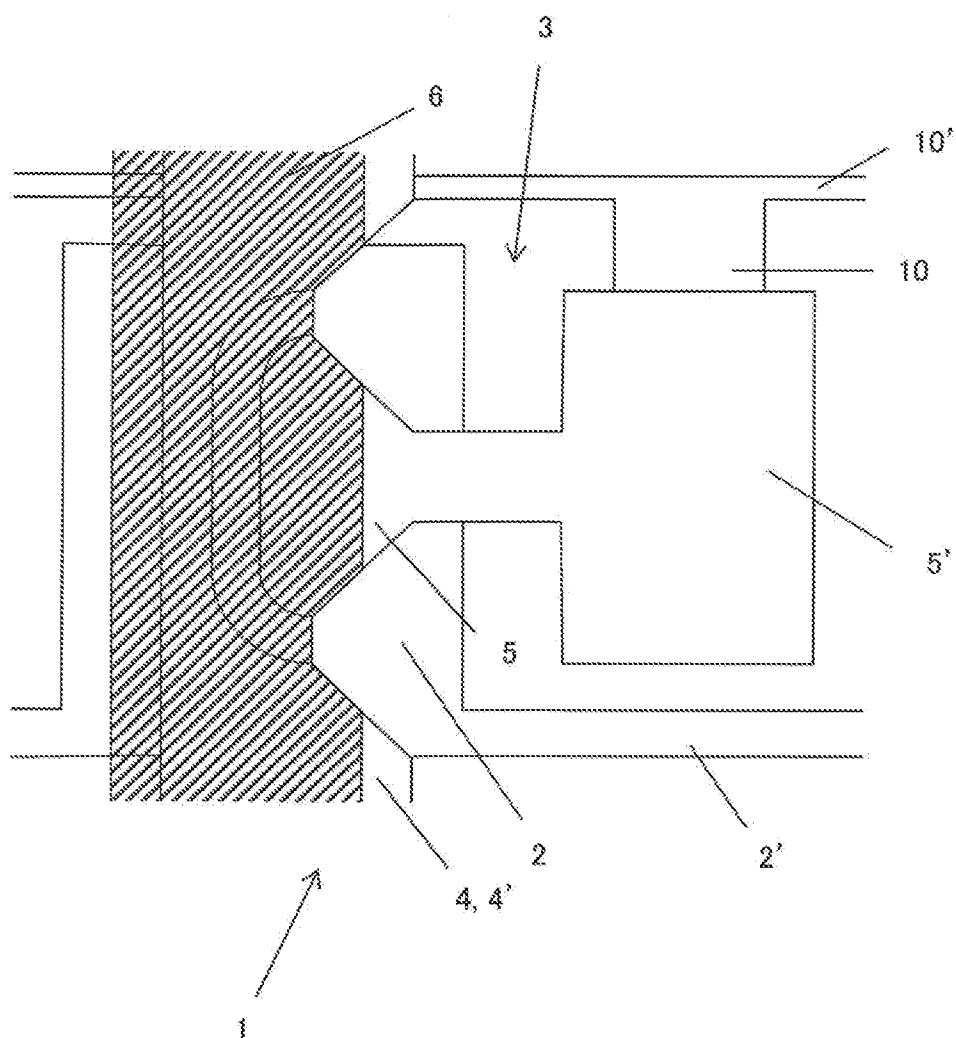
[図6C]



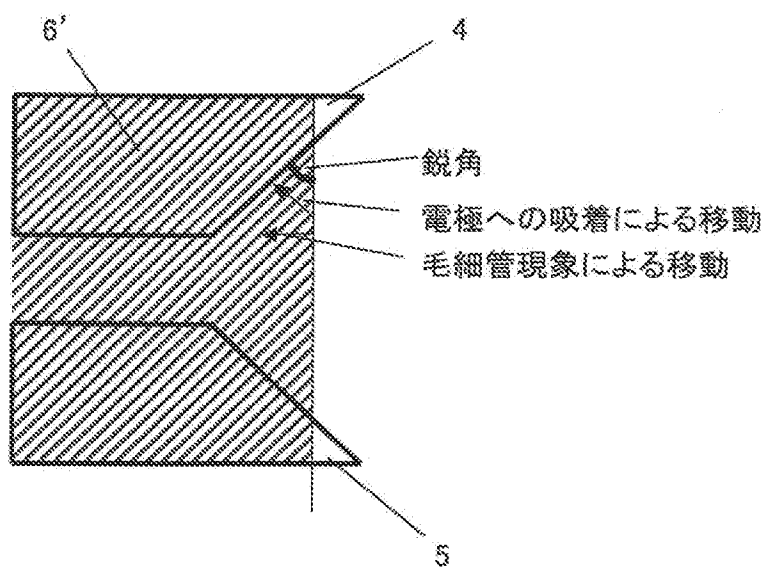
[圖7]



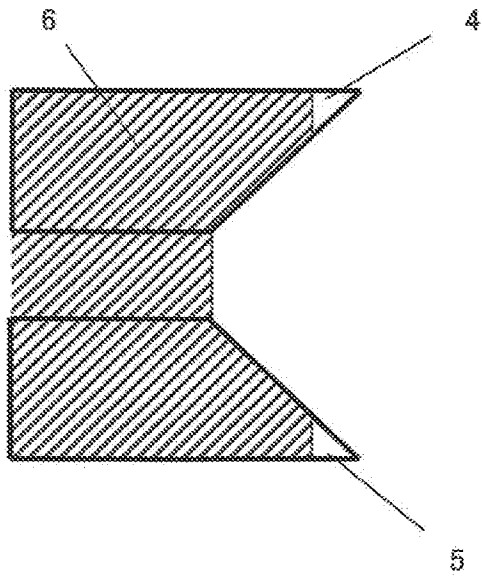
[図8]



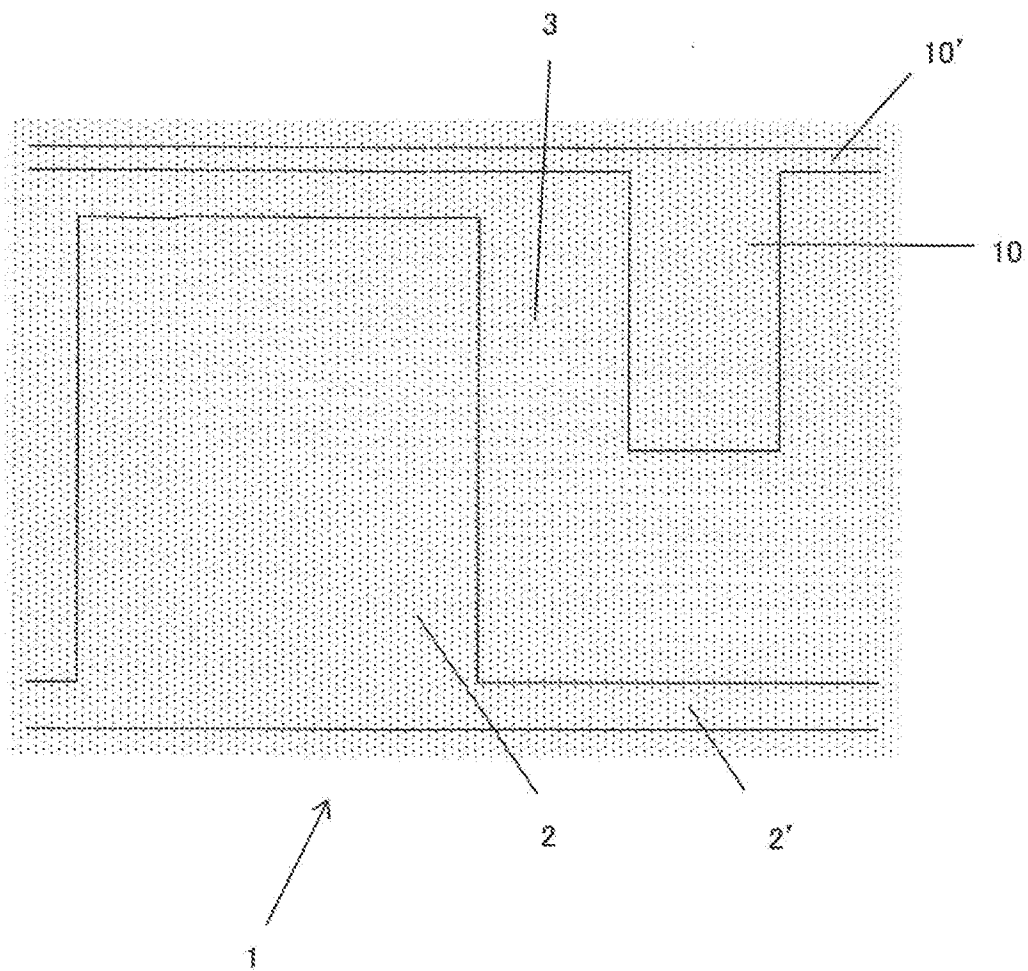
[図9A]



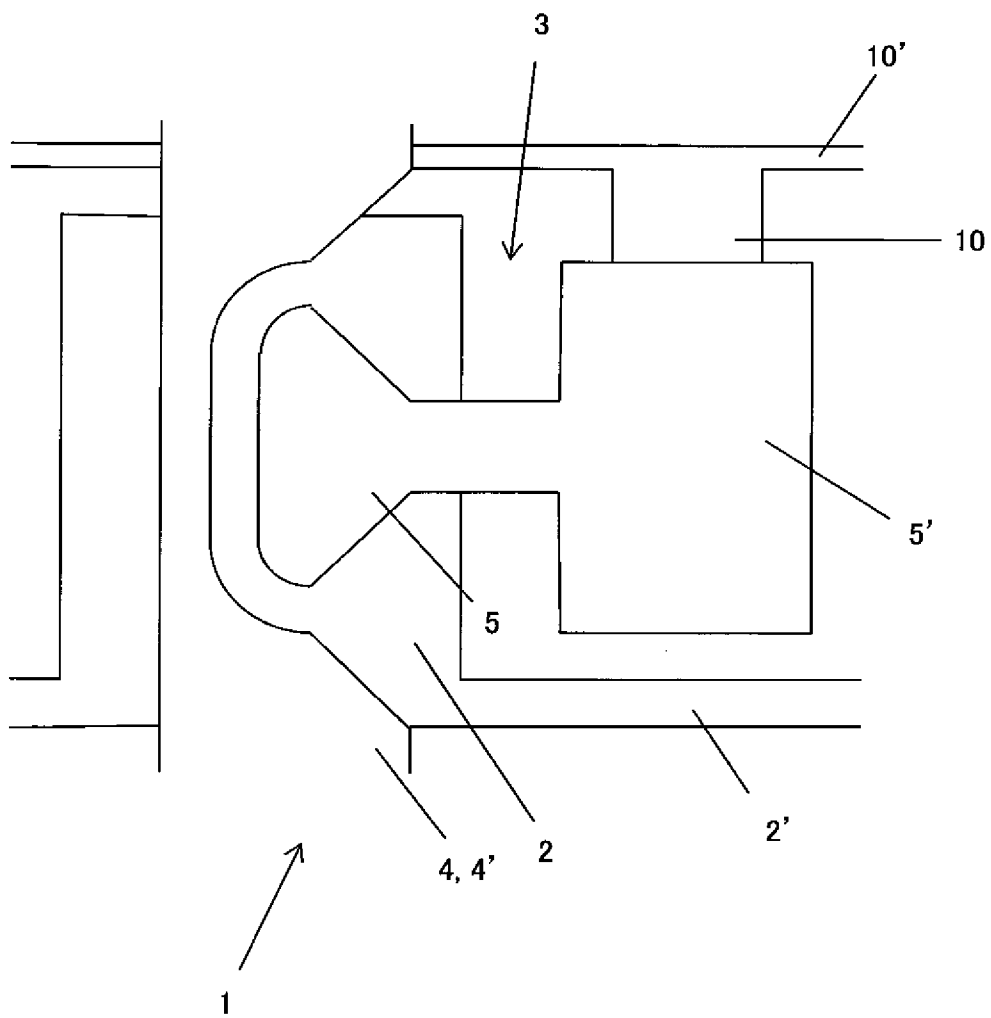
[図9B]



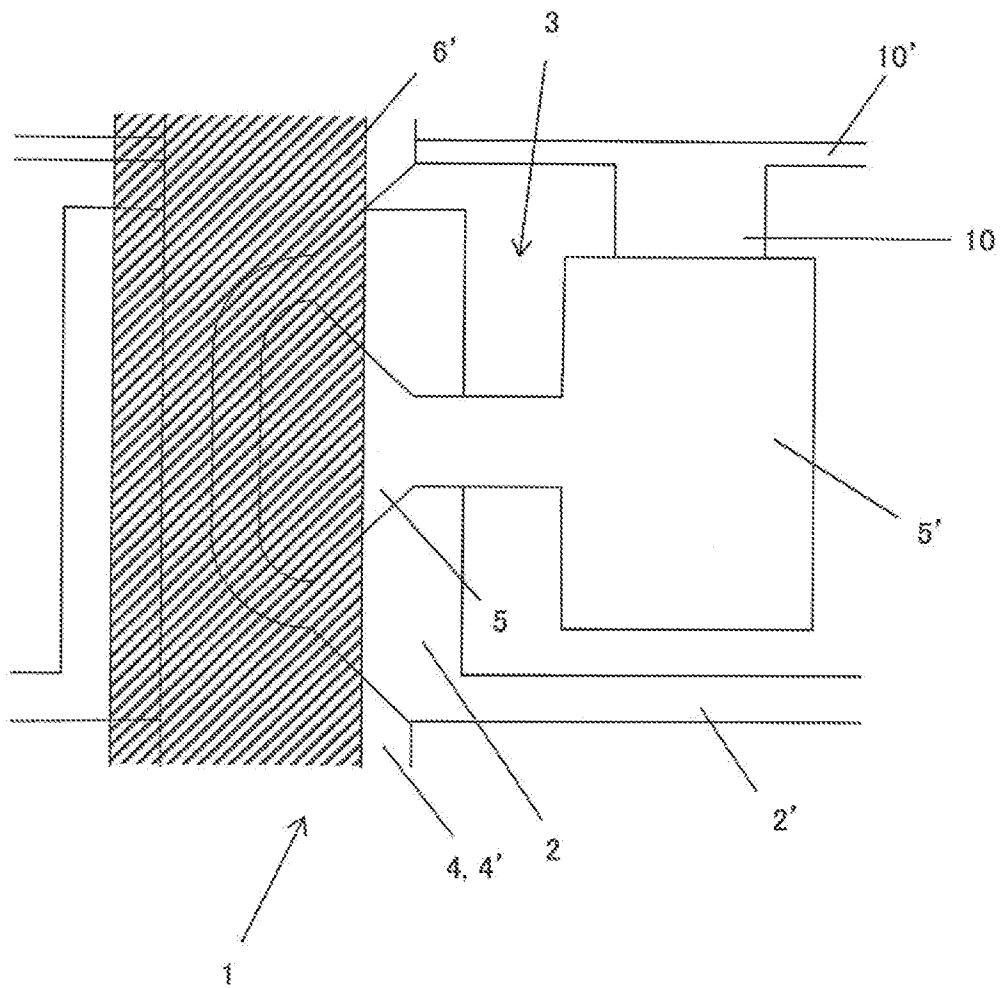
[図10A]



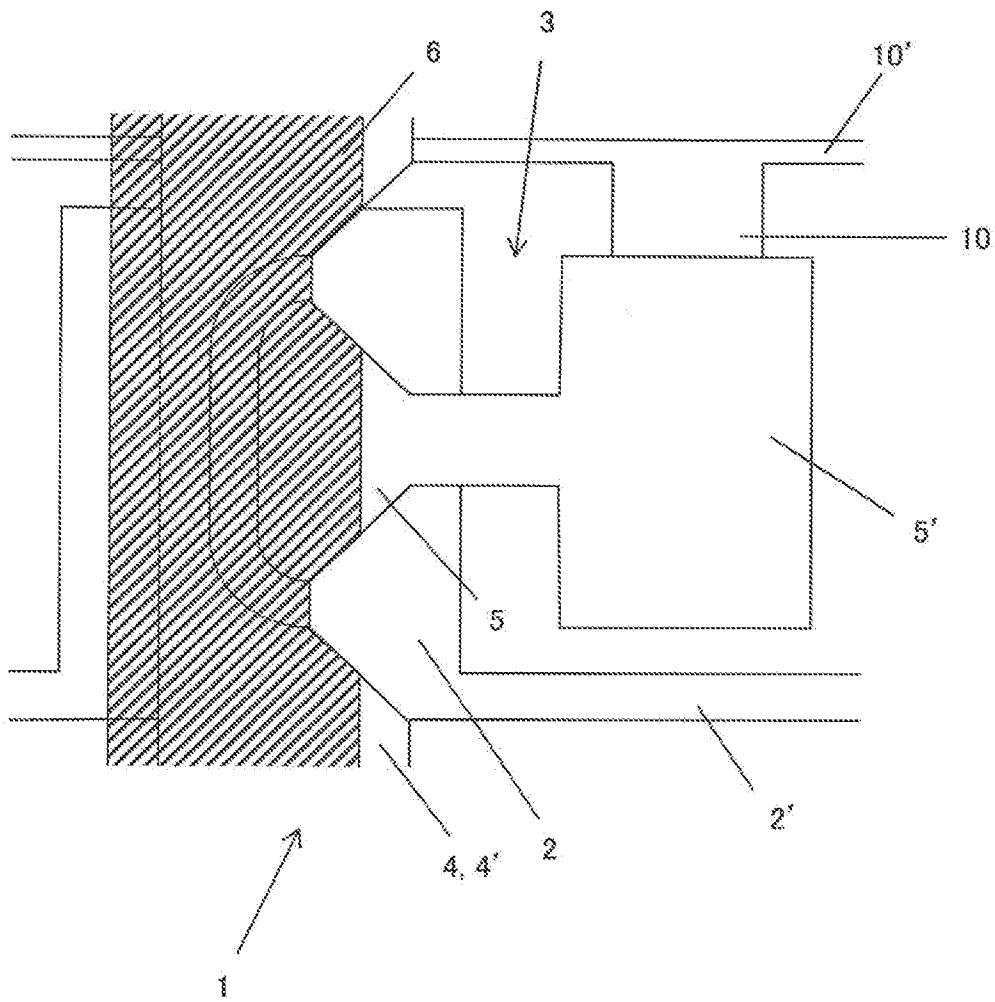
[図10B]



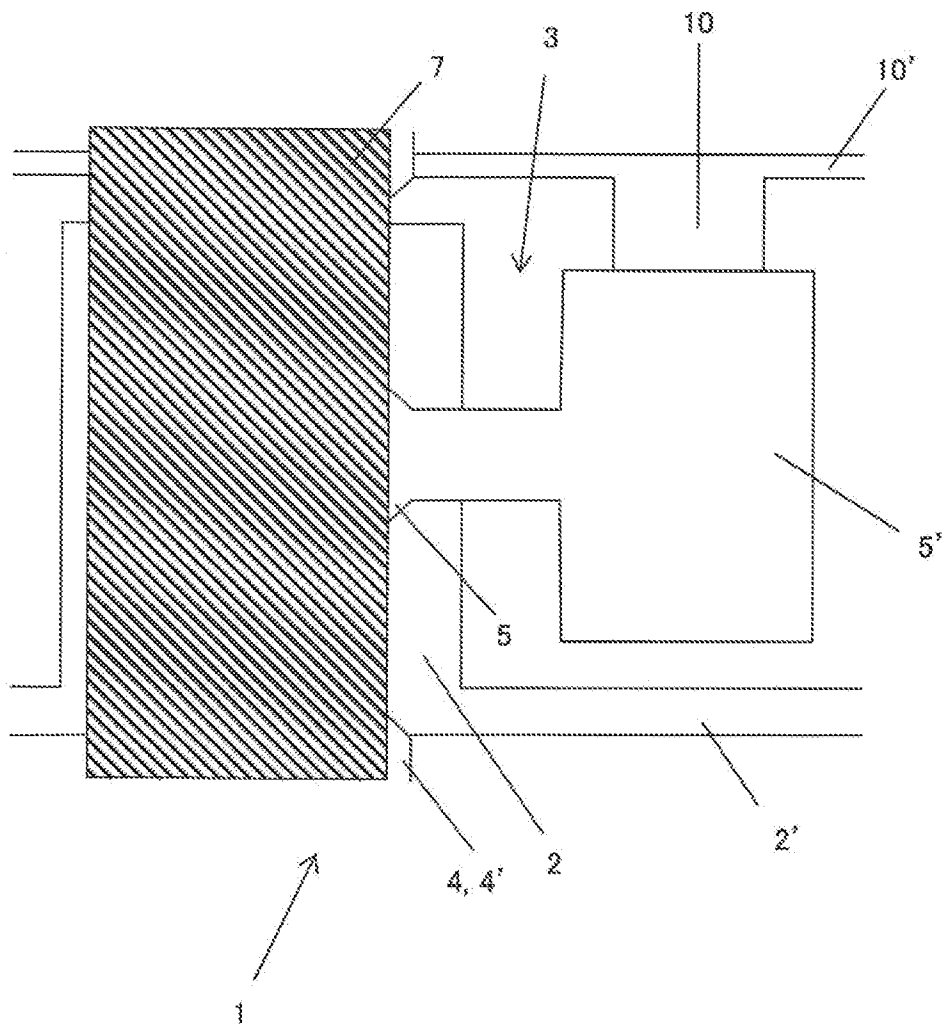
[図10C]



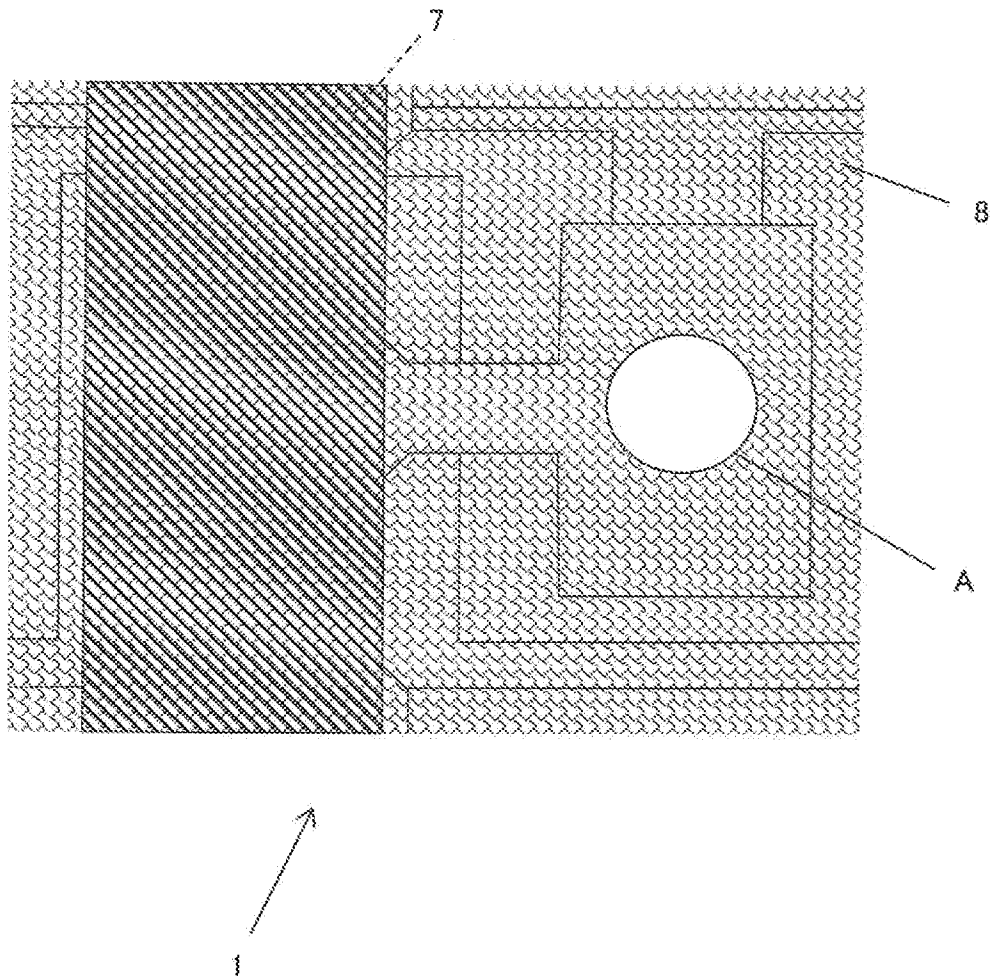
[図10D]



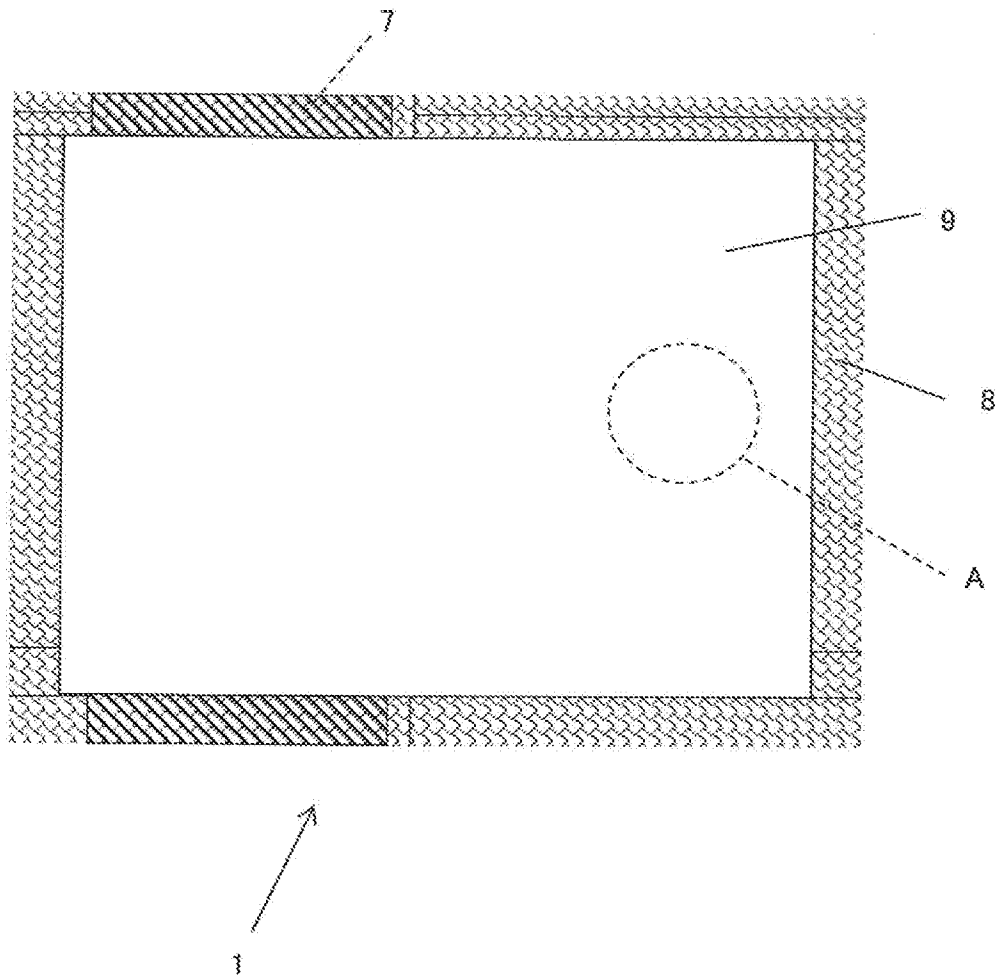
[図10E]



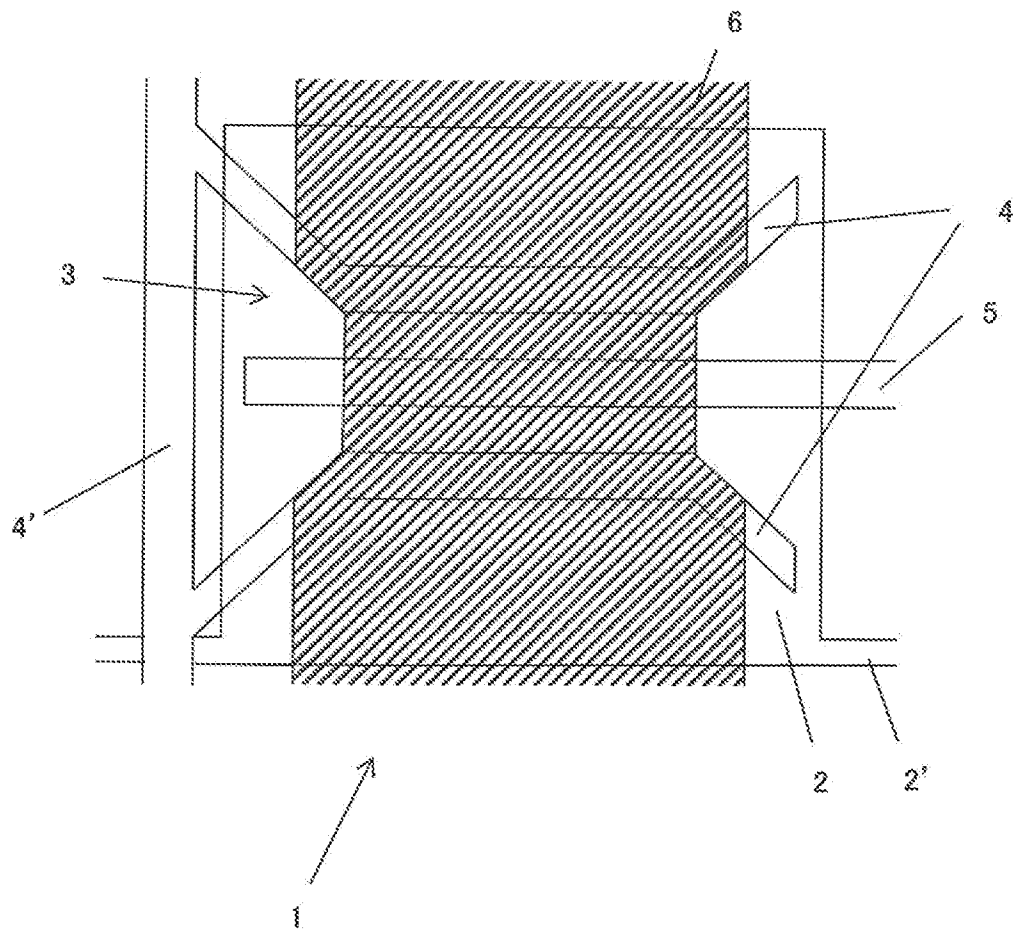
[図10F]



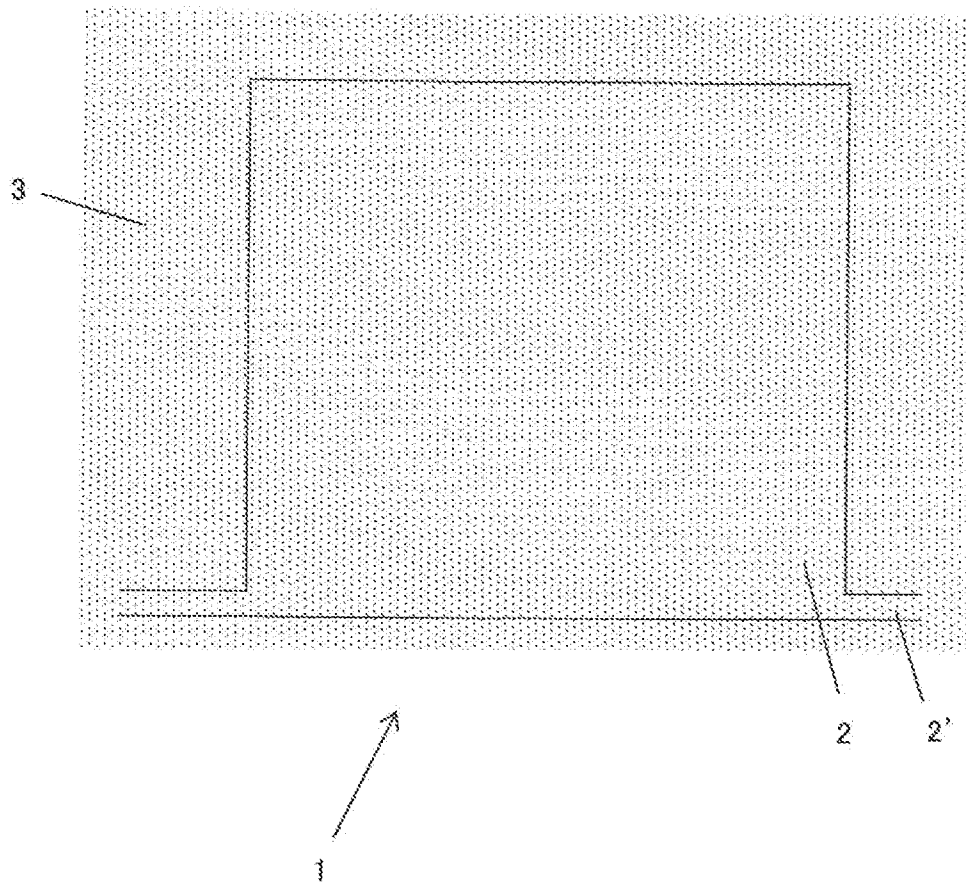
[図10G]



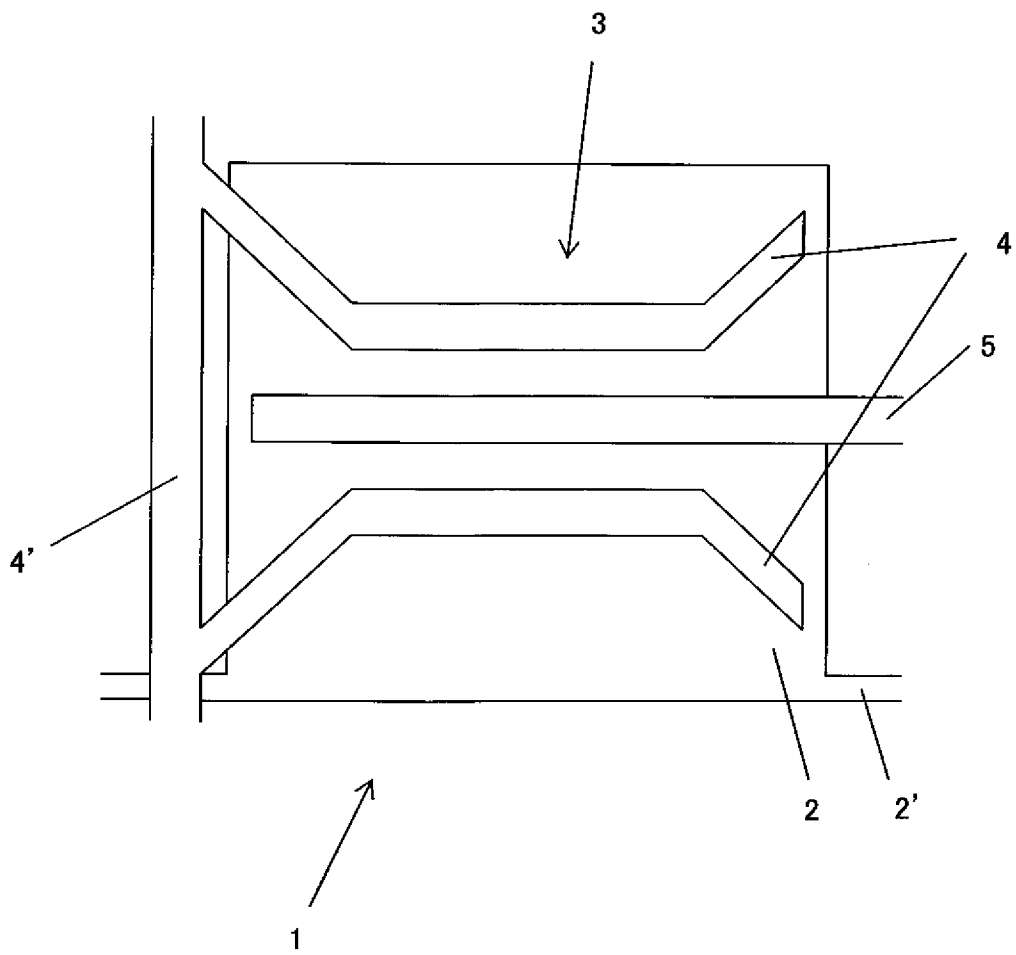
[図11]



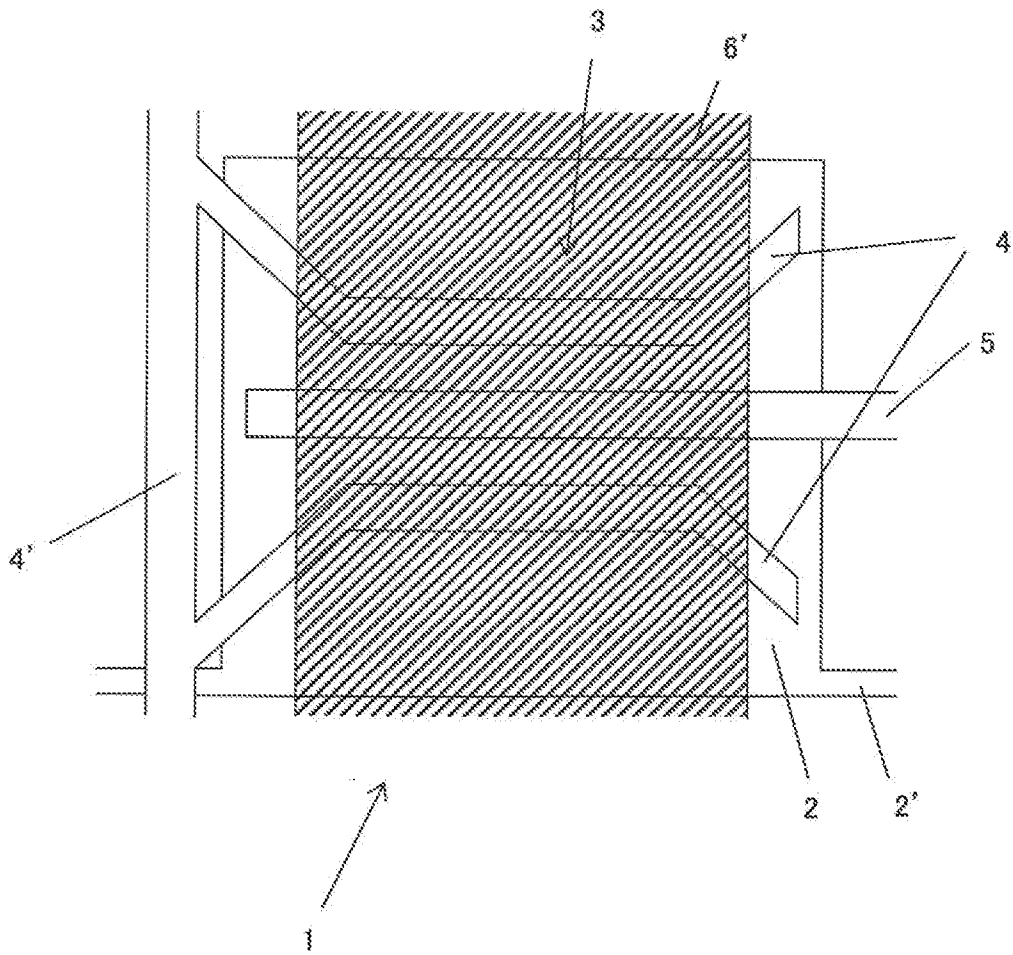
[図12A]



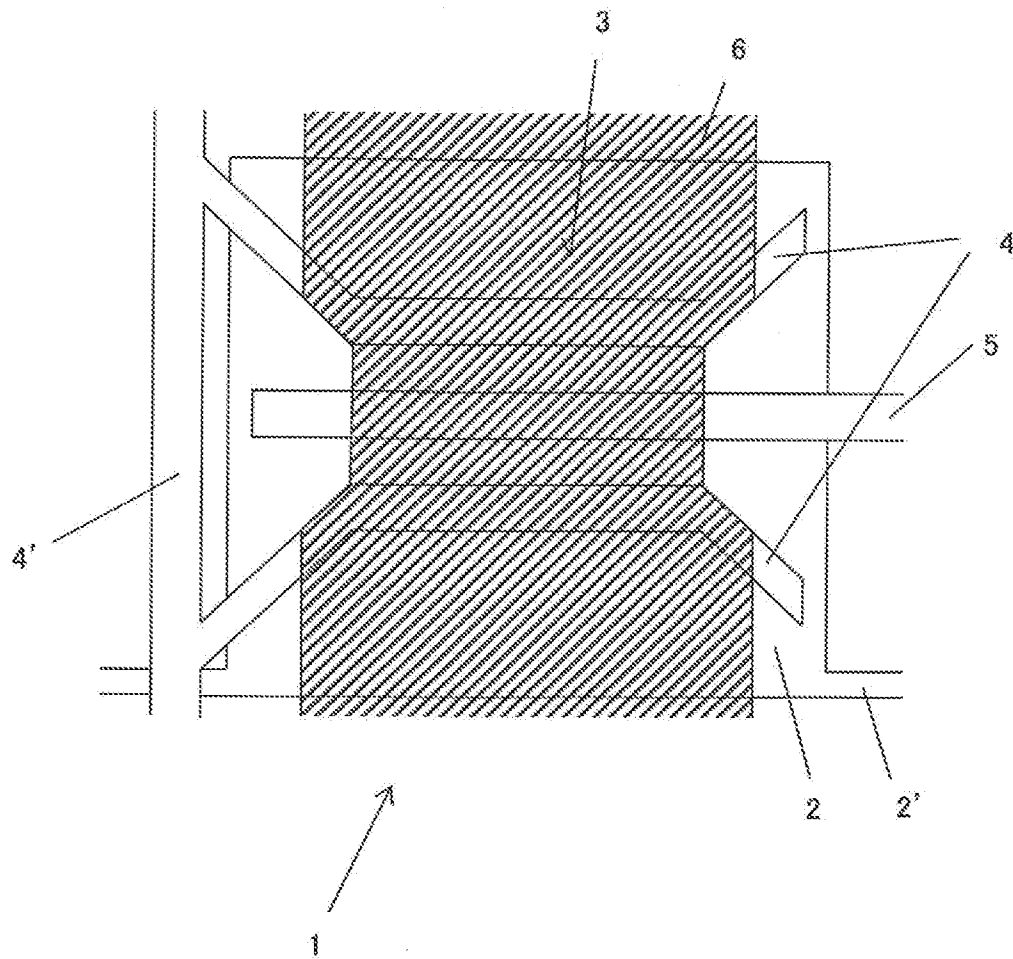
[図12B]



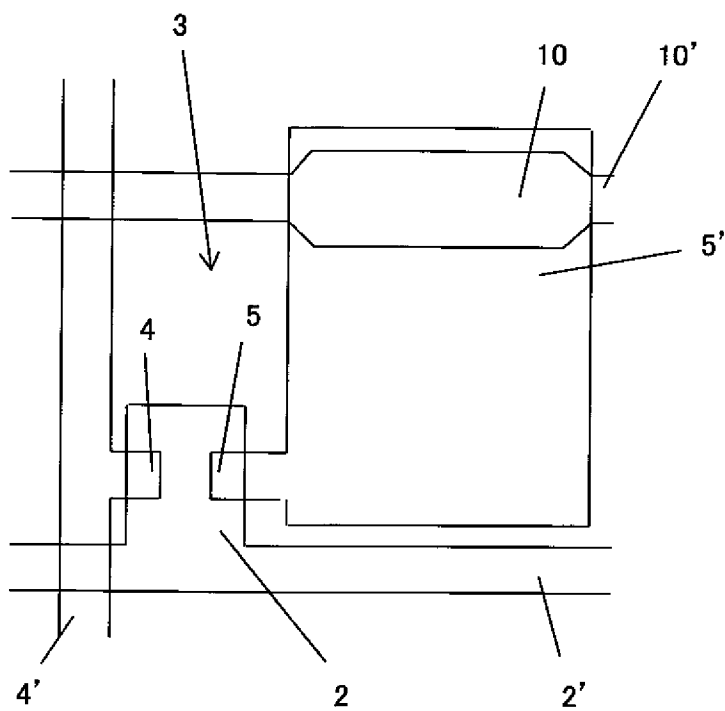
[図12C]



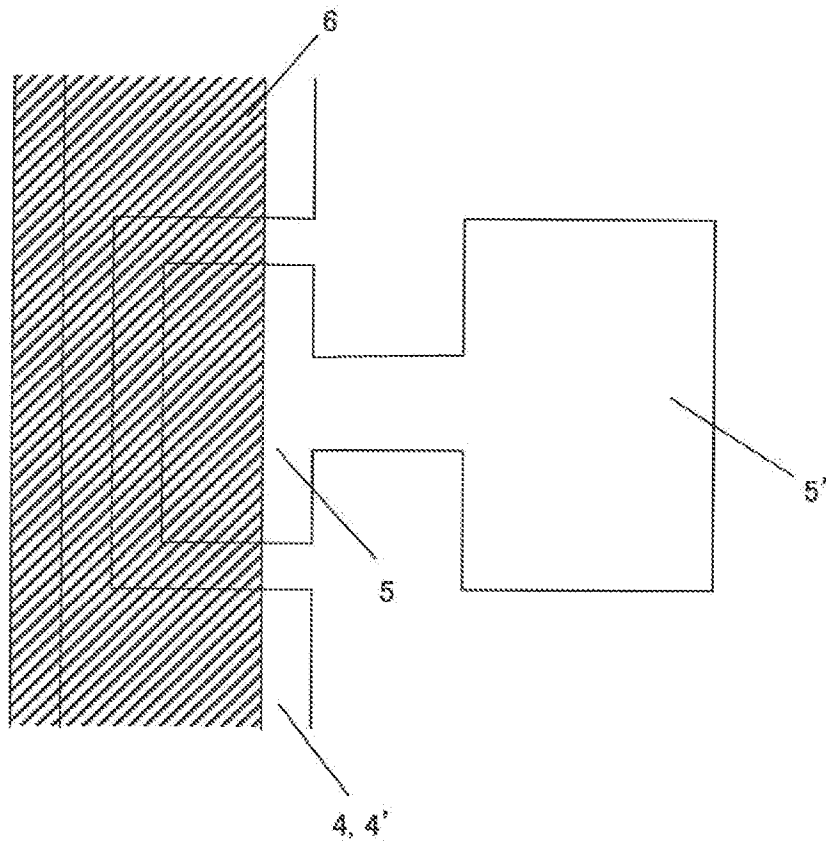
[図12D]



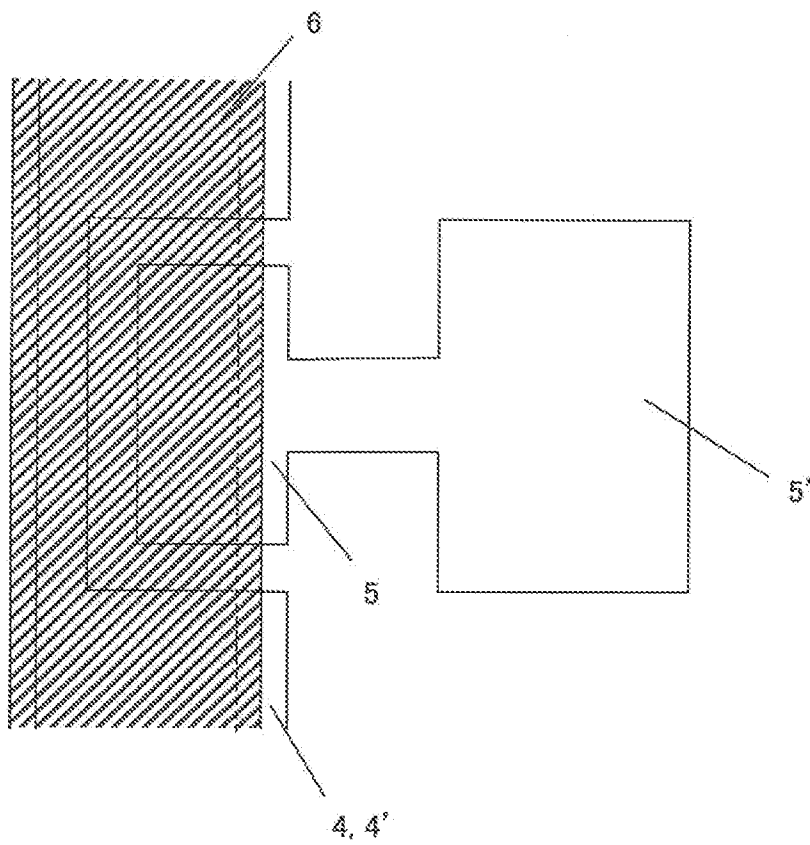
[図13]



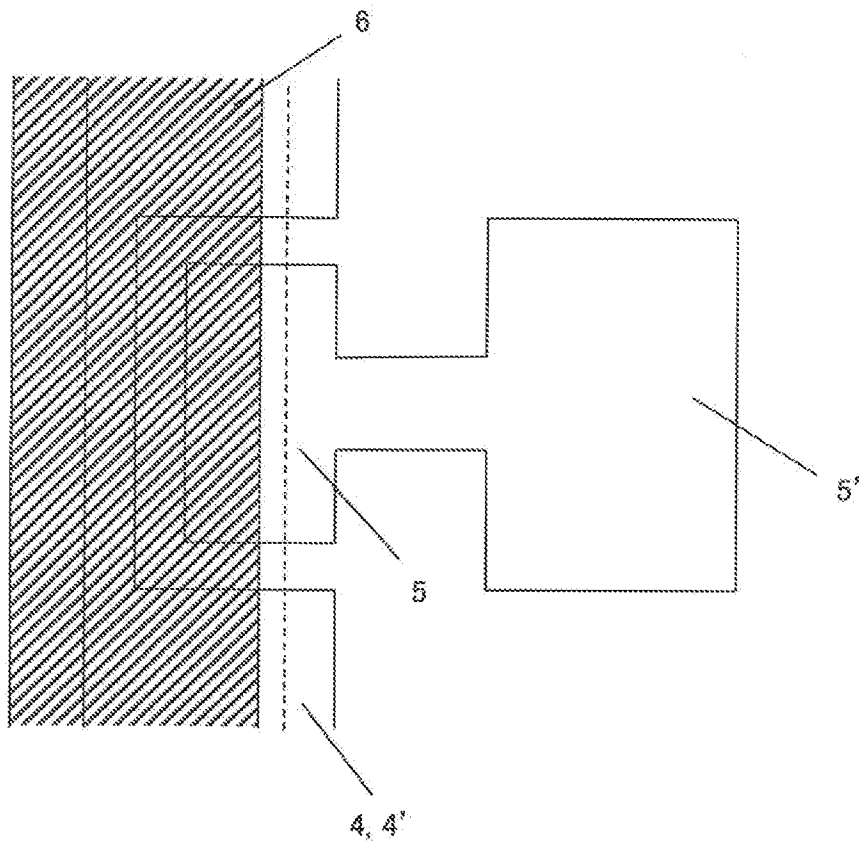
[図14A]



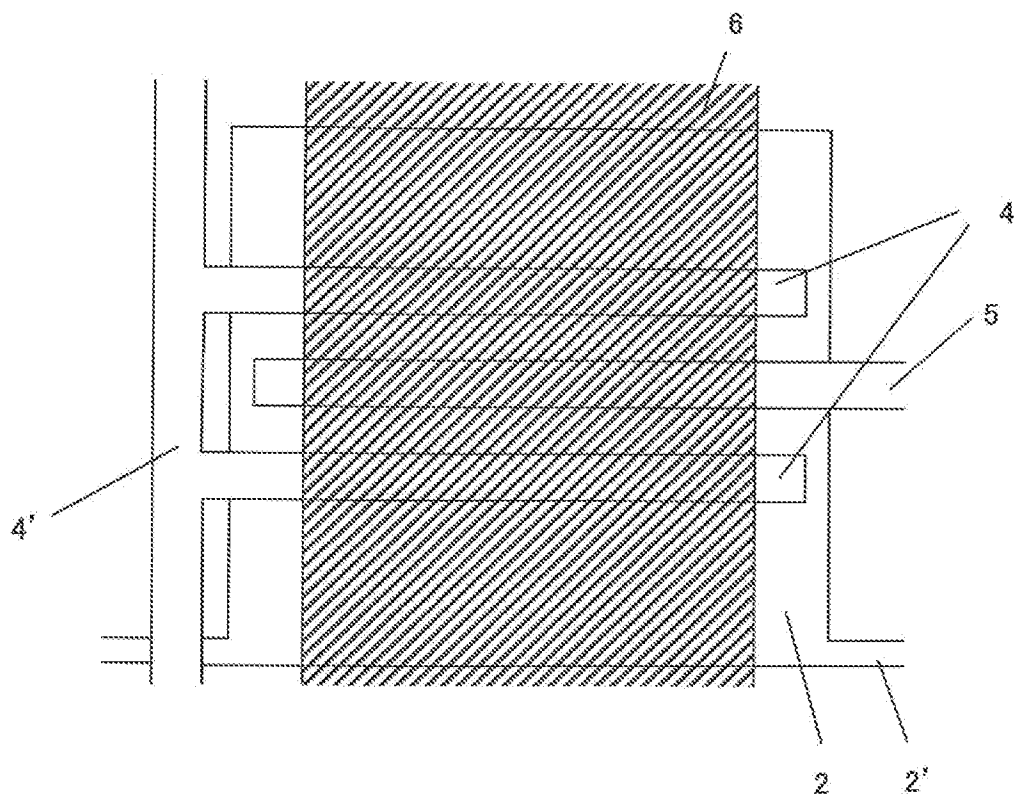
[図14B]



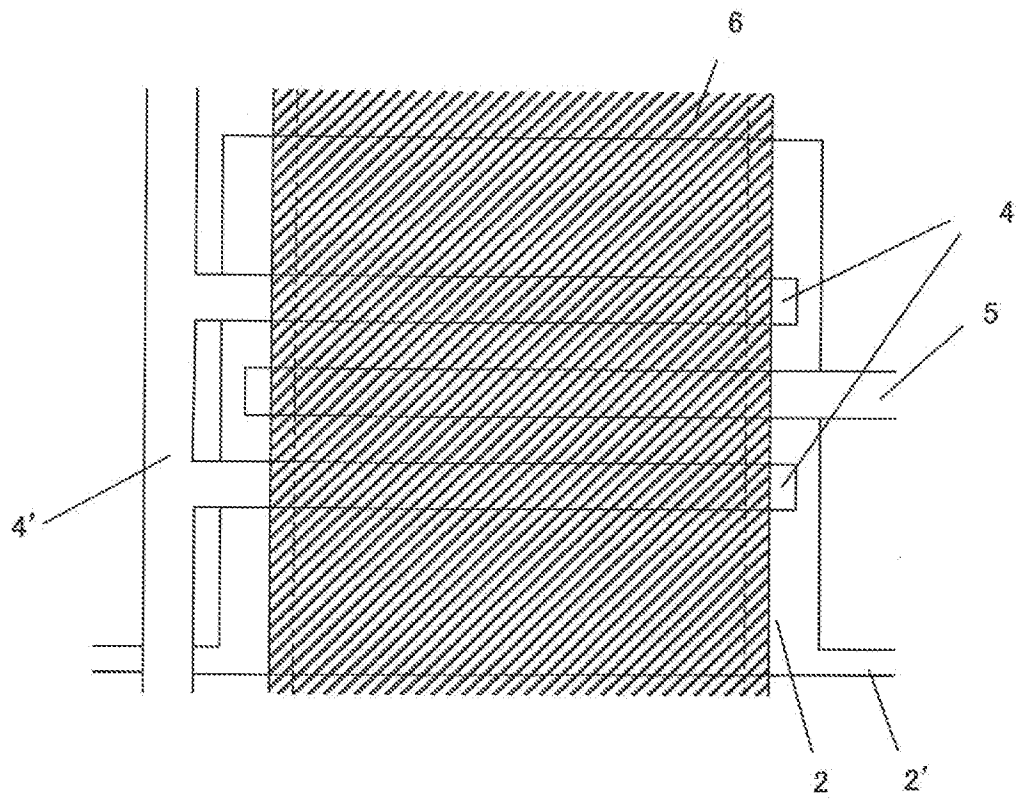
[図14C]



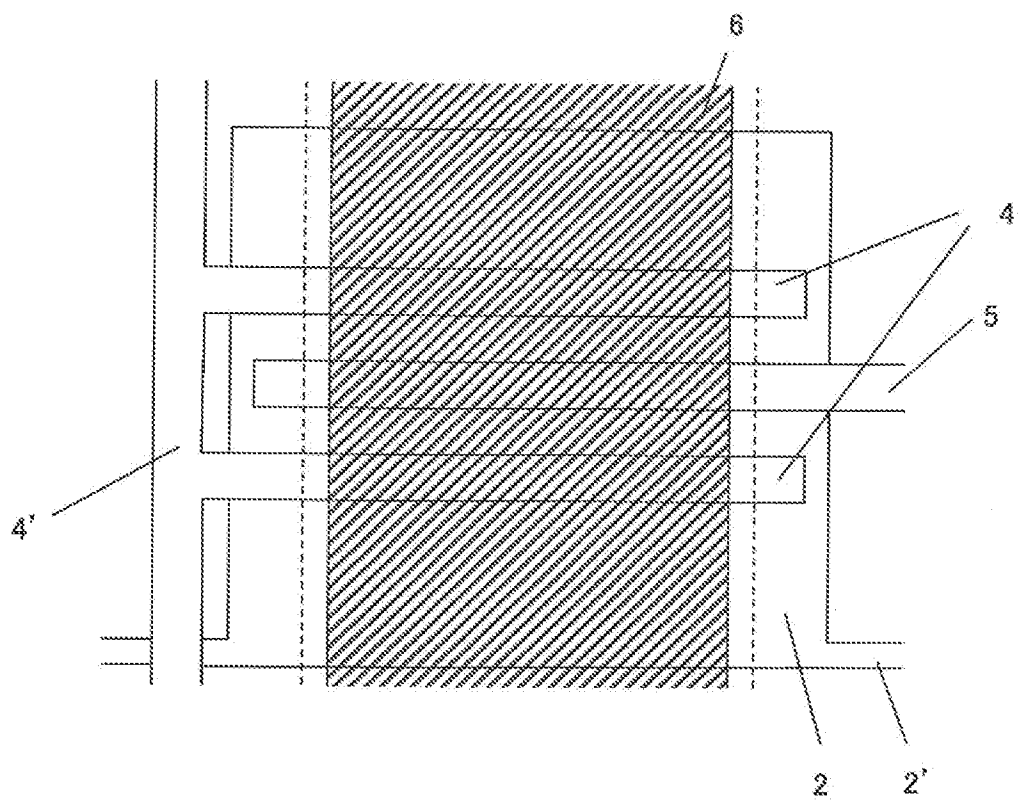
[図15A]



[図15B]



[図15C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/005126

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-235861 A (Toppan Printing Co., Ltd.), 02 October 2008 (02.10.2008), paragraphs [0031] to [0058]; fig. 1 to 4 & US 2008/0197348 A1	1-9
Y	JP 2006-352083 A (Ricoh Co., Ltd.), 28 December 2006 (28.12.2006), paragraphs [0038] to [0044]; fig. 2 & US 2009/0050879 A1 & EP 1883973 A & WO 2006/123596 A1 & KR 10-2007-0122558 A & CN 101223645 A	1-9
Y	JP 2005-72135 A (NEC LCD Technologies, Ltd.), 17 March 2005 (17.03.2005), paragraphs [0035] to [0044]; fig. 1 to 4 & US 2005/0041169 A1 & KR 10-2005-0021252 A & CN 1584718 A	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 September, 2013 (18.09.13)

Date of mailing of the international search report
01 October, 2013 (01.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/005126

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-270744 A (Toppan Printing Co., Ltd.), 06 November 2008 (06.11.2008), paragraphs [0071] to [0084]; fig. 1 to 3 & US 2008/0239189 A1	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-235861 A（凸版印刷株式会社）2008.10.02, 段落[0031]-[0058], 図 1-4 & US 2008/0197348 A1	1-9
Y	JP 2006-352083 A（株式会社リコー）2006.12.28, 段落[0038]-[0044], 図 2 & US 2009/0050879 A1 & EP 1883973 A & WO 2006/123596 A1 & KR 10-2007-0122558 A & CN 101223645 A	1-9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 9 . 2 0 1 3

国際調査報告の発送日

0 1 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

竹口 泰裕

5 0

4 0 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-72135 A (NEC液晶テクノロジー株式会社) 2005. 03. 17, 段落[0035]-[0044], 図 1-4 & US 2005/0041169 A1 & KR 10-2005-0021252 A & CN 1584718 A	1-9
A	JP 2008-270744 A (凸版印刷株式会社) 2008. 11. 06, 段落[0071]-[0084], 図 1-3 & US 2008/0239189 A1	1-9