(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월30일
(11) 등록번호 10-1169152
(24) 등록일자 2012년07월20일

(51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01)
(21) 출원번호 10-2010-0055621
(22) 출원일자 2010년06월11일
심사청구일자 2010년06월11일
(65) 공개번호 10-2010-0133914
(43) 공개일자 2010년12월22일
(30) 우선권주장
12/791,963 2010년06월02일 미국(US)
61/186,533 2009년06월12일 미국(US)
(56) 선행기술조사문헌
KR100175362 B1*
D. Daly et al.,"A 6b 0.2 to 0.9V Highly Digital Flash ADC with Comparator Redundancy," IEEE ISSCC 2008, pp. 554-555, 635, Feb. 2008..*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완 300-77, 신츄, 사이언스-베이스드 인더스트리얼 파크, 리신 로드. 6, 8호
(72) 발명자
청 샤인
대만 신주 시티 300 이스트 디스트 다쉬에 알디. 넘버 218 2에프.-1
(74) 대리인
신정건, 김태홍

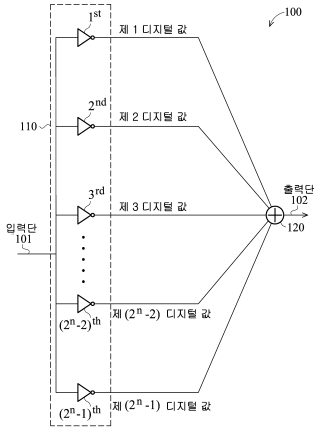
전체 청구항 수 : 총 8 항 심사관 : 권성락

(54) 발명의 명칭 **아날로그 신호를 디지털 신호로 변환하는 집적 회로, 시스템 및 그 작동 방법**

(57) 요 약

아날로그 신호를 적어도 하나의 디지털 신호로 변환할 수 있는 집적 회로가 개시된다. 집적 회로는 제 1 아날로그 신호를 수신할 수 있는 제 1 입력단을 포함한다. 2^n-1개의 인버터의 제 1 집합은 제 1 아날로그 신호를 양자화하여 2^n-1개의 디지털 값의 제 1 집합을 출력할 수 있다. 2^n-1개의 디지털 값의 제 1 집합 각각은 0 또는 1이다. 제 1 가산기는 2^n-1개의 인버터의 제 1 집합과 커플링된다. 제 1 가산기는 2^n-1개의 디지털 값의 제 1 집합을 가산하여, 적어도 하나의 디지털 신호에 대응가능한 제 1 정수 값을 출력할 수 있다.

대 표 도 - 도1a



특허청구의 범위

청구항 1

아날로그 신호를 적어도 하나의 디지털 신호로 변환할 수 있는 집적 회로에 있어서,

제 1 아날로그 신호를 수신할 수 있는 제 1 입력단;

상기 제 1 아날로그 신호를 양자화하고, 각각의 값이 0 또는 1인 제 1 집합의 2^n-1개의 디지털 값들을 출력할 수 있는 제 1 집합의 2^n-1개의 인버터들; 및

상기 제 1 집합의 2^n-1개의 디지털 값들을 합산하여, 적어도 하나의 디지털 신호에 대응가능한 제 1 정수 값을 출력할 수 있는, 상기 제 1 집합의 2^n-1개의 인버터들과 커플링되는 제 1 가산기; 및

제 1 집합의 전압 분배기들

을 포함하고,

상기 제 1 집합의 2^n-1개의 인버터들의 출력단 각각은 적어도 하나의 상기 제 1 집합의 전압 분배기들과 커플링되며,

상기 제 1 집합의 전압 분배기들 각각은 제 1 집합의 2^m개의 전자 소자들을 포함하며,

상기 제 1 집합의 상기 전압 분배기들 각각은 상기 제 1 아날로그 신호를 양자화하고, 제 1 집합의 2^m-1개의 디지털 값들을 출력할 수 있으며,

상기 제 1 집합의 2^m-1개의 디지털 값들 각각은 0 또는 1이며,

상기 제 1 가산기는 상기 제 1 집합의 2^n-1개의 디지털 값들 및, 상기 제 1 집합의 전압 분배기들 각각의 상기 제 1 집합의 2^m-1개의 디지털 값들을 합산하여, 상기 적어도 하나의 디지털 신호에 대응가능한 제 2 정수 값을 출력할 수 있는 것인, 집적 회로.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제 1 집합의 2^n-1개의 인버터들과 평행하게 배치되고, 상기 제 1 가산기와 커플링되며, 상기 제 1 아날로그 신호를 양자화하고, 각각의 값이 0 또는 1인 제 2 집합의 2^n-1개의 디지털 값들을 출력할 수 있는 제 2 집합의 2^n-1개의 인버터들; 및

제 2 집합의 전압 분배기들

을 더 포함하고,

상기 제 2 집합의 2^n-1개의 인버터들의 출력단 각각은 적어도 하나의 상기 제 2 집합의 전압 분배기들과 커플링되며,

상기 제 2 집합의 전압 분배기들 각각은 제 2 집합의 2^m개의 전자 소자들을 포함하며,

상기 제 2 집합의 전압 분배기들 각각은 상기 제 1 아날로그 신호를 양자화하고, 제 2 집합의 2^m-1개의 디지털 값들을 출력할 수 있으며,

상기 제 1 집합의 2^m-1개의 디지털 값들 각각은 0 또는 1이며,

상기 제 1 가산기는 상기 제 1 집합의 2^n-1개의 디지털 값들, 제 2 집합의 2^n-1개의 디지털 값들, 상기 제 1 집합의 전압 분배기들 각각의 제 1 집합의 2^m-1개의 디지털 값들 및 상기 제 2 집합의 전압 분배기들 각각의 제 2 집합의 2^m-1개의 디지털 값들을 합산하여, 적어도 하나의 디지털 신호에 대응가능한 제 3 정수 값을 출력할 수 있는 것인, 집적 회로.

청구항 4

제 1 항에 있어서,

상기 제 1 아날로그 신호와 위상 차이를 가지는 제 2 아날로그 신호를 수신할 수 있는 제 2 입력단;

상기 제 2 아날로그 신호를 양자화하고, 각각의 값이 0 또는 1인 제 3 집합의 2^n-1개의 디지털 값들을 출력할 수 있는 제 3 집합의 2^n-1개의 인버터들;

상기 제 3 집합의 2^n-1개의 인버터들과 커플링되며, 상기 제 3 집합의 2^n-1개의 디지털 값들을 합산하여, 상기 제 2 아날로그 신호에 대응하는 제 4 정수 값을 출력하도록 구성되는 제 2 가산기; 및

상기 제 1 가산기 및 상기 제 2 가산기에 커플링되며, 적어도 하나의 디지털 신호에 대응가능한 제 5 정수 값을 제공하기 위하여 상기 제 1 정수 값 및 제 4 정수 값에 대한 감산을 수행하도록 구성되는 감산기

를 더 포함하는 집적 회로.

청구항 5

제 1 항에 있어서,

상기 제 1 가산기와 커플링되며, 상기 제 1 정수 값에 대응하는 이진 디지털 신호를 출력할 수 있는 룩업 테이블(lookup table);

상기 제 1 가산기와 커플링되며, 상기 제 1 정수 값을 수신하여, 상기 제 1 정수 값에 대응하는 칼리브레이트(calibrate)된 디지털 신호를 출력하도록 구성되는 칼리브레이터(calibrator);

상기 칼리브레이터와 커플링되는 카운터; 및

상기 칼리브레이터 및 상기 제 1 집합의 2^n-1개의 인버터들과 커플링되는 DAC(digital-to analog converter)

를 더 포함하는 집적 회로.

청구항 6

제 1 아날로그 신호를 적어도 하나의 디지털 신호로 변환할 수 있으며,

상기 제 1 아날로그 신호를 수신할 수 있는 제 1 입력단;

상기 제 1 아날로그 신호를 양자화하여, 각각의 값이 0 또는 1인 제 1 집합의 2^n-1개의 디지털 값들을 출력할 수 있는 제 1 집합의 2^n-1개의 인버터들;

상기 제 1 집합의 2^n-1개의 인버터들과 커플링되며, 상기 제 1 집합의 2^n-1개의 디지털 값들을 합산하여, 적어도 하나의 디지털 신호에 대응가능한 제 1 정수 값을 출력할 수 있는 제 1 가산기; 및

제 1 집합의 전압 분배기들을 포함하고,

상기 제 1 집합의 2^n-1개의 인버터들의 출력단 각각은 적어도 하나의 상기 제 1 집합의 전압 분배기들과 커플링되며,

상기 제 1 집합의 전압 분배기들 각각은 제 1 집합의 2^m개의 전자 소자들을 포함하며,

상기 제 1 집합의 전압 분배기들 각각은 상기 제 1 아날로그 신호를 양자화하고, 제 1 집합의 2^m-1개의 디지털 값들을 출력할 수 있으며,

상기 제 1 집합의 2^m-1개의 디지털 값들 각각은 0 또는 1이며,

상기 제 1 가산기는 상기 제 1 집합의 2^n-1개의 디지털 값들 및, 상기 제 1 집합의 전압 분배기들 각각의 상기 제 1 집합의 2^m-1개의 디지털 값들을 합산하여, 상기 적어도 하나의 디지털 신호에 대응가능한 제 2 정수 값을 출력할 수 있는 것인, 집적 회로; 및

상기 집적 회로와 커플링되는, 적어도 하나의 디지털 신호를 수신하는 수단

을 포함하는 시스템.

청구항 7

적어도 하나의 아날로그 신호를 적어도 하나의 디지털 신호로 변환하는 방법에 있어서,

제 1 집합의 2^n-1개의 정수 값들을 제공하기 위하여 제 1 집합의 2^n-1개의 인버터들에 의하여 제 1 아날로그 신호를 양자화하고;

적어도 하나의 디지털 신호에 대응가능한 제 1 정수 값을 제공하기 위하여 상기 제 1 집합의 2^n-1개의 정수 값들을 합산하고;

적어도 하나의 상기 2^n-1개의 정수 값의 제 1 집합에 각각 커플링되며, 제 1 집합의 2^m-1개의 디지털 값들을 각각 제공할 수 있는 제 1 집합의 전압 분배기들에 의하여, 상기 제 1 아날로그 신호를 양자화하며;

상기 적어도 하나의 디지털 신호에 대응가능한 제 2 정수 값을 제공하기 위하여 상기 제 1 집합의 2^n-1개의 정수 값들 및 상기 제 1 집합의 전압 분배기들 각각의 제 1 집합의 2^m-1개의 정수 값들을 합산하는 것

을 포함하는 방법.

청구항 8

삭제

청구항 9

제 7 항에 있어서,

제 2 집합의 2^n-1개의 정수 값들을 제공하기 위하여 제 2 집합의 2^n-1개의 인버터들에 의하여 상기 제 1 아날로그 신호를 양자화하고;

적어도 하나의 상기 제 2 집합의 2^n-1개의 정수 값들에 각각 커플링되며, 제 2 집합의 2^m-1개의 디지털 값들을 제공할 수 있는 제 2 집합의 전압 분배기들에 의하여, 상기 제 1 아날로그 신호를 양자화하며;

적어도 하나의 디지털 신호에 대응가능한 제 3 정수 값을 제공하기 위하여, 상기 제 1 집합의 2^n-1개의 정수 값들, 상기 제 2 집합의 2^n-1개의 정수 값들, 상기 제 1 집합의 전압 분배기들 각각의 상기 제 1 집합의 2^m-1개의 정수 값들, 및 상기 제 2 집합의 전압 분배기들 각각의 상기 제 2 집합의 2^m-1개의 정수 값들을 합산하는 것

을 더 포함하는 방법.

청구항 10

제 7 항에 있어서,

제 3 집합의 2^n-1개의 정수 값들을 제공하기 위하여 제 3 집합의 2^n-1개의 인버터들에 의하여 제 2 아날로그 신호를 양자화하고;

제 4 정수 값을 제공하기 위하여 제 3 집합의 2^n-1개의 정수 값들을 합산하며;

적어도 하나의 디지털 신호에 대응가능한 제 5 정수 값을 제공하기 위하여 상기 제 1 정수 값 및 상기 제 4 정수 값에 대한 감산을 수행하는 것

을 더 포함하는 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 일반적으로 반도체 회로 분야와 관련이 있으며, 더욱 상세하게는 아날로그 신호를 디지털 신호로 변환하는 집적회로, 시스템 및 그 작동 방법과 관련이 있다.

배 경 기 술

[0002] 아날로그-디지털 변환기(analog-to-digital converter, ADC)는 아날로그 신호를 디지털 신호로 변환할 수 있다. ADC는 많은 전자 시스템의 품질 및 속도를 결정하는 데에 이용되어 왔다. 일반적으로 사용되는 ADC 중 하나의 타입은 플래시(flash) ADC이다. 플래시 ADC는 신속한 아날로그-디지털 변환을 수행할 수 있으며, 미소한 내재적 지연을 가지며, 디자인이 간소하다. 플래시 ADC는 대체적으로 초고속 전기 시스템에 이용이 된다.

발명의 내용

[0003] 본 발명의 일 실시 예에서, 아날로그 신호를 적어도 하나의 디지털 신호로 변환할 수 있는 집적 회로가 개시된다. 집적 회로는 제 1 아날로그 신호를 수신할 수 있는 제 1 입력단을 포함한다. 2^n-1개의 제 1 집합은 제 1 아날로그 신호를 양자화하여 2^n-1개의 디지털 값의 제 1 집합을 출력하는 것이 가능하다. 2^n-1개의 디지털 값의 제 1 집합은 0 또는 1이다. 제 1 가산기는 2^n-1개의 디지털 값을 합산하여, 적어도 하나의 디지털 신호에 대응가능한 제 1 정수 값을 출력할 수 있다.

[0004] 또 다른 실시 예에서, 적어도 하나의 디지털 신호를 수신하는 수단과 커플된 집적 회로를 포함하는 시스템이 개시된다. 집적 회로는 아날로그 신호를 적어도 하나의 디지털 신호로 변환할 수 있다. 집적 회로는 제 1 아날로그 신호를 수신할 수 있는 제 1 입력단을 포함한다. 2^n-1개의 인버터의 제 1 집합은 제 1 아날로그 신호를 양자화하여 2^n-1개의 디지털 값의 제 1 집합을 출력할 수 있다. 2^n-1개의 디지털 값 각각은 0 또는 1이다. 제 1 가산기는 2^n-1개의 인버터의 제 1 집합과 커플링된다. 제 1 가산기는 2^n-1개의 디지털 값의 제 1 집합을 합산하여, 적어도 하나의 디지털 신호에 대응가능한 제 1 정수 값을 출력할 수 있다.

[0005] 또 다른 실시 예에서, 적어도 하나의 아날로그 신호를 적어도 하나의 디지털 신호로 변환하는 방법이 개시된다. 방법은 2^n-1개의 정수 값의 제 1 집합을 제공하기 위한, 2^n-1개의 인버터의 제 1 집합에 의하여 제 1 아날로그 신호를 양자화하는 단계를 포함한다. 제 1 정수 값을 제공하기 위하여, 2^n-1개의 정수 값의 제 1 집합은 합산된다. 여기에서 제 1 정수 값은 적어도 하나의 디지털 신호에 대응가능하다.

[0006] 본 발명의 상술한 실시 예 및 여타의 실시 예의 특징들은 첨부된 도면과 관련하여 더욱 상세하게 설명될 것이다.

도면의 간단한 설명

[0007] 본 발명은 첨부된 도면과 더욱 상세하게 설명될 것이다. 관련 산업계의 표준적인 관습에 따라, 다양한 소자들은 스케일에 따라서 도시되지 않을 수 있으며, 또한 설명적인 목적으로만 이용될 수 있다. 다양한 소자의 숫자 및 차원은, 설명의 명확성을 위하여 임의적으로 증가되거나 감소될 수 있다.

도 1a는 아날로그 신호를 디지털 신호로 변환할 수 있는 집적 회로의 일 실시 예를 나타내는 모식도이다.

도 1b는 아날로그 신호를 디지털 신호로 변환하기 위한 인버터 및 전압 분배기를 포함하는 집적 회로의 다른 일 실시 예를 나타내는 모식도이다.

도 2a는 다양한 인버터에 대한 시뮬레이션의 전압 전이 곡선(voltage transfer curve, VTC)이다.

도 2b는 도 1b의 집적 회로의 일 부분을 나타내는 모식도이다.

도 2c는 두 개의 인접하는 인버터에 의하여 제공되는 두 개의 VTC 사이의 전압 분배기에 의하여 제공되는 추가적인 VTC를 나타내는 모식도이다.

도 3a 내지 3d는 다양한 인버터의 실시 예를 나타내는 모식도이다.

도 4는 아날로그 신호를 디지털 신호로 변화할 수 있는 집적 회로의 일 실시 예를 나타내는 모식도이다.

도 5는 아날로그 신호를 디지털 신호로 변화할 수 있는 집적 회로의 다른 일 실시 예를 나타내는 모식도이다.

도 6은 아날로그 신호를 디지털 신호로 변화하기 위한 칼리브레이터(calibrator)를 포함하는 집적 회로의 일 실시 예를 나타내는 모식도이다.

도 7은 칼리브레이터를 포함하는 경우 및 포함하지 않는 경우에 대한 시뮬레이션 결과를 나타내는 그래프이다.

도 8은 디지털 신호를 수신하기 위한 수단과 커플된 집적 회로의 일 실시 예를 포함하는 시스템을 나타내는 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 종래의 플래시 ADC는 n-비트 해상도의 아날로그-디지털 변환을 위하여, 2^n-1개의 콤퍼레이터(comparator) 및 2^n 개의 저항을 포함하는 전압 래더(voltage ladder)를 가진다.

[0009] 전압 래더 각각의 가로단(rung)은 가로단에 대응되는 콤퍼레이터의 입력단의 음(negative)의 기준 전압으로써 적용된다. 콤퍼레이터 각각은 디지털 신호를 출력하기 위하여, 전압 래더의 가로단으로부터의 기준 전압과 입력 전압을 비교한다. 2^n-1개의 디지털 레벨을 출력함으로써, n-비트 이진 디지털 신호가 제공될 수 있다.

[0010] 종래의 플래시(flash) ADC는, 8-비트 해상도의 아날로그-디지털 변환을 제공하기 위하여 2^8-1, 즉 255개의 콤퍼레이터를 이용한다. 다수개의 콤퍼레이터는 종래의 플래시 ADC 의 넓은 영역을 차지한다. 또한 전압 래더는 파워 서플라이 및 접지 사이에 커플이 되어 있다는 사실이 발견되었다.

[0011] 아날로그-디지털 변환 동안, 전압 래더의 각각의 저항은 파워 서플라이로부터 공급되는 전력을 소비한다. 플래시 ADC의 넓은 영역 및 높은 전력 소비는, 높은 비트의 해상도 예를 들어 8비트보다 높은 해상도가 요구되는 경우에 더욱 악화된다.

[0012] 상술한 바와 같은 이유로, 아날로그 신호를 디지털 신호로 변환할 수 있는 집적 회로, 시스템 및 그 작동 방법이 필요하게 된다.

[0013] 후술하는 내용에서, 다수의 다양한 실시 예, 또는 본 발명의 다양한 특징을 구현하는 예시가 제공된다. 소자에 있어서 특정한 예시 및 배열은 본 발명을 간소하게 표현하기 위하여 기술된다. 이와 같은 것들은 단순한 예시일 분이며, 한정적인 의미로 이용되지는 않는다. 또한, 본 발명은 도면 식별 부호 및/또는 문자를 다양한 예시에서 반복한다. 이러한 반복은 간소화 및 명확화를 목적으로 시용되며, 다양한 실시 예 및/또는 논의되는 구성 간의 관계에 대하여 지정되는 것은 아니다.

[0014] 또한, 본 발명에서, 특정한 구성 요소가 다른 구성요소 위에, ~에 연결되어 있는, 및/또는 ~에 커플된 등의 문구는 직접적으로 두 구성 요소가 연결된 실시 예를 포함할 수 있으며, 추가적으로 또 다른 구성 요소가 두 구성 요소 사이에 배치되어, 두 구성 요소가 직접적으로 연결되지 않은 형태의 실시 예도 포함할 수 있다.

[0015] 또한, 상대적으로 기술된 문구, 예를 들어 "낮은", "위에", "수평한", "수직한", "위에", "아래에", "위로", "아래로", "상부", "하부" 등의 문구와 이들의 파생어 "수평하게", "하부로", "상부로" 등의 문구는 본 발명의 구성 요소간의 관계를 간소하게 설명하기 위하여 이용된다. 공간적으로 상대적인 문구는 구성 요소를 포함하는 장치의 다른 배치 방향도 포함할 수 있다.

[0016] 도 1a는 아날로그 신호를 디지털 신호로 변환할 수 있는 집적 회로의 일 실시 예를 도시하는 모식도이다.

[0017] 도 1a을 참조하면, 집적 회로(100)는 아날로그 신호를 입력받을 수 있는 입력단(101) 및 아날로그 신호에 대응하는 정수 값(디지털 형태)을 출력할 수 있는 출력단(102)을 포함할 수 있다. 집적 회로(100)는 2^n-1개의 인버

터(110)를 포함할 수 있다. 2^n-1개의 인버터(110)는 아날로그 신호를 입력단(101)으로부터 수신할 수 있다.

[0018] 일부 실시 예들에서, 2^n-1개의 인버터(110)는 입력단(101)과 평행하게 배치되어 있으며, 커플되어 있다. 2^n-1개의 인버터(110)는 아날로그 신호를 양자화하여, 2^n-1개의 디지털 값의 집합을 출력할 수 있다.

[0019] 2^n-1개의 디지털 값 각각은 0 또는 1일 수 있다. 집적 회로(100)는 가산기(adder)(120)를 포함할 수 있다. 가산기(120)는 2^n-1개의 인버터(110)와 커플될 수 있다. 가산기(120)는 2^n-1개의 디지털 값의 집합을 합산하도록 설정될 수 있으며, 출력단(102)에서 최소한 하나의 디지털 신호에 대응되는 정수 값을 출력하게 할 수 있다.

[0020] 집적 회로(100)는 플래시 ADC, SA(successvie-approximate) ADC, RC(ramp-compare) ADC, Wilkinson ADC, 적분형(integrating) ADC, 델타-인코드(delta-encoded) ADC, 파이프라인(pipe line) ADC, 시그마-델타(sigma-delta) ADC, 시간-인터리브드(time-interleaved) ADC 및 여타의 ADC를 포함할 수 있다.

[0021] 구현 예에서, 집적 회로(100)는 신호 프로세서, 제어 회로, 전력 제어 회로, 또는 아날로그 신호를 디지털 회로로 변화할 수 있는 임의의 회로일 수 있다.

[0022] 후술하는 것은, 아날로그 신호를 5 비트 아날로그-디지털 변환 해상도로 양자화하는 것에 관한 것이다. 다만, 상술한 구성은 단순히 예시일 뿐이다. 후술하는 실시 예는 예를 들어 8 비트 해상도 또는 이상의 높은 아날로그-디지털 변환 해상도를 제공할 수 있다.

[0023] 5-비트 아날로그-디지털 변환 해상도를 이용하는 일부 실시 예들에서, 2^n-1개의 인버터(110)는 2^5-1 즉 31개의 인버터를 가진다. 도 2a에 도시된 바와 같이, 31개 인버터 각각은 그것에 대응하는 전압 전이 곡선(VTC) 및 트립 포인트(trip point)를 가질 수 있다. 도 2a에 도시된 바와 같이, 라인(201)은 본질적으로 31개 인버터의 트립 포인트 모두를 통과할 수 있다.

[0024] 구현 예에서, 31개 인버터 각각은 CMOS(complementary metal oxide semiconductor) 트랜지스터를 포함할 수 있다. CMOS 트랜지스터는 PMOS 트랜지스터 및 NMOS 트랜지스터를 가질 수 있다. PMOS 트랜지스터 및 NMOS 트랜지스터는, 예를 들어 2^n-1개의 인버터(110)가 상이한 트립 포인트를 가질 수 있도록, 상이한 채널 너비 대 채널 길이(W/L) 비율을 가질 수 있다.

[0025] 예를 들어, 입력단(101)에서의 아날로그 신호는 약 1.018V의 입력 전압을 가질 수 있다. 도 2a에 도시된 바와 같이, 제 1 인버터부터 제 16 인버터는 1.018V 보다 높은 트립 포인트를 가질 수 있으며, 16개 인버터 각각은 디지털 값 "1"을 출력할 수 있다. 제 17 인버터부터 제 31 인버터는 1.018V보다 작은 트립 포인트를 가질 수 있으며, 15개 인버터 각각은 디지털 값 "0"을 출력할 수 있다.

[0026] 도 1a를 참조하면, 가산기(120)는 31개의 인버터로부터 디지털 값 출력을 합산하여, (디지털 형태인)정수 값을 출력할 수 있다. 약 1.018V의 입력 전압을 가지는 아날로그 신호를 사용한 실시 예에서, 가산기(120)는 출력단(102)에서 정수 값 "15"를 출력할 수 있다. 정수 값 "15"는 디지털 프로세싱을 위하여, 예를 들어 01111 등의 5 비트 이진 디지털 신호로 디코딩될 수 있다.

[0027] 2^n-1개의 인버터(110)는 바람직하게는 아날로그 신호를 2^n 레벨로 양자화할 수 있으며, 2^n-1개의 정수 값을 출력할 수 있다. 가산기(120)는 2^n-1개의 정수 값을 합산하여, 정수 값을 출력할 수 있다. 집적 회로(100)는 바람직하게는 아날로그 신호를 바람직한 변환율의 디지털 신호를 표현하는 정수 값으로 변환할 수 있다. 2^n-1개의 인버터(110)는 종래의 플래시 ADC의 2^n-1개의 콤퍼레이터보다 좁은 영역을 이용한다. 집적 회로(100) 칩의 크기는 비약적으로 감소될 수 있다.

[0028] 실시 예에서, 가산기(120)는 룩업-테이블(look up table)(미도시)와 커플될 수 있다. 룩업-테이블은 가산기로부터 정수 값 출력을 전송받아, 바람직하게는 정수 값에 대응하는 n 비트 디지털 이진 신호를 출력할 수 있다. 복잡한 디코딩 작업을 포함하는 구성으로부터 자유롭기 때문에, 룩업-테이블은 바람직한 속도로 아날로그 신호를 디지털 신호로 변환하는 데 도움을 준다.

[0029] 도 1b는 아날로그 신호를 디지털 신호로 변환하기 위한 전압 분배기 및 인버터를 포함하는 집적 회로의 또 다른 실시 예를 나타내는 모식도이다.

[0030] 도 1a의 구성 요소와 동일한 또는 유사한 도 1b의 구성 요소는, 50만큼이 증가한 도면 식별 부호로 표시되어 있다. 본 실시 예에서, 집적 회로(150)는 더미 인버터(161a, 161b)를 포함할 수 있다.

[0031] 인버터(160)로부터 제공되는 레벨은 전압 분배기에 의하여 양자화될 수 있다. 아날로그 신호를 양자화하는 실시 예에서, 집적 회로(150)는 복수 개의 전압 분배기(165), 약 2^n개의 전압 분배기를 포함할 수 있다. 2^n-1개의 인버터의 각각의 출력단은 적어도 하나의 전압 분배기(165)와 커플될 수 있다.

[0032] 각각의 전압 분배기(165)는 2^m개의 전자 소자, 예를 들어, 저항, 다이오드, 바람직한 임피던스를 제공하는 여타의 전자 소자, 및/또는 이들의 조합 등을 포함할 수 있다. 각각의 전압 분배기(165)는 2^m-1의 디지털 값을 제공할 수 있다. 2^m-1의 디지털 값 각각은 "0" 또는 "1"일 수 있다.

[0033] 전압 분배기(165)는 $2^n \times (2^m-1)$개의 디지털 값을 제공할 수 있다. 2^n-1개의 인버터(160) 및 $2^{(n+m)}$개의 전자 소자는 아날로그-디지털 변환 (n+m) 비트 해상도를 나타내는 $2^{(n+m)}$-1 개의 정수 값을 제공할 수 있다.

[0034] 7-비트 아날로그-디지털 변환 해상도를 이용하는 실시 예에서는, 집적 회로(150)이 2^5-1 개의 인버터 및 $2^{(5+2)}$개의 전자 소자를 가질 수 있다.

[0035] 후술하는 것은 인버터 및 아날로그 신호 양자화 전자 소자에 관하여 설명하는 일 실시 예이다. 7-비트 아날로그-디지털 변환 해상도를 이용하는 실시 예에서, 집적 회로(150)는 2^5-1 즉 31개의 인버터(160) 및 32개의 전압 분배기(165)를 포함할 수 있다. 32개 전압 분배기(165) 각각은 2^2 즉 4개의 저항을 가질 수 있다.

[0036] 저항 각각은 두 개의 인접하는 인버터의 출력단 사이의 전압 강하를 분배할 수 있기 때문에, 31개의 인버터 및 32개의 전압 분배기는 127개의 디지털 값을 제공할 수 있다.

[0037] 예를 들어, 제 17 전압 분배기(도 2b에 도시된)는 제 16 인버터 및 제 17 인버터 사이에 배치될 수 있다. 제 17 전압 분배기는 제 16 인버터 및 제 17 인버터 사이의 전압 강하를 양자화할 수 있다.

[0038] 실시 예에서, 제 17 전압 분배기에 의한 양자화는 보간법(interpolation)을 나타낼 수 있다. 제 17 전압 분배기는 4 개의 저항, 예를 들어 제 1 내지 제 4 저항을 포함할 수 있다. 제 17 전압 분배기의 각각의 출력단 및 제 16 및 제 17 인버터는 인버터(210a 내지 210e) 중 하나와 커플될 수 있다.

[0039] 인버터(210b-210d)는 제 16 인버터 및 제 17 인버터의 VTC 사이에, 각각 VTC(211-213)를 제공할 수 있다(도 2c에 도시된 바와 같다). 실시 예에 대하여, 아날로그 신호는 약 1.018V의 입력 전압을 가질 수 있다. 아날로그 신호의 1.018V는 제 16 인버터의 트립 포인트보다 낮으며, 제 17 인버터의 트립 포인트보다 높다.

[0040] 또한 아날로그 신호의 1.018V는 VTC의 트립 포인트(211)보다는 낮을 수 있으며, VTC의 트립 포인트(212 및 213)보다는 높을 수 있다. 제 65 디지털 값은 "1"일 수 있으며, 제 66 및 제 67 디지털 값은 "0"일 수 있다.

[0041] 또한 제 1 내지 제 16 전압 분배기로부터의 디지털 값 출력은 "1"이며, 제 18 내지 제 32 전압 분배기로부터의 디지털 값 출력은 "0"이다.

[0042] 도 1b를 참조하면, 가산기(170)는 제 31 인버터 및 제 32 전압 분배기로부터의 디지털 값 출력을 합산할 수 있으며, 정수 값을 출력할 수 있다. 약 1.018V의 입력 전압을 가지는 아날로그 신호를 사용하는 실시 예에 대하여, 가산기(170)는 출력단(152)에서 정수 값 "65"를 출력할 수 있다. 본 실시 예에서, 정수 값 "65"는 디지털 프로세싱을 위하여, 7-비트 이진 디지털 신호, 예를 들어 1000001로 디코딩될 수 있다.

[0043] 상술한 바와 같이, 종래의 ADC는 입력 아날로그 신호를 양자화하기 위하여 복수 개의 콤퍼레이터를 이용한다. 7-비트 해상도를 얻기 위하여, 2^7-1, 즉 127개의 콤퍼레이터가 이용된다.

[0044] 127개의 콤퍼레이터는 종래의 ADC에서 넓은 영역을 차지할 것을 요구한다. 또한, 종래의 ADC는 콤퍼레이터의 기준 전압으로서, 상이한 전압 레벨을 제공하기 위하여 저항 네트워크를 이용한다. 저항 네트워크는 종래의 ADC의 일부 전력을 손실케 한다.

[0045] 종래의 ADC와는 대조적으로, 집적 회로(150)는 아날로그 신호를 양자화하기 위하여 인버터(160) 및 전압 분배기(165)를 이용한다. 상술한 바와 같이, 집적 회로(150)는, 7-비트 아날로그-디지털 변환 해상도를 얻기 위하여

2^5-1, 즉 31개의 인버터 및 $2^{(5+2)}$개의 전자 소자, 즉 128개의 저항을 포함할 수 있다.

[0046] 이때, 31개의 인버터(160) 및 32개의 전압 분배기(165)는 종래 ADC의 127개의 콤퍼레이터가 이용하는 영역에 비하여 적은 영역을 이용한다. 집적 회로(150)의 크기는 이를 통하여 비약적으로 축소될 수 있다. 집적 회로(150)의 크기는, 아날로그-디지털 변환이 8-비트 해상도 또는 이상인 경우, 비약적으로 축소될 수 있다.

[0047] 또한, 집적 회로(150)는, 콤퍼레이터에 대한 기준 전압으로서의 전압 레벨을 제공하기 위한 저항 네트워크를 포함하는 것으로부터 자유롭다. 저항 네트워크의 전력 손실이 비약적으로 감소될 수 있다. 상술한 7-비트 아날로그-디지털 변환 해상도는 단순한 예시이며, 본 발명은 이 예시에 한정되지 않는다. 당업자는 2^n-1개의 인버터(160) 및 2^m개의 전자 소자의 개수를 변화시켜 원하는 (n+m)-비트 아날로그-디지털 변환 해상도를 얻을 수 있다.

[0048] 도 3a 내지 도 3d는 다양한 인버터의 예시를 설명하기 위한 도식도이다. 도시된 바와 같이, 인버터(도 1a에서는 도면 식별 부호 110, 도 1b에서는 도면 식별 부호 160, 도 2b에서는 도면 식별 부호 210a 내지 210e로 도시된)는 CMOS 트랜지스터를 포함할 수 있다.

[0049] 도 3a를 참조하면, 인버터(310a)는 PMOS 트랜지스터(311a) 및 NMOS 트랜지스터(313a)를 포함할 수 있다. PMOS 트랜지스터(311a)의 소스(source)단은 전력 공급원, 예를 들어 약 2.2V를 가지는 Vdd와 커플될 수 있다. NMOS 트랜지스터(313a)의 소스단은 접지될 수 있다.

[0050] PMOS 트랜지스터(313a)의 W/L 비율은 약 0.6/0.18 에서 약 9.08/0.18로 변화될 수 있다. NMOS 트랜지스터(311a)의 W/L 비율은 약 0.6/0.18 에서 약 8.26/0.18로 변화될 수 있다. PMOS 트랜지스터(311a)의 W/L 비율 및 NMOS 트랜지스터(313a)의 W/L 비율의 변화는 상이한 트립 포인트를 제공할 수 있다.

[0051] 도 3b를 참조하면, 인버터(310b)는 PMOS 트랜지스터(311b) 및 NMOS 트랜지스터(313b)를 포함할 수 있다. PMOS 트랜지스터(311b) 및 NMOS 트랜지스터(313b)는 PMOS 트랜지스터(311a) 및 NMOS 트랜지스터(313a)와 각각 유사할 수 있다.

[0052] PMOS 트랜지스터(311b)의 소스단은 저항(315b)과 커플될 수 있다. NMOS 트랜지스터(313b)의 소스단은 저항(317b)과 연결될 수 있다. 본 실시 예에서, 저항(315b, 317b)은 약 1.8kΩ의 저항값을 가질 수 있다.

[0053] 도 3c를 참조하면, 인버터(310c)는 PMOS 트랜지스터(311c) 및 NMOS 트랜지스터(313c)를 가질 수 있다. PMOS 트랜지스터(311c)의 드레인(drain)단은 저항(315c)와 커플될 수 있다. NMOS 트랜지스터(313c)의 드레인단은 저항(317c)와 커플될 수 있다. 본 실시 예에서, 저항(315c 및 317c)는 약 1.8kΩ의 저항값을 가질 수 있다.

[0054] 도 3d를 참조하면, 인버터(310d)는 PMOS 트랜지스터(311d) 및 NMOS 트랜지스터(313d 및 319d)를 포함할 수 있다. NMOS 트랜지스터(313d)는 PMOS 트랜지스터(311d) 및 NMOS 트랜지스터(319d) 사이에 커플될 수 있다. PMOS 트랜지스터(311d)의 소스단은 전력 공급원, 예를 들어, 약 2.2V의 Vdd와 커플될 수 있다. NMOS 트랜지스터(319d)의 소스단은 접지될 수 있다. 본 실시 예에서, NMOS 트랜지스터(313d 및 319d)는 동일한 W/L 비율을 가질 수 있다.

[0055] 상술된 PMOS 및 NMOS 트랜지스터의 W/L 비율 및/또는 저항의 저항값은 단순한 예시일 뿐이다. 당업자는 W/L 비율 및 저항값을 임의로 조정하여 원하는 트립 포인트를 얻을 수 있다. 또한 인버터(310a 내지 310d)의 구조는 단순한 예시일 뿐이다. 요구되는 VTC를 제공할 수 있는 임의의 인버터 구조가 모두 이용될 수 있다.

[0056] 도 4는 아날로그 신호를 디지털 신호로 변화할 수 있는 집적 회로의 또 다른 실시 예를 설명하는 도식도이다.

[0057] 실시 예에서, 도 1b와 관련하여 설명된 인버터 및 전자 소자의 개수는 아날로그 신호를 양자화하기 위하여 두 배(double)가 될 수 있다. 본 실시 예에서, 집적 회로(400)는 아날로그 신호를 수신하는 입력단(401)을 포함할 수 있다. 집적 회로(100)는 2^n-1개의 인버터(410a)의 제 1 집합, 2^n-1개의 인버터(410b)의 제 2 집합, 2^n개의 전압 분배기(415a)의 제 1 집합, 및 2^n개의 전압 분배기(415b)의 제 2 집합을 포함할 수 있다.

[0058] 실시 예에서, 2^n-1개의 인버터(410a 및 410b)의 제 1 및 제 2 집합 각각은 도 1a 및 도 1b와 관련하여 설명된 2^n-1개의 인버터(110 또는 160)과 유사할 수 있다.

[0059] 2^n개의 전압 분배기(415a 및 415b)의 제 1 집합 및 제 2 집합 각각은 도 1b와 관련하여 설명된 전압 분배기

(160)과 유사할 수 있다.

[0060] 상술한 바와 같이, 2^n-1개의 인버터(410a)의 제 1 집합 및 $2^{(n+m)}$개의 전자 소자를 포함하는 2^n개의 전압 분배기(415a)의 제 1 집합은 $2^{(n+m)}$-1개의 디지털 값 집합을 제공할 수 있다.

[0061] 2^n-1개의 인버터(410b)의 제 2 집합 및 $2^{(n+m)}$개의 전자 소자를 포함하는 2^n개의 전압 분배기(415b)의 제 2 집합은 또 다른 $2^{(n+m)}$-1개의 디지털 값 집합을 제공할 수 있다.

[0062] 가산기(420)는 $2\times(2^{(n+m)}-1)$개의 디지털 값을 합산하여, (n+m+1)-비트 이진 디지털 신호를 나타내는 정수 값을 출력할 수 있다. 실시 예에서, 가산기(420)로부터 출력된 (n+m+1)-비트 이진 디지털 신호를 나타낼 수 있는 정수 값은 (n+m+1)-비트 이진 디지털 신호로써 디코딩될 수 있다.

[0063] 다른 실시 예에서는, 가산기(420)로부터 출력된 (n+m+1)-비트 이진 디지털 신호를 나타낼 수 있는 정수 값은 (n+m)-비트 이진 디지털 신호로 변환될 수 있다. 도 4에 도시된 바와 같이, 집적 회로(400)는 룩업 테이블(430)을 포함할 수 있다.

[0064] 룩업 테이블(430)는 정수 값 및 그것의 대응되는 (n+m)-비트 이진 디지털 신호를 포함하는 복수 개의 데이터를 포함할 수 있다. 룩업 테이블(420)는 가산기(420)로부터 정수 값을 수신하여, 정수 값에 대응하는 (n+m)-비트 이진 디지털 신호를 제공할 수 있다.

[0065] 예를 들어, 룩업 테이블(420)는 9-비트 이진 디지털 신호를 나타내는 정수 값을 수신하여, 8-비트 이진 디지털 신호를 출력할 수 있다. 더 많은 레벨이, 아날로그 신호를 양자화하기 위하여 제공되므로, 아날로그 신호의 양자화와 정확도 및/또는 해상도는 바람직하게 획득될 수 있다.

[0066] 도 5는 아날로그 신호를 디지털 신호로 변환하기 위한 집적 회로의 예시를 설명하는 도식도이다.

[0067] 실시 예에서, 집적 회로(500)는 신호-잡음 비(signal to noise ratio, 이하 SNR)를 비약적으로 감소시키기 위하여 차동 입력(differential input)을 수신할 수 있다. 도 5를 참조하면, 집적 회로(500)는 제 1 입력단(501a), 예를 들어 양극 입력단 및 제 2 입력단(501b), 예를 들어 음극 입력단을 포함할 수 있다. 제 1 입력단(501a)은 제 1 아날로그 신호를 수신할 수 있으며, 제 2 입력단(501b)은 제 2 아날로그 신호를 수신할 수 있다.

[0068] 실시 예에서, 제 1 아날로그 신호는 제 2 아날로그 신호와 유사하다. 다른 실시 예에서는, 제 1 아날로그 신호 및 제 2 아날로그 신호는 위상 차, 예를 들어 약 180° 의 위상 차를 가질 수 있다. 또 다른 실시 예에서는, 제 1 입력단(501a) 및 제 2 입력단(501b)에서의 입력들이 차동 입력으로 명명될 수 있다.

[0069] 실시 예에서, 집적 회로(500)는 제 1 입력단(501a) 및 제 2 입력단(501b)에 각각 커플된 샘플/홀드 회로(sample and hold circuit)(503a, 503b)를 포함할 수 있다. 샘플홀드 회로(503a, 503b)는 제 1 및 제 2 아날로그 신호를 바람직한 시간 동안 샘플링하여 홀드하도록 설정될 수 있다.

[0070] 실시 예에서, 집적 회로(500)는, 샘플/홀드 회로(503a, 503b)에 각각 커플되는 아날로그 버퍼(505a, 505b)를 포함할 수 있다. 집적 회로(500)는, 아날로그 버퍼(505a, 505b)에 각각 커플되는 양자화기(quantizer)(510a, 510b)를 포함할 수 있다.

[0071] 실시 예에서, 양자화기(510a, 510b) 각각은 도 4와 관련하여 설명된 인버터(410a, 410b) 및/또는 전압 분배기(415a, 415b)를 포함할 수 있다. 양자화기(510a, 510b)는 가산기(515a, 515b)와 각각 커플될 수 있다. 집적 회로(500)는 가산기(515a, 515b)와 각각 커플될 수 있는 감산기(substractor)(520)를 포함할 수 있다.

[0072] 도 4와 관련하여 상술한 바와 같이, 각각의 가산기(515a, 515b)는 (n+m-1)-비트 이진 디지털 신호를 나타내는 정수 값을 출력할 수 있다. 감산기(520)는 가산기(515a, 516b)에 의하여 제공되는 정수 값에 대하여 감산을 수행하여, (n+m+2)-비트 이진 디지털 신호를 나타내는 정수 값을 출력할 수 있다.

[0073] 예를 들어, 가산기(515a, 515b) 각각은 9-비트 이진 디지털 신호를 나타낼 수 있는 정수 값을 출력할 수 있다. 감산기(520)는 가산기(515a, 516b)로부터의 정수 값에 대하여 감산을 수행하여, 10-비트 이진 디지털 신호를 나타낼 수 있는 정수 값을 출력할 수 있다.

[0074] 집적 회로(500)는, 도 4와 관련하여 설명된 집적 회로(400)의 아날로그-디지털 변환 해상도보다 높은 (n+m+2)-비트 아날로그-디지털 변환 해상도를 제공할 수 있다. 또한 집적 회로(500)는 아날로그-디지털 변환에 대한 SNR

을 비약적으로 감소시킬 수 있다.

[0075] 실시 예에서, 감산기(520)는 도 4와 관련하여 상술한 룩업 테이블(430)으로써의 룩업 테이블(미도시)과 커플될 수 있다. 룩업 테이블은 바람직하게는 (n+m+2)-비트 이진 디지털 신호를 나타낼 수 있는 정수 값을 수신하여, 요구되는 아날로그-디지털 변환 정확도 및/또는 해상도를 얻기 위한 (n+m+1)-비트 이진 디지털 신호를 출력할 수 있다.

[0076] 도 6은 아날로그 신호를 디지털 신호로 변환하는 칼리브레이터(calibrator)를 포함하는 집적 회로의 일 실시 예를 설명하는 도식도이다. 도 6에 도시된 구성 요소는 도 5의 구성 요소와 동일하며, 도면 식별 부호는 도 5의 구성 요소에 비하여 각각 100씩 증가되어 표시되어 있다.

[0077] 집적 회로(600)는 칼리브레이터(630)를 포함할 수 있다. 칼리브레이터(630)는 가산기(615a)로부터 정수 값을 수신하여, 정수 값에 대응하는 칼리브레이트된 디지털 신호를 출력하도록 구성될 수 있다. 실시 예에서, 칼리브레이터(630)의 작업은 램프 칼리브레이션(ramp calibration)으로 명명될 수 있다.

[0078] 실시 예에서, 집적 회로(600)는 칼리브레이터(630)과 커플될 수 있는 제어 논리(635)를 포함할 수 있다. 카운터(counter)(640)는 제어 논리(635) 및 칼리브레이터(630)와 연결될 수 있다. 디지털-아날로그 변환기(digital to analog converter, DAC)(645)는 카운터(640)과 커플될 수 있다. 멀티플렉서(multiplexer, 이하 먹스)(650)는 DAC(645) 및 샘플/홀드 회로(603a)와 커플될 수 있다.

[0079] 도 6을 참조하면, 제어 논리(635)는 칼리브레이터(630) 및/또는 카운터(640)를 가용하게 및/또는 활성화할 수 있다. 램프 칼리브레이션을 이용하는 실시 예에서, 카운터(64)는 램프 (n+m+1)-비트 이진 디지털 신호를 칼리브레이터(630) 및 DAC(645)에 출력할 수 있다.

[0080] 칼리브레이터(630)는 카운터(640)로부터 출력된 (n+m+1)-비트 이진 디지털 신호를 기록할 수 있다. DAC(645)는 카운터(640)로부터의 (m+n+1)-비트 이진 디지털 신호를 먹스(650a)에 적용될 수 있는 아날로그 신호로 변환할 수 있다.

[0081] 칼리브레이션에 대하여, 먹스(650a)는 DAC(645)로부터의 아날로그 신호를 양자화기(610a)로 출력할 수 있다. 상술한 바와 같이, 가산기(615a)는 (m+n+1)-비트 이진 디지털 신호를 나타내는 정수 값을 칼리브레이터(630)에 출력할 수 있다.

[0082] 칼리브레이터(630)는 (m+n+1)-비트 이진 디지털 신호를 나타내는 출력 정수 값을 기록하며 및/또는 출력 정수 값을 대응되는 카운터(640)로부터의 (m+n+1)-비트 이진 디지털 신호에 매치(match)시킬 수 있다.

[0083] 실시 예에서, 정수 값 및 (m+n+1)-비트 이진 디지털 신호는 칼리브레이션 테이블 또는 메모리(미도시)에 기록될 수 있다.

[0084] 변환될 아날로그 신호가 입력단(601)로부터 제공되는 경우, 먹스(650a)는 아날로그 신호를 입력단(601)으로부터 샘플/홀드 회로(603a), 아날로그 버퍼(605a), 양자화기(610a)로 출력할 수 있다.

[0085] 가산기(615a)는 양자화기로부터의 디지털 값을 합산하여, (m+n+1)-비트 이진 디지털 신호를 표현하는 정수 값을 칼리브레이터(630)로 출력할 수 있다. 칼리브레이터(630)는 정수 값을 수신하여, 칼리브레이션 테이블에 기초하여 정수 값에 대응되는 칼리브레이트된 디지털 신호를 출력할 수 있다.

[0086] 도 7은 칼리브레이션을 수행하는 경우 및 수행하지 않은 경우에 대한 시뮬레이션 결과를 설명하는 도식도이다.

[0087] 도 7을 참조하면, 라인(701)은 디지털 출력의 이상적인 램프 전이(transition) 스텝의 중간 포인트들을 통과하는 라인을 나타낼 수 있다. 계단-스텝형 라인(702)은 칼리브레이션을 수행하지 않는 경우에 대한 디지털 출력을 나타낼 수 있다. 계단-스텝형 라인(703)는 칼리브레이션을 수행한 디지털 출력을 나타낼 수 있다.

[0088] 칼리브레이션을 수행하지 않은 경우의 계단-스텝형 라인(702)은, 바람직하지 않게도 라인(701)로부터 수 레벨만큼 벗어나 있음을 알 수 있다. 이러한 편차는 장치의 미스매치, 프로세스 시프트(shift), 및/또는 여타의 아날로그-디지털 변환의 해상도에 영향을 미칠 수 있는 요소로부터 기인할 수 있다.

[0089] 계단-스텝형 라인(702)와 비교하는 경우, 칼리브레이션을 수행한 디지털 출력을 나타내는 계단-스텝형 라인(703)은 바람직하게 라인(701)에 근접한다. 도 6과 관련하여 상술한 칼리브레이션에 의하여, 아날로그-디지털 변환 해상도 및/또는 정확도가 바람직하도록 얻어질 수 있다.

[0090] 칼리브레이션 프로세스, 칼리브레이터(630), 논리 회로(635), 카운터(64), 및/또는 DAC(645)는 도 1a, 1b, 4,

5와 관련하여 상술한 집적 회로(100, 150, 400, 500)에 적용될 수 있다.

[0091] 도 8은 디지털 신호를 수신하는 수단과 커플된 집적 회로의 일 실시 예를 포함하는 시스템을 설명하기 위한 도식도이다.

[0092] 도 8을 참조하면, 시스템(800)은 디지털 신호를 수신하는 수단(820)과 커플된 집적 회로(810)를 포함할 수 있다.집적 회로(810)는 아날로그 신호를 예를 들어 장치 또는 시스템(800) 내의 회로로부터 내부적으로 수신하거나, 예를 들어 시스템(800) 외부로부터 외부적으로 수신할 수 있다. 실시 예에서, 집적 회로(810)는 도 1a, 1b, 4 내지 6과 관련하여 상술한 집적 회로(100, 150, 400, 500 및 600) 중 하나와 유사할 수 있다.

[0093] 실시 예에서, 시스템(800)은 하드디스크 드라이버, 디지털 다용도 디스크, 고화질 TV, 승용 수단, 휴대전화, 셋톱박스, 미디어 플레이어, 또는 아날로그-디지털 변환을 가지는 임의의 시스템을 포함할 수 있다.

[0094] 디지털 신호를 수신하는 수단(820)은, 예를 들어 메모리, 저장 매체, 디스플레이, 논리 회로, 및/또는 여타의 디지털 신호를 수신할 수 있는 회로가 될 수 있다.

[0095] 실시 예에서, 집적 회로(810) 및 디지털 신호를 수신하는 수단(820)은 전자 어셈블리를 형성하기 위하여, 인쇄 배선판(printed wiring board) 또는 프린트 배선판(printed circuit board, PCB)에 물리적 또는 전기적으로 커플될 수 있다. 전자 어셈블리는 컴퓨터, 무선 통신 장치, 컴퓨터 단말 장치, 엔터테인먼트 장치 등등과 같은 전자 시스템의 일부가 될 수 있다.

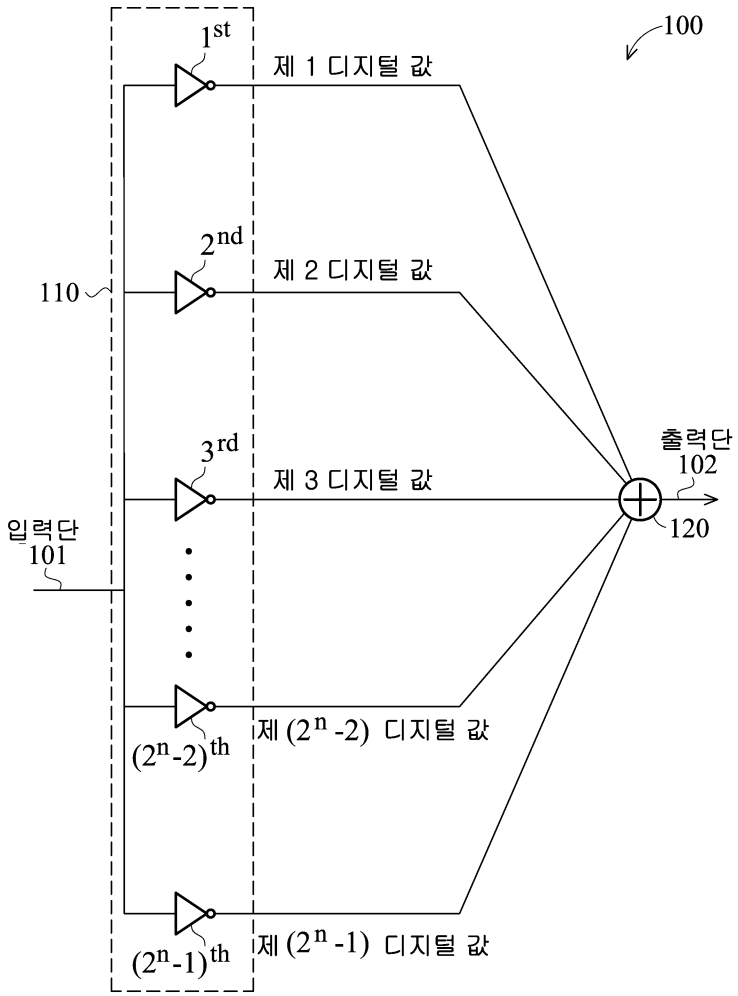
[0096] 실시 예에서, 시스템(800)은 하나의 집적 회로 내에 전체의 시스템을 제공할 수 있어, 시스템 온 칩(system on a chip, SOC) 또는 시스템 온 IC(system on a integrated chip, SOIC) 장치로 명명될 수 있다.

[0097] 이러한 SOC 장치는, 예를 들어, 휴대 전화, PDA, 디지털 VCR, 디지털 캠코더, 디지털 카메라, MP3 플레이어 등등의 구현에 필요한 회로를 하나의 집적 회로에 제공할 수 있다.

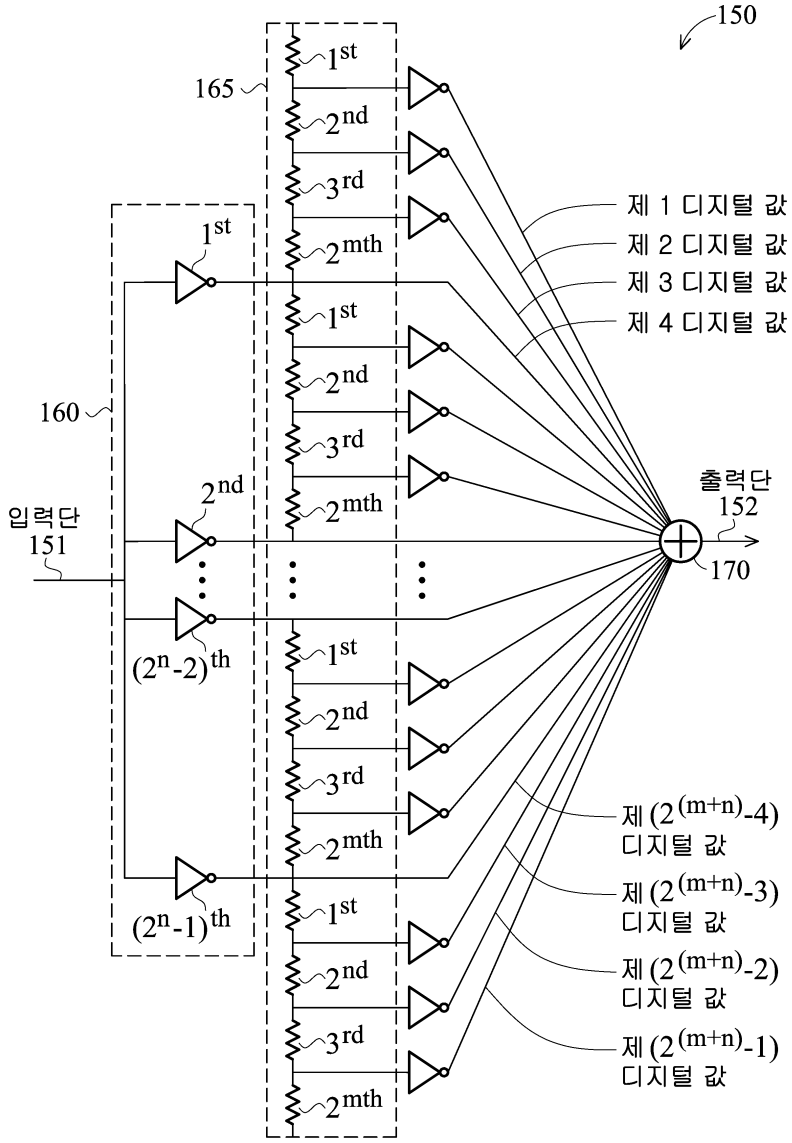
[0098] 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면, 누구든지 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범주 내에서 본 발명의 바람직한 실시 예를 다양하게 변경할 수 있음은 물론이다. 따라서 본 발명은 특허청구범위에서 청구하는 본 발명의 요지를 벗어나지 않는다면 다양한 변형 실시가 가능할 것이며, 이러한 변형 실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

도면

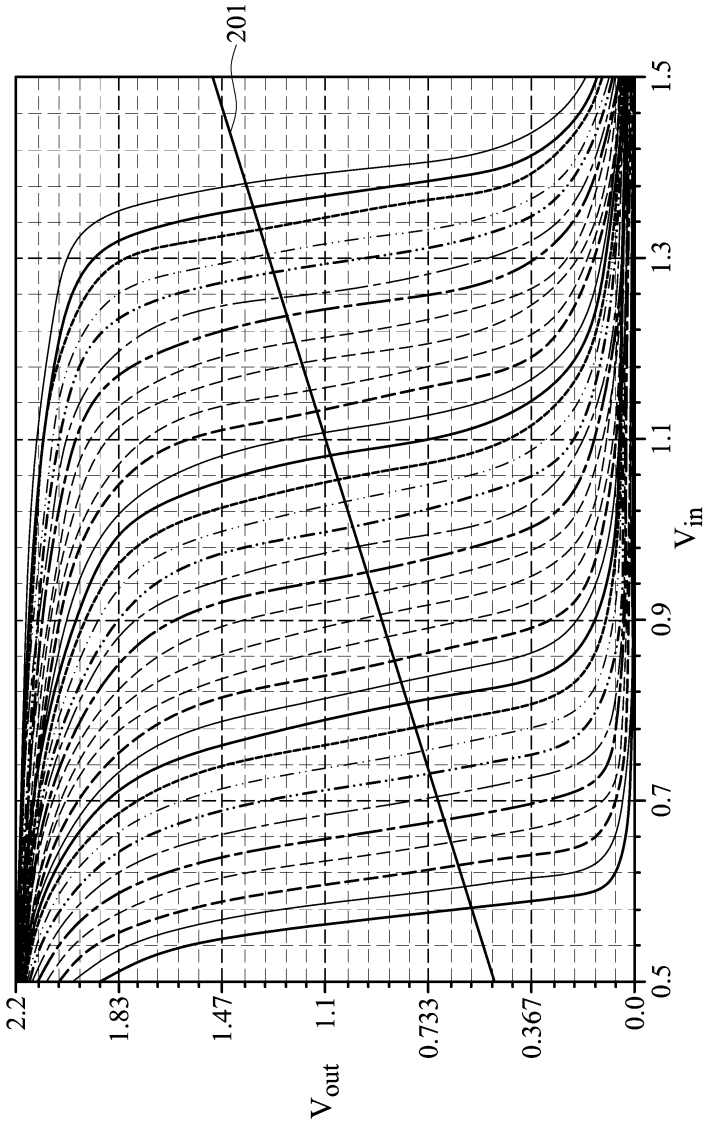
도면1a


100
1st
제 1 디지털 값
2nd
제 2 디지털 값
110
3rd
제 3 디지털 값
출력단
102
120
입력단
101
(2n-2)th
제 (2n -2) 디지털 값
(2n-1)th
제 (2n -1) 디지털 값

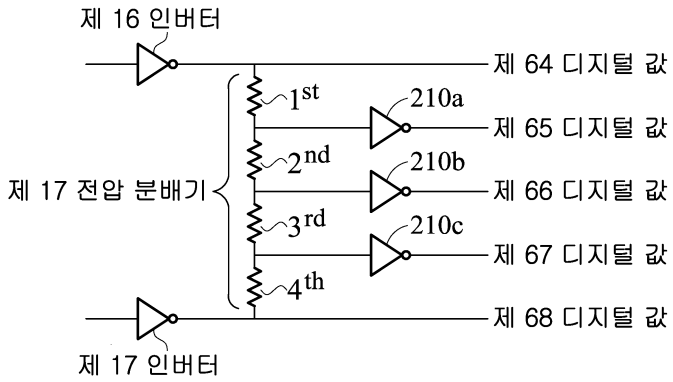
도면1b


150
165
160
입력단
151
출력단
152
170
1st
2nd
3rd
2mth
(2n-2)th
(2n-1)th
제 1 디지털 값
제 2 디지털 값
제 3 디지털 값
제 4 디지털 값
제 (2(m+n)-4) 디지털 값
제 (2(m+n)-3) 디지털 값
제 (2(m+n)-2) 디지털 값
제 (2(m+n)-1) 디지털 값

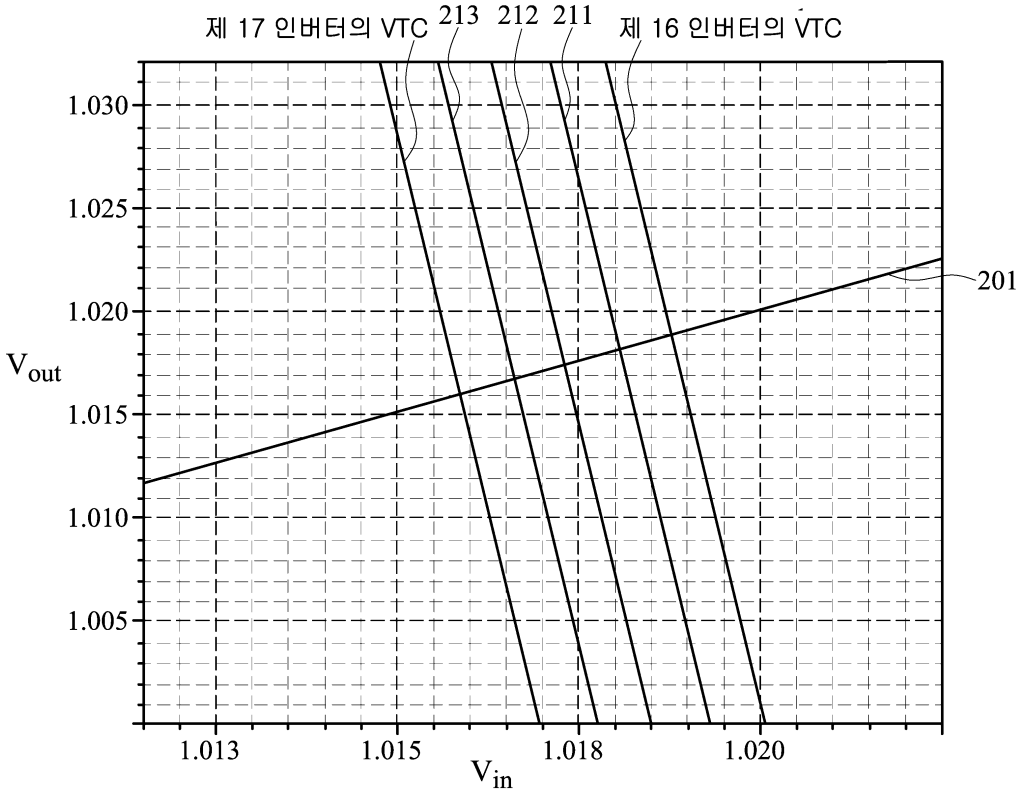
도면2a


201
1.5
1.3
1.1
0.9
0.7
0.5
V_{in}
2.2
1.83
1.47
1.1
0.733
0.367
0.0
V_{out}

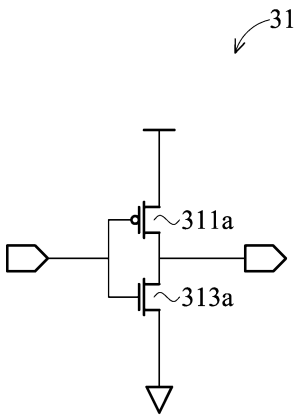
도면2b


제 16 인버터
제 64 디지털 값
1st
210a
제 65 디지털 값
2nd
210b
제 17 전압 분배기
제 66 디지털 값
3rd
210c
제 67 디지털 값
4th
제 68 디지털 값
제 17 인버터

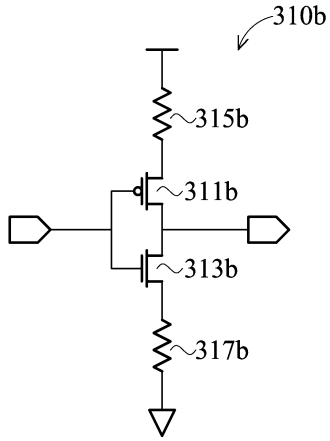
도면2c


제 17 인버터의 VTC
213
212
211
제 16 인버터의 VTC
201
1.030
1.025
1.020
1.015
1.010
1.005
Vout
1.013
1.015
1.018
1.020
Vin

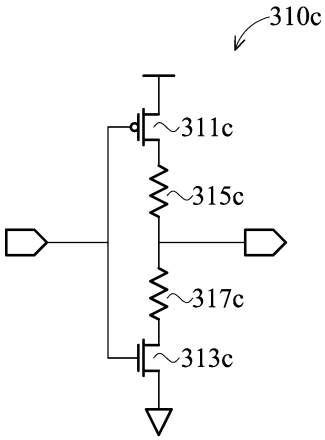
도면3a


310a
311a
313a

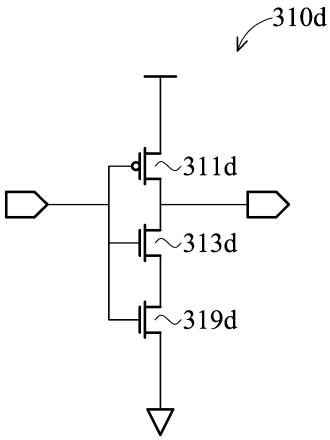
도면3b



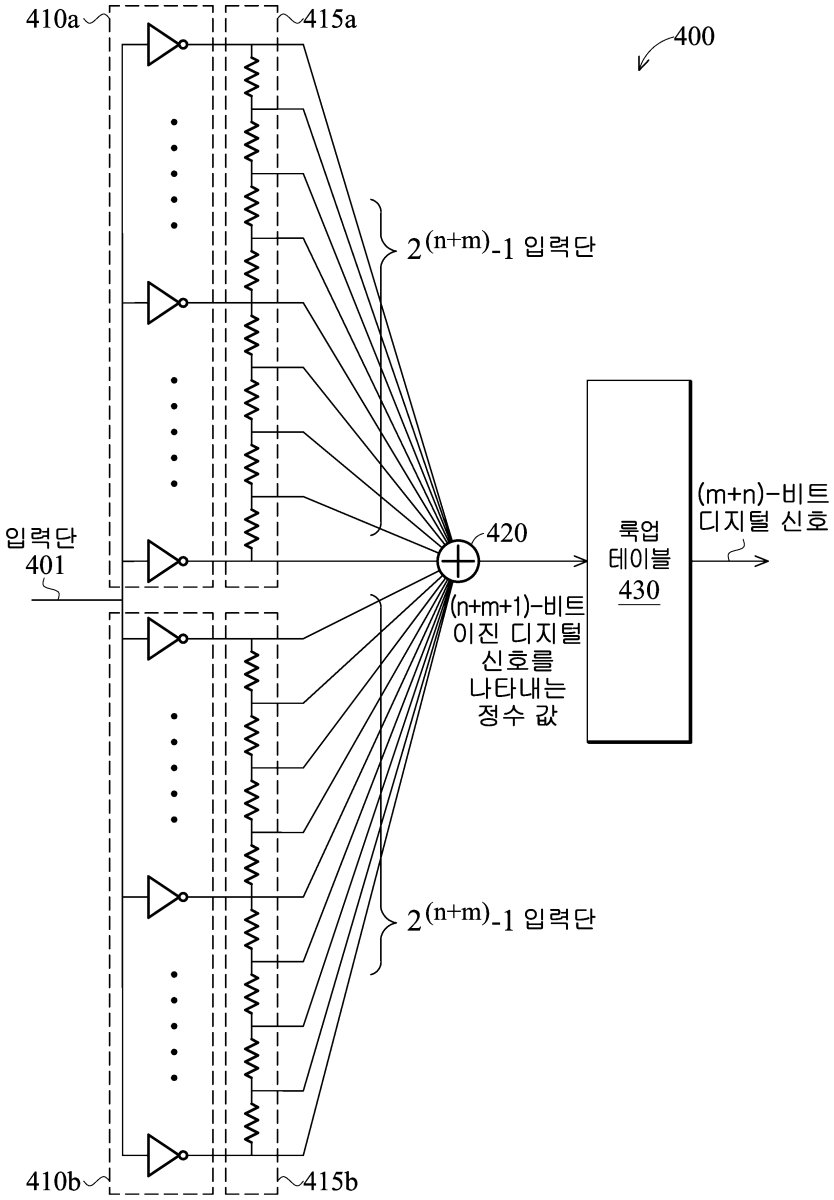
도면3c



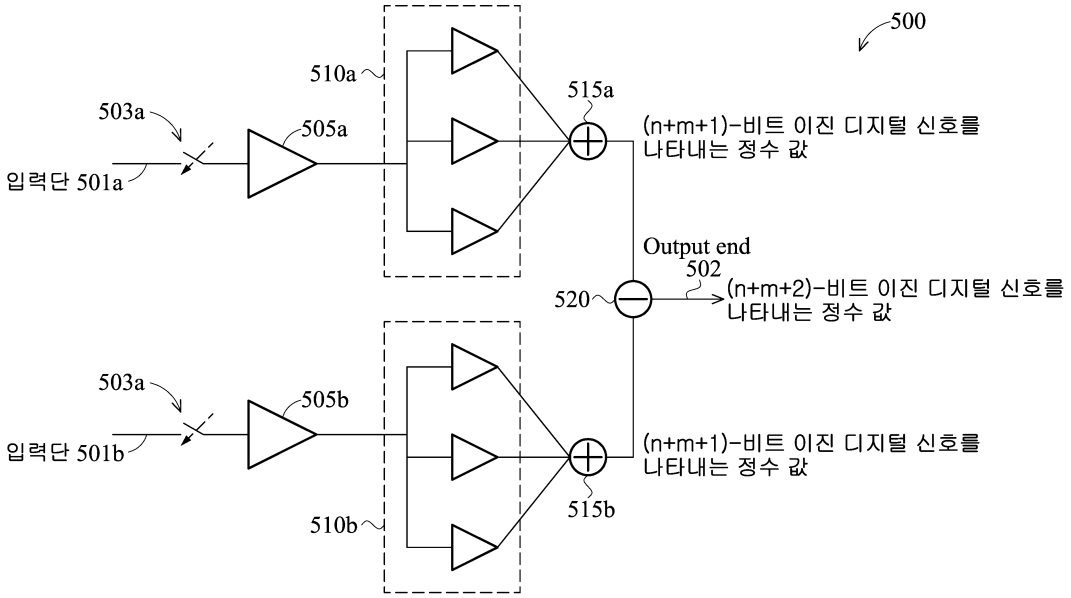
도면3d



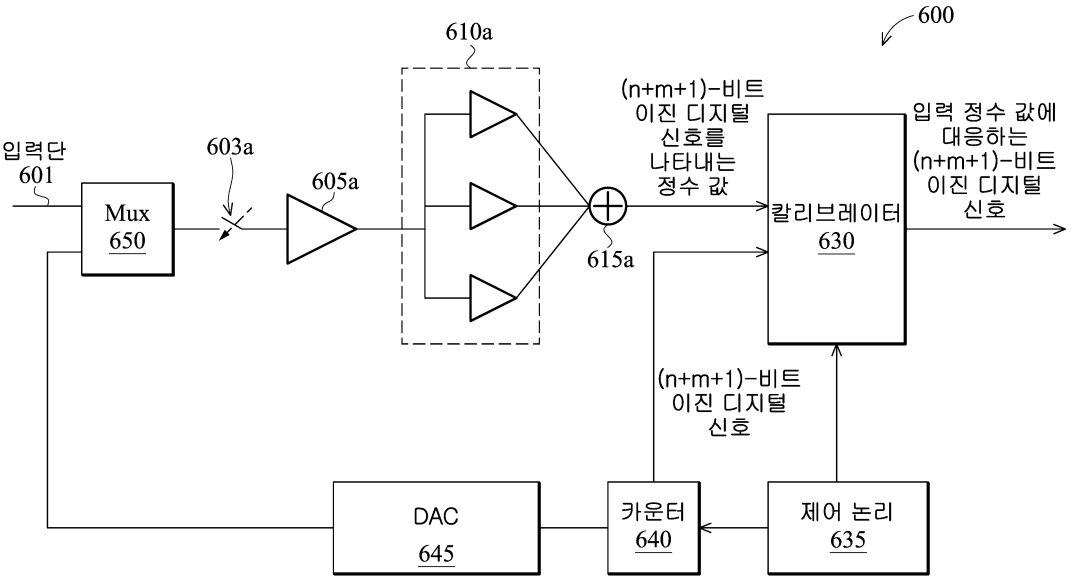
도면4


410a
415a
400
$2^{(n+m)}$-1 입력단
입력단
401
420
룩업
테이블
430
(m+n)-비트
디지털 신호
(n+m+1)-비트
이진 디지털
신호를
나타내는
정수 값
$2^{(n+m)}$-1 입력단
410b
415b

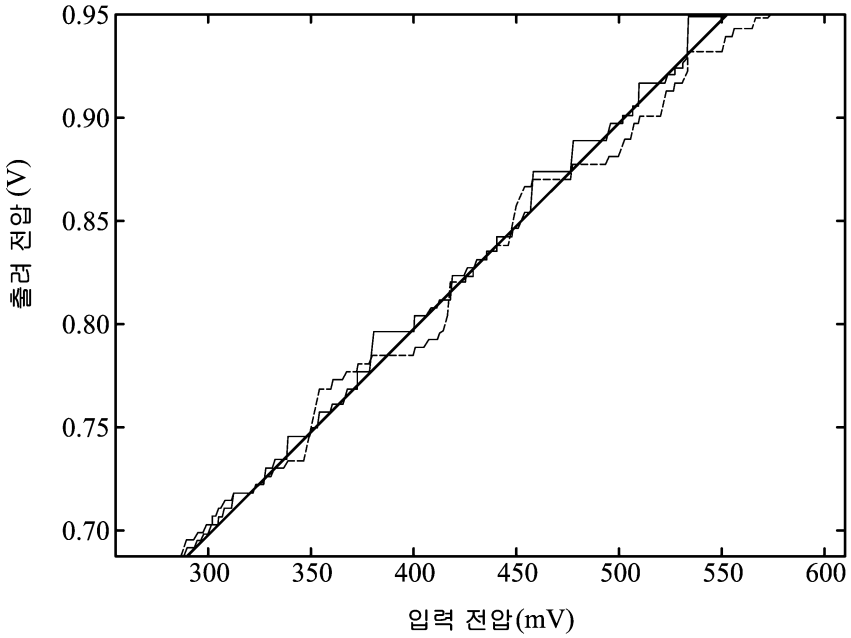
도면5


500
510a
515a
503a
505a
입력단 501a
(n+m+1)-비트 이진 디지털 신호를 나타내는 정수 값
Output end
502
520
(n+m+2)-비트 이진 디지털 신호를 나타내는 정수 값
503a
505b
입력단 501b
(n+m+1)-비트 이진 디지털 신호를 나타내는 정수 값
515b
510b

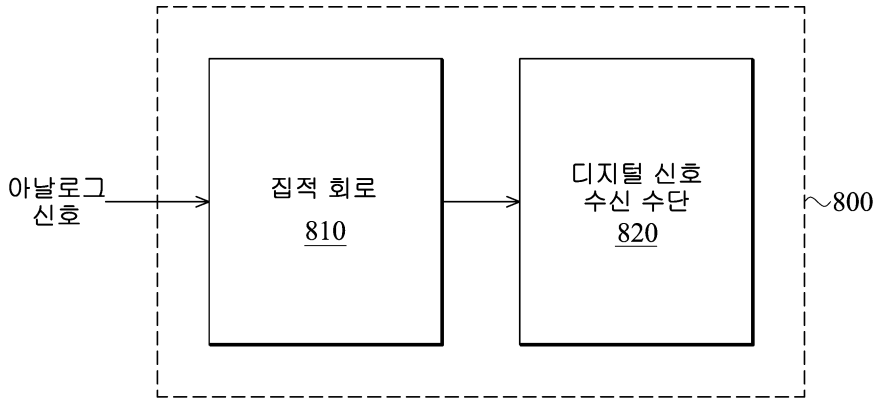
도면6


600
610a
(n+m+1)-비트 이진 디지털 신호를 나타내는 정수 값
입력 정수 값에 대응하는 (n+m+1)-비트 이진 디지털 신호
입력단 601
603a
605a
Mux 650
615a
칼리브레이터 630
(n+m+1)-비트 이진 디지털 신호
DAC 645
카운터 640
제어 논리 635

도면7


0.95
0.90
0.85
0.80
0.75
0.70
출력 전압 (V)
300
350
400
450
500
550
600
입력 전압(mV)

도면8


아날로그
신호
집적 회로
810
디지털 신호
수신 수단
820
800