

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3860573号
(P3860573)

(45) 発行日 平成18年12月20日(2006.12.20)

(24) 登録日 平成18年9月29日(2006.9.29)

(51) Int. Cl.	F I		
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00	6 1 2 B	
	G 1 1 C 17/00	6 1 2 F	
	G 1 1 C 17/00	6 1 2 C	

請求項の数 44 (全 19 頁)

(21) 出願番号	特願2003-522936 (P2003-522936)	(73) 特許権者	591020009
(86) (22) 出願日	平成14年8月23日(2002.8.23)		マイクロン テクノロジー インコーポレ
(65) 公表番号	特表2005-501368 (P2005-501368A)		イテッド
(43) 公表日	平成17年1月13日(2005.1.13)		MICRON TECHNOLOGY, I
(86) 国際出願番号	PCT/US2002/027022		NCORPORATED
(87) 国際公開番号	W02003/019565		アメリカ合衆国 アイダホ州 83706
(87) 国際公開日	平成15年3月6日(2003.3.6)		ボイズ サウス フェデラル ウェイ
審査請求日	平成16年4月23日(2004.4.23)		8000
(31) 優先権主張番号	09/939,394	(74) 代理人	100077665
(32) 優先日	平成13年8月24日(2001.8.24)		弁理士 千葉 剛宏
(33) 優先権主張国	米国 (US)	(74) 代理人	100116676
			弁理士 宮寺 利幸

最終頁に続く

(54) 【発明の名称】 ブロック消去機能を有する不揮発性メモリ

(57) 【特許請求の範囲】

【請求項1】

フラッシュメモリにおける処理を実行する方法において、
メモリブロックにおける所定の割合の口ウを消去するステップと、
前記所定の割合の口ウの消去に使用される消去パルスの数を分析するステップと、
前記メモリブロックの残りの口ウを消去するために前記メモリブロックに対して印加するのに必要な追加消去パルスの最大数を算出するステップとを含むことを特徴とするフラッシュメモリにおける処理を実行する方法。

【請求項2】

請求項1記載の方法において、さらに、
消去されなかった口ウを消去するために、前記メモリブロックに対し、前記最大数の追加消去パルスを印加するステップを含むことを特徴とするフラッシュメモリにおける処理を実行する方法。

【請求項3】

請求項2記載の方法において、さらに、
前記メモリブロックに対して後で行われる他のメモリ処理で使用するのために、当該メモリブロックにおいて消去されていない口ウをラベル付けするステップを含むことを特徴とするフラッシュメモリにおける処理を実行する方法。

【請求項4】

請求項3記載の方法において、

10

20

前記他のメモリ処理にプログラミング処理及び読み出し処理が含まれることを特徴とするフラッシュメモリにおける処理を実行する方法。

【請求項 5】

フラッシュメモリのブロックを処理する方法において、
前記ブロックが、複数のロウに配列された複数のメモリセルを含み、
前記ブロックに対して少なくとも1つのパルスを印加するステップと、
各消去パルスの後、各ロウに関連付けられたメモリセルが消去されたかどうかを判定するために各ロウをベリファイするステップと、
前記ブロックに対して後で行われる他のメモリ処理で使用するために、消去されているとベリファイされなかったロウをラベル付けするステップと、

10

前記ブロックにおける所定数のロウが消去されているとベリファイされたときにブロックの消去を終了するステップとを含み、

前記ロウの前記所定数が前記ブロックにおけるロウの合計数よりも少ないことを特徴とするフラッシュメモリのブロックを処理する方法。

【請求項 6】

請求項 5 記載の方法において、
前記所定数のロウをベリファイするのに必要な第 1 の数のパルスをカウントするステップと、

消去されているとベリファイされていないロウの消去を試行するために前記ブロックに対して印加される第 2 の最大限の数のパルスを算出するステップとを含み、前記第 2 のパルスの数は、前記第 1 のパルスの数よりも少ないことを特徴とするフラッシュメモリのブロックを処理する方法。

20

【請求項 7】

請求項 6 記載の方法において、
前記第 2 のパルスの数に応答し、前記ブロックに対し、少なくとも1つの消去パルスを印加するステップと、

各消去パルスの後、各ロウに関連付けられたメモリセルが消去されたかどうかを判定するために各ロウをベリファイするステップと、

前記ブロックにおける所定数のロウが消去されているとベリファイされたときにブロックの消去を終了するステップとを含むことを特徴とするフラッシュメモリのブロックを処理する方法。

30

【請求項 8】

請求項 6 記載の方法において、前記第 2 パルスの数は、 $N_2 = (A * N_1) + B$ によって算出され、 N_2 は第 2 のパルスの数であり、 N_1 は、第 1 のパルスの数であり、 A は、所定の割合であり、 B は、最小のパルス数であることを特徴とするフラッシュメモリのブロックを処理する方法。

【請求項 9】

不揮発性メモリにおける処理を実行する方法において、
複数のロウに配列されたフラッシュメモリセルのブロックに対し、少なくとも1つの消去パルスを印加するステップと、

40

消去パルスの後、ブロックにおける各ロウが消去されているかどうかをベリファイするステップと、

前記ブロックにおいて所定数のロウが消去されているかどうかをベリファイするために使用される消去パルスの数をカウントするステップと、

消去されているとベリファイされていないロウの消去を試行するために前記ブロックに対して所定数の消去パルスを印加するステップとを含み、前記消去パルスの所定数は、前記所定数のロウをベリファイするのに使用される消去パルスの数よりも少ないことを特徴とする不揮発性メモリにおける処理を実行する方法。

【請求項 10】

請求項 9 記載の方法において、さらに、

50

前記ブロックに関連付けられたレジスタにおけるメモリセルをプログラムし、消去されているとベリファイされたロウをトラックすることを特徴とする不揮発性メモリにおける処理を実行する方法。

【請求項 1 1】

請求項 9 記載の方法において、さらに、

最初の消去パルスが印加される前に、前記ブロックにおける各メモリセルのプリチャージを行うことを特徴とする不揮発性メモリにおける処理を実行する方法。

【請求項 1 2】

請求項 9 記載の方法において、

前記ベリファイされたロウの前記所定数は、前記ブロックにおけるロウの過半数であることを特徴とする不揮発性メモリにおける処理を実行する方法。 10

【請求項 1 3】

請求項 9 記載の方法において、前記ブロックに対して所定数の消去パルスが印加された後に消去されているとベリファイされないロウは、ブロックで後に行われるメモリ処理のために、消去されていないとラベル付けされることを特徴とする不揮発性メモリにおける処理を実行する方法。

【請求項 1 4】

不揮発性メモリにおける処理を実行する方法において、前記ブロックにおいて複数のロウに配列されたフラッシュメモリセルを所定のレベルにプリチャージするステップと、 20

前記ブロックに対し、少なくとも 1 つの第 1 ステージの消去パルスを印加するステップと、

前記ブロックに対して第 1 ステージの各消去パルスが印加された後、ロウ毎に各メモリセルが消去されたかどうかをベリファイするステップと、

消去されたブロックにおいて半数を超えるロウをベリファイするのに使用され、前記ブロックに対して印加される第 1 のパルスの数をカウントするステップと、

前記第 1 のパルスの数の割合として、消去されているとベリファイされていないロウの消去を試行するために前記ブロックに対して印加される第 2 のパルスの数を算出するステップと、

前記ブロックに対し、少なくとも 1 つの第 2 ステージの消去パルスを印加するステップ 30 と、

前記ブロックに対し第 2 ステージの各消去パルスが印加された後、ロウ毎に各メモリセルが消去されたかどうかをベリファイするステップと、

前記ブロックに対し、第 2 ステージの消去パルスが印加されたか、すべてのロウが消去されているとベリファイされたときに、前記ブロックの消去を終了するステップとを含むことを特徴とする不揮発性メモリにおける処理を実行する方法。

【請求項 1 5】

請求項 1 4 記載の方法において、さらに、

ロウが消去されたとベリファイされたときに、当該ロウに関連付けられたレジスタにフラッグを立てることを特徴とする不揮発性メモリにおける処理を実行する方法。 40

【請求項 1 6】

請求項 1 4 記載の方法において、さらに、

前記メモリブロックに対して他の処理を実行するために、消去されたとベリファイされたロウをラベル付けすることを特徴とする不揮発性メモリにおける処理を実行する方法。

【請求項 1 7】

請求項 1 4 記載の方法において、前記第 2 の数は、 $N_2 = (A * N_1) + B$ によって算出され、 N_2 は第 2 の消去パルスの数であり、 N_1 は、第 1 の消去パルスの数であり、 A は、所定の割合であり、 B は、前記第 2 ステージにおいて印加される最小のパルス数であることを特徴とする不揮発性メモリにおける処理を実行する方法。

【請求項 1 8】

複数のロウに配列されたフラッシュメモリセルのブロックを複数含むメモリアレイと、前記メモリアレイに対するメモリ処理を制御するコントローラと、メモリセルの各ロウの消去状態をトラックするために前記コントローラに接続されたレジスタとを含み、

前記レジスタは、複数のレジスタメモリセルを含み、各レジスタメモリセルは、各メモリアレイにおけるメモリセルの各ブロックにおけるメモリセルのロウに関連付けられていることを特徴とするフラッシュメモリデバイス。

【請求項 19】

請求項 18 記載のフラッシュメモリデバイスにおいて、前記メモリアレイを含むダイの外側に前記レジスタが設けられていることを特徴とするフラッシュメモリデバイス。

10

【請求項 20】

請求項 18 記載のフラッシュメモリデバイスにおいて、前記メモリアレイを含むダイの内側に前記レジスタが設けられていることを特徴とするフラッシュメモリデバイス。

【請求項 21】

請求項 18 記載のフラッシュメモリデバイスにおいて、前記レジスタが、各ブロックに設けられるレジスタサブブロックを含み、各サブブロックが、前記ブロック内のロウに関連付けられたトラッキング用メモリセルを複数含み、

前記コントローラは、トラッキング用メモリセルが消去されているとベリファイされた際に、トラッキングメモリセルをプログラムすることを特徴とするフラッシュメモリデバイス。

20

【請求項 22】

請求項 21 記載のフラッシュメモリデバイスにおいて、前記複数のトラッキングメモリセルが揮発性メモリセルであることを特徴とするフラッシュメモリデバイス。

【請求項 23】

請求項 21 記載のフラッシュメモリデバイスにおいて、前記複数のトラッキングメモリセルが不揮発性メモリセルであることを特徴とするフラッシュメモリデバイス。

【請求項 24】

請求項 21 記載のフラッシュメモリデバイスにおいて、前記コントローラは、消去処理の前に、前記トラッキングメモリセルのすべてを消去することを特徴とするフラッシュメモリデバイス。

30

【請求項 25】

複数のロウに配列されたフラッシュメモリセルのブロックを複数含むメモリアレイと、前記メモリアレイに対するメモリ処理を制御するコントローラと、レジスタアレイとを含み、

前記コントローラは、複数のブロックに配列されたメモリセルのロウが消去されたこととベリファイされたことをトラックするために前記レジスタアレイにデータを格納し、前記レジスタアレイは、複数のレジスタメモリセルを含み、各レジスタメモリセルは、各メモリアレイにおけるメモリセルの各ブロックにおけるメモリセルのロウに関連付けられていることを特徴とする不揮発性メモリデバイス。

40

【請求項 26】

請求項 25 記載の不揮発性メモリデバイスにおいて、前記複数のメモリアレイが大容量記憶デバイスを構成することを特徴とする不揮発性メモリデバイス。

【請求項 27】

請求項 25 記載の不揮発性メモリデバイスにおいて、前記コントローラは、前記ブロックにおける所定数のロウを消去する際に、メモリセルのブロックに対して第 1 ステージの消去パルスを加し、当該第 1 ステージにおいて、前記コントローラは、消去されるロウが所定数に達するのに必要なパルスの数をカウントすることを特徴とする不揮発性メモリデバイス。

【請求項 28】

50

請求項 2 7 記載の不揮発性メモリデバイスにおいて、前記ロウの所定数は、消去されるブロックにおけるロウの半数を超えることを特徴とする不揮発性メモリデバイス。

【請求項 2 9】

請求項 2 7 記載の不揮発性メモリデバイスにおいて、前記コントローラは、消去しようとする前記ブロックに対して第 2 ステージの消去パルス印加し、前記第 2 ステージにおいて前記コントローラが使用する消去パルスの最大数は、前記第 1 ステージで使用される消去パルスの数よりも少ないことを特徴とする不揮発性メモリデバイス。

【請求項 3 0】

請求項 2 9 記載の不揮発性メモリデバイスにおいて、前記第 2 ステージにおいて使用される消去パルスの数は、 $N2 = (A * N1) + B$ によって判定され、 $N2$ は、前記第 2 ステージにおいて使用される消去パルスの最大数であり、 $N1$ は、第 1 ステージにおいて使用される消去パルスの数であり、 A は、所定の割合であり、 B は、第 2 ステージにおいて使用される消去パルスの最小の数であることを特徴とする不揮発性メモリデバイス。

10

【請求項 3 1】

複数のロウに配列されたフラッシュメモリセルのブロックを複数含むメモリアレイと、前記メモリアレイに対するメモリ処理を制御する制御回路とを含み、

前記制御回路は、第 1 ステージにおいて消去されるブロックに対して第 1 の数の消去パルス印加し、第 2 ステージにおいて前記ブロックに対して第 2 の数の消去パルス印加し、前記第 2 ステージにおいて印加される消去パルスの前記第 2 の数は、前記ブロックにおいて所定数のロウが消去されたことをベリファイするために前記第 1 ステージにおいて必要とされる消去パルスの数に基づくものであることを特徴とするフラッシュメモリデバイス。

20

【請求項 3 2】

請求項 3 1 記載のフラッシュメモリデバイスにおいて、前記第 2 ステージにおいて印加される第 2 の消去パルスの数は、前記第 1 ステージにおいて印加される第 1 の消去パルスの数よりも少ないことを特徴とするフラッシュメモリデバイス。

【請求項 3 3】

請求項 3 1 記載のフラッシュメモリデバイスにおいて、さらに、

前記制御回路に接続されたレジスタサブブロックを複数有するレジスタを含み、

各レジスタサブブロックは、メモリセルのブロックに関連付けられ、

各レジスタサブブロックは、メモリセルのブロックにおけるロウ毎にレジスタメモリセルを有することによって、制御回路が関連付けされたロウが消去されたことをベリファイされたかどうかを示すデータを格納することを特徴とするフラッシュメモリデバイス。

30

【請求項 3 4】

請求項 3 3 記載のフラッシュメモリデバイスにおいて、各レジスタメモリセルが不揮発性メモリセルであることを特徴とするフラッシュメモリデバイス。

【請求項 3 5】

請求項 3 3 記載のフラッシュメモリデバイスにおいて、各レジスタメモリセルが揮発性メモリセルであることを特徴とするフラッシュメモリデバイス。

【請求項 3 6】

40

請求項 3 1 記載のフラッシュメモリデバイスにおいて、前記制御回路は、前記ブロックに対して後で行われる他のメモリ処理において、消去されたとベリファイされなかったロウを使用しないことを特徴とするフラッシュメモリデバイス。

【請求項 3 7】

請求項 3 6 記載のフラッシュメモリデバイスにおいて、他のメモリ処理がプログラミング処理及び読み出し処理を含むことを特徴とするフラッシュメモリデバイス。

【請求項 3 8】

外部消去コマンドを与えるためのプロセッサと、

複数のロウに配列されたフラッシュメモリセルの消去可能なブロックを複数含むメモリアレイと、

50

前記プロセッサから前記外部消去コマンドを受信し、前記複数のメモリアレイにおけるメモリセルのブロックに対し、消去処理を実行するコントローラと、

消去されたとベリファイされるメモリセルの口ウをトラックするために前記コントローラに接続された複数のレジスタとを含み、

前記レジスタの各々は、前記メモリアレイの1つに関連付けられ、

前記レジスタの各々は、レジスタサブブロックを複数含み、

前記レジスタサブブロックの各々は、メモリセルのブロックに関連付けられ、

前記レジスタサブブロックの各々は、メモリセルの関連付けられたブロックにおける口ウ毎に、レジスタメモリセルを有することを特徴とするフラッシュメモリスシステム。

【請求項 39】

請求項 38 記載のフラッシュメモリスシステムにおいて、前記コントローラは、関連付けされた口ウが消去されているとベリファイされたかどうかを示すデータを前記レジスタメモリセルに格納することを特徴とするフラッシュメモリスシステム。

【請求項 40】

請求項 38 記載のフラッシュメモリスシステムにおいて、各レジスタは、関連付けされたメモリセルを含むダイの内側に設けられていることを特徴とするフラッシュメモリスシステム。

【請求項 41】

請求項 38 記載のフラッシュメモリスシステムにおいて、各レジスタは、関連付けされたメモリセルを含むダイの外側に設けられていることを特徴とするフラッシュメモリスシステム。

【請求項 42】

請求項 38 記載のフラッシュメモリスシステムにおいて、前記コントローラは、第 1 ステージにおいて、前記ブロックにおけるメモリセルの所定数の口ウを消去するためにメモリセルのブロックに対し、第 1 の数の消去パルスを印加し、第 2 ステージにおいて、消去されたとベリファイされていない口ウの消去を試行するために、前記ブロックに対して最大限の第 2 の数の消去パルスを印加し、消去パルスの前記第 2 の数は、前記第 1 ステージにおいて印加される消去パルスの第 1 の数よりも少ないことを特徴とするフラッシュメモリスシステム。

【請求項 43】

請求項 42 記載のフラッシュメモリスシステムにおいて、前記最大限の第 2 のパルス数が、 $N2 = (A * N1) + B$ によって判定され、 $N2$ は、第 2 ステージにおいて印加される第 2 のパルスの最大数であり、 $N1$ は、第 1 ステージにおいて印加される消去パルスの第 1 の数であり、 A は、所定の割合であり、 B は、前記第 1 ステージにおいて消去されているとベリファイされなかった口ウの消去を試行しようとして前記第 2 ステージにおいて使用される最大数のパルスであることを特徴とするフラッシュメモリスシステム。

【請求項 44】

請求項 42 記載のフラッシュメモリデバイスにおいて、メモリセルの口ウの前記所定数は、前記ブロックにおける口ウの半数を超えることを特徴とするフラッシュメモリデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

発明の技術分野

本発明は、主に、不揮発性メモリに関する。特に、本発明は、フラッシュメモリデバイスにおける消去処理に関する。

【背景技術】

【0002】

発明の背景

通常、メモリデバイスは、コンピュータの内部記憶領域として使用される。メモリには

10

20

30

40

50

幾つかの種類がある。例えば、RAM (random-access memory) は、従来、コンピュータのメインメモリとして用いられている。RAMの多くは揮発性であり、コンテンツを記憶した状態を維持するためには、周期的に電気をリフレッシュする必要がある。また、フラッシュメモリは、不揮発性メモリである。つまり、フラッシュメモリは周期的に電気をリフレッシュする必要なしにデータを保持するメモリである。フラッシュメモリには、多くの用途がある。例えば、近年のコンピュータには、フラッシュメモリチップに基本的なI/Oシステムバイオスが記録されており、必要に応じてこのバイオスを更新することが容易である。また、デジタルシステムの中には、従来の大容量デバイスの代わりにフラッシュメモリデバイスを使用しているものもある。具体的には、パーソナルコンピュータに搭載される従来のハードドライブの代わりにフラッシュメモリを使用することもある。

10

【0003】

通常、フラッシュメモリは、メモリアレイを備え、このメモリアレイは、ロウアドレス及びカラムアドレスによって指定されるメモリセルのブロックを複数含む。メモリセルの各々には、フローティングゲートを有して電荷を保持する電界効果トランジスタが設けられる。これらのセルは、ブロック単位のグループに分けられる。各セルは、フローティングゲートに電荷を与えることによって、電気的に、ランダムにプログラムすることができる。電荷は、消去処理によって、フローティングゲートから抜き出される。フローティングゲートにおける電荷の有無によってセルのデータが決定する。

【0004】

フラッシュメモリの状態の読み出しやベリファイは、リファレンスセル電流を用いて行われる。つまり、リファレンス不揮発性メモリセルは、リファレンスビットラインを介してセンスアンプ回路に接続される。ベリファイされるべきセルは、第2のビットラインを介してセンスアンプ回路に接続される。ビットライン間の差動電流を検出することによって、セルのプログラムされた状態を判定することができる。例えば、リファレンスセルを中間状態にプログラムし、このリファレンスセルが完全にプログラムされたメモリセルの約半分の電流を伝達するようにすることが考えられる。読み出されるセルがプログラムされている場合、このセルは、リファレンスメモリセルよりも多くの電流を伝達し、読み出されるセルが消去されている場合、このセルは、リファレンスセルよりも少ない電流を伝達する。

20

【0005】

メモリセルをプログラムするために、例えば、12ボルトの高い正の電圧がセルのコントロールゲートに印加される。さらに、ソース電圧及び基板電圧をグラウンドレベルにした状態で、ドレインに対し、6~9ボルトの中程度の正の電圧が印加される。これにより、メモリセルのドレイン領域近傍のチャンネル領域内への高温電子注入が発生する。これらの高エネルギー電子は、正の電圧を有するコントロールゲートに向かって移動し、フローティングゲート上に集まる。電子は、フローティングゲート上に留まるため、プログラムされていないセルと比較して、セルの実効しきい電圧が高くなっている。

30

【発明の開示】**【0006】**

フラッシュメモリにおいては、セルは、ブロック単位で消去される。これは、ブロックにおけるすべてのセルのコントロールゲートに接続された各ワード線に-10~-17ボルトの負の電圧を印加し、ブロックのソース接点を、所定の期間に渡って、例えば、5ボルト以上の電圧(供給電圧Vcc)にすることによって行われ、通常、単一のパルス、または、連続したパルスを印加することによって行われる。各パルスは、メモリ素子のフローティングゲートから電子を除去するフィールドを形成する。セルを消去するスピード、即ち、セルの消去に必要なパルスの数は、パルスの電圧レベル、パルス長、温度等、多くの状況に依存する。フラッシュメモリブロック内に存在する個々のセルは、消去速度が異なる場合が多い。通常、すべてのセルの消去のレベルは、ブロック内において最も速度の遅いビットに左右される。従って、例えば、通常メモリセルの消去に10パルス必要であり、消去可能なブロックにおいて最も消去速度の遅いメモリを消去に30パルス必要で

40

50

あるとすれば、通常のセルには、20の余分な消去パルスが印加されることになり、この余分な消去パルスによって過剰消去が発生する可能性がある。

【0007】

過剰消去されたセルとは、特定のポイントを超えて消去されたセルを意味する。過剰消去されたセルとは、「枯渇」するものである。つまり、フローティングゲートから電子が過度に除去されるため、フローティングゲートは、セルのしきい値よりも高い電圧を有する状態になる。従って、このセルは、コントロールゲートがグラウンド電位にある場合でも、オフにすることはできない。さらに、過剰消去されたセルが存在する場合、過剰消去セルが存在するカラムに接続されたメモリセルのすべてが消去されたセルとして読み出される可能性がある。メモリセルがプログラムされたものであったとしても、消去されたセルとして読み出されてしまうことがある。

10

【0008】

フラッシュメモリのブロックにおいて過剰消去されたセルの数を抑制するために、一般的に、消去処理は、プリプログラムサイクル、消去サイクル、さらに、ソフトプログラムサイクルを含む。プリプログラムサイクルにおいては、ブロック内のすべてのセルは、まず、所定のレベルを超えるようにプログラムされる。具体的には、ブロック内におけるすべてのセルのフローティングゲートが概ね同一の量の電荷を保持するようにプログラムされる。次に、消去サイクルでは、ブロックに対して消去パルスを印加し、ロウ毎に各セルをベリファイし、すべてのセルが消去された状態であるかどうかを判別する。消去サイクルは、すべてのセルが消去されたとベリファイされるまで繰り返される。さらに、ソフト

20

【0009】

ソフトプログラムサイクルは、過剰消去されたセルを修復するために使用されるが、過剰消去されたセルのなかには修復が不可能なものが存在するため、ソフトプログラムサイクルが実行される時点で過剰消去されたセルの数が少ないことが望ましい。また、過剰消去されたセルを修復した場合であっても、過剰消去が繰り返されるにつれて、セルの完全性が失われていく可能性がある。

30

【0010】

上述した理由、または以下に述べる理由により、フラッシュメモリの技術分野において、ブロック内の他のセルに比べて消去スピードが遅いセルが少数存在するようなフラッシュメモリのブロック消去方法を改良することが求められている。これらの理由は、当業者であれば、明細書に記載された内容を理解することによって、明らかとなるであろう。

【0011】

発明の要旨

上述した不揮発性メモリデバイスの問題及びその他の問題は、本発明によってその解決が図られ、以下の明細書の記載を検討することによって理解できるであろう。

40

【0012】

一実施の形態においては、フラッシュメモリにおける処理を実行する方法が開示される。この方法は、メモリブロックにおける所定の割合のロウを消去するステップと、前記所定の割合のロウの消去に使用される消去パルスの数を分析するステップと、前記メモリブロックに印加することが可能な追加消去パルスの許容数を算出するステップとを含む。

【0013】

別の実施の形態においては、フラッシュメモリにおける処理を実行する方法が開示される。この方法において、ブロックは、複数のロウに配列された複数のメモリセルを含み、前記ブロックに対して少なくとも1つのパルスを印加するステップと、各消去パルスの後

50

、各ロウに関連付けられたメモリセルが消去されたかどうかを判定するために各ロウをベリファイするステップと、前記ブロックにおける所定数のロウが消去されているとベリファイされたときにブロックの消去を終了するステップとを含み、前記ロウの前記所定数が前記ブロックにおけるロウの合計数よりも少ない。

【 0 0 1 4 】

別の実施の形態においては、不揮発性メモリにおける処理を実行する方法が開示される。この方法は、複数のロウに配列されたフラッシュメモリセルのブロックに対し、少なくとも1つの消去パルスを印加するステップと、消去パルスの後、ブロックにおける各ロウが消去されているかどうかをベリファイするステップと、前記ブロックにおいて所定数のロウが消去されているかどうかをベリファイするために使用される消去パルスの数をカウントするステップと、消去されているとベリファイされていないロウの消去を試行するために前記ブロックに対して所定数の消去パルスを印加するステップとを含み、前記消去パルスの所定数は、前記所定数のロウをベリファイするのに使用される消去パルスの数よりも少ない。

10

【 0 0 1 5 】

別の実施の形態においては、フラッシュメモリに対する消去処理を実行する方法が開示される。この方法は、前記ブロックにおいて複数のロウに配列されたフラッシュメモリセルを所定のレベルにプリチャージするステップと、前記ブロックに対し、少なくとも1つの第1ステージの消去パルスを印加するステップと、前記ブロックに対して第1ステージの各消去パルスが印加された後、ロウ毎に各メモリセルが消去されたかどうかをベリファイするステップと、消去されたブロックにおいて半数を超えるロウをベリファイするのに使用され、前記ブロックに対して印加される第1のパルスの数をカウントするステップと、前記第1のパルスの数の割合として、消去されているとベリファイされていないロウの消去を試行するために前記ブロックに対して印加される第2のパルスの数を算出するステップと、前記ブロックに対し、少なくとも1つの第2ステージの消去パルスを印加するステップと、前記ブロックに対し第2ステージの各消去パルスが印加された後、ロウ毎に各メモリセルが消去されたかどうかをベリファイするステップと、前記ブロックに対し、第2ステージの消去パルスが印加されたか、すべてのロウが消去されているとベリファイされたときに、前記ブロックの消去を終了するステップとを含む。

20

【 0 0 1 6 】

別の実施の形態においては、フラッシュメモリデバイスは、メモリアレイと、コントローラと、レジスタとを含む。メモリアレイは、複数のロウに配列されたフラッシュメモリセルのブロックを複数含む。コントローラは、前記メモリアレイに対するメモリ処理を制御する。レジスタは、メモリセルの各ロウの消去状態をトラックするために前記コントローラに接続されている。

30

【 0 0 1 7 】

別の実施の形態においては、不揮発性メモリデバイスは、複数のメモリアレイと、コントローラと、レジスタアレイとを含む。各メモリアレイは、複数のロウに配列されたフラッシュメモリセルのブロックを複数含む。コントローラは、前記メモリアレイに対するメモリ処理を制御する。レジスタアレイとを含み、コントローラは、複数のブロックに配列されたメモリセルのロウが消去されたとベリファイされたことをトラックするために前記レジスタアレイにデータを格納する。

40

【 0 0 1 8 】

別の実施の形態においては、フラッシュメモリシステムは、メモリアレイと、制御回路とを含む。メモリアレイは、複数のロウに配列されたフラッシュメモリセルのブロックを複数含む。制御回路は、前記メモリアレイに対するメモリ処理を制御する。具体的には、制御回路は、第1ステージにおいて消去されるブロックに対して第1の数の消去パルスを印加し、第2ステージにおいて前記ブロックに対して第2の数の消去パルスを印加し、前記第2ステージにおいて印加される消去パルスの前記第2の数は、前記ブロックにおいて所定数のロウが消去されたことをベリファイするために前記第1ステージにおいて必要と

50

される消去パルスの数に基づくものである。

【0019】

また、別の実施の形態においては、フラッシュメモリシステムは、プロセッサと、複数のメモリアレイと、コントローラと、複数のレジスタとを含む。プロセッサは、外部消去コマンドを与えるために使用される。各メモリアレイは、消去可能なブロックを複数含む。各ブロックにおけるメモリセルは、複数のロウに配列されたフラッシュメモリセルを含む。コントローラは、前記プロセッサから前記外部消去コマンドを受信する。さらに、コントローラは、前記複数のメモリアレイにおけるメモリセルのブロックに対し、消去処理を実行する。複数のレジスタは、消去されたとベリファイされるメモリセルのロウをトラックするために前記コントローラに接続されている。レジスタの各々は、前記メモリアレイの1つに関連付けられ、レジスタの各々は、レジスタサブブロックを複数含む。レジスタサブブロックの各々は、メモリセルのブロックに関連付けられている。さらに、レジスタサブブロックの各々は、メモリセルの関連付けられたブロックにおけるロウ毎に、レジスタメモリセルを有する。

10

【発明を実施するための最良の形態】

【0020】

発明の実施の形態

以下、好ましい実施の形態について添付の図面を参照して詳細に説明する。図面は、本願の明細書を構成するものであり、本発明の実施の好ましい実施の形態について具体的に例示している。これらの実施の形態は、当業者が発明を実施できるように十分に詳細に記載されているが、本発明の精神及び範囲を逸脱することなく、論理的、機械的、電気的な変更を施した他の実施の形態を採用することも可能であることが理解できよう。従って、以下の詳細な説明は、限定的なものであると解釈されるべきではない。本発明の範囲は、クレーム及びその均等物によってのみ規定される。

20

【0021】

図1は、本発明の一実施の形態に係る大容量フラッシュメモリ100のブロック図である。

【0022】

このブロック図は、本発明の理解に必要な要素を簡略化して示したものである。大容量フラッシュメモリ100は、フラッシュメモリ120を含む。図示したフラッシュメモリ120は、不揮発性メモリセルのアレイ104を含む。アレイ104は、複数のアドレス指定可能なブロック106(a~d)が配列されたものである。図面上には、アドレス指定可能なブロック106(a~d)を4個のみ示すが、当業者であれば、本発明のフラッシュメモリデバイスがアドレス指定可能なブロックを4個使用したものだけに限定されないことが理解できるであろう。フラッシュアレイの分割方法を変更し、アドレス指定可能なブロックの数を増やしてもよいし、減らしてもよい。また、サブブロックを使用することも可能である。さらに、図示したフラッシュメモリデバイス(120)は、xデコーダ/ブロック消去制御回路とyデコーダ回路を備える。センスアンプ回路116は、アドレスを指定されたセルの読み出し、ベリファイを行う。アドレスバッファ/ラッチ114は、アドレス要求を受信するためのものであり、xデコーダ回路/ブロック消去制御回路112及びyデコーダ回路118に接続されている。また、本実施の形態において大容量フラッシュメモリ120、122、124、及び126として4つのフラッシュメモリ100を用いているが、フラッシュメモリの数は、必要な記憶容量に応じて変更することができ、本発明の大容量フラッシュメモリが4個のフラッシュメモリに限定されないことが理解できよう。

30

40

【0023】

また、図1に示す大容量フラッシュメモリ100は、コントローラ108を有する。コントローラ108は、フラッシュメモリアレイにおいて、フラッシュメモリ120、122、124、及び126で行われるメモリの各処理、即ち、プログラム処理、消去処理、読み出し処理の制御に使用される。例えば、フラッシュメモリ120では、コントローラ

50

108がアドレスライン140を介してアドレスバッファ/ラッチ114に接続される。また、コントローラ108は、データライン142を介してセンスアンプ回路116に接続され、このコントローラに対し、読み出し、またはベリファイを行ったセルの結果が提供される。また、コントローラ108は、xデコード/ブロック消去制御回路112に接続され、メモリアレイ104上での消去処理を制御する。図示しないが、フラッシュメモリ122、124、及び126の各々は、フラッシュメモリ120と同様の構成要素を有する。また、フラッシュメモリ120がコントローラ108に接続されているのと同様の方法でフラッシュメモリ122、124、及び126の各構成要素は、コントローラ108に接続されている。つまり、フラッシュメモリ120、122、124、126の各々は、コントローラ108によって制御されている。

10

【0024】

図1に示されている4つのレジスタ130、132、134、及び138の各々は、各フラッシュメモリ120、122、124、及び126のフラッシュメモリアレイに関連付けられている。例えば、レジスタ130は、フラッシュメモリ120上のフラッシュメモリアレイ104に関連付けられている。本実施の形態においては、レジスタ130は、フラッシュメモリ120を含むダイの外側に設けられている。同様に、レジスタ132、134、及び138は、フラッシュメモリ122、124、及び126の特定の場所に設けられている。各レジスタ130、132、134、及び138は、レジスタサブブロックに細分化される。例えば、レジスタ130は、レジスタサブブロック130(a)、130(b)、130(c)、及び130(d)を含む。各レジスタサブブロックは、フラッシュメモリアレイにおけるセルのブロックに関連付けられている。例えば、レジスタサブブロック130(a)は、フラッシュメモリアレイ104のブロック106(a)に関連付けられ、レジスタサブブロック130(b)は、フラッシュメモリアレイ104のブロック106(b)に関連付けられ、レジスタサブブロック130(c)は、フラッシュメモリアレイ104のブロック106(c)に関連付けられ、レジスタサブブロック130(d)は、フラッシュメモリアレイ104のブロック106(d)に関連付けられる。4つのレジスタサブブロックを有するレジスタが4個存在する場合について説明したが、当業者であれば、レジスタの数、レジスタサブブロックの数が使用されるフラッシュメモリアレイの数に応じて変更されること、また、フラッシュメモリアレイにおけるブロックの数を変更可能であることが理解できよう。本発明は、4つのレジスタサブブロックを有するレジスタが4個存在する場合に限定されるものではない。

20

30

【0025】

レジスタ130、132、134、及び138は、レジスタアレイとして言及される。レジスタサブブロックの各々は、複数のレジスタメモリセル(トラッキングメモリセル)を含み、これらのメモリセルは、メモリ内の関連付けられたブロックにおける関連付けられたロウが消去されているかをベリファイするためのデータを格納する。つまり、ブロックにおけるセルの各ロウに対し、レジスタサブブロックにおいて関連付けられたメモリセルが存在するため、ロウが消去されたことをトラックすること、または、ロウが消去された旨のフラッグを立てることができる。例えば、メモリのブロックに128個のロウが存在すると想定した場合、このブロックに関連付けられたレジスタサブブロックには、各ロウにおけるプログラム状態をトラックするための128個のレジスタメモリセルが存在することになる。本発明の一実施の形態においては、レジスタアレイにおけるレジスタメモリセルとして、RAMメモリセル等の揮発性メモリが使用される。別の実施の形態においては、レジスタアレイにおけるレジスタメモリセルとして、フラッシュメモリセルなどの不揮発性メモリセルが使用される。

40

【0026】

上述したように、コントローラ108は、各フラッシュメモリアレイの消去処理を制御する。一実施の形態においては、消去しようとするブロックに対して消去パルスが送信された場合、コントローラ108がブロックにおける各ロウのベリファイを行う。あるロウが消去されているとベリファイされた場合、コントローラ108は、関連付けられたレジ

50

スタサブブロックにおいて関連付けられたレジスタメモリセルのフラッグを立てる。どのロウが消去されたことがベリファイされたかをトラックするだけでなく、コントローラは、ベリファイされたロウの数をトラックする。消去パルスの後、所定数のロウがベリファイされていない場合には、さらなる消去パルスがブロックに対して印加される。この処理は、コントローラ108が所定数のロウが消去されていることをベリファイするまで行われる。消去されているものとしてベリファイされないロウは、後で行われるメモリ処理において使用されない。本実施の形態においては、各ブロック内において使用しないロウも存在するが、セルを過剰消去する危険性が減少する。なぜならば、ブロックに対して印加される消去パルスの数は、消去が行われるセルのブロックにおいて、消去される速度が最も遅いセルやビットに依存しないからである。所定数のロウとは、通常、ロウの半数を超える数であり、メモリの製造元によって決定される。この数は、平均的なフラッシュメモリブロックにおいて、幾つのロウに遅いビットが含まれているかという点に関する統計的なデータを考慮して決められる。例えば、合計のロウの数が128個であり、3個のロウに遅いビットが含まれていることを想定した場合、このブロックの所定数のロウとは、125個になる。

10

【0027】

別の実施の形態においては、コントローラ108は、ベリファイされていないロウにおけるセルの消去を試行する。この実施の形態においては、コントローラは、消去されたロウとして所定数のロウがベリファイされるために使用されるパルスの数をトラックする。次に、コントローラ108は、この数を等式に当てはめ、残りの遅いビットの消去の試行に必要となる追加のパルスの最大の数を算出するとともに、ブロック内で他のセルが過剰消去される可能性を最小限にする。

20

【0028】

この実施の形態では、追加の消去パルスによって遅いビットの消去を試行する際に半数を超えるセルが過剰消去されるような可能性が考慮される。

【0029】

一実施の形態においては、等式 $N2 = (A * N1)$ を使用し、遅いビットの消去の試行に使用されるべき消去パルスの最大数を決定する。この際、 $N2$ は、消去パルスの最大数であり、 $N1$ は、ブロック内のロウの所定数の消去に使用される消去パルスの数であり、 A は、所定の割合であり、 B は、スロウビットの消去を試行する際に使用される最小数のパルスである。 A 及び B は、通常、製造時に検査終了後決定される。本実施の形態における等式を参照する。この実施の形態の等式を参照すると、 $N2$ が増加すれば、 $N1$ が増加する。従って、消去されたロウとして所定数のロウがベリファイされるのに多くのパルスを必要とすれば、ブロックにおいて既に消去済みのセルを上書消去する可能性が少ないため、ベリファイされていないロウにおける遅いセルの消去を試行するために、多くのパルスが印加される。また、消去されたロウとして所定数のロウがベリファイされるのに少ないパルスを必要とすれば、各パルスは、既に消去されたセルを過剰消去する可能性が高いため、ベリファイされていないロウにおける遅いセルの消去を試行するために、少ないパルスが印加される。

30

【0030】

本実施の形態においては、 $N2$ 個のパルスが印加され、幾つかのロウが、消去されているとベリファイされていない場合、コントローラ108は、メモリアレイに対して後で行われるメモリ処理（即ち、プログラム処理及びメモリ処理）においてベリファイされていないロウを無視する。一実施の形態においては、コントローラは（108）、関連付けられたレジスタにおけるメモリセルを読み出すことによってこれを行う。コントローラ108が消去されているとフラッグを立てられたりプログラムされたりしていないメモリセルを読み出した場合、消去されたとベリファイされていないロウに関連付けられたメモリセルは、ベリファイされていないロウとして定義される。

40

【0031】

図2は、本発明の別の実施の形態に係る大容量フラッシュメモリ200を示している。

50

本実施の形態においては、各レジスタは、ダイの内部にあり、このダイは、フラッシュメモリアレイのメモリにおいて関連付けられたブロックにおける関連付けられたロウが消去されているとベリファイされたかどうかを示すデータを格納するために関連付けられたフラッシュメモリを含む。図2に示すように、レジスタ130は、フラッシュメモリ120内に存在する。図示しないが、フラッシュメモリ122、124、128の各々には、レジスタが関連付けられている。コントローラ108は、大容量フラッシュメモリ200の各レジスタに接続され、関連付けられたロウの消去された状態に関するデータの格納、取得を行う。また、図2は、コントローラ108に接続されたプロセッサ131を示す。このプロセッサ131は、大容量フラッシュメモリ200における処理及びテストを実行するためのものである。

10

【0032】

大容量フラッシュメモリは、使用しない記憶スペースが大きくなることがあるため、上述したように、本発明は、大容量フラッシュメモリに適用することが望ましい。しかしながら、本発明は、一般的なフラッシュメモリシステムにも適用可能である。図3は、一般的なフラッシュメモリ300に本発明を適用した別の実施の形態を示す。フラッシュメモリ300は、メモリアレイ350を有する。図示したメモリアレイ350は、4個のバンク302、304、306、及び340を有する、各バンク302、304、306、及び340は、消去可能なメモリセルのブロック（図示せず）を有する。さらに、一実施の形態においては、各ブロックには、消去可能なサブブロックが配列されている。例えば、16メガのメモリアレイは、4メガの消去可能なブロックを4個配列したものであり、これらの各ブロックには、16個のサブブロックが存在する。図示したメモリブロックは4つのバンクを有するが、当業者であれば、バンクの数は、変更することが可能であり、本発明が4個のフラッシュメモリを有する態様に限定されないことが理解できよう。

20

【0033】

図示したフラッシュメモリ300もまた、選択されたロウに対する処理を実行し、ブロック消去処理を制御するxデコーダ/ブロック消去制御回路320を有する。yデコーダ322は、選択されたコラムに対する処理を実行するために設けられる。センスアンプ回路324は、指定されたセルに対する読み出しやベリファイを行うために設けられる。また、フラッシュメモリ300は、メモリアレイ350に対する各処理、即ち、読み出し処理、プログラム処理、さらに、消去処理を制御する制御回路314を有する。制御回路314は、コントローラやステートマシンとも呼ばれる。プロセッサ330は、テストや処理の実行のために制御回路314に接続される。また、図示したフラッシュメモリ300は、アドレスバッファ/ラッチ316とアドレスカウンタ318とを有する。

30

【0034】

本実施の形態においては、レジスタ308、310、312、342が制御回路314に接続され、メモリアレイ350上において消去されたロウをトラッキングする。各レジスタは、メモリアレイ350におけるバンクに関連付けられる。例えば、レジスタ308は、バンク302に関連付けられ、レジスタ310は、バンク304に関連付けられる。レジスタ312は、バンク306に関連付けられ、レジスタ342は、バンク340に関連付けられる。図示しないが、各レジスタは、メモリの各ブロックに関連付けられたレジスタサブブロックを有する。メモリの各ブロックは、関連付けられたメモリのブロックにおける関連付けられたロウが消去されているかがベリファイされたかどうかを示すデータを格納する複数のメモリセルを有する。レジスタ308、310、312、342は、上述した実施の形態について説明されたように構成される。本発明のスロウビット消去アルゴリズムをより理解するために、まず、従来技術のアルゴリズムについて説明する。

40

【0035】

図4は、従来技術に係るブロック消去アルゴリズム400のフローチャートを示す。図示するように、従来技術においては、ブロックにおけるセルを所定のレベルに予めプログラムすることによってブロック消去アルゴリズム400が開始される(402)。次に、ロウアドレス及びパルスカウンタの双方がゼロに設定される(404、406)。この後

50

、消去パルスがブロックに印加され(408)、ロウにおける各セルが読み出される(410)。その後、ロウが消去されていることがベリファイされる(412)。

【0036】

ロウが消去されているとベリファイされていない場合(410)、パルスカウントがインCREMENTされる(414)。次に、パルスカウントがベリファイされ、このカウントが所定の最大の数に達したかがベリファイされる(416)。パルスカウントがパルスの最大の数に達していることがベリファイされた場合には(416)、ブロックの消去が行われない。パルスカウントが最大の数に達していることがベリファイされた場合には(416)、ブロックの消去が行われない。パルスカウントが最大の数に達していないことがベリファイされた場合には(416)、別の消去パルスがブロック(408)に対して印加され、アルゴリズムが進行する。

10

【0037】

ロウが消去されているとベリファイされた場合には(412)、ロウがインCREMENTされる(418)。次に、ロウのカウントが最大の数に達しているかがベリファイされる(420)。ロウの各セルが読み込まれ(410)、アルゴリズムが進行する。ロウのカウントが最大の数に達しているとベリファイされた場合には(420)、ブロックの各カラムに対し、過剰消去されたセルが接続されていることを示す電流が発生していないかがチェックされる(422)。次に、過剰消去されたセルが存在しているかどうかを判定するため、ブロックがベリファイされる(424)。

【0038】

20

ブロックにおいて、過剰消去されたセルが存在しなければ(424)、ブロック消去が正常に行われたことになる。ブロックに過剰消去したセル(424)が存在する場合には、ソフトプログラムによって過剰消去されたセルの修復が試行される(426)。修復が正常に行われたことがベリファイされない場合には(428)、ブロックに過剰消去されたセルが存在することになる。修復が正常に行われたことがベリファイされた場合には(428)、ブロック消去が正常に行われたことになる。

【0039】

図5は、本発明の一実施の形態に係る消去アルゴリズム500のフローチャートを示している。図示するアルゴリズムは、第1ステージ及び第2ステージを含む。第1ステージでは、所定数のロウを消去するのに必要なパルスの数をトラックし、レジスタを使用して消去されているとベリファイされたロウにフラッグを立てる。第2ステージでは、ブロックに対して印加される所定の最大数の消去パルスを算出し、この消去パルスをブロックに対して印加することによって、第1ステージにおいて消去されているとベリファイされなかったロウの消去を試行する。

30

【0040】

第1ステージは、ブロック内のセルを所定のレベルに予めプログラムすることによって開始する(502)。ブロックにおけるロウのアドレスカウンタは、-1にセットされる(504)。パルスカウントがゼロ(506)に設定されると、すべてのベリファイフラッグがクリアされる(508)。関連付けられたレジスタにおける、ベリファイされたロウのカウントがゼロにセットされる(510)。次に、消去パルスがブロックに印加される(512)。このロウは、インCREMENTされる(ロウのカウントが最大値に達すると、ロウのアドレスが第1のロウに戻る)(514)。次に、レジスタがチェックされ、現在アドレスされているロウに対して既に消去されていることを示すフラッグが立てられているかどうかを判定する(516)。

40

【0041】

ロウが消去されていることを示すフラッグが立てられている場合には(516)、ロウがインCREMENTされ(514)、アルゴリズムが進行する。ロウが消去されていることを示すフラッグが立てられていない場合には、このロウにおけるセルの各々がベリファイされ、すべてのセルが消去されているかが判定される(518)。セルがすべて消去されているならば、このロウに関連付けられたレジスタにフラッグが立てられ、ロウが

50

インCREMENTされ(514)、アルゴリズムが進行する。ロウが消去されたときベリファイされない場合には、パルスカウントがインCREMENTされる(528)。次に、パルスカウントがベリファイされ、最大の数に達しているかどうか判定される(530)。パルスカウントが最大の数に達している場合には、現在のロウに対してブロック消去処理が実行されない。しかしながら、パルスカウントが最大の数に達していない場合には、消去パルスがブロック(512)に印加され、アルゴリズムが進行する。ロウにおけるすべてのセルが消去されているとベリファイされなければ(520)、ロウにおける関連付けられたレジスタ(522)にフラグが立てられる。次に、ベリファイされたロウのロウカウントがインCREMENTされる(524)。次に、ベリファイされたロウ(526)のロウカウントが所定の値に達しているかどうかベリファイされ、ロウがインCREMENTされ(512)、アルゴリズムが進行する。ロウのロウカウントが所定の最大の値に達しているとベリファイされた場合には、第2ステージのアルゴリズムが開始する。

10

【0042】

図示するように、第2ステージは、第1ステージのパルスカウントに所定の等式を当てはめ、第1ステージで消去されているとベリファイされなかったロウにおけるセルの消去を試行するために必要な、ブロックに対して印加される最大限の消去パルスを求めることによって開始される(532)。次に、ロウがインCREMENTされる(ロウが最大値に達しない場合、ロウアドレスは、最初のロウに戻る)(536)。次に、関連付けられたレジスタに対し、ロウが消去されていることを示すフラグが立てられる(538)。レジスタに対し、フラグが立てられている場合(538)、ロウがインCREMENTされ(536)、アルゴリズムが進行する。レジスタに対し、フラグが立てられていない場合(538)、関連付けられたロウにおける各セルのプログラム状態が読み出される(540)。次に、すべてのセルが消去されているかどうかを判定するために、ロウがベリファイされる(542)。

20

【0043】

ロウが消去されているとベリファイされていない場合には(542)、パルスカウントがインCREMENTされる(544)。次に、所定の等式によってパルスの限界値が定まったかどうかを判定するために、パルスカウントがベリファイされる(552)。パルスカウントがパルスカウントの限界値でなければ(552)、消去パルスがブロックに対して印加され(534)、アルゴリズムが進行する。パルスカウントがパルスカウントの限界値であれば(552)、ベリファイされていないロウを使用することはできない(554)。

30

【0044】

ロウが消去されているとベリファイされる場合には(542)、関連付けられたレジスタにロウベリファイフラグが立てられる(546)。次に、ベリファイされたロウカウントがインCREMENTされる(548)。さらに、ロウカウントがベリファイされ、すべてのロウに対して消去されていることを示すフラグが立てられているかどうか判定される(550)。すべてのロウに対して消去されていることを示すフラグが立てられていない場合には(550)、ロウのアドレスがインCREMENTされ、アルゴリズムが進行する。すべてのロウに対して消去されていることを示すフラグが立てられている場合には(556)、ブロックのカラムが監視され、ブロックに過剰消去されたセルが存在するかどうか判定される(556)。次に、過剰消去されたセルを処理するためにブロックが処理される(558)。

40

【0045】

ブロック内に過剰消去されたセルが存在することがベリファイされている場合には(558)、ブロックに対する消去処理が成功していることになる。しかしながら、ブロック内に過剰消去されたセルが存在するとベリファイされた場合には(558)、ブロックに対し、ソフトプログラムが実行され、過剰消去されたセル(560)の修復が行われる。次に、ブロックがベリファイされ、ソフトプログラムによる過剰消去されたセルの修復が成功したかどうか判定される(562)。ソフトプログラムによるセルの修復が成功し

50

た場合には(562)、ブロックが正常に消去されたことになる。しかしながら、ソフトプログラムによるセルの修復が成功しなかった場合には(562)、ブロックには過剰消去されたセルが存在することになるため、コントローラ又は制御回路は、ブロックメモリにおける他の処理の際にこのような過剰消去されたセルが存在するロウを使用しないようにする。

【0046】

結論

フラッシュメモリブロックの消去処理を実行する方法及びその装置を開示する。一実施の形態においては、この方法は、メモリブロックにおける所定の割合のロウを消去するステップと、この所定の割合の消去に使用される消去パルス数を分析するステップと、消去されずに残ったロウを消去するために、メモリブロックに対して追加して印加されるパルスの許容数を算出するステップとを含む。別の実施の形態においては、フラッシュメモリデバイスは、メモリアレイと、コントローラと、レジスタとを含む。メモリアレイは、フラッシュメモリセルの複数のブロックを含む。各ブロックにおけるメモリセルは、複数のロウに配列される。コントローラは、メモリアレイに対するメモリ処理の制御に使用され、レジスタは、コントローラに接続され、メモリセルの各ロウの消去状態をトラックする。

10

【0047】

本明細書において、本発明の具体的な実施の形態について例示、説明したが、当業者であれば、同一の目的を達成するように計算することによって、図示した具体的な実施の形態の構成を変更することも可能であることが理解できよう。本明細書では、本発明を自由に改変、変形できることが意図されている。つまり、本発明の範囲が、クレーム及びその均等物によってのみ制限されるように意図されていることは明らかである。

20

【図面の簡単な説明】

【0048】

【図1】本発明の実施の形態に係るメモリデバイスのブロック図である。

【図2】本発明の一実施の形態に係るメモリデバイスのブロック図である。

【図3】本発明の一実施の形態に係るメモリデバイスのブロック図である。

【図4】従来技術に係るブロック消去を示すフローチャートである。

【図5A】本発明の一実施の形態に係るブロック消去を示すフローチャートの一部である

30

【図5B】本発明の一実施の形態に係るブロック消去を示すフローチャート一部である。

【 図 1 】

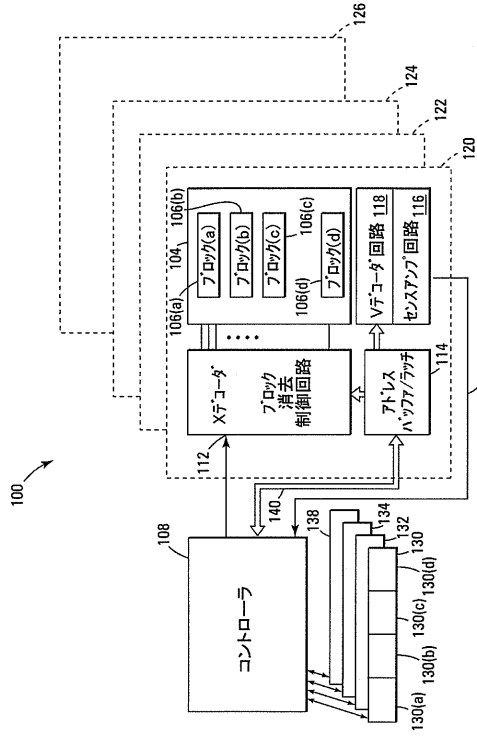


Fig. 1

【 図 2 】

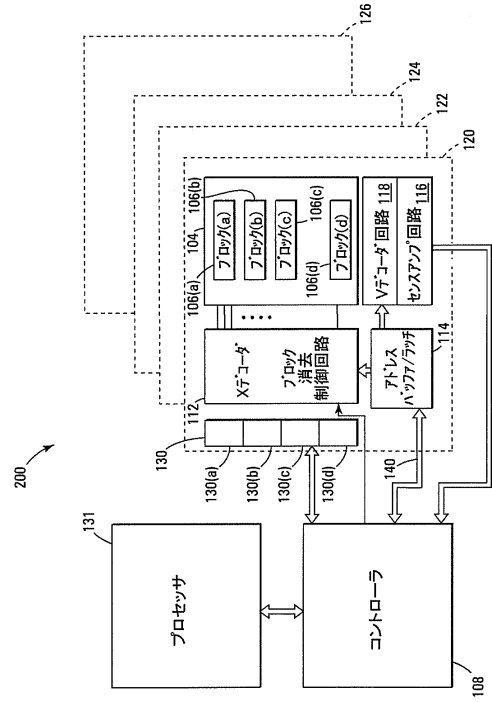


Fig. 2

【 図 3 】

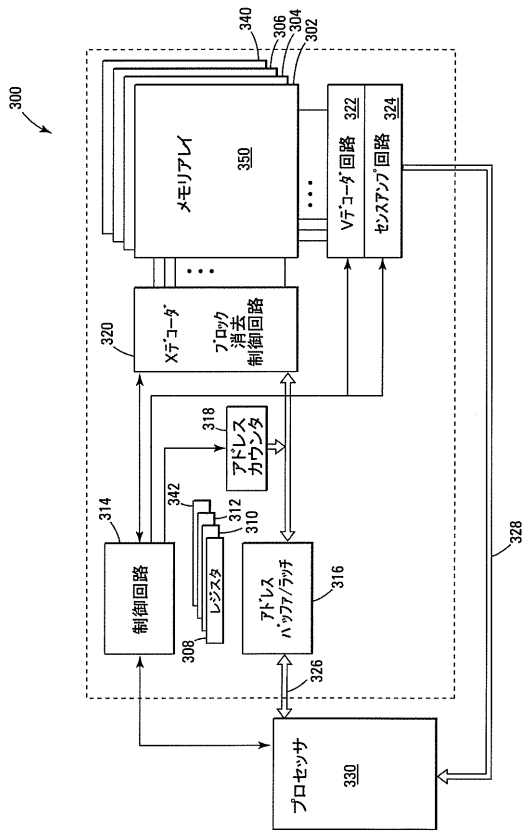


Fig. 3

【 図 4 】

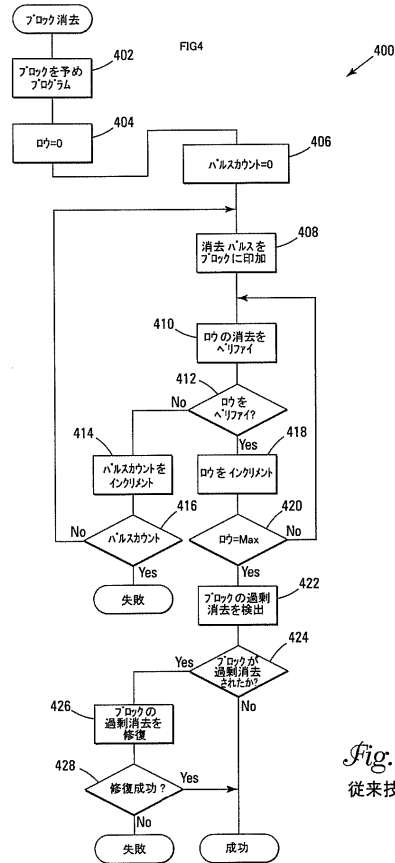
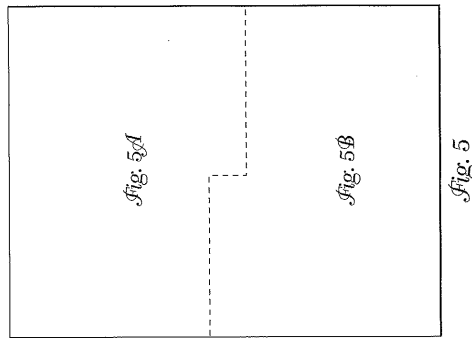
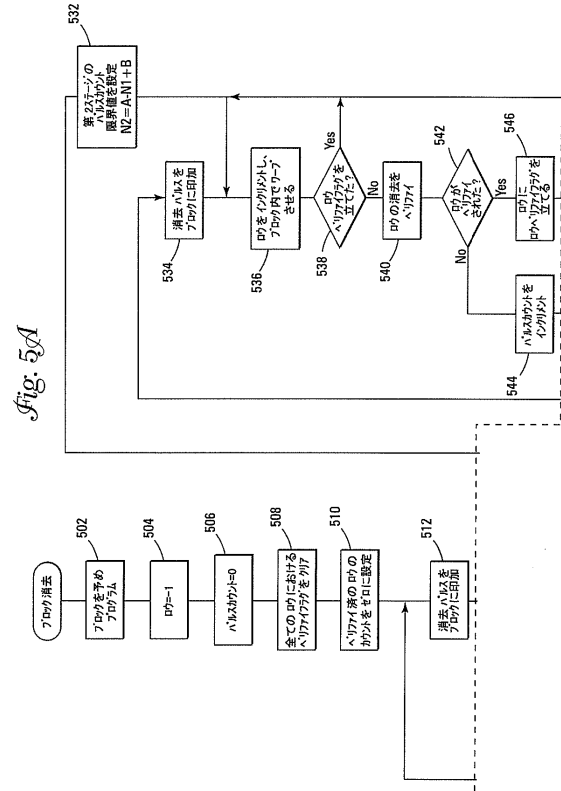


Fig. 4
従来技術

【 図 5 】



【 図 5 A 】



【 図 5 B 】

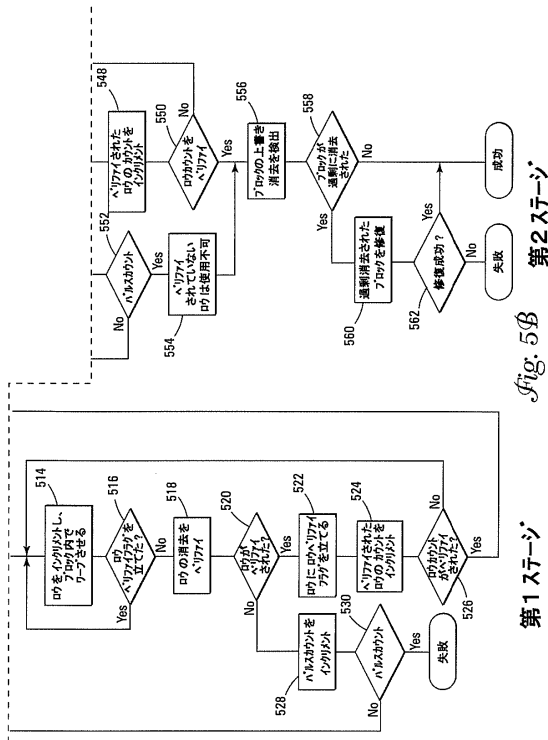


Fig. 5B 第1ステージ

第2ステージ

フロントページの続き

(72)発明者 キース、ブレディー、エル.
アメリカ合衆国、カリフォルニア州 94019、ハーフ ムーン ベイ、シルバー アベニュー
688

審査官 小松 正

(56)参考文献 特開2000-173279(JP,A)
特開平08-129893(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 16/00-16/34