

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年5月17日(2007.5.17)

【公表番号】特表2005-539378(P2005-539378A)

【公表日】平成17年12月22日(2005.12.22)

【年通号数】公開・登録公報2005-050

【出願番号】特願2004-535396(P2004-535396)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/786 (2006.01)

H 05 B 33/10 (2006.01)

H 01 L 51/50 (2006.01)

【F I】

H 01 L 29/78 6 2 7 B

H 05 B 33/10

H 05 B 33/14 A

【手続補正書】

【提出日】平成19年3月26日(2007.3.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電子装置を形成する方法であって、以下の工程を有する、

(a) 基材を、それぞれの中に配置された少なくとも1つの材料堆積物源とシャドーマスクとを有する複数の直列接続された堆積真空容器に通過させる工程、そして、

(b) 各堆積真空容器に配置された少なくとも前記1つの材料堆積物源からの材料を、該堆積真空容器に配置された前記シャドーマスクを通して真空下で前記基材上に堆積し、電子素子のアレイから成る回路を前記基材上に形成する工程、ここで、前記回路の物理的レイアウトは、前記基材上での材料の連続堆積によってのみ形成される。

【請求項2】

請求項1の方法であって、前記基材は、(i)導電性、(ii)フレキシブル、及び(iii)透明の少なくとも1つの性質を有する。

【請求項3】

請求項2の方法であって、前記基材は導電性であり、電気絶縁体によって前記回路は前記基材から分離される。

【請求項4】

請求項1の方法であって、

前記基材は、その長さ方向に沿って前記複数の堆積真空容器を通過する長手シートであり、前記基材の少なくとも1つの部分が各堆積真空容器を連続的に通過進行する、そして、

前記基材の前記1つの部分は、前記堆積真空容器内に位置する前記堆積物源から材料の堆積を受ける。

【請求項5】

請求項4の方法であって、前記基材は、その長さ方向に沿って、前記複数の真空容器を通過進行する複数の互いに離間した部分を形成し、各部分は、各真空容器内に位置する前

記堆積物源から材料の堆積を受ける。

【請求項 6】

請求項 1 の方法であって、

前記電子素子は薄膜トランジスタ (TFT) であり、そして、

前記工程 (b) は以下の工程を含む、

各 TFT の半導体材料を堆積する、

各 TFT の前記半導体材料とともに、そのソースとドレンとを形成するように第 1 導体材料を堆積する、

各 TFT の前記半導体材料、前記ソース及び前記ドレンのそれぞれの少なくとも一部分上に第 1 のゲート絶縁体を堆積する、

各 TFT の前記ゲート絶縁体の少なくとも一部上に、ゲートを形成するように第 2 導体材料を堆積する、そして、

各 TFT の前記第 2 導体材料上方に、前記第 1 導体材料の少なくとも一部分が第 2 絶縁体を通して露出するように、第 2 絶縁体を堆積する。

【請求項 7】

請求項 6 の方法であって、前記工程 (b) は、少なくとも 1 つの TFT の出力パッドを形成するべく第 3 導体材料を堆積する工程を有し、前記出力パッドは、前記第 2 絶縁体と前記第 1 導体材料の前記露出部分とを、前記第 3 導体材料が前記第 1 導体材料の前記露出部分と電気連通するようにカバーする。

【請求項 8】

請求項 6 の方法であって、

前記第 1 導体材料は、少なくとも 1 つの TFT の前記ソースと前記ドレンとの一方とともに第 1 アドレスバスを形成するように堆積され、

前記第 2 導体材料は、少なくとも 1 つの TFT の前記ソースと前記ドレンとの他方とともに第 2 アドレスバスを形成するように堆積され、そして、

各アドレスバスは個々にアドレス可能である。

【請求項 9】

請求項 6 の方法であって、

TFT の各列又は各行の TFT は、前記回路の共通のアドレスバスに接続され、そして

、各アドレスバスは個々にアドレス可能である。

【請求項 10】

請求項 6 の方法であって、前記半導体材料は、セレン化カドミウム (CdSe) である。

【請求項 11】

請求項 6 の方法であって、前記第 1 絶縁体、前記第 2 導体材料及び前記第 2 絶縁体は、各 TFT の前記ソースと前記ドレンの一方を形成する前記第 1 導体材料の少なくとも一部分を露出状態に残すように堆積される。

【請求項 12】

請求項 1 の方法であって、

前記電子素子は薄膜トランジスタ (TFT) であり、そして、

前記工程 (b) にて形成される前記回路は、複数の堆積された発光素子を有し、前記 TFT は前記基材と前記発光素子との間に配置される。

【請求項 13】

請求項 12 の方法であって、前記工程 (b) は以下の工程を有する、

前記基材上に、各発光素子の正孔輸送材料を、前記発光素子に関連する TFT の電源端子と電気連通状態に堆積する、

各発光素子の発光材料を、前記正孔輸送材料の少なくとも一部分上方に、該発光素子の前記 TFT と関連する前記電源端子とアライメント、又は隣接した状態で堆積する、

各発光素子の電子輸送材料を、各発光素子の前記発光材料の少なくとも一部分上方に堆

積する、そして、

各発光素子の導体材料を、前記電子輸送材料の少なくとも一部分上方に堆積する。

【請求項 14】

請求項 13 の方法であって、前記導体材料は、実質的に前記回路全体上に堆積される。

【請求項 15】

請求項 13 の方法であって、前記複数の発光素子は、複数の赤色、複数の緑色、及び複数の青色の発光素子から構成される。

【請求項 16】

請求項 1 の方法であって、

前記電子素子は薄膜トランジスタ (TFT) であり、そして、

前記工程 (b) は以下の工程を有する、

前記基材上に半導体材料の層を堆積する、

前記半導体材料と前記基材とに対して、これらとともに各薄膜トランジスタのソースとドレンとを形成するように半導体適合導体材料の第 1 層を堆積する、

前記半導体材料、前記ソース及び前記ドレンに対して、これらとともにゲート絶縁体を形成するように第 1 絶縁体層を堆積する、そして、

前記ゲート絶縁体と、前記半導体材料と、前記ソースと、前記ドレンとに対して、これらとともに前記薄膜トランジスタのゲートを形成するように、導体材料の第 2 層を堆積する。

【請求項 17】

請求項 16 の方法であって、前記工程 (b) は、更に以下の工程を有する、

前記導体材料の第 2 層と前記第 1 絶縁体層とに対して、第 2 絶縁体層を、前記導体材料の第 1 層の少なくとも一部分が、前記第 2 絶縁体層に形成された窓を通して露出されるように堆積する、そして、

前記第 2 絶縁体層に形成された前記窓を通して、導体材料の第 3 層を堆積して出力パッドを形成する。

【請求項 18】

請求項 1 の方法であって、更に以下の工程を有する、

前記電子素子のアレイを真空中でテストする、そして、

そのようなテストの合格又は失格の関数として、前記基材をそれに応じて明示する。

【請求項 19】

アクティブマトリクスバックプレーンであって、アクティブ電子素子のアレイから成る回路を有する基材を含み、前記各アクティブ電子素子は、当該アクティブ電子素子を形成するための、半導体材料と絶縁材料と導体材料との適当な物理的レイアウトを含み、前記半導体材料はセレン化カドミウム (CdSe) である。

【請求項 20】

請求項 19 に記載のアクティブマトリクスバックプレーンであって、前記回路は、一連のシャドーマスク蒸着イベントによって前記基材上に形成される。

【請求項 21】

請求項 19 に記載のアクティブマトリクスバックプレーンであって、前記アクティブ電子素子は、薄膜トランジスタ (TFT) を含む。

【請求項 22】

請求項 21 に記載のアクティブマトリクスバックプレーンであって、各前記 TFT は以下を含む、

前記半導体材料、

前記半導体材料上に、該半導体材料との協働で、ソースとそのためのドレンとを形成するようにオーバラップする第 1 の導体材料、

前記半導体材料と前記ソースと前記ドレンとのそれぞれの少なくとも一部にオーバラップする第 1 のゲート絶縁体、

各 TFT の前記ゲート絶縁体の少なくとも一部に、そのためのゲートを形成するように

オーバラップする第2の導体材料、そして

前記第1の導体材料の少なくとも一部がこの第2の絶縁体を通して露出されるように各  
TFTの前記第2の導体材料にオーバラップする第2の絶縁体。