

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5746199号
(P5746199)

(45) 発行日 平成27年7月8日(2015.7.8)

(24) 登録日 平成27年5月15日(2015.5.15)

(51) Int.Cl.

F 1

H01L 21/331 (2006.01)

H01L 29/72

P

H01L 29/732 (2006.01)

H01L 29/06

301 F

H01L 29/06 (2006.01)

請求項の数 19 (全 18 頁)

(21) 出願番号 特願2012-537174 (P2012-537174)
 (86) (22) 出願日 平成22年11月1日 (2010.11.1)
 (65) 公表番号 特表2013-509730 (P2013-509730A)
 (43) 公表日 平成25年3月14日 (2013.3.14)
 (86) 國際出願番号 PCT/US2010/055000
 (87) 國際公開番号 WO2011/053927
 (87) 國際公開日 平成23年5月5日 (2011.5.5)
 審査請求日 平成25年9月5日 (2013.9.5)
 (31) 優先権主張番号 12/611,074
 (32) 優先日 平成21年11月2日 (2009.11.2)
 (33) 優先権主張国 米国(US)

(73) 特許権者 505274818
 アナログ デバイシス、 インコーポレイ
 テッド
 アメリカ合衆国 マサチューセッツ 02
 062-9106, ノーウッド, ワン
 テクノロジー ウェイ
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100113413
 弁理士 森下 夏樹
 (72) 発明者 レーン, ウィリアム アレン
 アイルランド国 コーク, ウォーターフ
 オール, スラリー, コイリン
 最終頁に続く

(54) 【発明の名称】バイポーラトランジスタ

(57) 【特許請求の範囲】

【請求項 1】

バイポーラトランジスタとフィールドプレートとを含む装置であって、該バイポーラトランジスタは、エミッタ領域と、ベース接点を有するベース領域と、コレクタ領域と、浮動保護領域とを備え、該浮動保護領域は、該ベース領域から分離され、かつ、該ベース領域を囲み、該フィールドプレートは、該バイポーラトランジスタの該浮動保護領域から絶縁され、該バイポーラトランジスタの該浮動保護領域の上方に配置され、該バイポーラトランジスタの該浮動保護領域を全体的に覆い、該バイポーラトランジスタの該浮動保護領域を越えて延在し、該バイポーラトランジスタは、少なくとも部分的に該浮動保護領域と該ベース領域との間に電界絶縁層を含む、装置。

10

【請求項 2】

前記バイポーラトランジスタは、前記コレクタ領域が、前記ベース領域の下に延在するよう、垂直方向に形成されたトランジスタである、請求項 1 に記載の装置。

【請求項 3】

接続領域は、電気接点が前記垂直トランジスタの表面から前記コレクタ領域まで作られ得るように、該コレクタ領域から該垂直トランジスタの表面まで延在する、請求項 2 に記載の装置。

【請求項 4】

前記バイポーラトランジスタは、絶縁体によって境界を決められた井戸内に形成されている、請求項 1 に記載の装置。

20

【請求項 5】

前記絶縁体は、二酸化ケイ素である、請求項4に記載の装置。

【請求項 6】

前記エミッタ領域および前記コレクタ領域は、第1の導電型の領域を形成するようにドープされ、前記ベース領域および前記浮動保護領域は、該第1の型と反対の第2の導電型の領域を形成するようにドープされる、請求項1に記載の装置。

【請求項 7】

前記第1の型の領域は、P-型半導体であり、前記第2の型の領域は、N-型半導体である、請求項6に記載の装置。

【請求項 8】

前記第1の型は、N-型半導体であり、前記第2の型は、P-型半導体である、請求項6に記載の装置。

【請求項 9】

前記ベース領域および前記コレクタ領域の中間に半導体材料のさらなる領域をさらに備え、該さらなる領域のドーピング濃度は、該コレクタ領域より低い濃度でドープされている範囲内である、請求項1に記載の装置。

【請求項 10】

前記浮動保護領域の縁は、前記ベース領域の縁から4μmから6μmにある、請求項1に記載の装置。

【請求項 11】

前記浮動保護領域は、実質的に3μm幅である、請求項10に記載の装置。

【請求項 12】

バイポーラトランジスタを製造する方法であって、

エミッタ領域と、ベース領域と、コレクタ領域とを形成することと、

該ベース領域から分離され、かつ、該ベース領域を囲む浮動保護領域を形成することと、

、
少なくとも部分的に該浮動保護領域と該ベース領域との間に電界絶縁層を生成することと、
該浮動保護領域の上方に配置されたフィールドプレートを生成することであって、該フィールドプレートは、該浮動保護領域の縁を全体的に覆い、該浮動保護領域の縁から絶縁され、該浮動保護領域の縁を越えて延在することと

を含む、方法。

【請求項 13】

前記エミッタ領域と、前記ベース領域と、前記コレクタ領域とを形成することは、該ベース領域の下に該コレクタ領域を生成して、垂直トランジスタを画定することを含む、請求項12に記載の方法。

【請求項 14】

電気接点が垂直トランジスタの表面から前記コレクタ領域まで作られ得るように、該コレクタ領域から該垂直トランジスタの表面まで接続領域を延在させることをさらに含む、請求項12に記載の方法。

【請求項 15】

前記エミッタ領域と、前記ベース領域と、前記コレクタ領域とを形成することは、絶縁体によって境界を決められた井戸内に該領域を提供することを含む、請求項12に記載の方法。

【請求項 16】

前記浮動保護領域を形成することは、単一マスクを通して、該浮動保護領域および前記ベース領域を同時にドープすることを含む、請求項12に記載の方法。

【請求項 17】

前記バイポーラトランジスタは、前記ベース領域と前記コレクタ領域との間に形成されたPN接合点の縁の周りに空乏領域を形成するように構成され、前記浮動保護領域は、該

10

20

30

40

50

空乏領域を延在させるように構成されている、請求項1に記載の装置。

【請求項 1 8】

前記エミッタ領域および前記コレクタ領域は、第1の導電型を有し、前記ベース領域および前記浮動保護領域は、第2の導電型を有し、該第2の導電型は、該第1の導電型とは反対である、請求項1に記載の装置。

【請求項 1 9】

前記浮動保護領域は、前記ベース領域と同一導電型を有し、前記電界絶縁層は、該浮動保護領域に当接する第1の縁と、該ベース領域に当接する第2の縁とを有し、前記バイポーラトランジスタは、該ベース領域と前記コレクタ領域との間に形成されたP N接合点の縁の周りに空乏領域を形成するように構成され、該浮動保護領域は、該空乏領域を分散させるように構成されている、請求項1に記載の装置。10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、概して、トランジスタに関し、より具体的には、絶縁破壊電圧を改良する、バイポーラトランジスタおよびバイポーラトランジスタの中の構造に関する。

【背景技術】

【0 0 0 2】

半導体材料は、電界が電子を原子から引き離し始め、それによって、材料が導電性になる絶縁破壊を生じさせ、可能性として、永久的な損傷を生じさせる前に耐えることができる、最大電界強度を有する。20

【0 0 0 3】

半導体素子を形成するためのドープ領域の加工は、電界勾配が材料内で生じる方法を変化させ、絶縁破壊電圧を変化させることができる。

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

生じる絶縁破壊電圧の低下を減少させることが非常に望ましい。

【課題を解決するための手段】

【0 0 0 5】

本発明の一局面によると、エミッタ領域と、ベース領域と、コレクタ領域と、ベースを囲む保護領域とを備える、バイポーラトランジスタが提供される。30

【0 0 0 6】

本発明の別の局面によると、エミッタ領域と、ベース領域と、コレクタ領域とを形成することと、ベース領域を囲む保護領域を形成することとを含む、バイポーラトランジスタを製造する方法が提供される。

【0 0 0 7】

したがって、絶縁破壊が生じる、電圧を上昇させるように、トランジスタ内の電界型を修正することが可能である。

【0 0 0 8】

いくつかの実施形態では、導電層が、保護領域の上方に定置され、それを覆い、かつ越えて、延在してもよい。これは、保護領域近傍の電界勾配を減少させるように、保護領域に隣接する空乏領域を延在させる可能性をもたらす。いくつかの実施形態では、保護およびベース領域は、同時に、ドープすることができる。40

【0 0 0 9】

本発明は、付隨の図面を参照して、単なる一例として、さらに説明される。

例えば、本発明は以下の項目を提供する。

(項目 1)

バイポーラトランジスタを含む装置であって、該バイポーラトランジスタは、エミッタ領域と、ベース領域と、コレクタ領域と、該ベース領域を囲む保護領域とを備えている、50

装置。

(項目 2)

上記保護領域の上方に配置され、該保護領域の縁を越えて延在するフィールドプレートをさらに備えている、項目 1 に記載の装置。

(項目 3)

上記バイポーラトランジスタは、上記コレクタ領域が、上記ベース領域の下に延在するように、垂直方向に形成されたトランジスタである、項目 1 に記載の装置。

(項目 4)

接続領域は、電気接点が、垂直トランジスタの表面から上記コレクタ領域まで作られ得るよう、該コレクタ領域から該垂直トランジスタの表面まで延在する、項目 3 に記載の装置。

10

(項目 5)

上記バイポーラトランジスタは、絶縁体によって境界を決められる井戸内に形成される、項目 1 に記載の装置。

(項目 6)

上記絶縁体は、二酸化ケイ素である、項目 5 に記載の装置。

(項目 7)

上記エミッタ領域およびコレクタ領域は、第 1 の導電型の領域を形成するようにドープされ、上記ベース領域および保護領域は、該第 1 の型と反対の第 2 の導電型の領域を形成するようにドープされる、項目 1 に記載の装置。

20

(項目 8)

上記第 1 の型の領域は、P - 型半導体であって、上記第 2 の型の領域は、N - 型半導体である、項目 7 に記載の装置。

(項目 9)

上記第 1 の型は、N - 型半導体であって、上記第 2 の型は、P - 型半導体である、項目 7 に記載の装置。

(項目 10)

上記ベース領域および上記コレクタ領域の中間に半導体材料のさらなる領域をさらに備え、該さらなる領域のドーピング濃度は、該コレクタ領域よりあまり高濃度にドープされてない範囲内である、項目 1 に記載の装置。

30

(項目 11)

上記保護領域の縁は、上記ベース領域の縁から 4 μm から 6 μm である、項目 1 に記載の装置。

(項目 12)

上記保護領域は、実質的に 3 μm 幅である、項目 11 に記載の装置。

(項目 13)

バイポーラトランジスタを製造する方法であって、
エミッタ領域と、ベース領域と、コレクタ領域とを形成することと、
該ベース領域を囲む保護領域を形成することと
を含む、方法。

40

(項目 14)

上記保護領域の上方に配置され、該保護領域の縁を越えて延在するフィールドプレートを生成することをさらに含む、項目 13 に記載の方法。

(項目 15)

上記エミッタ領域と、ベース領域と、およびコレクタ領域とを形成することは、該ベース領域の下に該コレクタ領域を生成して、垂直トランジスタを画定することを含む、項目 13 に記載の方法。

(項目 16)

電気接点が、上記垂直トランジスタの表面から上記コレクタ領域まで作られ得るように、該コレクタ領域から該垂直トランジスタの表面まで延在する接続領域をさらに備える、

50

項目 1 3 に記載の方法。(項目 1 7)

上記エミッタ領域と、ベース領域と、およびコレクタ領域とを形成することは、絶縁体によって境界を決められる井戸内に上記領域を提供することを含む、項目 1 3 に記載の方法。

(項目 1 8)

上記保護領域を形成することは、単一マスクを通して、上記保護領域および上記ベース領域を同時にドーピングすることを含む、項目 1 3 に記載の方法。

【図面の簡単な説明】【0010】

10

【図 1】図 1 は、先行技術の垂直に加工された PNP バイポーラトランジスタの概略断面図である。

【図 2】図 2 は、トランジスタの異なる動作条件に対するコレクタ電流対コレクタ電圧の対数プロットであって、絶縁破壊の結果を示す。

【図 3】図 3 は、トランジスタが、理論上、非導電性である時の絶縁破壊の発現時の図 1 に示されるトランジスタ内の修正された電界勾配の図である。

【図 4】図 4 は、トランジスタがオン、すなわち、導電性である時の絶縁破壊の発現時の図 1 に示されるトランジスタ内のモデル化された電界勾配の図である。

【図 5】図 5 は、トランジスタがオンであって、絶縁破壊を発現するために必要とされるものによるわずか数ボルト未満のコレクタ対ベース電圧を伴う時の図 4 のトランジスタの図である。

【図 6】図 6 は、本発明の第 1 の実施形態による、トランジスタの概略断面図を示す。

【図 7】図 7 は、ベース接合点に関して、-80 ボルトに保持されるコレクタを伴う、図 6 のトランジスタ内のモデル化された電界勾配の図を示す。

【図 8】図 8 は、種々の保護環対ベース分離に対する保護環電圧対コレクタ電圧を示す、グラフである。

【図 9】図 9 は、本発明のさらなる実施形態による、トランジスタの概略断面図を示し、また、トランジスタ内の電界等高線を図式的に示す。

【図 10】図 10 は、図 9 に示されるものと同じであるが、フィールドプレートを含まない、トランジスタ内の電界電位を示す。

30

【図 11】図 11 は、図 1 の先行技術のトランジスタの平面図である。

【図 12】図 12 は、本発明の実施形態による、トランジスタの平面図である。

【発明を実施するための形態】【0011】

以下の発明を実施するための形態は、本発明のある具体的実施形態を対象とする。しかしながら、本発明は、多数の異なる方法で具現化することができる。本明細書の局面は、種々の形態で具現化されてもよく、本明細書に開示される任意の具体的構造、機能、または両者は、単なる代表例にすぎないことは明白であるはずである。本明細書の教示に基づいて、当業者は、本明細書に開示される局面が、任意の他の局面から独立して実装されてもよく、これらの局面のうちの 2 つ以上が、種々の方法で組み合わせられてもよいことを理解されたい。例えば、本明細書に記載される任意の数の局面を使用して、装置が実装されてもよく、または方法が実践されてもよい。加えて、本明細書に記載される局面のうちの 1 つ以上に加え、あるいはそれ以外の他の構造、機能性、または構造および機能性を使用して、そのような装置が実装されてもよく、もしくは方法が実践されてもよい。

40

【0012】

本明細書で使用されるような「上方」、「下方」等の相対的用語は、添付の図に配向されるような構成要素を指し、適宜解釈されるべきである。

【0013】

図 1 は、典型的バイポーラトランジスタのレイアウトを例証する。例えば、トランジスタは、PNPトランジスタであってもよい。当業者は、本明細書に開示される教示がまた

50

、NPNバイポーラトランジスタに適用されることを理解するであろう。

【0014】

図1に示される配設は、垂直に加工されたPNPトランジスタである。トランジスタ2は、半導体キャリアウエハである可能性がある、基板10の上方に形成される。基板10は、相互に絶縁されるべきである、多数のトランジスタを担持してもよい。これは、当業者に周知のように、ドープ半導体の井戸を提供し、逆バイアス接合点を形成することによって、達成することができる。しかしながら、個々の素子が、二酸化ケイ素を備えておく、また、二酸化ケイ素を備えてよい、側壁14によって封入されてもよい、絶縁層12の上方に構築されることができる、シリコン・オン・インシュレータ(SOI)加工等のより最新の技術も存在する。トランジスタ2は、バイポーラトランジスタのコレクタとして作用する、P-型層20を備える。素子が、別個の構成要素としてもたらされる場合、層10および12は、省略され得、P-型層20は、その下面に取着される、ボンドパッドを有し得る。しかしながら、トランジスタ2が、集積回路内に加工されると、P-型層20は、P-型領域22によって、素子のより上面に接続される。P-型層20およびP-型領域22は、比較的に高濃度にドープされてもよく、いくつかの専門用語では、P⁺として記述されてもよく、「+」は、高濃度または高度ドーピングレベルを示す。金属接点24は、P-型領域22の表面において、電流接続を作り、コレクタ端子を形成する。接点24近傍の電流密度は、非常に高いため、非常に高濃度にドープされたP型半導体26の領域は、接点抵抗を低減するために提供されてもよい。

【0015】

P-型層20の上方には、あまり高濃度にドープされてないP-型領域30がある。これは、時として、P⁻として指定され、「-」記号は、低濃度または低下ドーピング強度を示す。典型的には、ドーピング濃度は、P-型層20内よりも100から1000倍低いが、本範囲外の値も可能である。P-型領域30の上方には、トランジスタ2のベースを形成する、N-型領域40がある。P-型領域50の島状構造は、N-型領域40内に形成され、素子のエミッタを形成する。金属接点42は、ベース領域40の上方に提供され、ベース端子として作用し、増強N-型ドーピングの領域44は、ベース端子の下方に提供され、より低い接点インピーダンスをもたらすことによって、電流を促進してもよい。

【0016】

当業者は、多くの場合、内部部品と、外部部品と、を有するものとして、トランジスタを説明する。内部部品は、ベース領域の真下、かつ概して、60として指定される領域内に位置する。外部部品は、素子の残りである。

【0017】

当業者に周知のように、P-型およびN-型半導体材料が、接触すると、P-型材料内の正孔は、N-型材料中に拡散する傾向にあり、N-型材料内の電子は、P-型材料中に拡散する傾向にある。拡散は、電荷の中性を乱し、接合点において、静電電位を生成し、ひいては、空乏層として知られる、キャリアのほとんどが除去される領域を生成する。空乏層は、周囲の半導体より高い抵抗率を有し、したがって、トランジスタ内の最強電界は、異なる半導体型の境界またはその近傍に生じる。

【0018】

前述のように、プロセスパラメータは、絶縁破壊電圧に影響を及ぼす。そのようなパラメータは、ドーピング濃度およびドーパントが半導体材料に侵入する距離を含む。例えば、36Vプロセス等の公称電圧で作動するために好適な素子を生産するために使用されるプロセスは、約70V等の公称動作電圧の略2倍の絶縁破壊電圧を有する、トランジスタをもたらし得る。

【0019】

ここまで、絶縁破壊は、单一プロセスであるかのうように論じられたが、実際は、絶縁破壊は、異なる方法および異なる動作条件下で生じる可能性がある。素子は、例えば、「オン」であって、コレクタとエミッタとの間に電流を通過させ得、本動作モードにおける

10

20

30

40

50

絶縁破壊は、非導電（「オフ」）の時、素子に絶縁破壊を生じさせるものと異なる機構による可能性がある。

【0020】

図2は、そのコレクタとエミッタ端子との間の電圧差が、0から約-70ボルトに変化するのに伴う、試験下の例示的PNPトランジスタに対する絶縁破壊電流の測定を示す。

【0021】

測定「Bvces」の場合、素子は、オフであって、ベースは、エミッタとともに、0Vに保持された。コレクタ電圧は、ゼロボルトから掃引され、徐々に負となった。

【0022】

測定「Bvceo」の場合、素子は、オンであって、公称上、ベースは開であるが、実際は、非常に小さい所定の値にベース電流を制御する電流シンクを伴う。 10

【0023】

試験素子内において、両絶縁破壊電圧が同じであることが分かる。これは、同一現象が、両絶縁破壊事象において含意されることを示す。

【0024】

発明者らは、さらに調査を行い、トランジスタのコンピュータシミュレーションを構築した。

【0025】

図3は、図1に示されるトランジスタの一部の一部をさらに詳細に例証し、具体的には、エミッタと、ベースと、コレクタ領域と、を含む、素子の表面近傍の領域に焦点を当てている。公称素子構造を示すとともに、また、電界勾配を示す。 20

【0026】

ベースおよびコレクタ等の素子構造は、明確に画定されて示されているが、加工の際、他のドーピングプロセスに関するイオン注入プロセスは、典型的には、素子の表面上方から生じ、したがって、ドーパント濃度は、典型的には、表面近傍でより高く、必然的に、ウエハ中への深度が進むのに伴って低下することを理解されたい。注入後、拡散ステップが、ウエハが加熱される場所で行われる。これは、ドーパントを分散させ、ドーパント濃度の局所断絶に対処するのに有用である。しかしながら、拡散は、全方向で生じ、したがって、理論上、図1のベース領域とP-型領域30との間の明確な描写は、濃度内でより平滑な変化となり、故に、トランジスタは、これらの領域間に明確な境界を有していない。 30

【0027】

また、異なるドープ材料間の接合点近傍のより高いドーパント濃度は、空乏領域がより小さく、故に、異なる領域間の任意の電圧差が、より短い距離にわたって降下し、故に、静電電界勾配がより高くなることを意味することに留意されたい。

【0028】

注入が、概して、上方から生じるとすると、最高電界勾配は、熱拡散ステップが生じた後でも、トランジスタの表面近傍である傾向にあるということになる。

【0029】

加えて、電界勾配は、湾曲表面の周囲で増加することが、静電理論から知られている。ベース層の形成は、公称上、拡散距離に類似する半径を伴う円柱として見なされ得る、湾曲線を伴う、平坦な下面（無限半径の円柱と一部と見なされ得る）を有する構造をもたらす。したがって、ベース領域の縁における曲率は、電界強度の増強をもたらす。 40

【0030】

図3は、ベース領域40の縁に隣接する領域100で生じる絶縁破壊を被る、第1の部分を表す素子のごく一部を表す。本界面は、電界勾配が、メートルあたり 5×10^5 ボルトを超える、ベース-コレクタ接合点として知られる、ベース領域40とコレクタとの間の界面を示す。破線106によって封入される領域104は、メートルあたり 4×10^5 ボルトを超える、電界勾配を有する。破線112によって境界される領域110は、メートルあたり 3×10^5 から 4×10^5 ボルトであり得る、電界勾配を有する。 50

【0031】

図3はまた、コレクタ構造の周囲の空乏領域121の縁120を示す。空乏領域121は、ベース領域40に向かって延在する。したがって、ベース対コレクタ電圧差が降下する距離が減少され、再び、局所電界勾配内における増加を促進する。高電界勾配は、領域100内に電子なだれ絶縁破壊引き起こし、キャリア（この場合、電子）は、ベース領域40に向かって掃引され、注入される。これらのキャリアは、素子をオンにする信号のように作用し、素子内の電流が、外部要因によって制限されない場合、コレクタ電流は、素子が損傷を受けるまで増加するであろう。

【0032】

図4は、図3に類似するが、ベースが制御電流を通過させている時の素子内でシミュレートされた電界勾配を示す。図3と同様に、絶縁破壊は、ベース・コレクタ接合点における素子の表面近傍の高電界電位の領域100の生成に伴って生じる。

10

【0033】

シミュレーションはまた、図5に示されるように、素子がオンであるが、絶縁破壊の発現の数ボルト下である時、極度に高い電界勾配、すなわち、ベース領域の角における領域100が欠如していることを示す。

【0034】

好ましい実施形態によると、ベース領域の角における極度に高い電界勾配の生成は、バイポーラトランジスタ内の付加的構造の加工によって低減されることができる。

【0035】

図6に示されるように、保護領域200は、ベース領域40を囲む素子の表面領域内に加工される。保護領域200は、トランジスタ上方から見ると、ベース領域40を包囲し、故に、また、保護環とも呼ばれる可能性がある。しかしながら、本文脈における「環」とは、閉ループ構造のみを指し、必ずしも、円形形状を含意するわけではない。例えば、長方形ループを使用することもできる。また、当業者に周知であるように、一般的に、半導体の表面に加工される、電界絶縁層210も示される。例証される実施形態では、電界絶縁層210の一部は、ベース領域40を保護領域200から絶縁する。次いで、例えば、二酸化ケイ素の最終保護または絶縁層が、それを通して延在する金属接点のみによって、素子の表面を覆って蒸着される。そのような絶縁は、素子加工における標準的特徴であつて、さらに説明される必要はない。

20

【0036】

図1におけるように、図6のコレクタ領域20およびエミッタ領域50は両方とも、P - 型半導体材料にドープされる。また、図1のようすに、図6のベース領域40および保護領域200は、N - 型半導体材料にドープされる。したがって、コレクタ20およびエミッタ50は、1つの種類の導電性を有する一方、ベース領域40および保護領域200は、別の反対の種類の導電性を有する。当業者は、他の実施形態では、ドーパント型が切り替えられてもよい、すなわち、ベース領域40および保護領域200が、P - 型半導体材料にドープされてもよく、コレクタ領域20およびエミッタ領域50が、N - 型半導体材料にドープされてもよいことを理解するであろう。

30

【0037】

同一導電型の材料から、保護層200およびベース領域40の両方を形成することは、有利である可能性がある。保護領域200は、有利には、ベース領域40と同時に注入されることができる。その結果、保護領域200の形成は、任意の余剰処理ステップを被ることなく、ベース領域40の場合と同一ドーピングマスクを使用して形成することができる。故に、保護層200およびベース領域40は、同一種類の導電性を有し、また、それらの領域内に同一最大濃度のドーパントを有するが、異なる幾何学形状が、若干異なる程度の拡散をもたらしてもよい。保護領域200は、ベース40とコレクタ20との間に形成されるPN接合点の周囲の空間電荷領域を拡大する効果を有する。加えて、保護領域200は、いずれの接点にも接続されない。これは、ベース電圧およびコレクタ電圧の中間である、電圧にならすことが可能である。

40

50

【0038】

これは、ひいては、ベース - コレクタ電圧が、トランジスタ内により大きな距離にわたって降下されるため、電界勾配が減少されることを意味する。

【0039】

保護領域の不在下では、空乏層は、絶縁破壊を生じさせるために必要とされる電圧より少し下回る電圧において、距離 d だけ、ベース - コレクタから延在するであろう。保護領域 200 が注入されると、完成トランジスタ内では、保護領域の縁 200 は、距離 d 未満だけ、ベース - コレクタ接合点から離間されるように位置付けることができる。

【0040】

いくつかの実施形態では、さらなる中間領域が、ベース領域 40 とコレクタ領域 20 の間に含まれてもよい。図 6 では、本中間領域は、あまり高濃度にドープされてない P - 型領域 30 である。P - 型領域 30 のドーピング濃度は、典型的には、コレクタ領域 20 よりあまり高濃度にドープされてない濃度から、別様に真性半導体と称される、全くドープされていない濃度の範囲である。

【0041】

図 7 は、図 6 の素子の側方領域 250 をさらに詳細に示す。図 7 はまた、0 V に保持されたベース 40 およびエミッタ 50 ならびに - 80 V に保持されたコレクタに対する、素子内の等電位線を示す。

【0042】

本実施例では、保護領域 200 は、ベースとコレクタ電圧との間の電圧を約半分にならすように形成されている。そうすることによって、ベース領域 40 の縁における電界勾配を減少させる。これは、電界勾配が、電子なだれ絶縁破壊を生じさせるほど十分に大きくなる前に、より高い電圧をコレクタ 20 とベース 40 との間に印加することができることを意味する。保護領域 200 の含有は、トランジスタ 2 内の電位勾配を修正する。等電位線およびその電圧は、図 7 内に図式的に含まれる。ベース領域 40 の縁は、依然として、ベース領域 40 の他の部分の周囲の勾配と比較して、領域 270 内のトランジスタの表面において、非常に高い電界勾配を被る。しかしながら、電界勾配は、大幅に減少されず、その結果、本実施例では、コレクタ電圧が、同じ素子であるが、保護領域を省略している場合（図 3 に示されるように）、図 2 に示されるように、絶縁破壊電圧を超える、 - 80 ボルトである場合でも、電界勾配は、衝突イオン化駆動絶縁破壊プロセスを誘発しない。

【0043】

電圧降下の第 2 のゾーンは、コレクタ層 20 を素子の表面に電気的に接続し、その状態をもたらす、P - 型材料の領域 22 に向かって対向する縁において、280 として指定される領域内素子の表面で生じることが分かる。

【0044】

保護領域 200 の効果を考慮する方法の 1 つは、ベース 40 の周囲に空乏層を分散させ、その曲率半径を効果的に増加させ、それによって、曲率によって増強された電界勾配を減少させるように配慮することである。

【0045】

発明者らは、保護領域 200 とベース 40 との間の異なる分離の効果を調査した。本調査の結果は、図 8 に示される。

【0046】

4、5、6、および 7 マイクロメートル (μm) の（熱拡散に先立った）分離距離に対する、ベースからの保護領域分離の効果の調査を行った。保護領域電圧は、コレクタ電圧がゼロボルトから素子絶縁破壊電圧に掃引されるのに伴って測定した。実験における保護領域は、 $3 \mu m$ 幅であって、分離距離は、ベース領域が注入される場所を画定するマスク内の開口の縁から、保護領域が注入される場所を画定するマスク内の開口の最近傍縁まで測定される。保護環の幅は、特に、重要ではないが、確実に形成されるために十分な幅とする。

【0047】

10

20

30

40

50

保護領域 200 が、コレクタに比較的に近い時（より小さい間隔、例えば、 $4 \mu m$ ）、コレクタ電圧は、保護領域にほとんど伝達されず、その結果、ベースの縁における電界勾配は、大幅に減少されないことが分かる。したがって、 $4 \mu m$ 保護領域の場合、コレクタが -50V である時、保護領域は、約 -8V に過ぎず、したがって、ベースコレクタ電圧の大部分は、保護領域 200 とベース 40 との間の残りの ($> 4 \mu m$) 距離内で降下する。ベースからの保護領域距離が増加するのに伴って、保護領域は、より大きな割合のコレクタ電圧にならされ、したがって、例えば、-50 ボルトのコレクタ電圧では、 $5 \mu m$ 分離保護領域は、約 -30V である一方、 $6 \mu m$ および $7 \mu m$ 分離保護領域は、約 -44V である。これは、本素子保護領域の場合、好ましくは、コレクタから $4 \mu m$ から $5 \mu m$ であることを示唆すると考えられる。しかしながら、保護領域の幅もまた、素子の動作に影響を及ぼす。各線端の円は、絶縁破壊の発現を示す。

【0048】

図 9 を参照すると、一実施形態では、絶縁破壊電圧に対する増強は、保護領域を覆って、但し、そこから絶縁させて、金属導体 290 を定置し、保護領域からコレクタ接点までの距離の一部を延在させることによって、達成することができる。

【0049】

フィールドプレートとしてみなされ得る、そのような金属層は、ベース端子に接続されると、保護領域 200 の周囲の N- 型半導体の空乏を側方に延在させる。これは、ひいては、空乏層の曲率半径を減少させ、保護領域の縁における電界勾配のさらなる減少をもたらす。これは、保護領域が、導体が不在下では、コレクタ接続 22 に向かって対向する縁において絶縁破壊を生じさせるように位置付けることができることを意味する。次いで、フィールドプレートは、空乏層を延在させることによって、本縁における電界勾配を減少させるように作用する。これは、絶縁破壊電圧のさらなる増強をもたらす。

【0050】

図 9 は、金属フィールドプレート 290 を有する素子の場合のより小さい電界勾配の領域から例えば、約 $3 \times 10^5 V m^{-1}$ の電界勾配を有する、領域 302、302a、および 302b の境界を描写する、線 300、300a、および 300b によって、電界勾配の減少を図式的に例証する（2つのプレートとして、断面が表されるが、実際は、電気接続 294 によって図式的に指定されるように、同一電位であるように、略図の平面の上方および下方において、ともに接続する単一構造である）。領域 302、302b もまた、単一環状領域を表すことを理解されるであろう。

【0051】

図 10 は、図 9 に例証されるものと同一であるが、フィールドプレート 290 が省略されている、素子に対する電界勾配を図式的に示す。図 10 は、図 9 に示される同等素子と比較して、境界 300 がその中に延在されていない、領域 305 を例証する。したがって、電界勾配は、フィールドプレート 290 を有する素子とし比較して、フィールドプレート 290 を伴わない素子内の保護領域 200 の縁の周囲においてより高い。これは、フィールドプレートが、図 9 に示されるトランジスタ内に空乏層を分散させることを示す。

【0052】

図 11 は、図 1 の例示的先行技術のトランジスタの平面図を示す。トランジスタ 2 は、集積回路 320 内に形成される多くのうちの 1 つである。金属トラック 322、324、および 326 は、トランジスタのエミッタ、ベース、およびコレクタ領域を相互接続するより高い金属化パターンを表し、輪郭で示される。

【0053】

図 12 は、図 11 の素子が、トランジスタの表面において、ベース領域 40 から離間され、それを囲むか、または包囲する、保護領域 200 の含有によって、どのように修正されるかを示す。本修正は、トランジスタ 2 を、修正されたマスク以外に任意のプロセス変更を必要とせずに、増強された絶縁破壊電圧とともに加工することを可能にする。保護領域 200 は、ベース 40 を注入する同一処理ステップにおいて実装することができる。フィールドプレートは、回路の表面上に相互接続を形成する、同一金属化ステップにおいて

10

20

30

40

50

形成することができる。フィールドプレートはまた、集積回路製造業者が、その電圧が不明である任意の他の導体をトランジスタ内の重要接合点にわたって置くことがないように、保証するために使用することができる。これは、トランジスタ内で誘発されるさらなる不明電界を回避し得る。

【0054】

したがって、改良型トランジスタを提供することが可能である。

【0055】

用途

本明細書に説明されるトランジスタは、種々の電子素子内に実装することができる。電子素子の実施例として、高速信号処理チップ、電力調整器、メモリチップ、メモリモジュール、光ネットワークまたは他の通信ネットワークの回路、およびディスクドライバ回路を含み得る。そのような電子機器を組み込むことができる製品は、消費家電製品、消費家電製品の部品、電子試験機器等を含むが、それらに限定されない。消費家電製品は、携帯電話、携帯電話基地局、電話、テレビ、コンピュータモニタ、コンピュータ、ハンドヘルドコンピュータ、携帯端末（PDA）、マイクロ波、冷蔵庫、ステレオシステム、カセットレコーダまたはプレーヤ、DVDプレーヤ、CDプレーヤ、VCR、MP3プレーヤ、ラジオ、ビデオカメラ、カメラ、デジタルカメラ、ポータブルメモリチップ、洗濯機、乾燥機、洗濯／乾燥機、複写機、ファクシミリ装置、スキャナ、マルチ機能周辺機器、腕時計、掛時計等を含み得るが、それらに限定されない。さらに、電子素子は、未完成品を含む可能性がある。

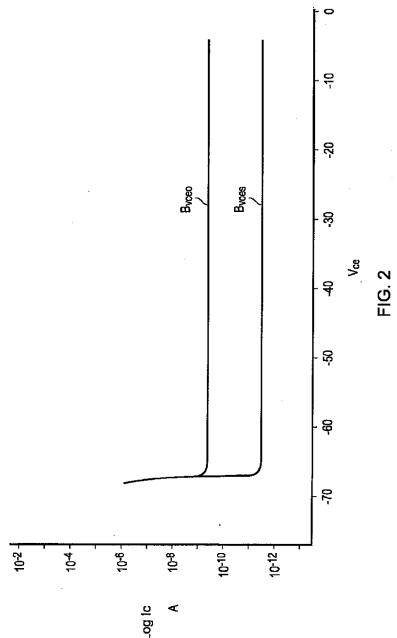
10

20

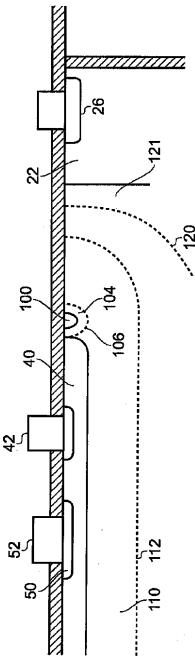
【0056】

本発明は、ある実施形態の観点から説明されたが、本明細書に記載される特徴および利点のすべてを提供しない実施形態を含め、当業者に明白である他の実施形態もまた、本発明の範囲内である。さらに、前述の種々の実施形態は、さらなる実施形態を提供するため組み合わせることができる。加えて、一実施形態に照らして示されるある特徴は、同様に、他の実施形態に組み込むことができる。故に、本発明の範囲は、添付の請求項を参照することによってのみ、定義される。

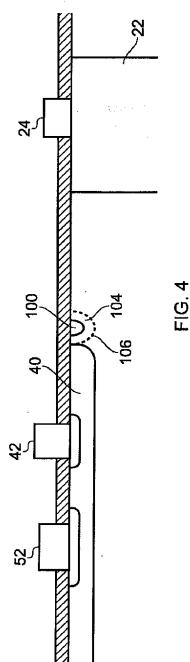
【図2】



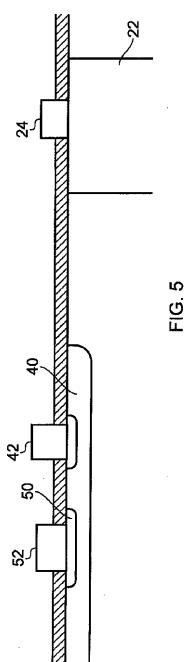
【図3】



【図4】



【図5】



【図6】

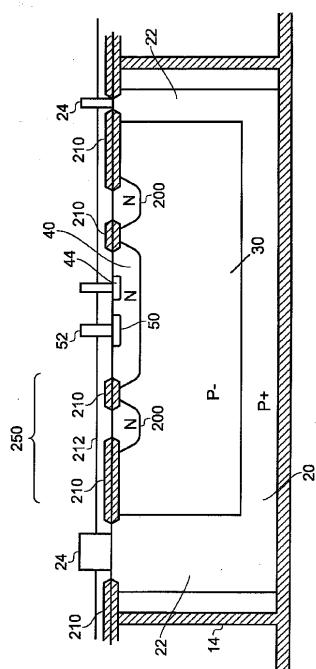


FIG. 6

【図7】

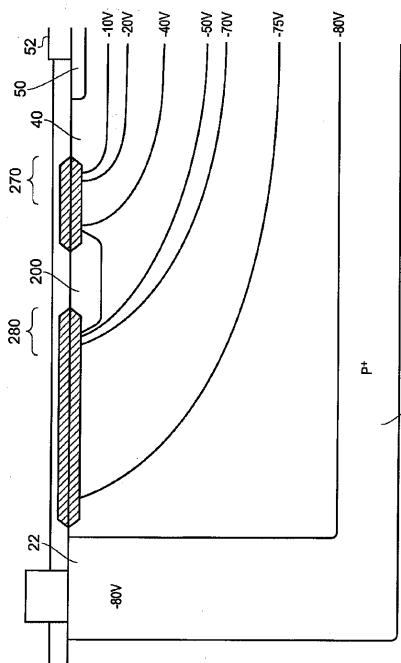


FIG. 7

【図9】

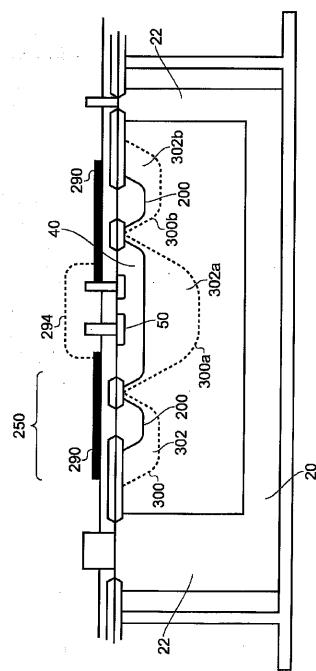


FIG. 9

【図10】

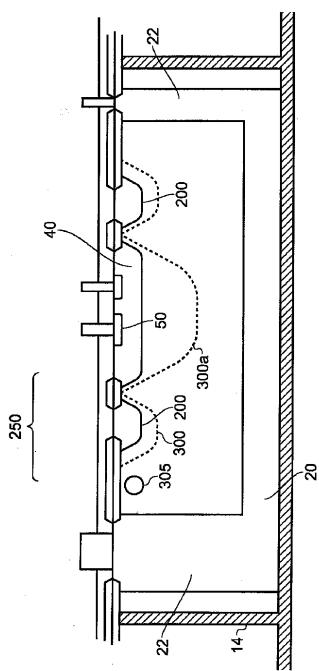


FIG. 10

【図 1 2】

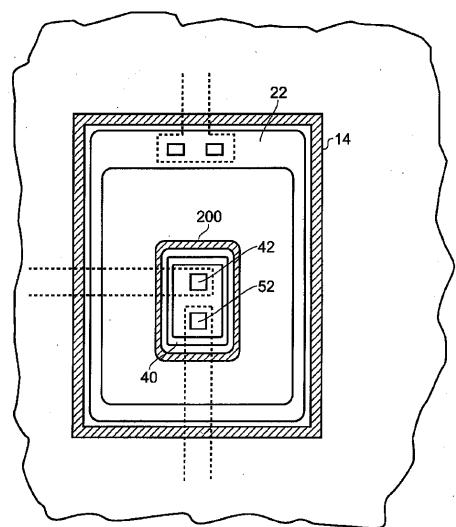


FIG. 12

【図1】

先行技術

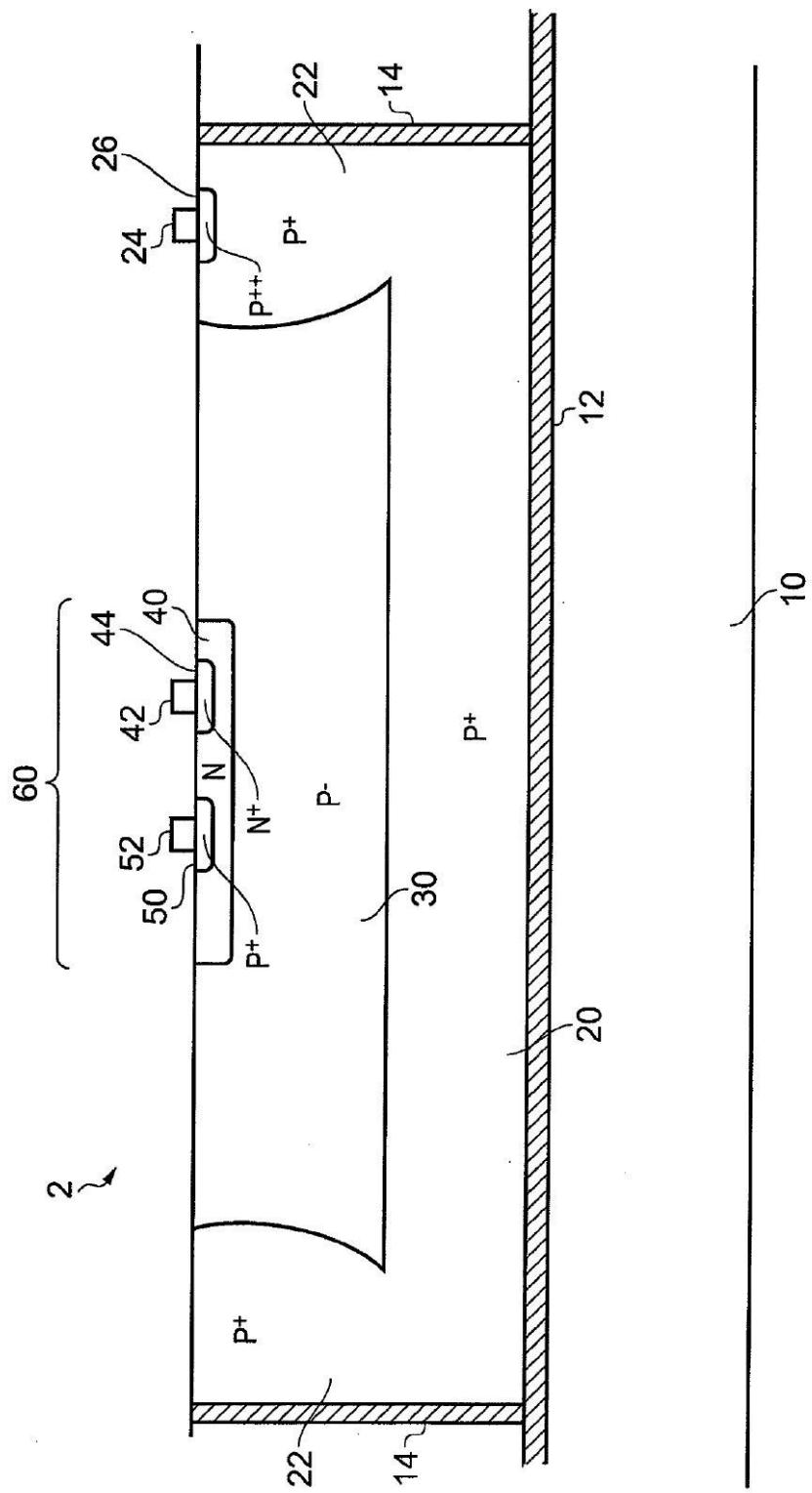


FIG. 1

【図8】

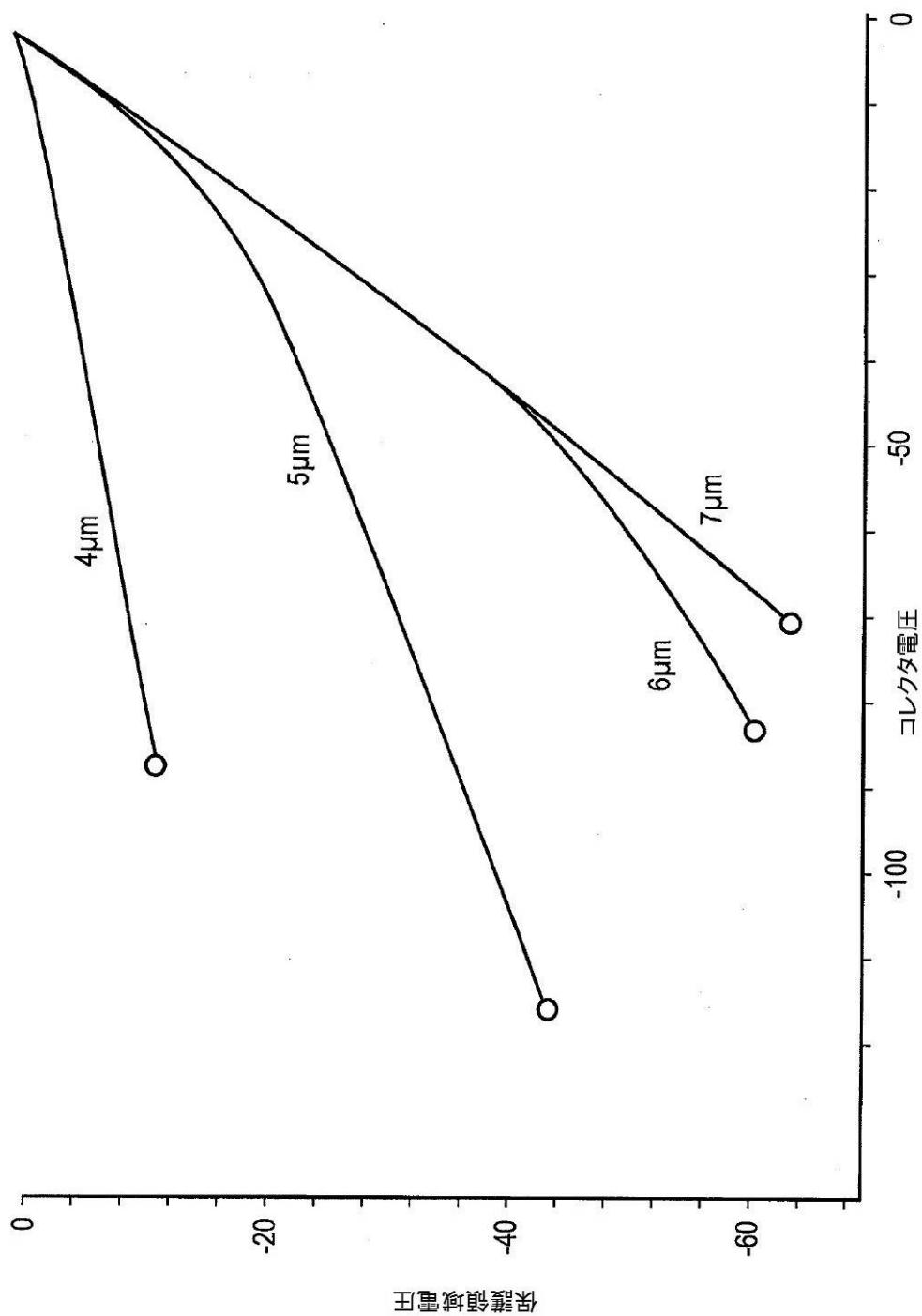


FIG. 8

【図 11】

先行技術

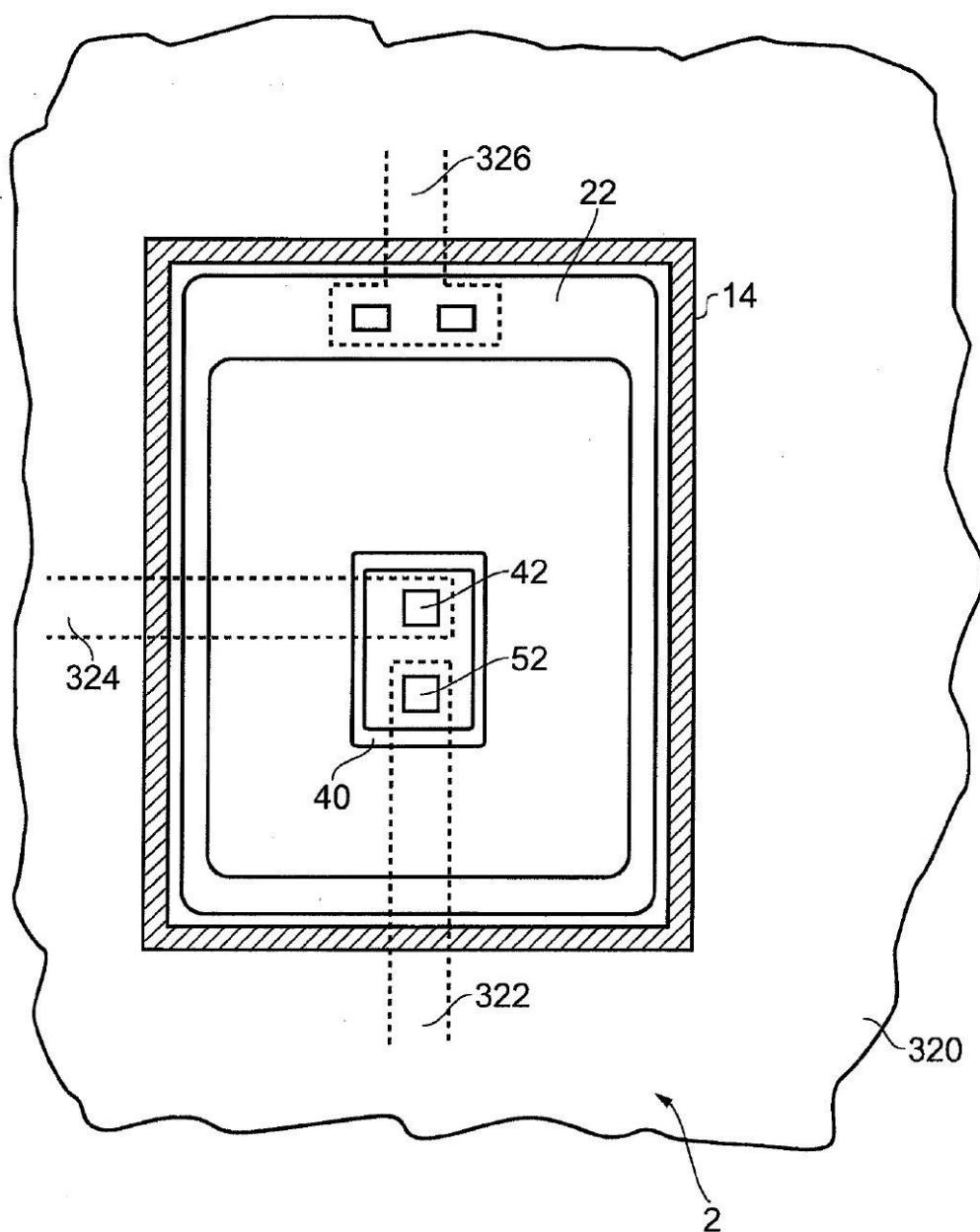


FIG. 11

フロントページの続き

- (72)発明者 ベイン , アンドゥルー デイビッド
アイルランド国 リムリック , アデア , メイフィールド ハウス キャッスルロバーツ
- (72)発明者 パウワーズ , デレック フレデリック
アメリカ合衆国 カリフォルニア 94022 , ロス アルトス ヒルズ , ヒドゥン スプリ
ングス コート 25518
- (72)発明者 デイリー , ポール マラキー
アイルランド国 リムリック , ドーラドイル , セント ネッセンズ ロード , クレセント
コート 8
- (72)発明者 デイニヤン , アン マリア
アイルランド国 リムリック , クルーム , バリーカヘイン
- (72)発明者 ダンバー , マイケル トーマス
アメリカ合衆国 カリフォルニア 95126 , サンノゼ , シェル アベニュー 726
- (72)発明者 マゲネス , パトリック マーティン
アイルランド国 リムリック , パラスケンリー , バリーマーティン
- (72)発明者 ステンソン , バーナード パトリック
アイルランド国 リムリック , マニスター クルーム , アッパー , バリーカヘイン

審査官 棚田 一也

- (56)参考文献 特開平10-172980(JP,A)
特開平05-291270(JP,A)
特開昭49-091776(JP,A)
特開昭61-278161(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/33-331
H01L 29/06
H01L 29/68-737