



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I471994 B

(45)公告日：中華民國 104 (2015) 年 02 月 01 日

(21)申請案號：101129756

(22)申請日：中華民國 101 (2012) 年 08 月 16 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L23/34 (2006.01)

(30)優先權：2011/08/16 美國

13/210,841

(71)申請人：先進類比科技有限公司 (美國) ADVANCED ANALOGIC TECHNOLOGIES, INC.
(US)

美國

研諾邏輯科技有限公司 (香港地區) ADVANCED ANALOGIC TECHNOLOGIES
(HONG KONG) LIMITED (HK)

香港

(72)發明人：威廉斯 理查 K WILLIAMS, RICHARD K. (US) ; 林耿弘 LIN, KENG HUNG (TW)

(74)代理人：陳長文

(56)參考文獻：

TW 429570

TW 201041097A1

US 6384472B1

US 6847099B1

US 2011/0049685A1

審查人員：周楷智

申請專利範圍項數：28 項 圖式數：11 共 36 頁

(54)名稱

具有一或多個嵌入晶粒襯墊之多晶粒半導體封裝

MULTI-DIE SEMICONDUCTOR PACKAGE WITH ONE OR MORE EMBEDDED DIE PADS

(57)摘要

在將一多晶粒半導體封裝安裝至一印刷電路板(PCB)時，為避免毗鄰晶粒襯墊之間的短路，將該等晶粒襯墊中之一者嵌入於聚合物膠囊中，而將另一晶粒襯墊曝露於該封裝之底部處以提供至該 PCB 之一熱逸出路徑。當一多晶粒封裝中之該等晶粒中之一者比該封裝中之另一晶粒產生更多熱時，此配置係特別有用的。

To avoid shorts between adjacent die pads in mounting a multi-die semiconductor package to a printed circuit board (PCB), one of the die pads is embedded in the polymer capsule, while the other die pad is exposed at the bottom of the package to provide a thermal escape path to the PCB. This arrangement is particularly useful when one of the dice in a multi-die package generates more heat than another die in the package.

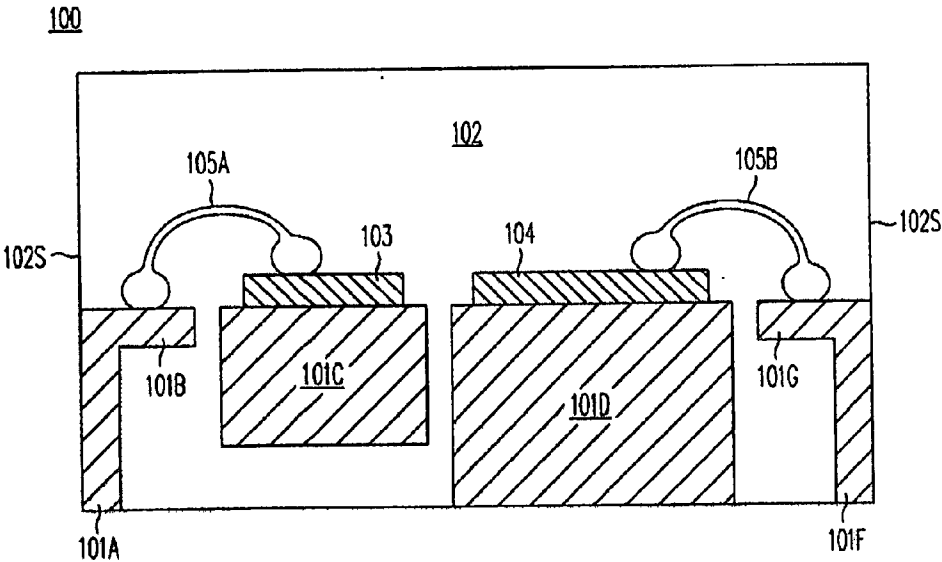


圖4A

- 100 . . . 半導體封裝/封裝
- 101A . . . 觸點/銅元件/接觸金屬區域
- 101B . . . 水平懸臂延伸部/懸臂區段
- 101C . . . 晶粒襯墊/嵌入晶粒襯墊/銅元件/較薄嵌入晶粒襯墊/經隔離晶粒襯墊部分
- 101D . . . 晶粒襯墊/經曝露晶粒襯墊/銅元件
- 101F . . . 觸點/銅元件/接觸金屬區域
- 101G . . . 水平懸臂延伸部/懸臂區段
- 102 . . . 膠囊
- 102S . . . 側邊緣
- 103 . . . 控制晶粒/晶粒
- 104 . . . 電力金屬氧化物半導體場效電晶體晶粒/晶粒
- 105A . . . 接合線/線接合
- 105B . . . 接合線/線接合

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101129756

※申請日：101.8.16

※IPC 分類：H01L 23/48 2006.01

一、發明名稱：(中文/英文)

H01L 23/34 2006.01

具有一或多個嵌入晶粒襯墊之多晶粒半導體封裝

MULTI-DIE SEMICONDUCTOR PACKAGE WITH ONE OR MORE
EMBEDDED DIE PADS

二、中文發明摘要：

在將一多晶粒半導體封裝安裝至一印刷電路板(PCB)時，為避免毗鄰晶粒襯墊之間的短路，將該等晶粒襯墊中之一者嵌入於聚合物膠囊中，而將另一晶粒襯墊曝露於該封裝之底部處以提供至該PCB之一熱逸出路徑。當一多晶粒封裝中之該等晶粒中之一者比該封裝中之另一晶粒產生更多熱時，此配置係特別有用的。

三、英文發明摘要：

To avoid shorts between adjacent die pads in mounting a multi-die semiconductor package to a printed circuit board (PCB), one of the die pads is embedded in the polymer capsule, while the other die pad is exposed at the bottom of the package to provide a thermal escape path to the PCB. This arrangement is particularly useful when one of the dice in a multi-die package generates more heat than another die in the package.

四、指定代表圖：

(一)本案指定代表圖為：第(4A)圖。

(二)本代表圖之元件符號簡單說明：

100	半導體封裝/封裝
101A	觸點/銅元件/接觸金屬區域
101B	水平懸臂延伸部/懸臂區段
101C	晶粒襯墊/嵌入晶粒襯墊/銅元件/較薄嵌入 晶粒襯墊/經隔離晶粒襯墊部分
101D	晶粒襯墊/經曝露晶粒襯墊/銅元件
101F	觸點/銅元件/接觸金屬區域
101G	水平懸臂延伸部/懸臂區段
102	膠囊
102S	側邊緣
103	控制晶粒/晶粒
104	電力金屬氧化物半導體場效電晶體晶粒/ 晶粒
105A	接合線/線接合
105B	接合線/線接合

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本申請案係關於含有多個半導體晶粒之半導體晶粒封裝。

【先前技術】

在半導體封裝中，有時將一半導體晶粒安裝於曝露於封裝之底部處之一高度導熱(通常係金屬)晶粒襯墊上。特別當該晶粒含有產生顯著熱量之一裝置—舉例而言，一電力MOSFET或其他半導體電力裝置—時，晶粒襯墊(或金屬塊)用作允許產生於該晶粒中之熱流動至封裝所安裝於其上之結構(通常係一印刷電路板(PCB))之一導熱路徑。此幫助阻止該晶粒過熱，過熱可損壞或毀壞該晶粒。

在某些情形中，將兩個或兩個以上晶粒裝納於一單個封裝中。舉例而言，一單個封裝可含有一電力MOSFET晶粒連同含有用於關斷及接通該電力MOSFET之電路之一控制晶粒。此類型之電路由圖1中所展示之控制晶粒2及電力MOSFET晶粒3示意性地表示。電力MOSFET晶粒3含有一電力MOSFET 6，電力MOSFET 6之源極端子與主體端子短接在一起且連接至接地，且其汲極端子連接至一負載8。MOSFET 6中之源極-主體短路形成與MOSFET 6之源極-主體端子及汲極端子並聯之一本質二極體7。

MOSFET 6由控制晶粒2控制，控制晶粒2含有一控制元件4及一緩衝器5，緩衝器5之一輸出端子連接至MOSFET 6之閘極端子。如所展示，控制晶粒2連接於一正供應電壓

V_{CC} 與接地之間。

圖 2A 圖解說明包含一 P 基板 21 的控制晶粒 2 中之緩衝器 5 之一剖面圖。緩衝器 5 包含一 N 通道 MOSFET 26A 及一 P 通道 MOSFET 26B，MOSFET 26A 形成於一 P 井 23 中且 MOSFET 26B 形成於一 N 井 22 中，P 井 23 及 N 井 22 充當各別 MOSFET 之主體區域。在 MOSFET 26A 中，一 N+ 源極區域 25C 與一 P+ 主體接觸區域 24A 短接在一起且連接至接地。在 MOSFET 26B 中，一 P+ 源極區域 24C 與一 N+ 主體接觸區域 25A 短接在一起且連接至 V_{CC} 。MOSFET 26A 之一 N+ 汲極區域 25B 與 MOSFET 26B 之一 P+ 汲極區域 24B 連接在一起且提供遞送至電力 MOSFET 6 之閘極端子之一輸出電壓 V_{OUT} 。來自控制元件 4 之一輸入電壓 V_{IN} 遞送至 MOSFET 26A 及 26B 之各別閘極端子。因此當 V_{IN} 係高時，接通 MOSFET 26A 且關斷 MOSFET 26B 且 V_{OUT} 約等於接地；且當 V_{IN} 係低時，關斷 MOSFET 26A 且接通 MOSFET 26B 且 V_{OUT} 約等於 V_{CC} 。

圖 2B 圖解說明包含一 N+ 基板 31 的晶粒 3 中之 MOSFET 6 之一剖面圖。一 N 磊晶層 32 生長於 N+ 基板 31 上。N+ 源極區域 35、P 主體區域 33 及 P+ 主體接觸區域 34 植入至 N 磊晶層 32 中，且溝渠 38 係自晶粒 3 之表面穿過 N+ 源極區域 35 及 P 主體區域 33 蝕刻。溝渠 38 中之每一者含有一閘極端子 37 及使閘極端子 37 與 N 磊晶層 32 絕緣之一閘極氧化物層 36。一金屬層 39 上覆於 N 磊晶層 32 之表面上且將 N+ 源極區域 35、P 主體區域 33 及 P+ 主體接觸區域 34 短接在一起。N+ 基板 31

表示 MOSFET 6 之汲極端子。與圖 1 一致，金屬層 39 (源極-主體端子) 連接至接地且 N+ 基板 31 (汲極端子) 連接至負載 8。

閘極電極 37 接達於圖 2B 之平面外側之第三維中，且示意性地展示此連接。

因此電力 MOSFET 6 係一 N 通道 MOSFET。來自緩衝器 5 之 V_{OUT} 連接至閘極電極 37。當 V_{OUT} 係高 (V_{CC}) 時，接通 MOSFET 6；當 V_{OUT} 係低 (接地) 時，MOSFET 6 之閘極至源極電壓等於零且關斷 MOSFET 6。

晶粒 2 及 3 之一關鍵態樣係：在此配置中，晶粒 2 之 P 基板 21 連接至接地且晶粒 3 之 N+ 基板 31 連接至負載 8。如圖 1 中所展示，由於 MOSFET 6 之源極-主體端子係接地的，因此 N+ 基板 31 (汲極) 在 MOSFET 6 之高側上。因此，當關斷 MOSFET 6 時，N+ 基板 31 處之電壓接近驅動負載 8 之高電壓 (+HV)。

圖 3A 展示含有晶粒 2 及 3 之一習用半導體封裝 50 之一剖面圖。晶粒 2 安裝於一晶粒襯墊 51B 上且晶粒 3 安裝於一晶粒襯墊 51C 上。晶粒 2 及 3 以及晶粒襯墊 51B 及 51C 圍封於由一模製化合物 (通常係一塑膠材料) 製成之一膠囊 53 中。由於電力 MOSFET 6 產生一顯著熱量，因此晶粒襯墊 51C 曝露於膠囊 53 之一底部表面 53B 處，藉此提供一熱傳導路徑以供產生於晶粒 3 中之熱逸出至封裝 50 所安裝於其上之 PCB 或其他結構 (未展示)。同樣地，晶粒襯墊 51B 曝露於膠囊 53 之底部表面 53B 處。除其熱功能之外，晶粒襯墊 51B 及 51C

亦提供至晶粒2及3之底部表面上之端子之電接觸。

晶粒2之頂部表面經由一接合線52A連接至一觸點51A，且晶粒3之頂部表面經由一接合線52B連接至一觸點51D。由於封裝50係一「無引線」型封裝，因此觸點51A及51D之外側表面與膠囊53之底部表面53B及側表面53S齊平。與圖1一致，接合線52A連接至MOSFET 26B之源極-主體端子，且因此觸點51A連接至 V_{CC} 。(另一接合線及觸點(未展示)將MOSFET 26A之源極-主體端子連接至接地。)接合線52B連接至MOSFET 6之源極-主體端子，且因此觸點51D連接至接地。

晶粒2之P基板21經由晶粒襯墊51B連接至接地，且晶粒3之N+基板31經由晶粒襯墊51C連接至可接近高電壓+HV之一電壓。如上文所提及，晶粒襯墊51B及晶粒襯墊51C兩者皆曝露於封裝50之底部處。

圖3B係封裝50之一仰視圖。展示晶粒襯墊51B及51C之經曝露底部表面以及圖3A之剖面3A-3A。

具有在操作時可採取不同電壓之經曝露晶粒襯墊可形成問題。當將封裝安裝至一PCB或其他支撐結構上時，金屬或其他傳導材料之碎塊或碎片可變得陷獲於封裝與PCB之間且可形成晶粒襯墊之間的一短路。此等潛在短路可保持未經偵測的、在視覺上隱藏於塑膠封裝下麵。雖然X射線可用以識別短路，但X射線檢測係昂貴的且對工作者係潛在有害的。

【發明內容】

在根據本發明之一多晶粒封裝中，晶粒襯墊中之至少一者保持嵌入於膠囊中以使得其底部表面不被曝露。通常，此將係附接至產生較少熱之晶粒之晶粒襯墊。在上文實例中，將使附接至控制晶粒之晶粒襯墊嵌入於膠囊中。然而，本發明不限於此方式。在一多晶粒封裝中，可使晶粒襯墊中之任何一或多者嵌入於膠囊中以阻止與一經曝露晶粒襯墊之一可能短路。

當將封裝安裝至一PCB或其他支撐結構上時，使一晶粒襯墊嵌入於膠囊中消除封裝中之嵌入晶粒襯墊與其他晶粒襯墊之間的短路之風險。

為提供與安裝於嵌入晶粒襯墊上之晶粒之底部上之一端子之電接觸，封裝中之觸點或引線中之一或多者可形成為嵌入晶粒襯墊之一組成部分。

本發明包含一種用於製作如上文所闡述之一多晶粒封裝之製程。該製程包含界定嵌入晶粒襯墊之底部表面之一部分蝕刻，且可包含使觸點或引線中之一或多者整體連接至嵌入晶粒襯墊之一穿透蝕刻。

【實施方式】

圖4係根據本發明之一半導體封裝100之一剖面圖。一控制晶粒103安裝於一晶粒襯墊101C上。一電力MOSFET晶粒104安裝於一晶粒襯墊101D上。在此實施例中，控制晶粒103類似於控制晶粒2且電力MOSFET晶粒104類似於電力MOSFET晶粒3。

晶粒103之頂部表面上之電路經由一接合線105A連接至

包含一水平懸臂延伸部101B之一觸點101A。晶粒104之頂部表面上之電路經由一接合線105B連接至包含一水平懸臂延伸部101G之一觸點101F。所有前述組件圍封於由一聚合物材料組成之一膠囊102中，膠囊102具有側邊緣102S及一底部表面102B。

封裝100係一「無引線」封裝。因此，觸點101A及101F不自膠囊102突出；而是，觸點101A及101F之側邊緣與膠囊102之側邊緣102S齊平(共面)，且觸點101A及101F之底部表面與膠囊102之底部表面102B齊平。

晶粒襯墊101D之底部曝露於膠囊102之底部表面102B處，然而晶粒襯墊101C嵌入於膠囊102中。因此，當將封裝100安裝至一PCB(未展示)上時，不存在形成晶粒襯墊101C與晶粒襯墊101D之間的一短路之風險。

圖5A係封裝100之一仰視圖且圖5B係封裝100之一俯視圖，每一圖式展示圖4所截取之處之剖面4-4。如自圖5A及圖5B顯而易見，觸點101A及101F僅係沿封裝100之周邊排成行列之16個觸點101(在封裝100之每一側上具有四個觸點)中之兩個觸點。在圖5A中，以虛線展示晶粒襯墊101C以指示晶粒襯墊101C在此仰視圖中實際上不可見。圖5B展示在封裝100之製作期間將晶粒襯墊101D連接至引線架之繫桿131A及131B。類似地，一繫桿131C將晶粒襯墊101C連接至引線架。如下文所解釋，當自其他半導體封裝(其由引線架製作)單粒化封裝100時，以正常方式切斷繫桿131A至131C。

如圖5B之俯視圖中所展示，觸點101H及101I直接連接至晶粒襯墊101C且實際上形成為晶粒襯墊101C之組成部分。圖4B中展示觸點101I之結構，圖4B係在圖5B中之剖面4B-4B處截取之封裝100之剖面圖。如圖4B中所展示，觸點101I包含連結晶粒襯墊101C之一水平懸臂延伸部101K。因此，觸點101I事實上係晶粒襯墊101C之一組成延伸部。此允許透過觸點101I形成至晶粒103之底部側之電接觸。與圖1及圖2A一致，觸點101I係展示為連接至接地。

由於膠囊102之底部處之觸點101I及101H之經曝露表面比晶粒襯墊101C（若曝露其底部表面）將距晶粒襯墊101D之經曝露表面更遠，因此當將封裝100安裝於一PCB上時在晶粒襯墊101C與101D之間形成一電短路之風險遠小於圖3A中所展示之類型之一封裝中之風險。

圖6係用於製作本發明之一半導體封裝之一可能製程之一流程圖。

該製程以一習用銅引線架開始(方框150)。遮蔽經曝露晶粒襯墊及觸點之經曝露底部表面將位於其中之引線架，且然後(舉例而言)使用過硫酸銨、過硫酸鈉、氯化鐵或其他蝕刻劑(包括鹽酸、硝酸或硫酸)部分蝕刻引線架以界定嵌入晶粒襯墊之底部表面。此稱為「淺槽溝」(方框155)。再次遮蔽引線架以覆蓋觸點以及經曝露晶粒襯墊及嵌入晶粒襯墊之底部表面，且執行一第二「深槽溝」部分蝕刻以界定觸點之水平懸臂延伸部之下部表面(方框160)。經曝露

晶粒襯墊亦可稱為散熱塊，且嵌入晶粒襯墊亦可稱為一未經曝露晶粒襯墊。

淺槽溝蝕刻亦可用以界定觸點之水平懸臂延伸部之下部表面以及嵌入晶粒襯墊之底部表面，在該情形中省略「深槽溝」蝕刻。再次遮蔽引線架以覆蓋經曝露晶粒襯墊及嵌入晶粒襯墊之底部以及觸點之懸臂延伸部之經曝露底部表面及底側，且執行一穿透蝕刻以將該等晶粒襯墊及觸點彼此分離(方框165)。然後，將晶粒附接至晶粒襯墊且線接合至觸點(方框170)。此時，整個引線架通常由當完成時將形成眾多封裝之晶粒襯墊與觸點之一矩形陣列組成。然後，通常使用一注射模製製程將引線架圍封於一聚合物模製化合物中，且藉由沿著垂直線鋸割或衝壓塗佈有聚合物之引線架來單粒化個別封裝(方框175)。

圖7A至圖7F之剖面圖中更詳細地展示該製程之一個版本。

圖7A展示將由其製作引線架之一銅薄片151(通常係0.2 mm至0.4 mm厚)。將一第一遮罩層160(通常係有機光阻劑)沈積於銅薄片151之一表面上，且然後光微影圖案化第一遮罩層160以使遮罩層留在經曝露晶粒襯墊及觸點之底部表面將位於其中之適當位置。另一選擇係，可將遮蔽材料絲網印刷以界定圖案。然後，部分蝕刻銅薄片151以形成包含溝渠152A及152B之一「第一槽溝」，從而蝕除銅之厚度之介於10%至60%之間且較佳地大約30%。可移除第一遮罩層材料160或另一選擇係使其留在適當位置以遮蔽隨

後蝕刻步驟。圖 7B 中展示所得結構，其中區域 152A 及 152B 具有等於銅薄片 151 之開始厚度之 40% 至 90% 之一厚度。

沈積且光微影圖案化一第二遮罩層 161 以使遮罩層 161 留在嵌入晶粒襯墊將位於其中之適當位置。然後，再次部分蝕刻銅薄片 151 以形成包含溝渠 153A、153B 及 153C 之一「第二槽溝」。經兩次蝕刻銅區域 153A、153B 及 153C 之所得厚度比經一次蝕刻區域薄，該等經兩次蝕刻銅區域具有銅薄片 151 之原始厚度之 10% 至 60% 之一最終厚度。圖 7C 中展示該結果。區域 152A 保持未被此操作影響，從而保留如圖 7B 中所展示之相同厚度。在第一或第二蝕刻期間未蝕刻之其他部分保持在銅薄片 151 之原始厚度。

在一較佳實施例中，經兩次蝕刻區域 153A、153B 及 153C 整體含在第一經蝕刻區域 152A 及 152B 內，以使得僅已在第一蝕刻期間薄化的銅薄片 151 之區域經受第二蝕刻步驟。遮罩層 161 覆蓋且保護經隔離晶粒襯墊部分(例如，圖 4A 中之晶粒襯墊 101C)。在於第一蝕刻步驟之後移除遮蔽材料 160 之情況下，遮罩層 161 必須亦覆蓋最初由遮罩層 160 保護的銅薄片 151 之部分。

沈積且光微影圖案化一第三遮罩層 163 以在一第三銅蝕刻期間使遮罩層 163 留在適當位置，該第三銅蝕刻經設計以選擇性地將觸點與散熱塊分離且與未經曝露晶粒襯墊分離。在施加第三遮罩層 163 之後，然後完全穿透蝕刻銅薄片 151 以將嵌入晶粒襯墊 101C 與經曝露晶粒襯墊 101D 分離

且與觸點101A及101F分離。具體而言，第三蝕刻自先前經蝕刻區域153A、153B及153C之未受保護部分完全移除銅以形成如圖7D中所展示之經完全蝕刻區域154A、154B及154C。遮罩163導致觸點101A之一水平懸臂延伸部101B及觸點101F之一水平懸臂延伸部101G。

在一較佳實施例中，第二經蝕刻區域154A、154B及154C整體含在經兩次蝕刻區域153A、153B及153C內，以使得僅在第一及第二銅蝕刻期間薄化的銅薄片151之區域經受第三蝕刻步驟。遮罩層163覆蓋且保護水平懸臂延伸部101B及101G。

在於第一蝕刻步驟之後移除遮罩層160且於第二蝕刻步驟之後移除遮罩層161之情況下，遮罩層163必須亦覆蓋最初由遮罩層160及161保護的銅薄片151之部分。另一選擇係，假定懸臂區段101B及101G之厚度係嵌入晶粒襯墊101C之一小分率，則可允許銅元件101A、101C、101D及101F之底部側在第三蝕刻期間腐蝕。此一例項中之最終封裝厚度將比若在第三蝕刻期間保護相同區域要薄。

若觸點中之一或多者將形成為嵌入晶粒襯墊101C之組成延伸部(如由圖4B中之觸點101I展示)，則應理解，第三遮罩層163將亦經圖案化以保持於水平懸臂延伸部101K上方。因此，在最終穿透蝕刻之後觸點101I將保持為晶粒襯墊101C之一組成延伸部。

亦將理解，雖然晶粒襯墊101C及101D在圖7D中顯示為與觸點101A及101F完全分離，但晶粒襯墊101C及101D藉

由在圖 7D 之平面外側之圖 5B 中所展示之繫桿 131A 至 131C 保持連接至引線架。

接下來，移除遮罩層 161 至 163，且將控制晶粒 103 附接至嵌入晶粒襯墊 101C 且將電力 MOSFET 晶粒 104 附接至經曝露晶粒襯墊 101D。形成線接合 105A 及 105B，從而留下圖 7E 中所展示之結構。

然後，使用一注射模製製程將封裝之所有元件圍封於一聚合物模製化合物中，其中經曝露晶粒襯墊 101D 以及觸點 101A 及 101F 之底部表面在完成模製製程之後保持曝露。結果係含有定位成一矩形陣列之諸多封裝之一聚合物薄片。為完成該製作製程，沿著垂直線鋸割該聚合物薄片以將該等封裝彼此分離(經常稱為「單粒化」之一製程)。結果係圖 7F 中所展示之封裝 100。將在封裝之側邊緣 102S 處形成鋸割切口，從而切割穿透毗鄰封裝上之接觸金屬區域 101A 及 101F，且應理解，在封裝 100 之左側及右側上存在相同於封裝 100 之封裝。

在製程之一替代版本中，將第二及第三遮罩層組合成一單個第二遮罩層，且僅存在一個部分蝕刻，該部分蝕刻界定嵌入晶粒襯墊及觸點之水平懸臂延伸部兩者之底部表面。所得封裝藉由圖 8 中所展示之封裝 200 例示，其中觸點 201A 及 201F 之水平懸臂延伸部 201B 及 210G 之底部表面分別與嵌入晶粒 201C 之底部表面共面。圖 8 中亦展示一經曝露晶粒襯墊 201D、晶粒 203 及 204、接合線 205A 及 205B 以及一聚合物膠囊 202。

在封裝 200 中，嵌入晶粒襯墊 201C 約相同於封裝 100 中之嵌入晶粒襯墊 101C。因此，封裝 200 中之水平懸臂延伸部 201B 及 201G 比封裝 100 中之水平懸臂延伸部 101B 及 101G 厚。然而，蝕刻穿透較厚層一般需要各種銅元件之間的一較大空間，藉此減少相同封裝佔用面積內之矽裝置之可用面積。

另一選擇係，使用經簡化兩個遮罩製程，水平懸臂延伸部可具有與封裝 100 中之水平懸臂延伸部 101B 及 101G 相同之厚度。結果係圖 9 中所展示之封裝 220，其中觸點 221A 及 221F 之水平懸臂延伸部 221B 及 221G 分別係為與封裝 100 中之水平懸臂延伸部 101B 及 101G 相同之厚度。因此，封裝 220 中之嵌入晶粒襯墊 221C 比封裝 100 中之嵌入晶粒襯墊 101C 薄。一較薄嵌入晶粒襯墊 101C 在處置及組裝製程期間將矽晶粒曝露至較多應力及變形，從而增加晶粒破裂、塑膠脫層及塑膠破裂之機會。圖 9 中亦展示一經曝露晶粒襯墊 221D、晶粒 203 及 204、接合線 205A 及 205B 以及一聚合物膠囊 222。

在另一替代方案中，第三遮罩層(在圖 7A 至圖 7F 中所展示之三個遮罩製程中)或第二遮罩層(在兩個遮罩製程中)可用以界定圍繞經曝露晶粒之一周邊機架。結果(使用兩個製程)係圖 10 中所展示之封裝 240，其中經曝露晶粒 241E 具有幫助將經曝露晶粒 241E 錨定於膠囊 242 中之一周邊機架 241D、241F。圖 10 中亦展示一嵌入晶粒襯墊 241C、晶粒 203 及 204、接合線 205A 及 205B、觸點 241A 及 241G 以及一

聚合物膠囊242。

上文所闡述之本發明之實施例係諸如DFN或QFN（雙邊或四邊扁平無引線封裝之一首字母縮略詞）之所謂的「無引線」半導體封裝，其中觸點不自聚合物膠囊突出。然而，本發明亦適用於其他類型之封裝。舉例而言，圖11展示一傳統「鷗翼」封裝260，其中引線261A及261D自一膠囊262橫向突出且朝向由虛線展示之一安裝表面265向下彎曲。此等封裝包含小型電晶體(SOT)封裝、SC70封裝或任何各種有引線表面安裝封裝，包含小型封裝(SOP)、超小型封裝(SSOP)、薄的小型封裝(TSOP)及薄的超小型封裝(TSSOP)。該方法亦適用於非表面安裝有引線封裝，如雙列直插式封裝(DIP)或單列直插式封裝(SIP)。

製作嵌入晶粒襯墊261B、經曝露晶粒襯墊261C以及引線261A及261D之製程類似於針對「無引線」封裝100之上文所闡述之彼製程，惟最終蝕刻使引線261A及261D自晶粒襯墊261B及261C橫向向外延伸且引線261A及261D然後向下彎曲以使得其與安裝表面265配合除外。製作製程中之另一差異係膠囊262最初形成為一分離膠囊；上文所闡述之單粒化製程不發生。

應將上文所闡述之本發明之實施例視為圖解說明性且非限制性。熟習此項技術者將明瞭本發明之寬廣範疇內之眾多替代實施例。

【圖式簡單說明】

圖1係包含一電力MOSFET、由電力MOSFET切換之一負

載及用於電力 MOSFET 之控制電路之一習用電路之一電路圖。

圖 2A 係用於電力 MOSFET 之控制電路之一部分之一剖面圖。

圖 2B 係電力 MOSFET 之一剖面圖。

圖 3A 及圖 3B 分別係一習用多晶粒封裝之剖面圖及仰視圖。

圖 4A 及圖 4B 係根據本發明之一無引線多晶粒半導體封裝之剖面圖。

圖 5A 及圖 5B 分別係圖 4A 及圖 4B 中所展示之半導體封裝之仰視圖及俯視圖。

圖 6 係用於製作半導體封裝之一製程之一流程圖。

圖 7A 至圖 7F 圖解說明一種三個遮罩製作製程中之數個步驟。

圖 8 及圖 9 圖解說明藉由一替代兩個遮罩製程製作之實施例。

圖 10 圖解說明其中圍繞經曝露晶粒襯墊形成一周邊機架之一實施例。

圖 11 圖解說明將本發明應用於諸如一小型電晶體 (SOT) 封裝之一「鷗形翼」多晶粒封裝或任何各種小型封裝 (SOP、SSOP、TSOP、TSSOP 等)。

【主要元件符號說明】

- | | |
|---|----------------------|
| 2 | 控制晶粒/晶粒 |
| 3 | 電力金屬氧化物半導體場效電晶體晶粒/晶粒 |

4	控制元件
5	緩衝器
6	電力金屬氧化物半導體場效電晶體/金屬氧化物 半導體場效電晶體
7	本質二極體
8	負載
21	P基板
22	N井
23	P井
24A	P+主體接觸區域
24B	P+汲極區域
24C	P+源極區域
25A	N+主體接觸區域
25B	N+汲極區域
25C	N+源極區域
26A	N通道金屬氧化物半導體場效電晶體/金屬氧化 物半導體場效電晶體
26B	P通道金屬氧化物半導體場效電晶體/金屬氧化 物半導體場效電晶體
31	N+基板/汲極端子/汲極
32	N磊晶層
33	P主體區域
34	P+主體接觸區域
35	N+源極區域

36	閘極氧化物層
37	閘極端子/閘極電極
38	溝渠
39	金屬層/源極-主體端子
50	習用半導體封裝/封裝
51A	觸點
51B	晶粒襯墊
51C	晶粒襯墊
51D	觸點
52A	接合線
52B	接合線
53	膠囊
53B	底部表面
53S	側表面
100	半導體封裝/封裝
101	觸點
101A	觸點/銅元件/接觸金屬區域
101B	水平懸臂延伸部/懸臂區段
101C	晶粒襯墊/嵌入晶粒襯墊/銅元件/較薄嵌入晶粒 襯墊/經隔離晶粒襯墊部分
101D	晶粒襯墊/經曝露晶粒襯墊/銅元件
101F	觸點/銅元件/接觸金屬區域
101G	水平懸臂延伸部/懸臂區段
101I	觸點

101K	水平懸臂延伸部
101H	觸點
102	膠囊
102S	側邊緣
103	控制晶粒/晶粒
104	電力金屬氧化物半導體場效電晶體晶粒/晶粒
105A	接合線/線接合
105B	接合線/線接合
131A	繫桿
131B	繫桿
131C	繫桿
151	銅薄片
152A	溝渠/區域/第一經蝕刻區域
152B	溝渠/區域/第一經蝕刻區域
153A	溝渠/經兩次蝕刻銅區域/經兩次蝕刻區域/先前 經蝕刻區域
153B	溝渠/經兩次蝕刻銅區域/經兩次蝕刻區域/先前 經蝕刻區域
153C	溝渠/經兩次蝕刻銅區域/經兩次蝕刻區域/先前 經蝕刻區域
154A	經完全蝕刻區域/第二經蝕刻區域
154B	經完全蝕刻區域/第二經蝕刻區域
154C	經完全蝕刻區域/第二經蝕刻區域
160	第一遮罩層/第一遮罩層材料/遮蔽材料/遮罩層

161	第二遮罩層/遮罩層
163	第三遮罩層/遮罩層/遮罩
200	封裝
201A	觸點
201B	水平懸臂延伸部
201C	嵌入晶粒/嵌入晶粒襯墊
201D	經曝露晶粒襯墊
201F	觸點
201G	水平懸臂延伸部
202	聚合物膠囊
203	晶粒
204	晶粒
205A	接合線
205B	接合線
220	封裝
221A	觸點
221B	水平懸臂延伸部
221C	嵌入晶粒襯墊
221D	經曝露晶粒襯墊
221F	觸點
221G	水平懸臂延伸部
222	聚合物膠囊
240	封裝
241A	觸點

241C	嵌入晶粒襯墊
241D	周邊機架
241E	經曝露晶粒
241F	周邊機架
241G	觸點
242	膠囊/聚合物膠囊
260	傳統「鷗翼」封裝
261A	引線
261B	嵌入晶粒襯墊/晶粒襯墊
261C	經曝露晶粒襯墊/晶粒襯墊
261D	引線
262	膠囊
265	安裝表面
+HV	高電壓
GND	接地
V _{CC}	正供應電壓
V _{IN}	輸入電壓
V _{OUT}	輸出電壓

七、申請專利範圍：

103年8月1日修正
對照原(本)

1. 一種半導體封裝，其包含：

至少兩個半導體晶粒，該至少兩個半導體晶粒包括一第一半導體晶粒及一第二半導體晶粒；

第一及第二晶粒襯墊，該第一晶粒襯墊比該第二晶粒襯墊厚，該等第一及第二晶粒襯墊彼此電絕緣，該等第一及第二晶粒襯墊之每一者具有一安裝表面以及一相對表面，該第一半導體晶粒安裝於該第一晶粒襯墊之該安裝表面上，該第二半導體晶粒安裝於該第二晶粒襯墊之該安裝表面上，該第一晶粒襯墊之該安裝表面與該第二晶粒襯墊之該安裝表面共面；及

一膠囊，其圍封該等第一及第二半導體晶粒，該第一晶粒襯墊之該相對表面曝露於該膠囊之一表面處，該第二晶粒襯墊之該相對表面嵌入於該膠囊中。

2. 如請求項1之半導體封裝，其中該半導體封裝包括一無引線半導體封裝。
3. 如請求項2之半導體封裝，其進一步包含複數個觸點。
4. 如請求項3之半導體封裝，其中該等觸點中之每一者曝露於該膠囊之該表面處，且該等觸點中之至少一者包括該第二晶粒襯墊之一組成延伸部(integral extension)。
5. 如請求項4之半導體封裝，其中該等觸點中之每一者具有一經曝露底部表面及一經嵌入底部表面，每一觸點之該經曝露底部表面曝露於該膠囊之該表面處。
6. 如請求項5之半導體封裝，其中該等觸點中之每一者之

該經嵌入底部表面與該第二晶粒襯墊之該相對表面共面。

7. 如請求項6之半導體封裝，其中該第一晶粒襯墊包括一周邊機架，該周邊機架之一底部表面嵌入於該膠囊中。
8. 如請求項7之半導體封裝，其中該周邊機架之一底部表面與該第二晶粒襯墊之該相對表面共面。
9. 如請求項1之半導體封裝，其中該封裝包括複數個引線，該等引線中之每一者自該膠囊之一側邊緣橫向延伸。
10. 如請求項1之半導體封裝，其中該第一半導體晶粒包括一功率裝置且該第二半導體晶粒包括一控制裝置。
11. 如請求項1之半導體封裝，其中該第一晶粒襯墊之該安裝表面與該相對表面之間之一距離大於該第二晶粒襯墊之該安裝表面與該相對表面之間之一距離。
12. 如請求項1之半導體封裝，其中該膠囊之該表面係平面的。
13. 如請求項1之半導體封裝，其中該膠囊之該表面包括該膠囊之一底部表面。
14. 一種製作一用於一半導體封裝之引線架之方法，其包含：

形成一第一遮罩層於該引線架之一表面上，一第一晶粒襯墊將位於該表面；

在該第一遮罩層周圍執行該引線架之一第一部分蝕刻以界定一第二晶粒襯墊之一底部表面之一位準；

形成一第二遮罩層於該第二晶粒襯墊之該底部表面將位於之處；

在該第二遮罩層周圍執行該引線架之一第二部分蝕刻以界定複數個觸點中之每一者之一經嵌入底部表面之一位準；

形成一第三遮罩於該複數個觸點中之每一者將位於之處，該第三遮罩於該等觸點之至少一者與該第二晶粒襯墊之間延伸；及

執行該引線架之一第三蝕刻以將該等觸點中之每一者彼此分離且與該第一晶粒襯墊分離，且將除該至少一個觸點之外的該等觸點中之每一者與該第二晶粒襯墊分離。

15. 如請求項14之方法，其進一步包含

將一第一晶粒安裝於該第一晶粒襯墊上。

16. 如請求項15之方法，其進一步包含

將一第二晶粒安裝於該第二晶粒襯墊上。

17. 如請求項16之方法，其進一步包含

將該第一晶粒線接合至該等觸點中之一者。

18. 如請求項17之方法，其進一步包含將該第二晶粒線接合至該等觸點中之另一者。

19. 如請求項17之方法，其進一步包含將該等第一及第二晶粒以及該等第一及第二晶粒襯墊圍封於一膠囊中，該第一晶粒之底部表面曝露於該膠囊之一底部表面處。

20. 如請求項19之方法，其中該第二晶粒之一底部表面保持

被該膠囊覆蓋。

21. 如請求項14之方法，其中形成該第一遮罩層界定該複數個觸點之每一者之一經曝露底部表面將位於之處。

22. 一種製作一用於一半導體封裝之引線架之方法，其包含：

形成一第一遮罩層於該引線架之一表面上，一第一晶粒襯墊將位於該表面且複數個觸點中之每一者之一經曝露底部表面將位於該表面；

執行該引線架之一第一部分蝕刻以界定一第二晶粒襯墊之一底部表面及該複數個觸點中之每一者之一嵌入底部表面之一位準；

形成一第二遮罩層於一第二晶粒襯墊之該底部表面上及該複數個觸點中之每一者之該經嵌入底部表面，該第二遮罩層在該等觸點之至少一者與該第二晶粒襯墊之間延伸；及

執行該引線架之一第二蝕刻以將該等觸點中之每一者彼此分離且與該第一晶粒襯墊分離，且將除該至少一個觸點之外的該等觸點中之每一者與該第二晶粒襯墊分離。

23. 如請求項22之方法，其進一步包含

將一第一晶粒安裝於該第一晶粒襯墊上。

24. 如請求項23之方法，其進一步包含將一第二晶粒安裝於該第二晶粒襯墊上。

25. 如請求項23之方法，其進一步包含

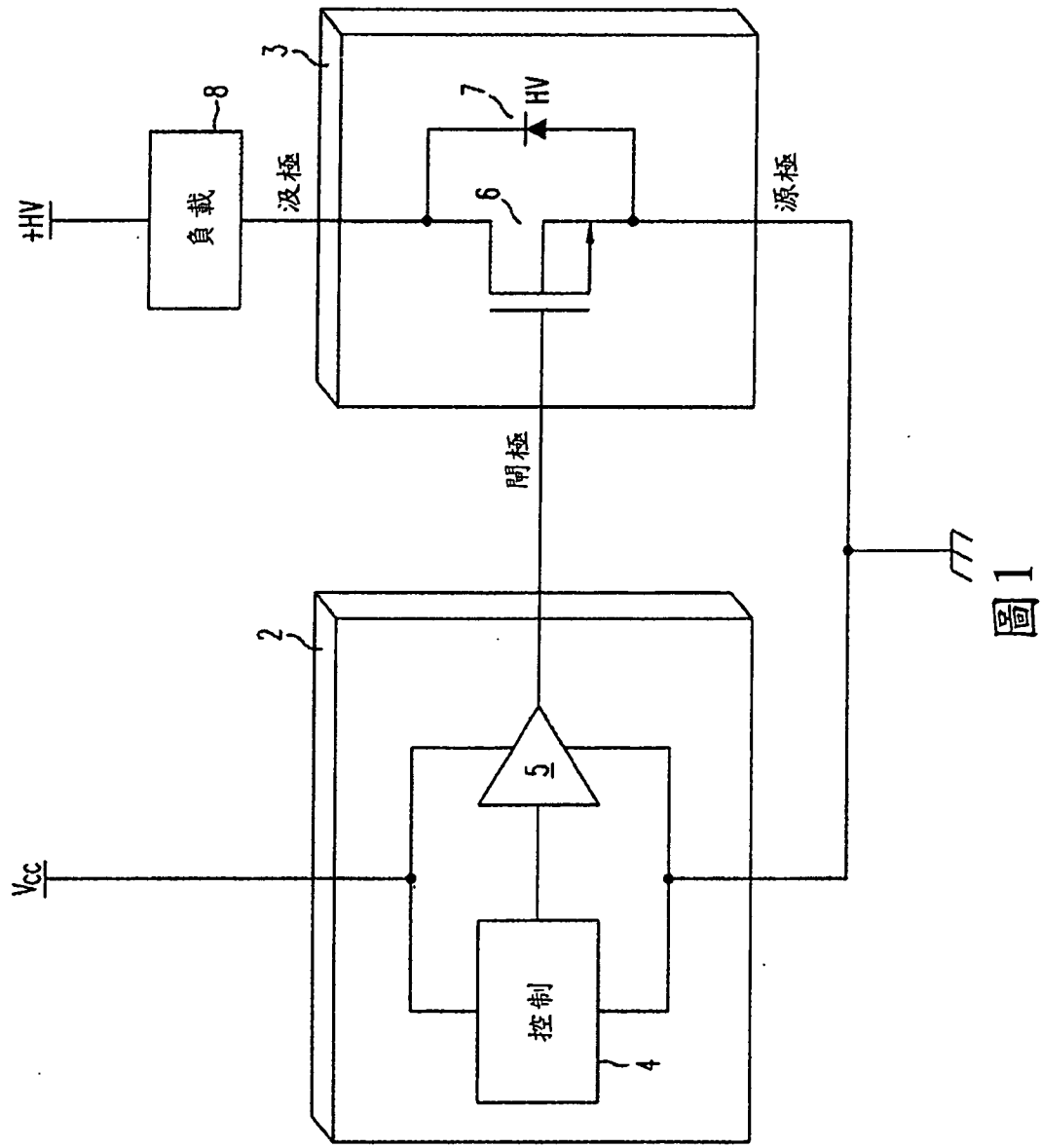
將該第一晶粒線接合至該等觸點中之一者。

26. 如請求項25之方法，其進一步包含將該第二晶粒線接合至該等觸點中之另一者。

27. 如請求項26之方法，其進一步包含將該等第一及第二晶粒以及該等第一及第二晶粒襯墊圍封於一膠囊中，該第一晶粒之底部表面曝露於該膠囊之一底部表面處。

28. 如請求項27之方法，其中該第二晶粒之一底部表面保持被該膠囊覆蓋。

八、圖式：



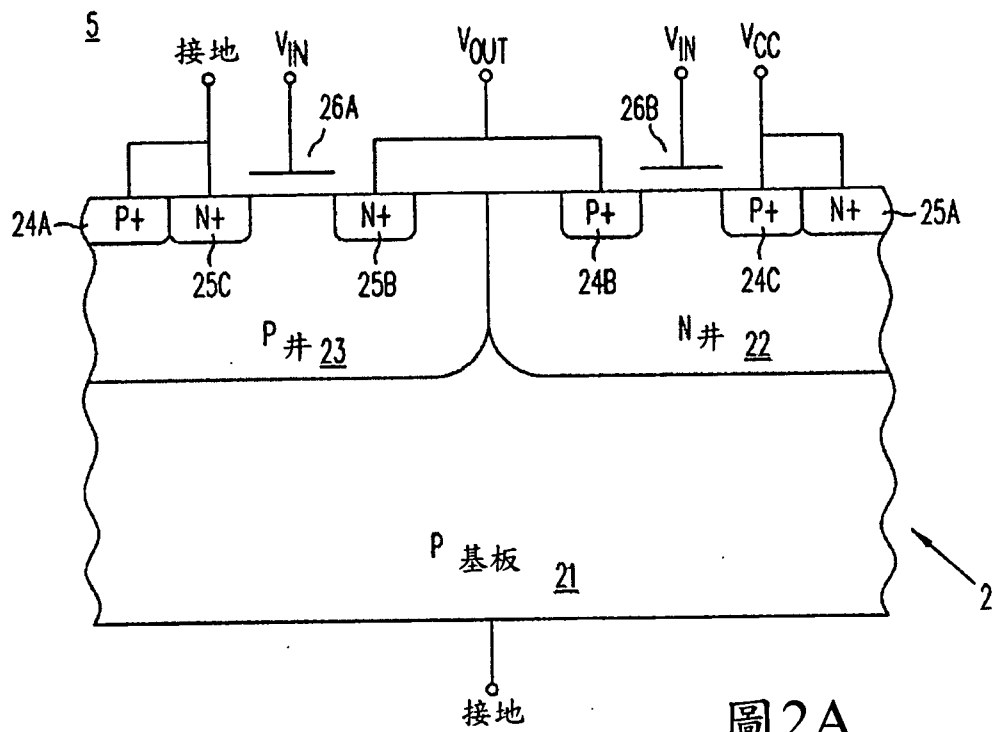


圖2A

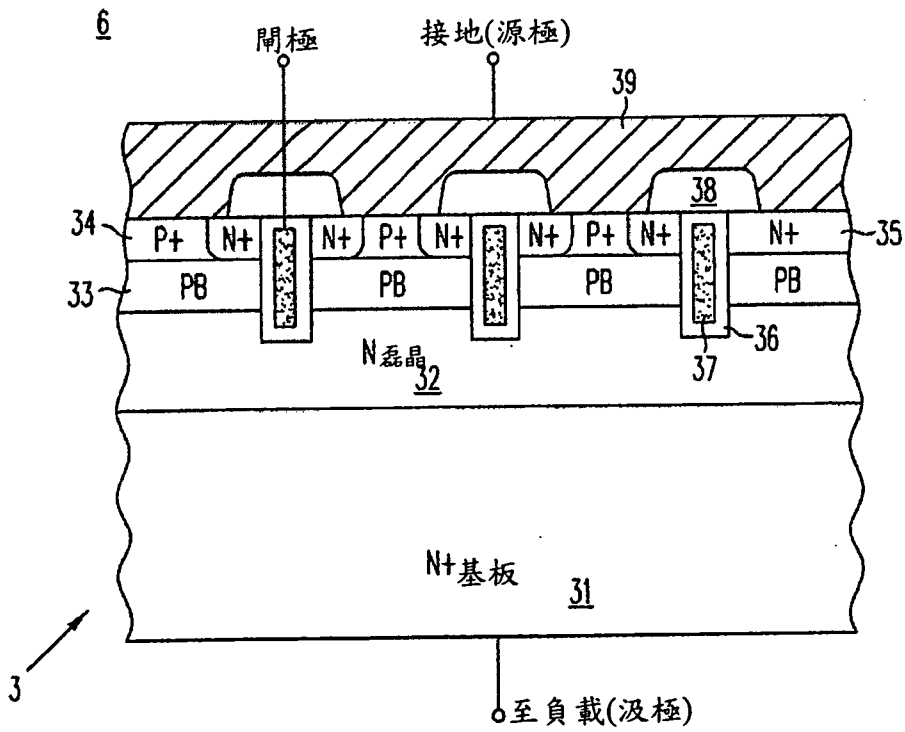


圖2B

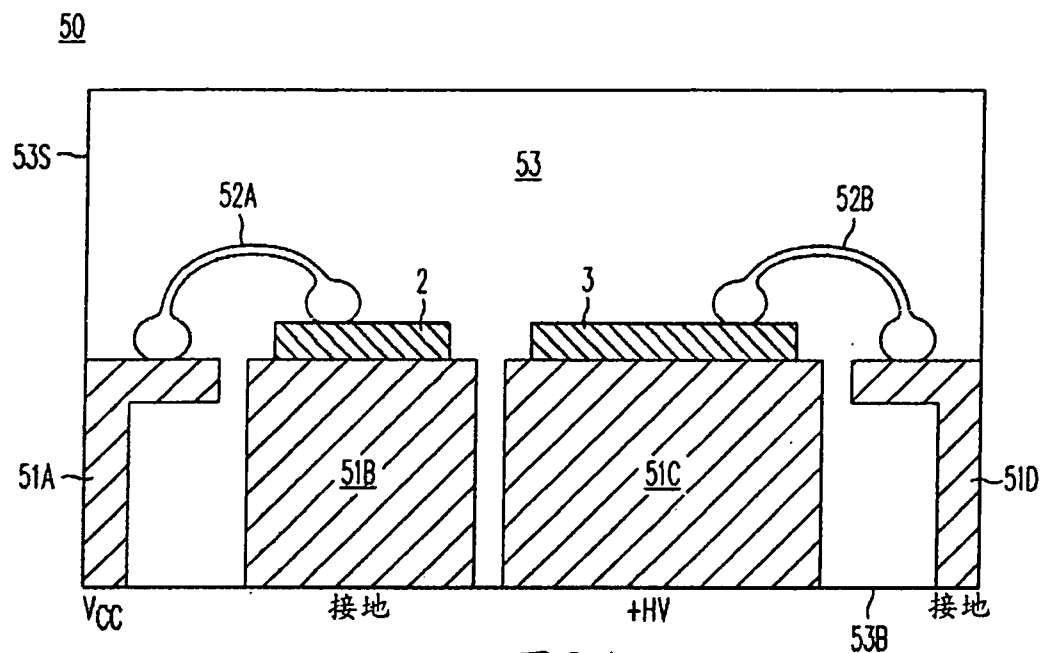


圖 3A

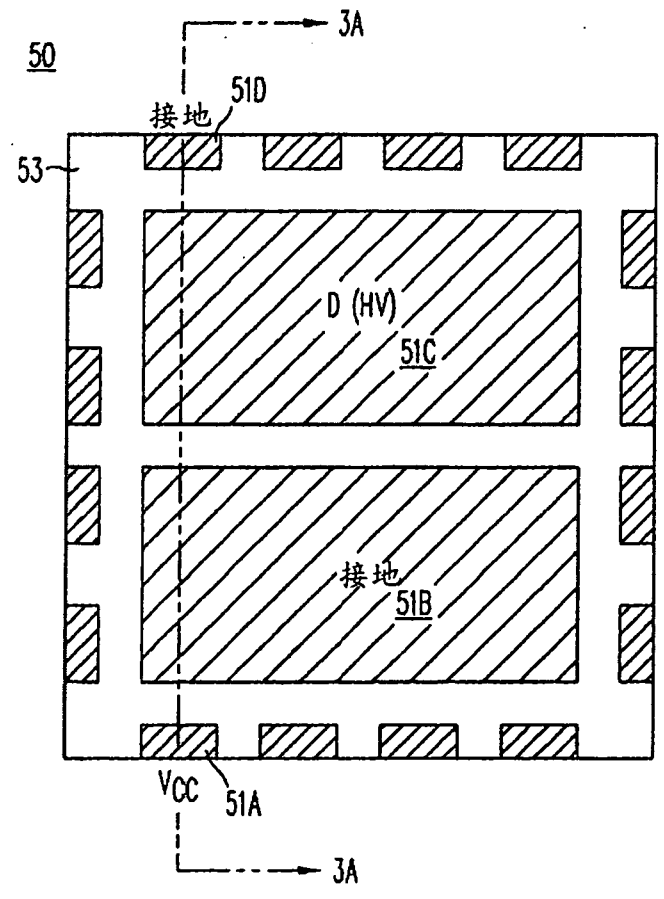


圖 3B

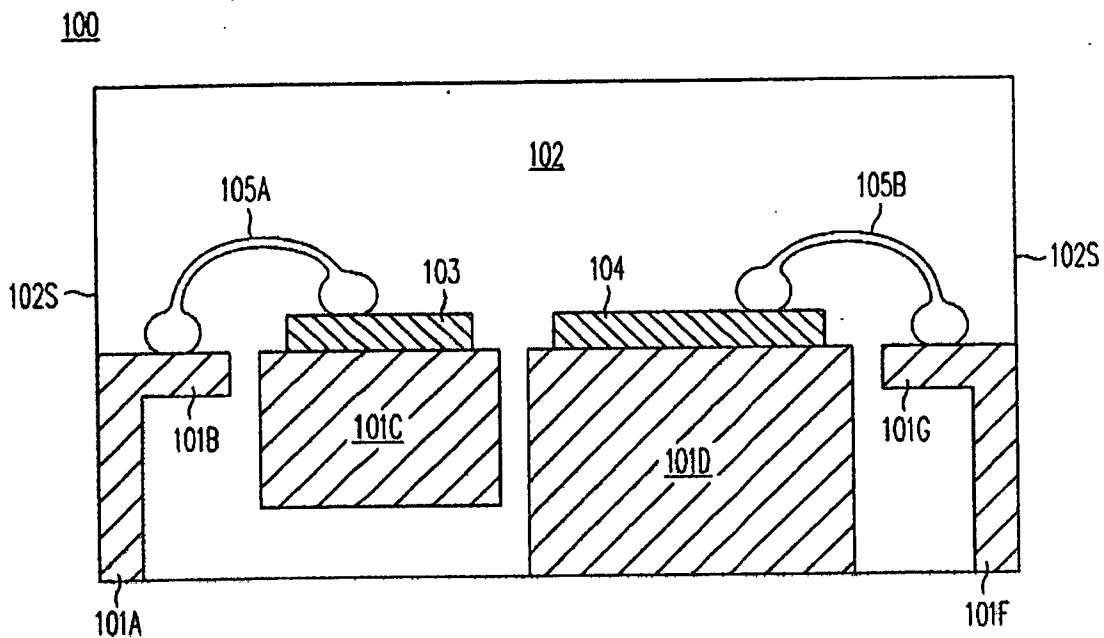


圖4A

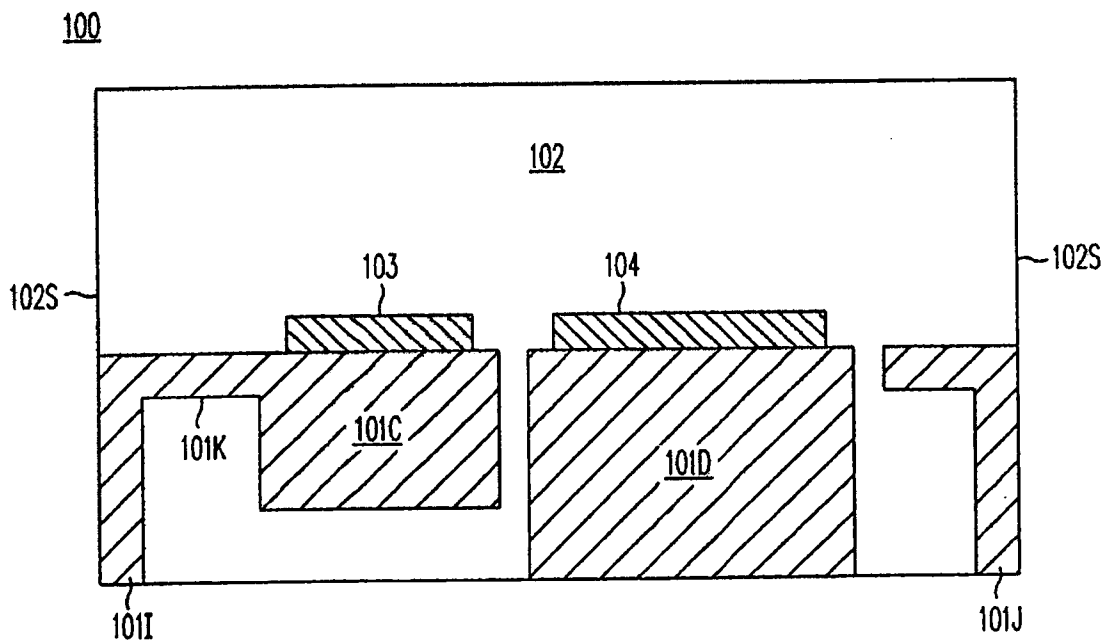


圖4B

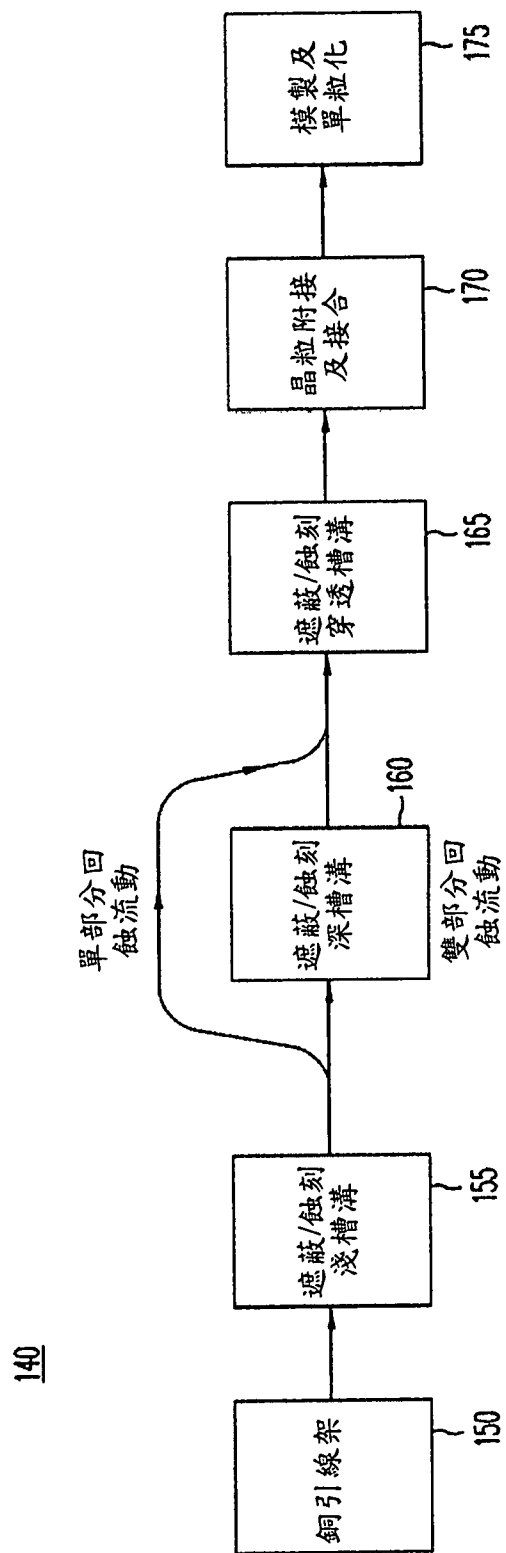


圖6

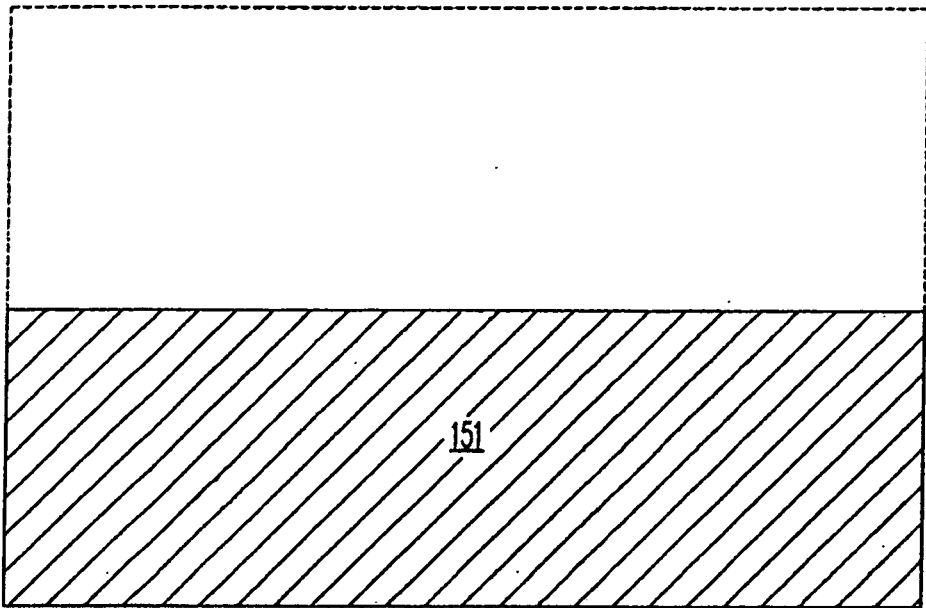


圖 7A

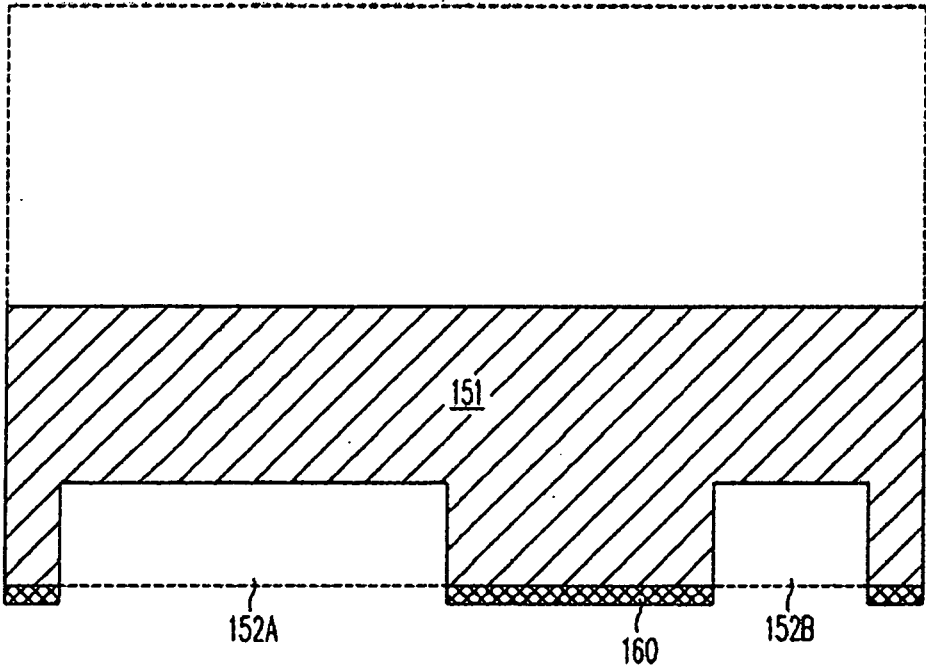


圖 7B

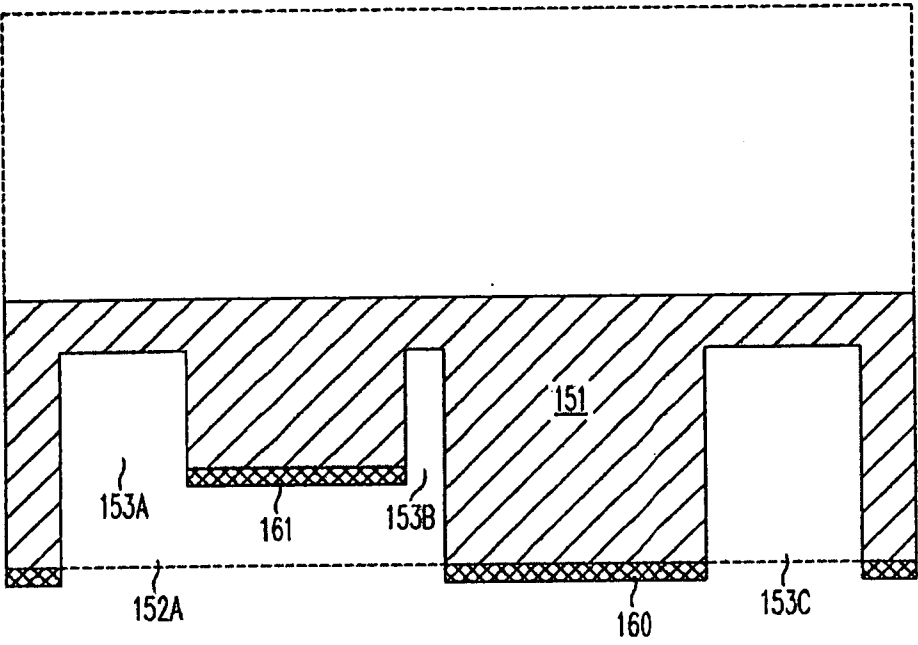


圖 7C

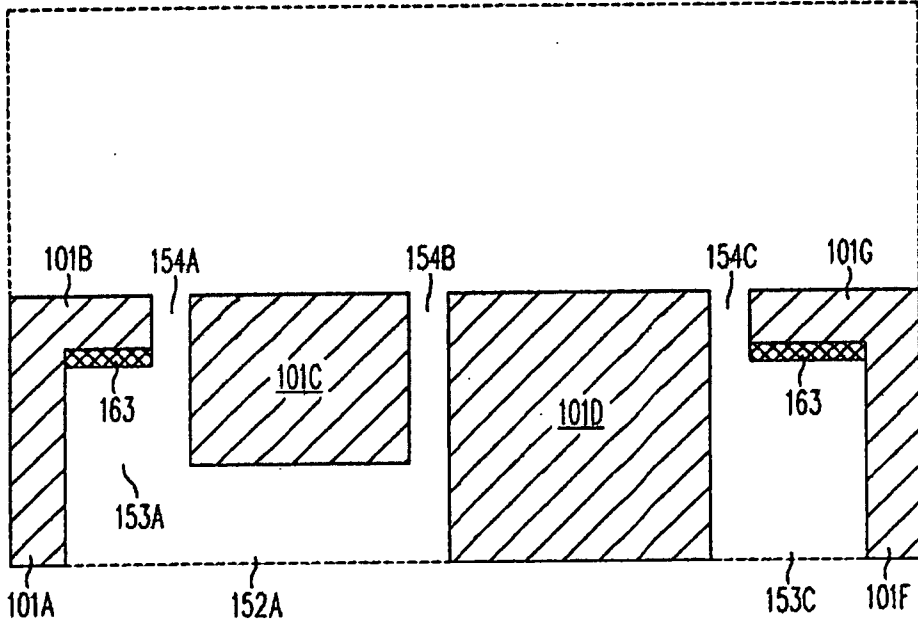


圖 7D

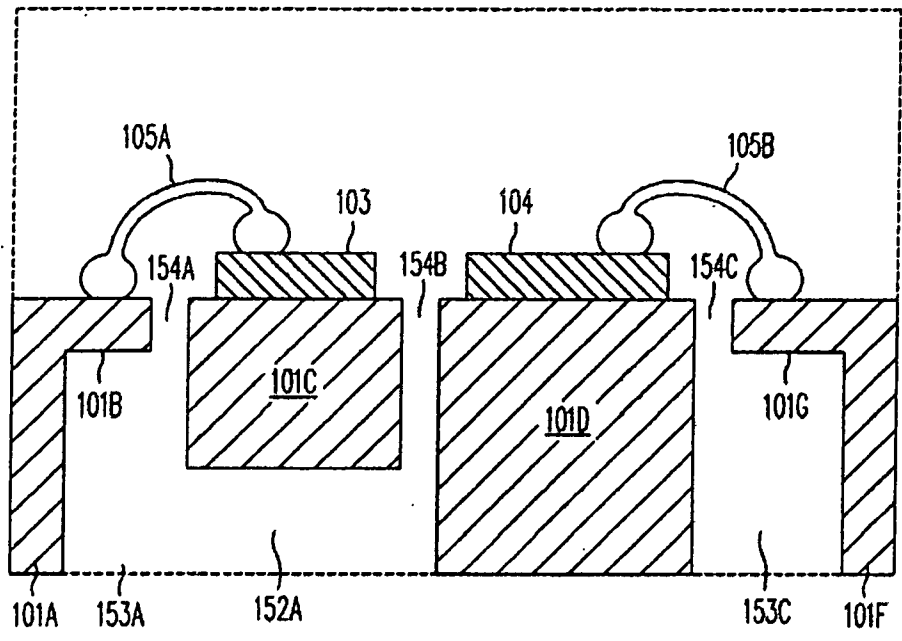


圖 7E

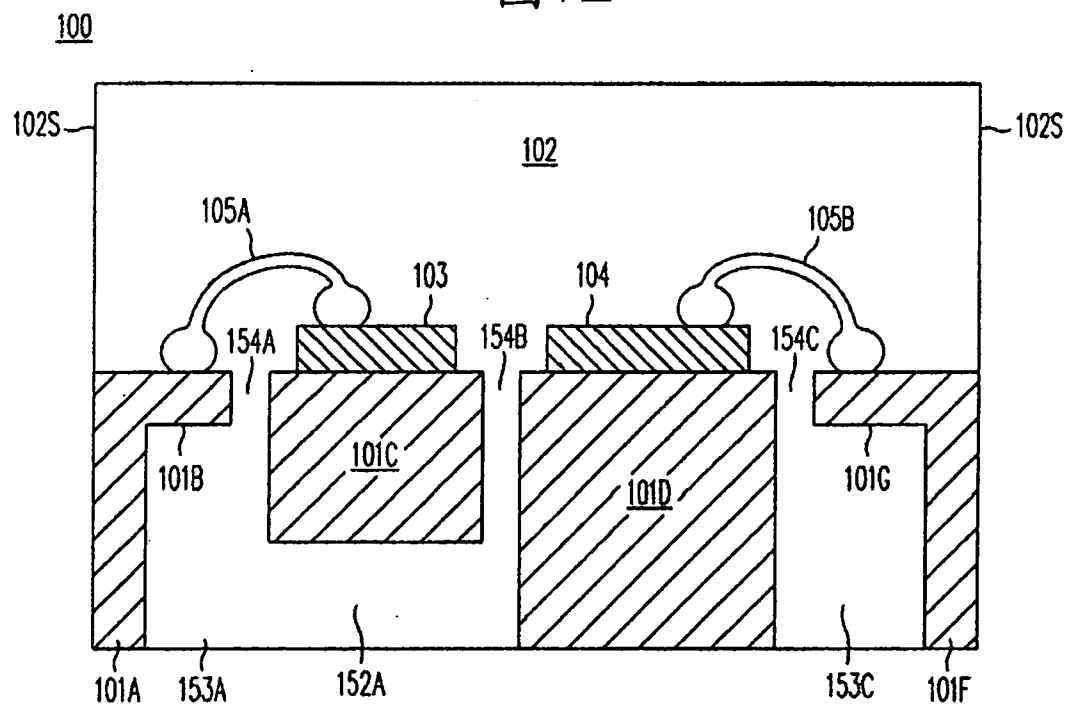


圖 7F

200

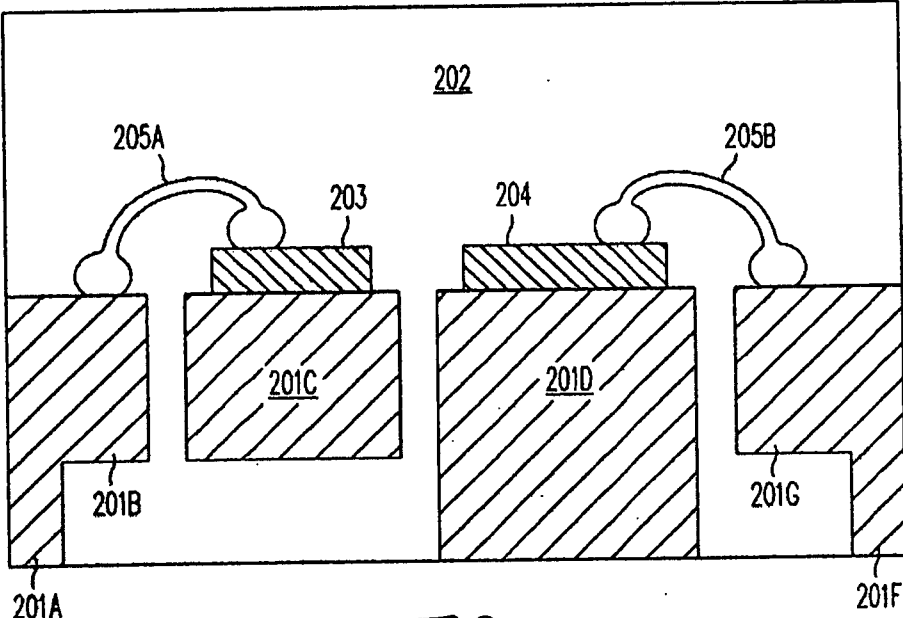


圖 8

220

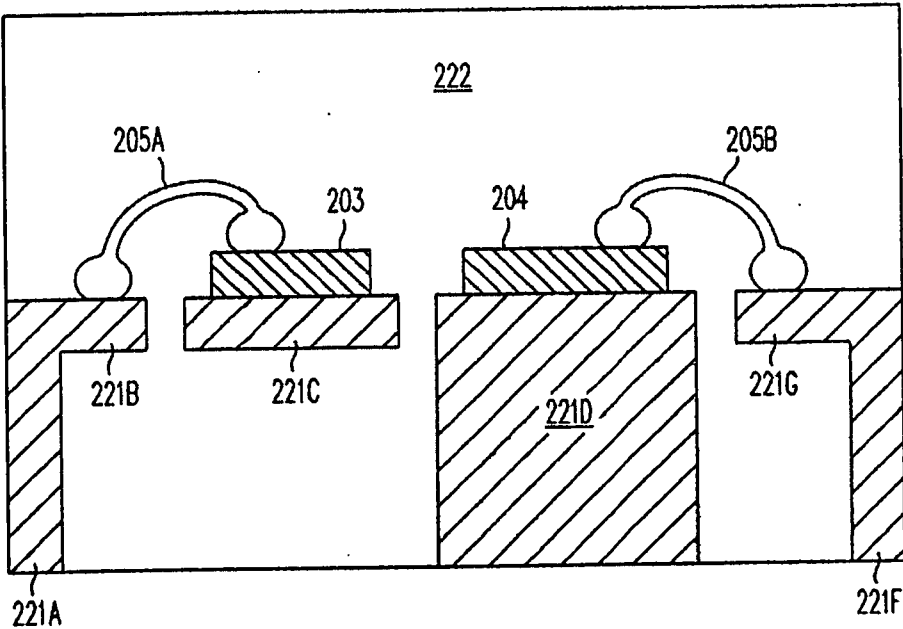


圖 9

240

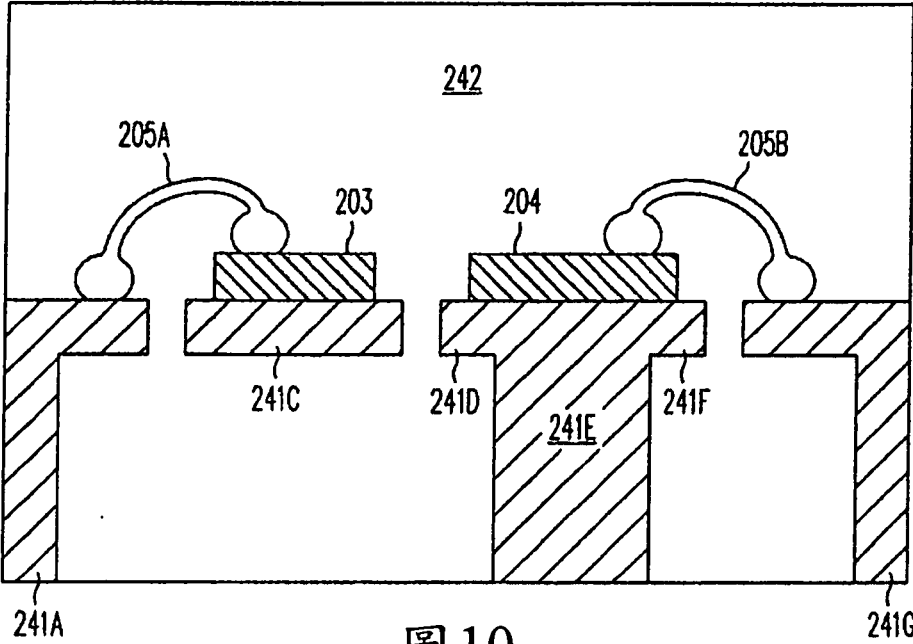


圖 10

260

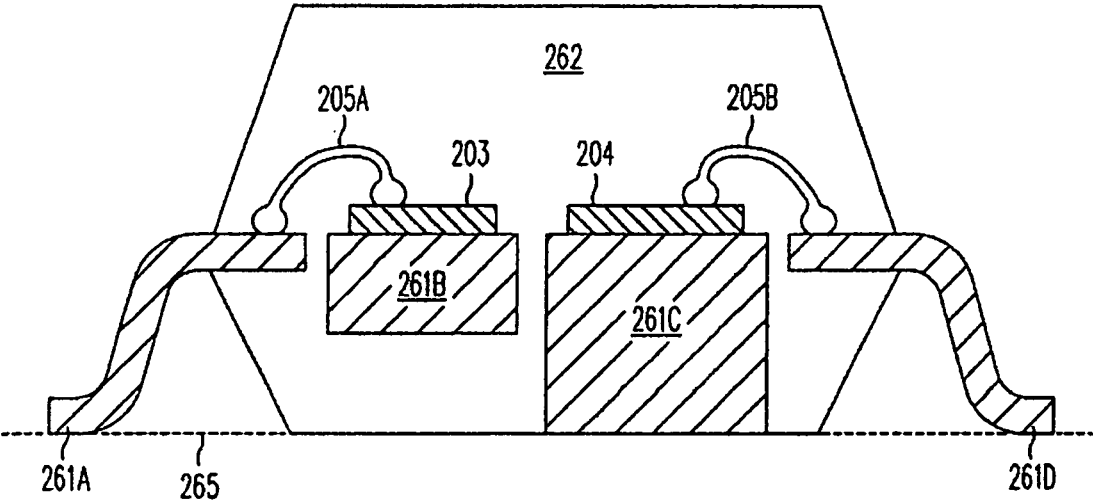


圖 11