(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2015 年 11 月 12 日 (12.11.2015)

WIPO | PCT

(10) 国际公布号
WO 2015/168961 A1

(51) 国际专利分类号:
H01L 21/8238 (2006.01) *H01L 21/34* (2006.01)

(21) 国际申请号: PCT/CN2014/077626

(22) 国际申请日: 2014 年 5 月 16 日 (16.05.2014)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201410188477.7 2014 年 5 月 6 日 (06.05.2014) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。

(72) 发明人: **戴天明 (DAI, Tianming)**; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。

(74) 代理人: **深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY)**; 中国广东省深圳市福田区天安数码城数码时代大厦 A 座 1409, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: METHOD FOR MANUFACTURING THIN FILM TRANSISTOR ARRAY SUBSTRATE, AND THIN FILM TRANSISTOR ARRAY SUBSTRATE

(54) 发明名称 : 薄膜晶体管阵列基板制造方法及薄膜晶体管阵列基板

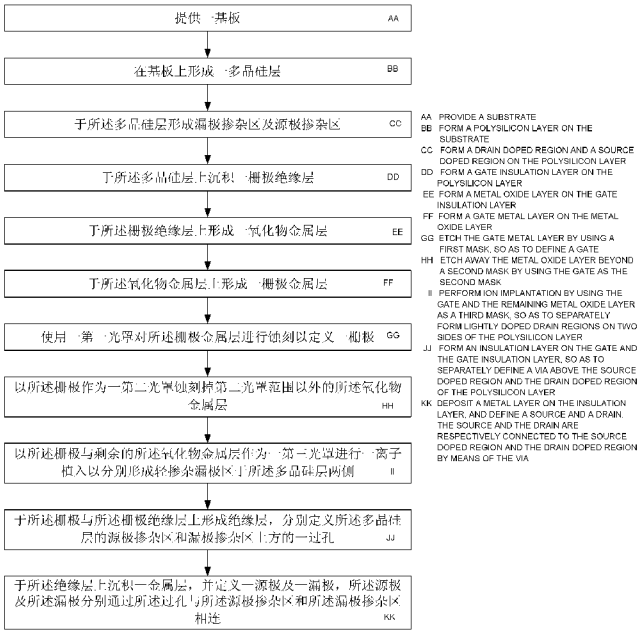


图2 / Fig. 2

(57) Abstract: A thin film transistor array substrate and a manufacturing method therefor. The manufacturing method comprises: forming a polysilicon layer (22) and a gate insulation layer (23) on a substrate (20); forming a metal oxide layer (26) on the gate insulation layer (23); forming a gate metal layer on the metal oxide layer (26); etching the gate metal layer to define a gate (24); etching away the metal oxide layer (26) beyond a second mask by using the gate (24) as the second mask; performing ion implantation by using the gate (24) and the remaining metal oxide layer (26) as a third mask, so as to separately form lightly doped drain regions (30) on two sides of the polysilicon layer (22); forming an insulation layer (25) on the gate (24) and the gate insulation layer (23); forming a metal layer (28) on the insulation layer (25), and defining a source (281) and a drain (282) so that the source (281) and the drain (282) are respectively connected to a source doped region (222) and a drain doped region (221). In this manner, the uniformity of ion implantation doses is kept and the brightness uniformity of a display is further maintained.

(57) 摘要:

[见续页]

WO 2015/168961 A1

一种薄膜晶体管阵列基板及其制造方法。制造方法包括在基板（20）上形成多晶硅层（22）与栅极绝缘层（23），栅极绝缘层（23）上形成金属氧化物层（26），金属氧化物层（26）上形成栅极金属层，刻蚀栅极金属层定义栅极（24），以栅极（24）作为第二光罩刻蚀掉第二光罩范围以外的金属氧化物层（26），以栅极（24）与剩余的金属氧化物层（26）作为第三光罩进行离子植入以分别形成轻掺杂漏极区（30）于所述多晶硅层（22）两侧，于栅极（24）与栅极绝缘层（23）上形成绝缘层（25），于绝缘层（25）上形成金属层(28)，并定义源极（281）及漏极（282）分别与源极掺杂区（222）和漏极掺杂区（221）相连，使得离子植入的剂量保持均匀性，进一步维持显示器亮度一致。

薄膜晶体管阵列基板制造方法及薄膜晶体管阵列基板

技术领域

[1] 本发明涉及阵列基板制造方法及阵列基板，特别是涉及一种低温多晶硅薄膜晶体管阵列基板的制造方法及薄膜晶体管阵列基板。

背景技术

[2] 液晶显示器(Liquid Crystal Display, LCD)由于具有体积小、重量轻、消耗功率低等优点，而大量的应用于各式电子产品中。为了实现高精细度的组件与像素排列，低温多晶硅(Low Temperature Poly Silicon, LTPS)薄膜晶体管液晶显示器成为研发的主流。

[3] 然而低温多晶硅具有下述问题，现有标准低温多晶硅薄膜晶体管(LTPS-TFT)的结构在多晶硅层上会包含两个作为源极与漏极之用的n型掺杂区，由于两个n型掺杂区的掺杂浓度较高，且与栅电极导体间的间距甚小，导致漏极附近的电场太强，因而产生热载流子效应(hot carrier effect),使多晶硅薄膜晶体管在关闭状态下会有漏电流(leakage current)的问题产生。为解决这个问题，现有技术多采用轻掺杂漏极结构(lightly doped drain, LDD)，用来降低漏极接触处的电场进而减少漏电流。如图1所示，一般低温多晶硅薄膜晶体管的制程中，在形成自对准(self-align)

轻掺杂漏极结构薄膜晶体管阵列基板的流程如下：1.在基板10上沉积缓冲层11和非晶硅层，并通过雷射回火(ELA)程序使之结晶化为多晶硅层12，通过光罩定义出多晶硅区。2.通过光罩定义出n型掺杂区块并通过离子植入程序植入离子，形成n型掺杂区13。3.借着低温化学气相沉积法(PECVD)沉积栅极绝缘层14。4.在栅极绝缘层14上沉积栅极15，通过光罩定义栅极区，并采用干式蚀刻法蚀刻掉其他区域的金属。5.以栅极15为光罩进行离子植入程序(图中箭头处)，形成轻掺杂漏极区16。

[4] 由于采用干式刻蚀法蚀刻栅极金属的同时会对栅极绝缘层产生一定的刻蚀导致栅极绝缘层流失，后续在进行离子植入程序以形成轻掺杂漏极区的时候，植入

离子的剂量上会产生不均匀，最终会使得通道上各个地方的电性产生差异，导致显示器亮度不均或造成各种痕迹。

对发明的公开

技术问题

[5] 本发明目的在于提供一种薄膜晶体管阵列基板制造方法及薄膜晶体管阵列基板，避免在进行干刻蚀栅极的时候导致栅极绝缘层流失，改进了栅极绝缘层厚度的均匀性，使得植入的轻掺杂漏极区的离子剂量保持一致。

问题的解决方案

技术解决方案

[6] 为达上述技术目的，本发明提供一种薄膜晶体管阵列基板制造方法，包括以下步骤：

[7] 提供一基板；

[8] 在所述基板上形成一多晶硅层；

[9] 于所述多晶硅层中形成一漏极掺杂区及一源极掺杂区；

[10] 于所述多晶硅层上沉积一栅极绝缘层；

[11] 于所述栅极绝缘层上形成一金属氧化物层；

[12] 于所述金属氧化物层上形成一栅极金属层；

[13] 使用一第一光罩对所述栅极金属层进行蚀刻以定义一栅极；

[14] 以所述栅极作为一第二光罩蚀刻掉第二光罩范围以外的所述金属氧化物层；

[15] 以所述栅极与剩余的所述金属氧化物层作为一第三光罩进行一离子植入以分别形成轻掺杂漏极区于所述多晶硅层两侧，所述轻掺杂漏极区分别与所述漏极掺杂区及所述源极掺杂区邻接；

[16] 于所述栅极与所述栅极绝缘层上形成一绝缘层，分别定义所述多晶硅层的源极掺杂区和漏极掺杂区上方的一过孔；

[17] 于所述绝缘层上沉积一金属层，并定义一源极及一漏极，所述源极及所述漏极分别通过所述过孔与所述源极掺杂区和所述漏极掺杂区相连。

[18] 依据本发明制法，在所述基板上形成所述多晶硅层之前更可包括形成一缓冲层的步骤。

[19] 依据本发明制法，形成所述漏极掺杂区及所述源极掺杂区为以磷离子植入于所述多晶硅层。

[20] 依据本发明制法，对所述栅极金属层进行蚀刻为采用一干蚀刻程序以蚀刻掉所述第一光罩以外的栅极金属层以形成所述栅极，对所述金属氧化物层进行蚀刻为采用一湿蚀刻程序并以所述栅极作为第二光罩蚀刻掉所述第二光罩以外的金属氧化物层。

[21] 依据本发明制法，所述栅极绝缘层为一氧化硅(SiO2)层、一氮化硅(SiNX)层或为两者层迭结构。

[22] 依据本发明制法，所述金属氧化物层的材质为氧化铟锡(ITO)。

[23] 依据本发明制法，所述金属氧化物层与所述栅极间的尺寸偏差小于0.3um。

[24] 依据本发明制法，所述薄膜晶体管阵列基板适用于有机发光二极管 (Organic Light-Emitting Diode, OLED) 显示器。

[25] 其次，为达上述技术目的，本发明提供一种薄膜晶体管阵列基板制造方法，包括以下步骤：

[26] 提供一基板；

[27] 在所述基板上形成一多晶硅层；

[28] 于所述多晶硅层中形成一漏极掺杂区及一源极掺杂区；

[29] 于所述多晶硅层上沉积一栅极绝缘层；

[30] 于所述栅极绝缘层上形成一金属氧化物层；

[31] 于所述金属氧化物层上形成一栅极金属层；

[32] 使用一第一光罩对所述栅极金属层进行蚀刻以定义一栅极；

[33] 以所述栅极作为一第二光罩蚀刻掉第二光罩范围以外的所述金属氧化物层；

[34] 以所述栅极与剩余的所述金属氧化物层作为一第三光罩进行一离子植入以分别形成轻掺杂漏极区于所述多晶硅层两侧；

[35] 于所述栅极与所述栅极绝缘层上形成一绝缘层，分别定义所述多晶硅层的源极掺杂区和漏极掺杂区上方的一过孔；

[36] 于所述绝缘层上沉积一金属层，并定义一源极及一漏极，所述源极及所述漏极分别通过所述过孔与所述源极掺杂区和所述漏极掺杂区相连。

[37] 依据本发明制法，在所述基板上形成所述多晶硅层之前更可包括形成一缓冲层的步骤。

[38] 依据本发明制法，形成所述漏极掺杂区及所述源极掺杂区为以磷离子植入于所述多晶硅层。

[39] 依据本发明制法，对所述栅极金属层进行蚀刻为采用一干蚀刻程序以蚀刻掉所述第一光罩以外的栅极金属层以形成所述栅极，对所述金属氧化物层进行蚀刻为采用一湿蚀刻程序并以所述栅极作为第二光罩蚀刻掉所述第二光罩以外的金属氧化物层。

[40] 依据本发明制法，所述栅极绝缘层为一氧化硅(SiO2)层、一氮化硅(SiNX)层或为两者层迭结构。

[41] 依据本发明制法，所述金属氧化物层的材质为氧化铟锡(ITO)。

[42] 依据本发明制法，所述金属氧化物层与所述栅极间的尺寸偏差小于0.3um。

[43] 依据本发明制法，所述薄膜晶体管阵列基板适用于有机发光二极管 (Organic Light-Emitting Diode, OLED) 显示器。

[44] 另一方面，为达上述技术目的，本发明提供一种薄膜晶体管阵列基板，包括：

[45] 一基板，所述基板上具有一多晶硅层，所述多晶硅层上具有一栅极绝缘层，所述栅极绝缘层上具有一栅极，所述多晶硅层具一漏极掺杂区及一源极掺杂区，所述多晶硅层两侧各具有一轻掺杂漏极区，所述栅极与所述栅极绝缘层上具一绝缘层，分别于所述多晶硅层的源极掺杂区和漏极掺杂区上方形成一过孔，于所述绝缘层上沉积一金属层，所述金属层具一源极及一漏极，所述源极及所述漏极分别通过所述过孔与所述源极掺杂区和所述漏极掺杂区相连，其中，所述栅极与栅极绝缘层间具一金属氧化物层，所述栅极与所述金属氧化物层覆盖范围相同且并未覆盖所述轻掺杂漏极区。

[46] 依据本发明薄膜晶体管阵列基板，所述基板与所述多晶硅层间更可包括一缓冲层。

[47] 依据本发明薄膜晶体管阵列基板，所述金属氧化物层的材质为氧化铟锡(ITO)。

[48] 依据本发明薄膜晶体管阵列基板，所述金属氧化物层与所述栅极间的尺寸偏差

小于0.3um。

发明的有益效果

有益效果

[49] 本发明公开了一种薄膜晶体管阵列基板制造方法，包括在所述基板上形成多晶硅层与栅极绝缘层，所述栅极绝缘层上形成金属氧化物层，所述金属氧化物层上形成栅极金属层，蚀刻所述栅极金属层定义栅极，以所述栅极作为第二光罩蚀刻掉第二光罩范围以外的金属氧化物层，以所述栅极与剩余的金属氧化物层作为第三光罩进行离子植入以分别形成轻掺杂漏极区于所述多晶硅层两侧，于所述栅极与所述栅极绝缘层上形成绝缘层，于绝缘层上形成金属层，并定义源极及漏极分别与所述源极掺杂区和所述漏极掺杂区相连，使得离子植入的剂量保持均匀性，进一步维持显示器亮度一致。本发明还公开了一种具有上述制造方法制备而成的薄膜晶体管阵列基板。

对附图的简要说明

附图说明

[50] 图1为现有低温多晶硅薄膜晶体管的制程与结构示意图；

[51] 图2为依据本发明的一优选实施例的薄膜晶体管阵列基板制造方法的流程示意图；以及

[52] 图3至图9为依据本发明的一优选实施例的薄膜晶体管阵列基板的制程与结构示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

[53] 有关本发明的技术内容及详细说明，现配合附图说明如下：

[54] 请参阅图2，为一种依据本发明的优选实施例的薄膜晶体管阵列基板制造方法，包括以下步骤：提供一基板，所述基板可以使用玻璃、石英、或者类似的透明绝缘材质。

[55] 在所述基板上形成一多晶硅层，其中所述多晶硅层由一非晶硅层形成于基板上，并对非晶硅层进行雷射回火(ELA)程序，使得非晶硅转为多晶硅，以做为薄膜

晶体管之通道区域使用，后续通过光罩处理与蚀刻处理定义出至少一多晶硅区(未图示)。于本发明不同实施例中，在所述基板上形成所述多晶硅层之前更可包括形成一缓冲层的步骤。

[56] 接着涂布光阻于所述多晶硅层上，并对基板施以背面曝光程序，以定义一光阻图案于多晶硅层上，再以光阻图案为光罩，对基板采用离子植入，以n型薄膜晶体管而言，选择如磷、砷等五价的杂质离子进行离子植入(ion implantation)；以p型薄膜晶体管而言，选择如硼、镓等三价的杂质离子进行离子植入，藉此于所述多晶硅层中形成一漏极掺杂区及一源极掺杂区。于本实施例中，于所述多晶硅层的多晶硅区植入磷离子，用以形成所述漏极掺杂区及所述源极掺杂区，所述漏极掺杂区及所述源极掺杂区分别形成于所述多晶硅层两侧。

[57] 后藉由低温化学气相沉积法(PECVD)于所述多晶硅层上沉积一栅极绝缘层，于本实施例中，所述栅极绝缘层为一氧化硅(SiO2)层、一氮化硅(SiNX)层或为两者层迭结构，但不以此为限。

[58] 后于所述栅极绝缘层上形成一金属氧化物层，优选地，所述金属氧化物层的材质为氧化铟锡(ITO)，但不以此为限。

[59] 紧接于所述金属氧化物层上形成一栅极金属层，使用一第一光罩定义出一栅极区(未图示)，对所述栅极金属层进行一蚀刻程序以定义一栅极，于本实施例中，对所述栅极金属层进行蚀刻为采用一干蚀刻程序以蚀刻掉所述第一光罩以外的栅极金属层以形成所述栅极，采用干蚀刻程序主要是因为在每英吋脉冲数(ppi)高的情况下，干蚀刻程序的关键尺寸(Critical Dimension, CD)误差会比湿蚀刻程序的误差为小。

[60] 接着，以所述栅极作为一第二光罩蚀刻掉第二光罩范围以外的所述金属氧化物层，于本实施例中，对所述金属氧化物层进行蚀刻为采用一湿蚀刻程序，并以所述栅极作为第二光罩蚀刻掉所述第二光罩以外的金属氧化物层。

[61] 后以所述栅极与剩余的所述金属氧化物层作为一第三光罩进行一离子植入以分别形成轻掺杂漏极区于所述多晶硅层两侧，剩余的所述金属氧化物层位于所述栅极与所述栅极绝缘层间，并且，剩余的所述金属氧化物层与所述栅极具有相同覆盖范围。即所述离子植入是以所述栅极与剩余的所述金属氧化物层作为第

三光罩，因此，所述栅极与剩余的所述金属氧化物层覆盖的范围并不会与所述轻掺杂漏极区有所重迭，且所述轻掺杂漏极区在剩余的所述金属氧化物层及所述栅极覆盖范围之外，所述轻掺杂漏极区分别与所述漏极掺杂区及所述源极掺杂区邻接。如此还可达到自对准(self-align)的效果，并可控制以所述栅极与剩余的所述金属氧化物层为第三光罩发生的偏移(shift) 小于0.3um，避免造成关键尺寸(Critical Dimension, CD)的误差，亦不会影响到栅极的线宽。

[62] 后于所述栅极与所述栅极绝缘层上形成绝缘层，在绝缘层上形成一金属层且所述金属层具一源极及一漏极,绝缘层通过光罩分别在源极与漏极开有过孔, 分别定义所述多晶硅层的源极掺杂区和漏极掺杂区与所述过孔对应，所述源极及所述漏极分别通过所述过孔与所述源极掺杂区和所述漏极掺杂区相连。

[63] 此外，请参阅图3至图9，本发明提供一种薄膜晶体管阵列基板，包括：一基板20，所述基板20上具有一多晶硅层22，所述多晶硅层22上具有一栅极绝缘层23，所述栅极绝缘层23上具有一栅极24，所述多晶硅层22具一漏极掺杂区221及一源极掺杂区222，所述多晶硅层22两侧各具有一轻掺杂漏极区30，所述轻掺杂漏极区30分别邻接于所述漏极掺杂区221与所述源极掺杂区222，所述栅极24与所述栅极绝缘层23上具绝缘层25，所述绝缘层25分别对应所述多晶硅层22的源极掺杂区222和漏极掺杂区221上方设有过孔27,在绝缘层25上形成一金属层28，且所述金属层28具一源极281及一漏极282,其分别通过过孔27与多晶硅层22的源极掺杂区222和漏极掺杂区221相连，其中，所述栅极24与栅极绝缘层23间具一金属氧化物层26，所述栅极24与所述金属氧化物层25覆盖范围相同且并未覆盖所述轻掺杂漏极区23。

[64] 优选地，本实施例的薄膜晶体管阵列基板采用栅极24与金属氧化物层26共同作为光罩以对轻掺杂漏极区30进行离子植入(图7箭头所示)，故如图7所示，由垂直方向观察，栅极24与金属氧化物层26和轻掺杂漏极区30是切齐对齐的，栅极24与金属氧化物层26覆盖范围并不会与轻掺杂漏极区30有所交集。

[65] 优选地，所述金属氧化物层26的材质为氧化铟锡(ITO)，且所述金属氧化物层26与所述栅极24间的尺寸偏差小于0.3um，且所述薄膜晶体管阵列基板适用于有机发光二极管 (Organic Light-Emitting Diode, OLED) 显示

器。

[66] 于本发明不同实施例中，所述基板20与所述多晶硅层22间更可包括一缓冲层21。

[67] 综上所述，本发明提供一种薄膜晶体管阵列基板制造方法及薄膜晶体管阵列基板，通过在栅极下方设置金属氧化物层的方式，通过金属氧化物层来抵挡对栅极进行干式蚀刻程序过程中造成对于栅极绝缘层的刻蚀，进而提高的栅极绝缘层的均匀性，且所述栅极与所述金属氧化物层间的尺寸偏差可控制在小于0.3um，避免在对栅极进行干式蚀刻程序的时候产生栅极绝缘层流失，使得形成所述轻掺杂漏极区时离子植入的深度和剂量保持很好的均匀性，确保植入后的轻掺杂漏极区的剂量保持一致。如此将可避免植入轻掺杂漏极区的离子的能量和剂量上会产生不均匀，最终会使得通道上各个地方的电性产生差异，导致显示器亮度不均或造成各种痕迹的缺失。

[68] 虽然本发明已以优选实施例公开如上，但上述优选实施例并非用以限定本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

发明实施例

本发明的实施方式

[69]

工业实用性

[70]

序列表自由内容

[71]

权利要求书

[权利要求 1] 一种薄膜晶体管阵列基板制造方法，包括以下步骤：

提供一基板；

于所述基板上形成一多晶硅层；

于所述多晶硅层中形成一漏极掺杂区及一源极掺杂区；

于所述多晶硅层上沉积一栅极绝缘层；

于所述栅极绝缘层上形成一金属氧化物层；

于所述金属氧化物层上形成一栅极金属层；

使用一第一光罩对所述栅极金属层进行蚀刻以定义一栅极；

以所述栅极作为一第二光罩蚀刻掉所述第二光罩范围以外的所述金属氧化物层；

以所述栅极与剩余的所述金属氧化物层作为一第三光罩进行一离子植入以分别形成轻掺杂漏极区于所述多晶硅层两侧，所述轻掺杂漏极区分别与所述漏极掺杂区及所述源极掺杂区邻接；

于所述栅极与所述栅极绝缘层上形成绝缘层，分别定义所述多晶硅层的源极掺杂区和漏极掺杂区上方的一过孔；

于所述绝缘层上沉积一金属层，并定义一源极及一漏极，所述源极及所述漏极分别通过所述过孔与所述源极掺杂区和所述漏极掺杂区相连。

[权利要求 2] 根据权利要求1所述的薄膜晶体管阵列基板制造方法，其中，在所述基板上形成所述多晶硅层之前更可包括形成一缓冲层的步骤。

[权利要求 3] 根据权利要求1所述的薄膜晶体管阵列基板制造方法，其中，形成所述漏极掺杂区及所述源极掺杂区为以磷离子植入于所述多晶硅层形成。

[权利要求 4] 根据权利要求1所述的薄膜晶体管阵列基板制造方法，其中，对所述栅极金属层进行蚀刻为采用一干蚀刻程序以蚀刻掉所述第一光罩以外的栅极金属层以形成所述栅极，对所述金属氧化物层进行蚀刻为采用一湿蚀刻程序并以所述栅极作为第二光罩蚀刻掉所述

第二光罩以外的金属氧化物层。

[权利要求 5] 根据权利要求1所述的薄膜晶体管阵列基板制造方法，其中，所述栅极绝缘层为一氧化硅层、一氮化硅层或为两者层迭结构。

[权利要求 6] 根据权利要求1所述的薄膜晶体管阵列基板制造方法，其中，所述金属氧化物层的材质为氧化铟锡。

[权利要求 7] 根据权利要求1所述的薄膜晶体管阵列基板制造方法，其中，所述金属氧化物层与所述栅极间的尺寸偏差小于0.3um。

[权利要求 8] 根据权利要求1所述的薄膜晶体管阵列基板制造方法，其中，所述薄膜晶体管阵列基板适用于有机发光二极管显示器。

[权利要求 9] 一种薄膜晶体管阵列基板制造方法，包括以下步骤：

提供一基板；

于所述基板上形成一多晶硅层；

于所述多晶硅层中形成一漏极掺杂区及一源极掺杂区；

于所述多晶硅层上沉积一栅极绝缘层；

于所述栅极绝缘层上形成一金属氧化物层；

于所述金属氧化物层上形成一栅极金属层；

使用一第一光罩对所述栅极金属层进行蚀刻以定义一栅极；

以所述栅极作为一第二光罩蚀刻掉所述第二光罩范围以外的所述金属氧化物层；

以所述栅极与剩余的所述金属氧化物层作为一第三光罩进行一离子植入以分别形成轻掺杂漏极区于所述多晶硅层两侧；

于所述栅极与所述栅极绝缘层上形成绝缘层，分别定义所述多晶硅层的源极掺杂区和漏极掺杂区上方的一过孔；

于所述绝缘层上沉积一金属层，并定义一源极及一漏极，所述源极及所述漏极分别通过所述过孔与所述源极掺杂区和所述漏极掺杂区相连。

[权利要求 10] 根据权利要求9所述的薄膜晶体管阵列基板制造方法，其中，在所述基板上形成所述多晶硅层之前更可包括形成一缓冲层的步骤。

[权利要求 11] 根据权利要求9所述的薄膜晶体管阵列基板制造方法，其中，形成所述漏极掺杂区及所述源极掺杂区为以磷离子植入于所述多晶硅层形成。

[权利要求 12] 根据权利要求9所述的薄膜晶体管阵列基板制造方法，其中，对所述栅极金属层进行蚀刻为采用一干蚀刻程序以蚀刻掉所述第一光罩以外的栅极金属层以形成所述栅极，对所述金属氧化物层进行蚀刻为采用一湿蚀刻程序并以所述栅极作为第二光罩蚀刻掉所述第二光罩以外的金属氧化物层。

[权利要求 13] 根据权利要求9所述的薄膜晶体管阵列基板制造方法，其中，所述栅极绝缘层为一氧化硅层、一氮化硅层或为两者层迭结构。

[权利要求 14] 根据权利要求9所述的薄膜晶体管阵列基板制造方法，其中，所述金属氧化物层的材质为氧化铟锡。

[权利要求 15] 根据权利要求9所述的薄膜晶体管阵列基板制造方法，其中，所述金属氧化物层与所述栅极间的尺寸偏差小于0.3um。

[权利要求 16] 根据权利要求9所述的薄膜晶体管阵列基板制造方法，其中，所述薄膜晶体管阵列基板适用于有机发光二极管显示器。

[权利要求 17] 一种薄膜晶体管阵列基板，包括：

一基板，所述基板上具有一多晶硅层，所述多晶硅层上具有一栅极绝缘层，所述栅极绝缘层上具有一栅极，所述多晶硅层具一漏极掺杂区及一源极掺杂区，所述多晶硅层两侧各具有一轻掺杂漏极区，所述栅极与所述栅极绝缘层上具一绝缘层，分别于所述多晶硅层的源极掺杂区和漏极掺杂区上方形成一过孔，于所述绝缘层上沉积一金属层，所述金属层具一源极及一漏极，所述源极及所述漏极分别通过所述过孔与所述源极掺杂区和所述漏极掺杂区相连，其中，所述栅极与栅极绝缘层间具一金属氧化物层，所述栅极与所述金属氧化物层覆盖范围相同且并未覆盖所述轻掺杂漏极区。

[权利要求 18] 根据权利要求17所述的薄膜晶体管阵列基板，其中，所述基板与

所述多晶硅层间更可包括一缓冲层。

[权利要求 19] 根据权利要求17所述的薄膜晶体管阵列基板，其中，所述金属氧化物层的材质为氧化铟锡。

[权利要求 20] 根据权利要求17所述的薄膜晶体管阵列基板，其中，所述金属氧化物层与所述栅极间的尺寸偏差小于0.3um。

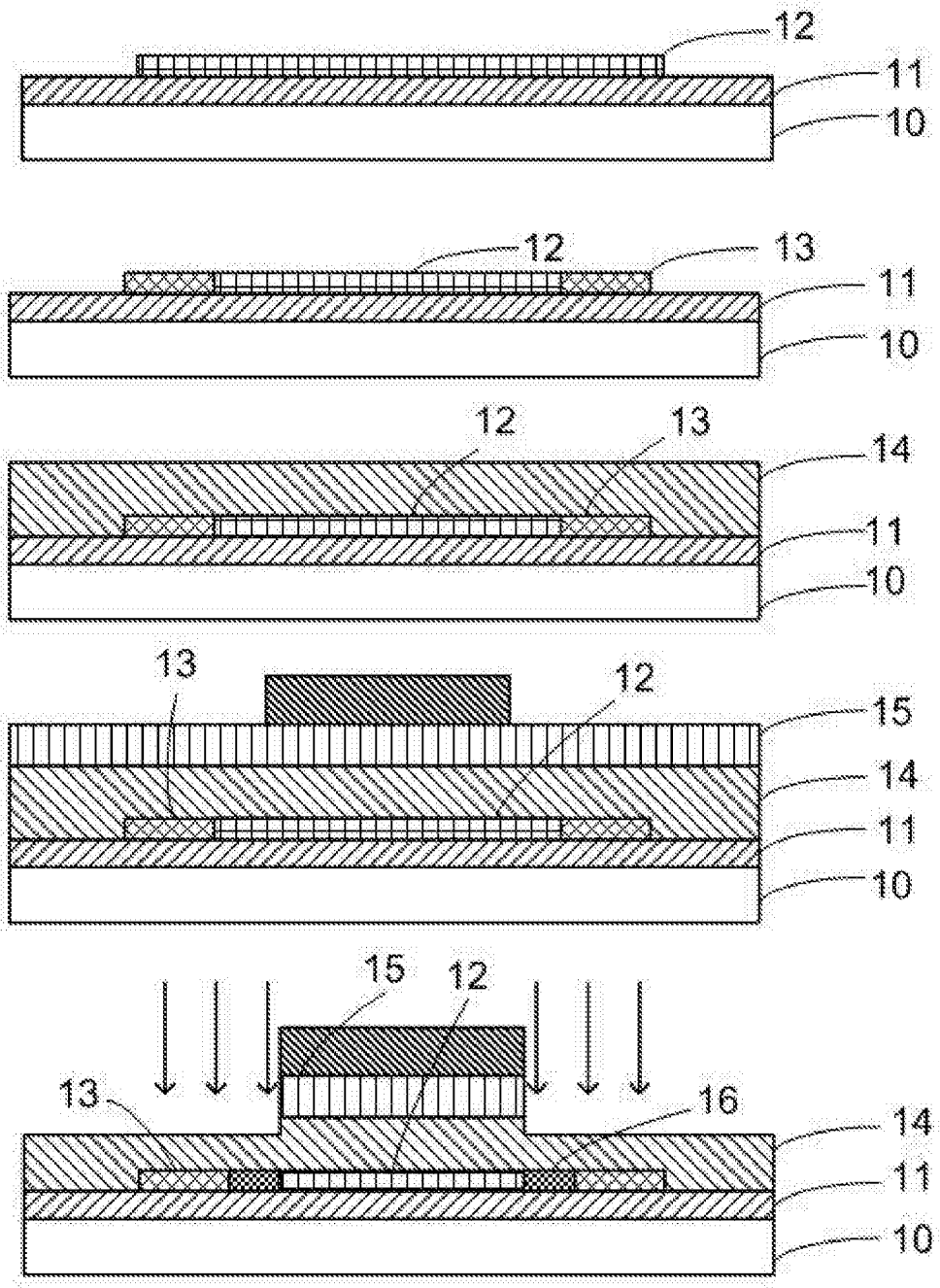

12
11
10
12
13
11
10
12
13
14
11
10
13
12
15
14
11
10
15
12
13
16
14
11
10

图1

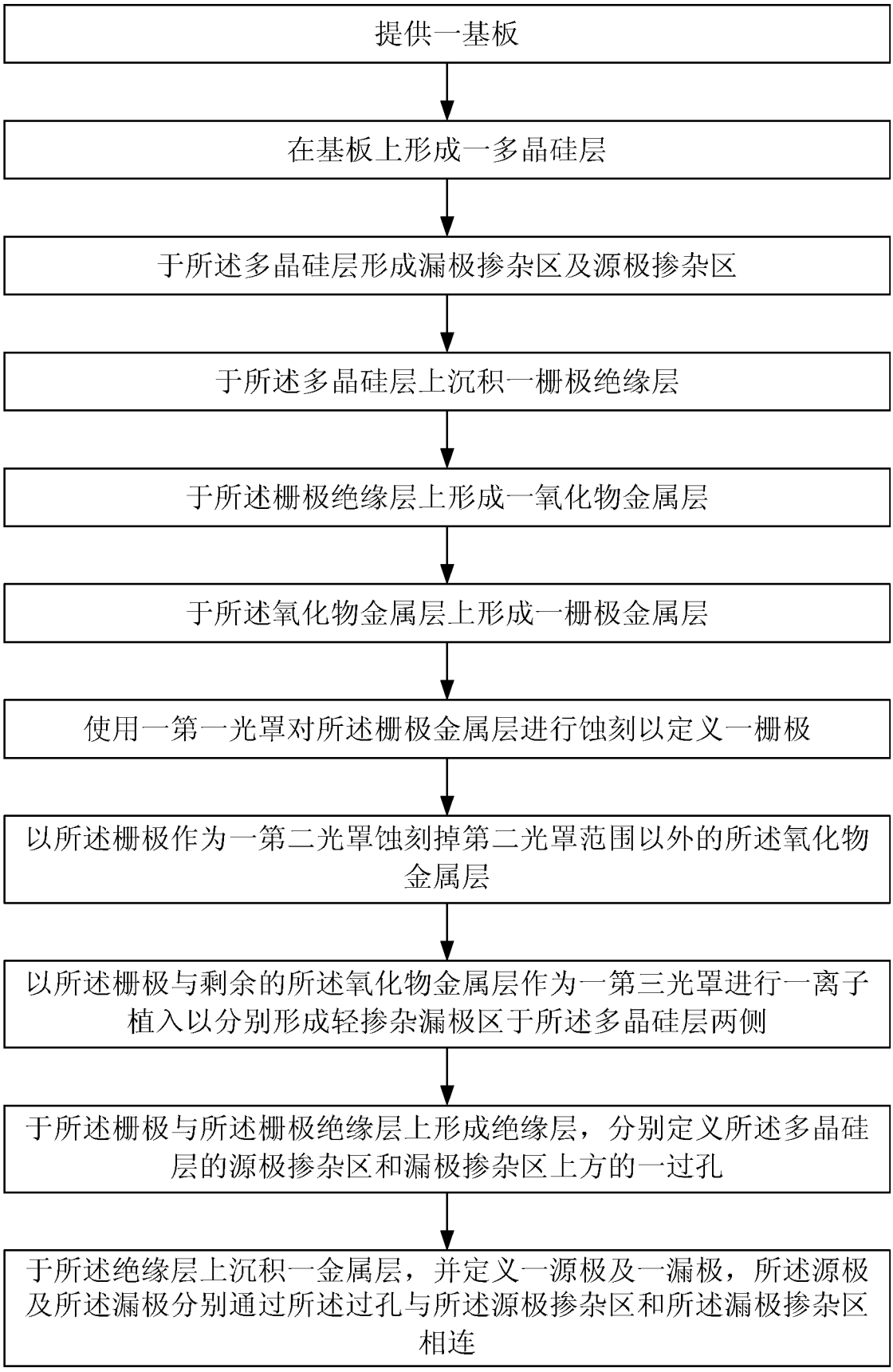

提供一基板
在基板上形成一多晶硅层
于所述多晶硅层形成漏极掺杂区及源极掺杂区
于所述多晶硅层上沉积一栅极绝缘层
于所述栅极绝缘层上形成一氧化物金属层
于所述氧化物金属层上形成一栅极金属层
使用一第一光罩对所述栅极金属层进行蚀刻以定义一栅极
以所述栅极作为一第二光罩蚀刻掉第二光罩范围以外的所述氧化物金属层
以所述栅极与剩余的所述氧化物金属层作为一第三光罩进行一离子植入以分别形成轻掺杂漏极区于所述多晶硅层两侧
于所述栅极与所述栅极绝缘层上形成绝缘层，分别定义所述多晶硅层的源极掺杂区和漏极掺杂区上方的一过孔
于所述绝缘层上沉积一金属层，并定义一源极及一漏极，所述源极及所述漏极分别通过所述过孔与所述源极掺杂区和所述漏极掺杂区相连

图2

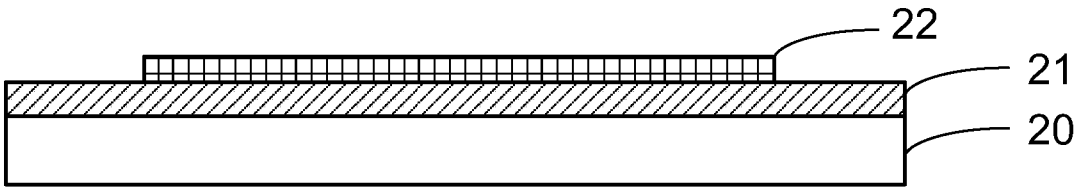


图 3

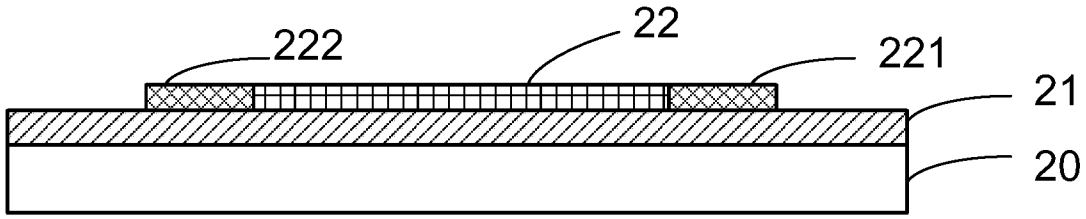


图 4

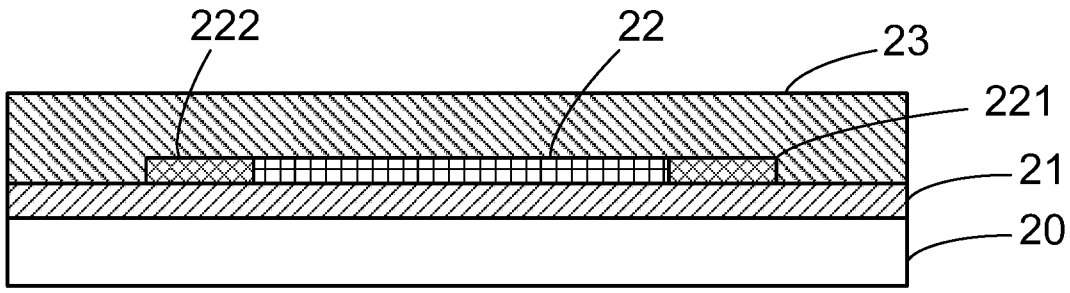


图5

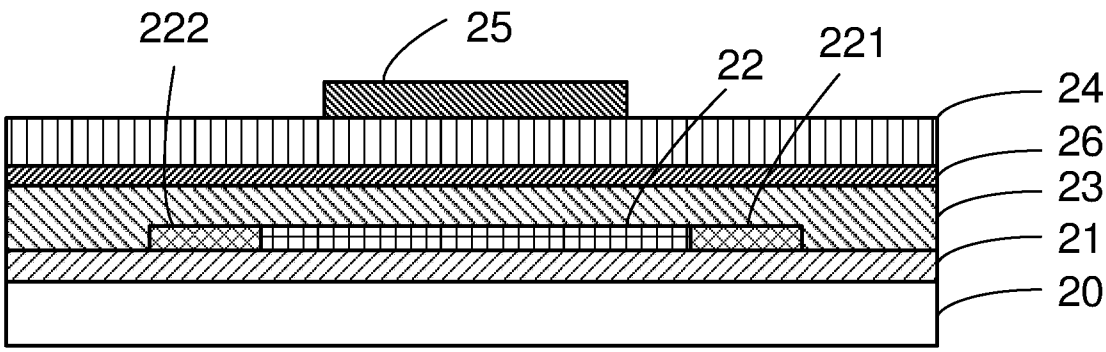


图 6

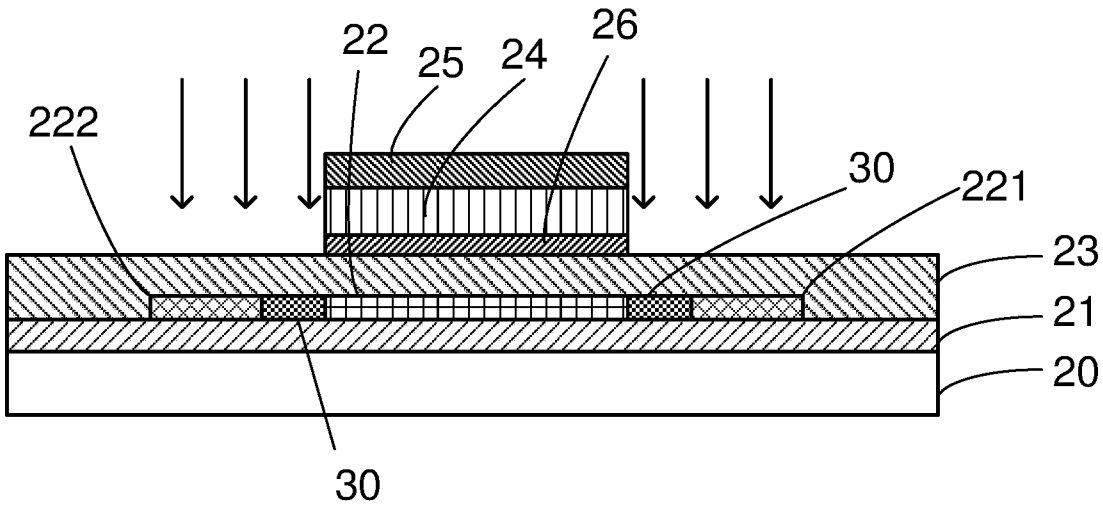


图 7

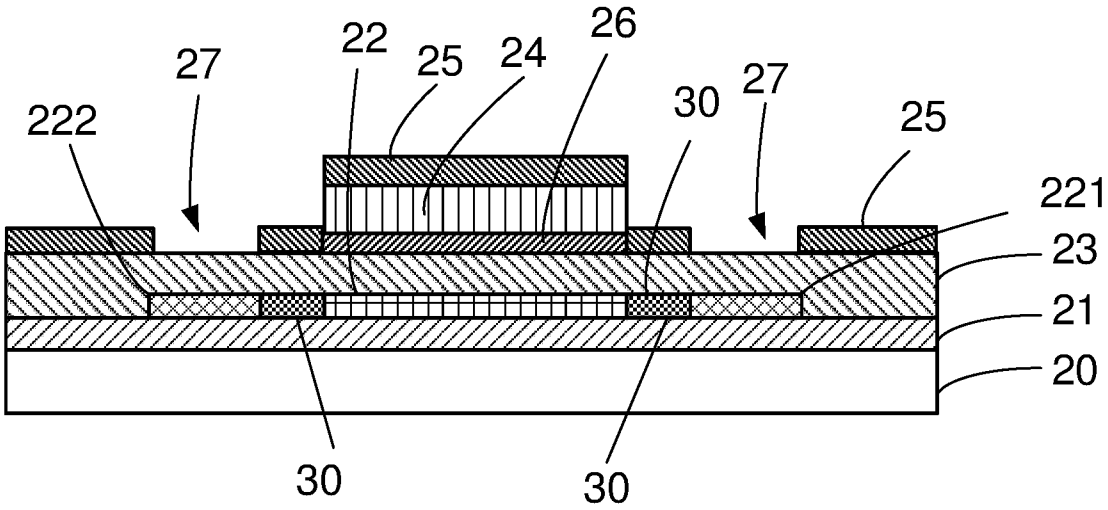

27
22
25
24
26
30
27
25
222
221
23
21
20
30
30

图 8

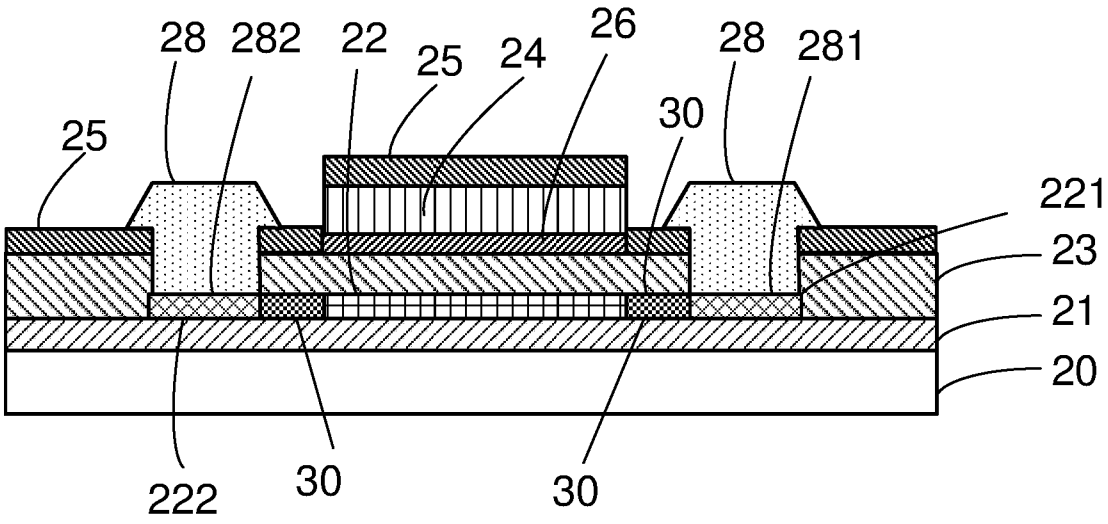

28
282
22
25
24
26
28
281
30
25
221
23
21
20
222
30
30

图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/077626

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8238 (2006.01) i; H01L 21/34 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, CPRSABS, CNABS, CNKI, DWPI: TFT, source, thin film transistor, gate, metal oxide, drain, protect, poly silicon,

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101127328 A (SAMSUNG DENKAN KK et al.) 20 February 2008 (20.02.2008) description, page 5, line 3 to page 8, line 2, figures 2A-2F	1-20
A	CN 1901168 A (TOPPOLY OPTOELECTRONICS CORP et al.) 24 January 2007 (24.01.2007) the whole document	1-20
A	CN 102842619 A (NANJING CEC-PANDA LCD TECHNOLOGY CO LTD) 26 December 2012 (26.12.2012) the whole document	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 January 2015	13 February 2015
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer GAO, Mingjie Telephone No. (86-10) 62411783

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/077626

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101127328 A	20 February 2008	KR 100796609 B1	22 January 2008
		JP 2008047891 A	28 February 2008
		US 7696033 B2	13 April 2010
		JP 5043542 B2	10 October 2012
		CN 100521155 C	29 July 2009
		US 2008044958 A1	21 February 2008
CN 1901168 A	24 January 2007	CN 100411153 C	13 August 2008
CN 102842619 A	26 December 2012	None	

国际检索报告

国际申请号
PCT/CN2014/077626

A. 主题的分类

H01L 21/8238(2006.01)i；H01L 21/34(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT、CPRSABS、CNABS、CNKI、DWPI:源，TFT，多晶硅，薄膜晶体管，栅极，金属氧化物，漏，栅氧保护层，栅极氧化物保护层，source，thin film transistor,gate,metal oxide,drain,protect,poly silicon

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 101127328 A (三星SDI株式会社) 2008年 2月 20日 (2008-02-20) 说明书第5页第3行-第8页第2行，及附图2A-2F	1-20
A	CN 1901168 A (统宝光电股份有限公司) 2007年 1月 24日 (2007-01-24) 全文	1-20
A	CN 102842619 A (南京中电熊猫液晶显示科技有限公司) 2012年 12月 26日 (2012-12-26) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2015年 1月 20日	2015年 2月 13日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	高铭洁 电话号码 (86-10)62411783

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2014/077626

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101127328	A	2008年 2月 20日	KR	100796609	B1	2008年 1月 22日
				JP	2008047891	A	2008年 2月 28日
				US	7696033	B2	2010年 4月 13日
				JP	5043542	B2	2012年 10月 10日
				CN	100521155	C	2009年 7月 29日
				US	2008044958	A1	2008年 2月 21日
CN	1901168	A	2007年 1月 24日	CN	100411153	C	2008年 8月 13日
CN	102842619	A	2012年 12月 26日		无		