(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01L 23/48

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0276165
(24) 등록일자 2000년09월27일

(21) 출원번호	10-1997-0705030	(65) 공개번호	특1998-0701636
(22) 출원일자	1997년07월24일	(43) 공개일자	1998년06월25일
번역문제출일자	1997년07월24일		
(86) 국제출원번호	PCT/US 96/00400	(87) 국제공개번호	WO 96/23320
(86) 국제출원일자	1996년01월11일	(87) 국제공개일자	1996년08월01일
(81) 지정국	AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 우간다 EA 유라시아특허 : 아제르바이잔 벨라루스 카자흐스탄 러시아 타지키스탄 투르크메니스탄 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴 OA OAPI특허 : 부르키나파소 베넹 중앙아프리카 콩고 코트디브와르 카메룬 가봉 기네 말리 모리타니 니제르 세네갈 차드 토고 국내특허 : 알바니아 아르메니아 오스트리아 오스트레일리아 아제르바이잔 바베이도스 불가리아 브라질 벨라루스 캐나다 스위스 중국 체코 독일 덴마크 에스토니아 스페인 핀랜드 영국 그루지야 헝가리 아이슬란드 일본 케냐 키르기즈 북한 대한민국 카자흐스탄 스리랑카 라이베리아 레소토 리투아니아 룩셈부르크 라트비아 몰도바 마다가스카르 마케도니아 몽고 말라위 멕시코 노르웨이 뉴질랜드 폴란드 포르투칼 루마니아 러시아 수단 스웨덴 싱가포르 슬로베니아 슬로바키아 타지키스탄 투르크메니스탄 터어키 트리니다드토바고 우크라이나 우간다 우즈베키스탄 베트남		
(30) 우선권주장	08/377,778 1995년01월24일 미국(US)		
(73) 특허권자	인텔 코오퍼레이션 피터 엔. 데트킨 미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200		
(72) 발명자	모슬리 래리 미국 캘리포니아 95134 산 호세 이란 빌리지 레인 335 아파트먼트 213 마드리드 안나 미국 아리조나 85044 피닉스 이스트 앰버우드 드라이브4002 나타라잔 시바 미국 아리조나 85234 길버트 이스트 헤더 애비뉴 1232		
(74) 대리인	장용식		

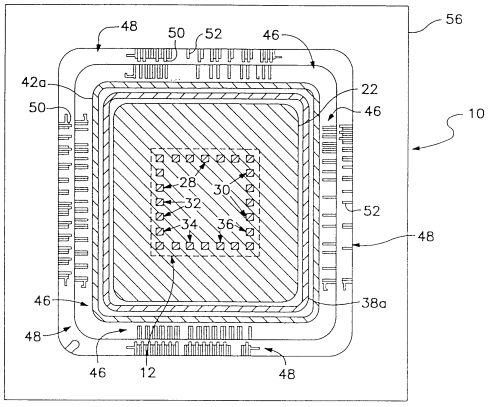
심사관 : 양희용

(54) 고성능집적회로패키지

요약

고성능 집적 회로 패키지(10)는 인쇄 회로(PC) 기판(56)상에 배치되어 있고 제1유전체층을 가지고 있다. 이 제1유전체층의 상부에는 금속 다이 패드(22), 및 이 금속 다이 패드를 둘러싸고 있는 제1금속링(38a)이 위치되어 있다. 상기 금속 다이 패드와 상기 제1금속링은 제1전력 공급 신호와 제2전력 공급 신호를 각각 수신하기 위해 상기 PC 기판에 전기적으로 접속되어 있다. 이때, 집적 회로 다이(12)가 상기 금속 다이 패드에 부착되어 있다. 이 집적 회로 다이(12)는 제1전력 공급 신호 본드 패드(28,30)와 제2전력 공급 신호 본드 패드(33,34)를 가지고 있고, 이들은 각각 상기 금속 다이 패드와 제1금속링에 접속되어 있다. 따라서, 상기 금속 다이 패드와 상기 제1금속링은 상기 PC 기판으로부터의 제1 및 제2전력 공급 신호부를 상기 집적 회로 다이상의 제1 및 제2전력 공급 신호 본드 패드에 접속하는 제1전력 공급 평면과 제2전력 공급 평면으로서 동작한다.

대표도



명세서

기술분야

본 발명은 고성능 집적 회로 패키징 분야에 관한 것이다.

배경기술

전통적으로, 마이크로프로세서는 전기적 성능 요건과 열적 성능 요건 때문에 세라믹 핀 그리드 어레이 패키지(ceramic pin grid array package)로 패키징되어 왔다. 특히, 마이크로프로세서의 높은 명령 실행 속도에 의해 마이크로프로세서의 패키징 설계에 있어서 두가지 제한이 가해진다. 첫째로, 전력 소비가 상기 명령 실행 속도의 함수이고 그리고 마이크로프로세서는 높은 명령 실행 속도로 동작하므로, 에너지의 보존이 마이크로프로세서의 패키징 설계에 가해진 한가지 제한이다. 둘째로, 마이크로프로세서의 높은 명령 실행 속도는 회로 노드가 가능한 한 고속으로 충전 및 방전될 수 있도록, 마이크로프로세서 다이(die)측에 대해 과도 전력 공급 전류(예컨대, 과도 접지 전류 및 과도 V_{CC} 공급 전류)를 제거 및 공급하는데 걸리는 시간을 최소화할 수 있는 패키징을 필요로 한다.

에너지 보존 및 시간의 제약은 전력 공급 신호(예컨대, 접지 공급 신호와 V_{CC} 공급 신호)에 대하여 인쇄회로(PC) 기판에서부터 상기 다이까지의 가장 짧은 경로를 제공함으로써 둘 다 만족될 수 있다. 환언하면, 상기 전력 공급 신호가 상기 PC 기판에서부터 상기 다이까지 통과해야 하는 거리를 최소화함으로써 에너지가 보존되는데, 이는 상기 전력 공급 신호가 상기 경로에서, 보다 적은 방해(즉, 저항과 인덕턴스)를 받기 때문이다. 또한, 상기 PC 기판으로부터 상기 다이측으로 과도 전력 공급 전류를 공급 및 제거하는데 걸리는 시간도 또한 상기 전력 공급 신호가 상기 PC 기판에서부터 상기 다이까지 통과해야 하는 거리를 최소화함으로써 최소화된다.

지금까지, 마이크로프로세서는 대부분 세라믹 핀 그리드 어레이 패키지로 패키징되어 왔는데, 이는 (상기 PC 기판에서부터 상기 다이까지의) 전력 공급 신호 경로를 단축하기 위한 종래 해결책이 기타 다른 종류의 패키징에서는 종종 성공적으로 구현될 수 없기 때문이었다. 상기 전력 신호 경로를 단축하기 위한 한가지 종래 방법으로는 상기 패키지내에 용량성 전기 평면을 배치하는 방법을 들 수 있다. 이들 용량성 전기 평면(박층 커패시터라고도 함)은 상기 전력 공급 신호부에 접속되어 있으며, 이에따라 상기 다이에 의해 고속으로 액세스될 수 있는 국부적 온칩 전력 공급원을 제공한다.

불행히도, 용량성 전기 평면은 단지 몇가지 종류의 재료로만 구현될 수 있다. 용량성 전기 평면에 대한 구현 가능성은 상기 패키지의 각각의 전력 및 접지 평면과 유전율 사이에서 달성될 수 있는 최소 분리 간격에 의해 좌우된다. 이와같이, 세라믹 패키지는 높은 유전율을 가지고 있으며 짧은 분리 간격을 제공하므로, 용량성 전기 평면은 세라믹 패키지로 구현될 수 있다. 하지만, 앞서 언급한 바와같이, 용량성 전기 평면은 모든 종류의 패키지로는 구현될 수는 없다. 예컨대, 보다 저렴한 플라스틱 패키지 기술은 상기 전력 공급 신호 경로를 단축하기 위한 용량성 전기 평면을 사용할 수 없는데, 이는 플라스틱 패키지가 낮은 유전율을 가지고 있으며 인접한 전기 평면들사이에 짧은 분리 간격을 제공할 수 없기 때문이다.

상기 전력 공급 신호의 경로를 단축하기 위한 다른 종래 해결책으로는 상기 패키지상에 칩 커패시터를 장착하고, 이들 커패시터가 국부 전력 공급원으로서 작용할 수 있도록 이들 커패시터를 상기 전력 공급 신호부에 접속하는 방법을 들 수 있다. 하지만, 상기 칩 커패시터가 고가이므로 이 종래 해결책은 상기 마이크로프로세서의 처리 비용을 증가시킨다.

따라서, 상기 PC 기판으로부터 상기 다이측으로 전력 공급 신호를 전달할 때 에너지를 보존하고 시간을 효과적으로 들게 하는 마이크로프로세서용 패키징 방법과 장치를 제공하는 것이 바람직하다. 특히, (모든 종류의 패키징으로 구현될 수 없는) 용량성 전기 평면을 사용하지 않으며 (고가의) 칩 커패시터를 사용하지 않고 상기 PC 기판에서부터 상기 다이까지의 가장 짧은 전력 신호 경로를 제공해 주는 마이크로프로세서용 패키징 방법과 장치가 필요하다.

발명의 상세한 설명

본 발명의 목적은 PC 기판으로부터 다이측으로 전력 공급 신호를 전달할 때 에너지를 보존하고 시간을 효과적으로 들게 하는 마이크로프로세서용 패키징 방법 및 장치를 제공하는데 있다. 특히, 본 발명의 목적은 용량성 전기 평면을 사용하지 않으며 칩 커패시터를 사용하지 않고 상기 PC 기판에서부터 상기 다이까지의 가장 짧은 전력 신호 경로를 제공해 주는 마이크로프로세서용 패키징 방법 및 장치를 제공하는데 있다.

본 발명의 이들 목적과 기타 다른 목적은 인쇄 회로(PC) 기판상에 배치된 고성능 집적 회로 패키지에 의해 달성된다. 이 고성능 패키지는 제1유전체층을 가지고 있고, 이 제1유전체층의 상부에는 금속 다이 패드, 및 이 금속 다이 패드를 둘러싸고 있는 제1금속링이 위치되어 있다. 상기 금속 다이 패드와 상기 제1금속링은 제1전력 공급 신호와 제2전력 공급 신호를 각각 수신하기 위해 상기 PC 기판에 전기적으로 접속되어 있다. 이때, 집적 회로 다이가 상기 금속 다이 패드에 부착되어 있다. 이 집적 회로 다이는 제1전력 공급 신호 본드 패드와 제2전력 공급 신호 본드 패드를 가지고 있으며 이들은 각각 상기 금속 다이 패드와 상기 제1금속링에 접속되어 있다. 따라서, 상기 금속 다이 패드와 상기 제1금속링은 상기 PC 기판으로부터의 상기 제1 및 제2전력 공급 신호부를 상기 집적 회로 다이상의 제1 및 제2전력 공급 신호 본드 패드측에 접속하는 제1전력 공급 평면과 제2전력 공급 평면으로서 동작한다.

본 발명의 목적 및 이점은 이하의 상세한 설명과 첨부 도면을 검토한 후 보다 쉽게 당업자에게 명백해진다.

도면의 간단한 설명

도 1은 본 발명의 일실시예에 대한 볼 그리드 어레이 패키지의 평면도,

도 2는 도 1의 볼 그리드 어레이 패키지의 측단면도,

도 3은 도 1의 볼 그리드 어레이 패키지의 확대된 단면도,

도 4는 범용 컴퓨터 시스템의 마이크로프로세서를 수용하고 있는 본 발명의 고성능 집적 회로 패키지를 나타낸 도면.

실시예

본 발명은 고성능 특성의 볼 그리드 어레이(BGA) 패키지를 이용하는 집적 회로 패키징 방법 및 장치를 제공한다. 특히, 땜납 볼(solder ball)이 비교적 짧은 간격(예컨대, 50 mils)으로 집적 회로 패키지에 부착될 수 있으므로, BGA 패키지는 높은 땜납 볼 밀도를 가지게 된다. 또한, BGA 패키지의 높은 땜납 볼 밀도에 의해 상기 패키지의 크기는 비교적 작아질 수 있다. 후술되는 바와같이, 본 발명의 패키지 설계는 가장 짧은 전력 공급 신호 경로를 제공하기 위해 BGA 패키지의 높은 땜납 볼 밀도와 작은 크기를 이용한다.

이하의 설명에서, 설명을 위해, 다수의 상세한 사항이 본 발명의 철저한 이해를 제공하기 위해 설명된다. 하지만, 본 발명을 실시하는데, 특정의 상기 상세한 사항은 필요없음이 당업자에게는 명백하다. 예컨대, 본 발명에 대한 이하의 설명은 BGA 패키지에 대한 것이지만, 핀 그리드 어레이(PGA) 패키지의 볼 밀도, 및 인접 볼들간의 간격이 BGA 패키지의 볼 밀도와 인접 간격에 상당하면, 본 발명을 실시하는데 상기 핀 그리드 어레이 패키지를 사용할 수 있음을 당업자는 알 수 있다.

도 1 내지 도 3에는 본 발명의 패키징 방법 및 장치에 대한 일실시예가 제시되어 있다. 이들 도면에 도시되어 있는 바와같이, 플라스틱 패키지(10)는 집적 회로(12)를 수용하고 있고, 본 발명의 일실시예에서 이 집적 회로는 마이크로프로세서이다. 또한, 도 1 내지 도 3에 설명되어 있는 본 발명의 상기 실시예를 위해 플라스틱 패키지가 설명되고 있지만, 이 패키지(10)는 기타 다른 종류의 재료로도 구성될 수 있음을 이해해야 한다. 패키지(10)는 이 패키지의 하부면에 부착되어 있는 복수의 커넥터(14)를 가지고 있다. 이들 커넥터는 PC 기판상의 금속 패드와의 접촉을 형성하며, 이에 따라 패키지(10)가 상기 PC 기판에 접속된다. 도 1 내지 도 3에 설명되어 있는 본 발명의 실시예의 경우에, 상기 커넥터는 땜납 볼이다. 하지만, 이전에 언급한 바와같이, 기타 다른 종류의 커넥터(예컨대, 핀)가 이들의 밀도 및 인접 간격이 BGA 패키지의 볼 밀도 및 인접 볼 간격에 상당하면 사용될 수 있다.

도 1 내지 도 3에서 설명하고 있는 본 발명의 실시예의 경우에, 패키지(10)는 유전체 재료로 된 다음과 같은 3개의 층, 즉 제1유전체층(16), 제2유전체층(18), 및 제3유전체층(20)을 가지고 있다. 패키지(10)의 제1유전체층의 상부면에서, 제1금속 다이 패드(22)가 패키지(10)에 부착되어 있다. 본 발명의 일실시예에서, 제1금속 다이 패드(22)는 적층 공정을 통해 패키지(10)에 부착되어 있다. 이 다이 패드는 도금된 바이어(via)(24)를 통해 제2금속 패드(26)측에 전기적으로 그리고 열적으로 접속되어 있고, 이 제2금속 패드는 제1유전체층(16)의 하부면에 부착되어 있다. 또한, 제2금속 패드(26)에 접속되어 있는 땜납 볼(14a)을 통해, 제1금속 다이 패드(22)가 상기 PC 기판상의 제1전력 공급 신호부에 접속되어 있다. 도 1 내지 도 3에 설명되어 있는 본 발명의 실시예에서, 상기 제1전력 공급 신호는 코어 접지 공급 신호(V_{SS})이다. 하지만, 상기 제1전력 공급 신호는 다수의 상이한 종류의 전력 공급 신호중 어느 하나의 신호일 수 있음을 이해해야 한다.

이때, 마이크로프로세서 다이(12)는 전기 전도성 및 열전도성 접착제에 의해 제1금속 다이 패드(22)에 부착되어 있다. 마이크로프로세서 다이(12)는 코어 접지 본드 패드(28), 주변 접지 본드 패드(30), 코어 V_{CC} 본드 패드(32), 주변 V_{CC} 본드 패드(34), 및 개별적인 신호 본드 패드(36)를 포함하고 있는 복수의 본드 패드를 포함하고 있다. 상기 코어 접지 본드 패드들은 이들을 다이 패드(22)에 와이어 본딩함으로써 모두 함께 단락되어 있다. 따라서, 상기 다이상의 상기 코어 접지 본드 패드에서부터 상기 PC 기판상의 상기 코어 접지 공급 신호부까지의 가장 짧은 전기적(즉, 가장 낮은 인덕턴스) 경로가 제1금속 다이 패드(22), 바이어(24), 제2금속 패드(26), 및 땜납 볼(14a)을 통해 형성된다. 이 가장 짧은 경로는 다이 크기와 패키지 크기에 무관하다.

패키지(10)는 또한 제1유전체층(16)의 상부측과 하부측상의 금속 패드를 둘러싸고 있는 제1세트의 금속링(38)을 포함하고 있다. 상기 제1세트의 금속링중 상부측 링(38a)과 하부측 링(38b)은 도금된 바이어(40)를 통해 전기적으로 그리고 열적으로 함께 접속되어 있다. 땜납 볼(14b)을 통해, 하부측의 제1금속링은 상기 PC 기판상의 제2전력 공급 신호부에 접속되어 있다. 도 1 내지 도 3에 설명되어 있는 본 발명의 실시예에서, 상기 제2전력 공급 신호는 상기 코어 V_{CC} 공급 신호이다. 하지만, 상기 제2전력 공급 신호는 다수의 상이한 종류의 전력 공급 신호중 어느 하나의 신호일 수 있음을 이해해야 한다. 상기 마이크로프로세서 다이의 코어 V_{CC} 본드 패드는 이들을 상부측의 제1금속링측에 와이어 본딩함으로써 모두 함께 단락되어 있다. 따라서, 상기 다이상의 상기 코어 V_{CC} 본드 패드에서부터 상기 PC 기판상의 상기 코어 V_{CC} 공급 신호부까지의 짧은 전기적(즉, 낮은 인덕턴스) 경로가 상부측의 제1금속링(38a), 바이어(40), 하부측의 제1금속링(38b), 및 상기 땜납 볼(14b)을 통해 형성된다.

상기 도면에 또한 도시된 바와같이, 패키지(10)는 또한 상기 제1유전체층(16)의 상부면과 하부면상에 있는 상기 금속 패드와 상기 제1세트의 금속링을 둘러싸고 있는 제2세트의 금속링(42)을 포함하고 있다. 상기 제2세트의 금속링의 상부측 링(42a)과 하부측 링(42b)은 도금된 바이어(44)를 통해 전기적으로 그리고 열적으로 함께 접속되어 있다. 상기 하부측의 제2금속링은 이 링에 부착되어 있는 땜납 볼(14c)을 통해 상기 PC 기판상의 제3전력 공급 신호부에 접속되어 있다. 도 1 내지 도 3에 설명되어 있는 본 발명의 상기 실시예에서, 상기 제3전력 공급 신호는 상기 주변 접지 공급 신호(V_{SSP})이다. 하지만, 상기 제3전력 공급 신호는 다수의 상이한 종류의 전력 공급 신호중 어느 하나의 신호일 수 있음을 이해해야 한다.

상기 마이크로프로세서 다이상의 주변 접지 본드 패드는 이들을 상기 상부측의 제2금속링에 와이어 본딩함으로써 모두 함께 단락되어 있다. 이 방법으로, 상기 제2세트의 금속링은 상기 다이상의 주변 접지 본드 패드를 상기 PC 기판상의 주변 접지 공급 신호부측에 접속하는데 사용된다. 본 발명의 이 실시예는 상기 마이크로프로세서의 주변 동작(예컨대, 기타 다른 장치와의 통신)에 사용되는 "보다 잡음이 심한" 전력 공급부로부터 상기 마이크로프로세서의 핵심적인 동작(예컨대, 명령 실행)에 사용되는 전력 공급부를 격리시키기 위해 주변 전력 공급부 접속을 제공한다.

상기 도면에 또한 도시되어 있는 바와같이, 패키지(10)는 또한 두 행의 본드 핑거를 가지고 있다. 제1행의 본드 핑거(46)는 금속다이패드(22), 제1상부 금속링(38a), 및 제2상부 금속링(42a)과 더불어 (제1하부 본딩 셸프(shelf)를 구성하고 있는) 제1유전체층(16)의 상부면상에 배치되어 있다. 상기 제1행의 본드 핑거(46)는 개별적인 신호부 접속에 사용되는 다수의 개별적인 신호 본드 핑거를 가지고 있다. 특히, 상기 마이크로프로세서 다이상의 특정 신호 본드 패드는 특정신호핑거에 대한 특정 신호 본드 패드의 와이어 본딩을 통해 상기 PC 기판으로부터의 특정 신호부에 접속될 수 있으며, 또한 상기 특정신호핑거는 상기 패키지의 길이 또는 폭을 따라(즉, 상기 패키지의 길이 또는 폭의 일부분 또는 상기 패키지의 전체 길이 또는 폭을 따라 통과하는), 상기 PC 기판상의 특정 신호를 수신하는 개별적인 바이어와 개별적인 땜납 볼측으로 통과하는 개별적인 트레이스(trace)에 접속되어 있다.

제2행의 본드 핑거(48)는 (보다 높은 제2본딩 셸프를 구성하고 있는) 상기 제3유전체층(20)의 상부면상에 배치되어 있고, 이 유전체층 자체는 상기 제2유전체층(18)의 상부에 위치되어 있다. 도 1 내지 도 3에 도시된 바와같이, 상기 제2 및 제3유전체층은 제1금속 다이 패드(22), 제1상부 금속링(38a), 제2상부 금속링(42a), 및 제1행의 본드 핑거(46)를 둘러싸고 있다. 또한, 상기 제2 및 제3유전체층은 상기 다이 패드, 상부 금속 레이(ray), 및 제1행의 본드 핑거가 노출될 수 있도록 소정의 양만큼 상기 패키지의 중심축으로부터 오프셋되어 있다.

상기 제2행의 본드 핑거는 두 종류의 본드 핑거를 포함하고 있다. 제1종류의 본드 핑거는 제4전력 공급 본드 핑거(50)이며, 이 핑거는 도 1에 보다 긴 본드 핑거로서 도시되어 있다. 이들 제4전력 공급 본드 핑거는 제1, 제2, 및 제3유전체층에 의해 형성된 공동의 에지를 통과하여, 금속 평면(54)에 접속되어 있으며, 이 금속 평면은 상기 제2유전체층의 상부면과 상기 제3유전체층의 하부면사이에 위치되어 있다. 적어도 하나의 바이어를 통해 이 금속 평면은 적어도 하나의 땜납 볼에 접속되어 있고, 이 땜납 볼은 상기 PC 기판상의 제4전력 공급 신호부에 접속되어 있다. 이 방식으로, 금속 평면(54)은 모든 제4전력 공급 핑거를 상기 제4전력 공급 신호부측에 단락시킨다.

도 1 내지 도 3에 설명되어 있는 본 발명의 일실시예에서, 상기 제4전력 공급 신호는 주변 V_{CC} 공급 신호(V_{CCP})이다. 하지만, 상기 제4전력 공급 신호는 다수의 상이한 종류의 전력 공급 신호중 어느 하나의 신호일 수 있음을 이해해야 한다. 또한, 이전에 언급한 바와같이, 본 발명의 이 실시예는 상기 마이크로프로세서의 주변 동작에 사용된 "잡음이 보다 심한" V_{CC} 공급 신호로부터 상기 마이크로프로세서의 코어 동작에 사용되는 상기 V_{CC} 공급 신호를 분리하기 위해 주변 V_{CC} 공급 신호부 접속을 제공한다.

도 1 내지 도 3에 설명된 본 발명의 실시예에서, 상기 제2행의 본드 핑거도 또한 제2종류의 본드 핑거를 포함하고 있다. 하지만, 본 발명의 다른 실시예에서, 상기 제2행의 본드 핑거는 제4전력 공급 본드 핑거만을 포함할 수 있음을 이해해야 한다. 도 1 내지 도 3에 설명된 실시예에서, 상기 제2행의 제2종류의 본드 핑거는 부가적인 개별적인 신호 본드 핑거(52)이며, 이에따라 각각의 특정 신호 핑거는 상기 마이크로프로세서 패드상의 특정 신호 본드 패드를 와이어 상호 접속, (상기 패키지의 길이 또는 폭을 통과하는) 특정 트레이스, 특정 바이어, 및 특정 땜납 볼을 통해 상기 PC 기판으로부터의 특정 신호부에 접속한다. 이 실시예에서, 상기 제2행의 개별적인 신호 본드 핑거는 상기 다이상의 인접한 개별적인 신호 본드 패드들이 개별적인 신호 본드 핑거에 접속될 수 있도록 제공되어 있다. 특히, 개별적인 본드 핑거들 사이에서 달성될 수 있는 현재의 최소 간격은 200 미크론인 반면에, 개별적인 본드 패드들사이에서 달성될 수 있는 최소 간격은 100 미크론이므로, 본 발명의 이 실시예는 인접되어 있는 개별적인 신호 본드 패드가 개별적인 신호 본드 핑거에 접속될 수 있도록 하기 위해 제2행의 신호 핑거를 제공한다. 마지막으로, 패키지(10)는 상기 공동을 (제1, 제2, 및 제3유전체층과 더불어) 또한 형성하고 있는 플라스틱 상부(56)를 가지고 있으며, 이 공동내에는 몰딩 혼합 봉입물이 상기 BGA 패키지의 상부를 에워싸기 위해 제공되어 있다.

도 4에는 범용 컴퓨터 시스템의 마이크로프로세서를 수용하고 있는 본 발명의 고성능 집적 회로 패키지가 제시되어 있다. 이 도면에 도시되어 있는 바와같이, 컴퓨터 시스템(60)은 인쇄 회로(PC) 기판(62)상에 수용되고 있고, 그리고 버스(64), 마이크로프로세서(66), 고성능 마이크로프로세서 패키지(68), 전력 공급 신호 발생기(70), 및 메모리(72)를 포함하고 있다. 고성능 마이크로프로세서 패키지(68)는 버스(64)에 접속되어 있는 디바이스와 마이크로프로세서(66) 사이에서 전력 공급 신호와 비전력 공급 신호(non-power supply signal)를 전달하기 위해 상기 마이크로프로세서(66)를 버스(64)에 접속한다. 도 4에 도시된 본 발명의 실시예의 경우에, 버스(64)는 마이크로프로세서(66)를 메모리(72)와 전력 공급 신호 발생기(70)에 접속한다. 하지만, 본 발명의 다른 실시예에서, 마이크로프로세서(66)는 상이한 두 버스를 통해 메모리(72)와 전력 공급 신호 발생기(70)에 접속될 수 있음을 이해해야 한다. 또한, 본 발명의 다른 실시예에서, 전력 공급 신호 발생기(70)는 버스(64)에의 접속을 위해 PC 기판(62)상에 위치되어 있지 않다.

이와같이, 본 발명은 다수의 이점을 가지고 있다. 예컨대, 상기 다이에서부터 상기 PC 기판까지의 가장 짧은 경로를 전력 공급 신호 경로로 사용함으로써(즉, Vcc와 접지 접속을 위해 상기 패키지의 중앙 부근에 있는 볼을 사용함으로써), 본 발명은 온칩 커패시터와 용량성 전기 평면을 사용하지 않고도 전력 루프 인덕턴스를 저하시킨다. 또한, 본 설계는 전력 공급부 접속을 위해 상기 패키지의 중앙에 있는 볼과 상기 신호부 접속을 위해 상기 패키지의 외부 행으로부터의 볼을 사용하므로, 상기 PC 기판상에서의 신호 전달은 간단화된다(즉, 상기 패키지의 중앙 부근에 있는 볼에 대해 전달을 행하는데 부가적인 전달 층이 필요없다). 또한, 본 발명의 방법과 장치는 하나의 본딩 셀프(즉, 제1본딩 셀프)상에 다이 패드와 제1 및 제2 상부 금속링을 배치함으로써 복수의 금속 층과 기판층을 최소화하며, 이에따라 신호부 접속에 이용할 수 있는, 상기 패키지의 상부측상의 금속링 외부 영역이 형성된다.

이상에서 설명한 발명은 본 발명의 취지 또는 필수적인 특징으로부터 이탈하지 않고 기타 다른 특정 형태로 실시될 수도 있다. 예컨대, 상기 설명은 두 본딩 셀프를 가지고 있는 패키지에 대해 이루어졌지만, 본 발명의 다른 실시예는 하나의 본딩 셀프만을 가지고 있는 집적 회로 패키지를 포함하고 있음을 당업자는 이해할 수 있다. 예컨대, 본 발명의 일실시예는 하나의 본딩 셀프만을 가지고 있는데, 이는 (1) 제4전력 공급 본드 핑거(50)와 금속 평면(54) 대신에, 상기 실시예는 제4전력 공급 본드 패드(34)를 상기 PC 기판상의 제4전력 공급부를 접속하는데 제2세트의 금속링(42)을 둘러싸고 있는 제3세트의 금속링을 사용하고 있기 때문이며, 그리고 (2) 상기 실시예는 상기 다이상의 개별적인 신호 본드 패드를 상기 PC 기판상의 개별적인 신호부측에 접속하는데 금속 다이 패드(22), 제1상부 금속링(36a), 제2상부 금속링(42a), 및 제3상부 금속링을 둘러싸고 있는 하나의 행의 신호 본드 핑거(즉, 제1행의 신호 본드 핑거(46))만을 사용하고 있기 때문이다. 이와같이, 특정 실시예를 설명하고 첨부 도면에 도시하였지만, 본 발명은 예시적인 상기 상세한 사항에 의해 한정되지 않고, 오히려 첨부된 청구의 범위에 의해서만 한정되어야 함을 이해해야 한다.

산업상이용가능성

본 발명은 PC 기판으로부터 다이측으로 전력 공급 신호를 전달할 때 에너지와 시간을 비용면에서 효과적으로 보존해 주는 마이크로프로세서용 패키징 방법 및 장치를 제공할 수 있다. 특히, 본 발명은 용량성 전기 평면을 사용하지 않고 그리고 칩 커패시터를 사용하지 않고 상기 PC 기판에서부터 상기 다이까지의 가장 짧은 전력 신호 경로를 제공해 주는 마이크로프로세서용 패키징 방법 및 장치를 제공할수 있다.

(57) 청구의 범위

청구항 1

a) 상부 및 하부면을 갖는 제1유전층;

b) 제1전력 공급 신호를 수신하기 위해, 제1유전층의 상부면에 배치되어, PC기판에 전기적으로 접속되어 있는 상부 금속 패드;

c) 상부 금속 패드의 일부분을 노출시키기 위해 상기 상부 금속 패드에 배치되어 있으며, 상기 상부 금속 패드의 노출 부분에 접속되어 있는 제1전력 공급 신호 본드 패드, 제2전력 공급 신호 본드 패드, 및 제3전력 공급 신호 본드 패드를 갖는 집적회로 다이;

d) 상부 금속 패드를 둘러싸고, 제1유전층의 상부면에 배치되어 있으며, 제2전력 공급 신호 본드 패드가 접속되어 있는 제1상부 금속링;

e) 제2전력 공급 신호를 수신하고, 제1유전층의 하부면에 배치되어 있으며, 제1상부 금속링에 접속되어 있는 제1하부 금속링;

f) 제1상부 금속링을 둘러싸고, 제1유전층의 상부면에 배치되어 있으며, 제3전력 공급 신호 본드 패드가 접속되어 있는 제2상부 금속링; 및

g) 제3전력 공급 신호를 수신하고, 제1유전층의 하부면에 배치되어 있으며, 제2상부 금속링에 접속되어 있는 제2하부 금속링;을 포함하는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 2

제 1 항에 있어서, 집적회로 다이는 제1비전력 공급 신호 본드 패드를 더 가지며, 패키지는 제2상부 금속링을 둘러싸는 제1행의 본드핑거를 더 포함하며, 상기 제1행의 본드핑거는 제1비전력 공급 신호를 수신하는 제1본드 핑거를 가지며, 상기 제1비전력 공급 신호 본드 패드는 상기 제1본드 핑거에 접속되어 있는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 3

제 2 항에 있어서, 집적회로 다이는 제4전력 공급 신호 본드 패드를 더 가지며, 패키지는,

a) 상부 금속 다이 패드, 상부 금속링, 및 제1행의 본드 핑거를 노출하도록 제1유전층의 상부면 상단에 위치되어 있는 제2유전층;

b) 상부 금속 다이 패드, 상부 금속링, 및 제1행의 본드 핑거를 노출하도록 제2유전층 상단에 위치되어 있는 제3유전층; 및

c) 제3유전층 상단에 위치되어 있으며, 상기 제4전력 공급 신호 본드 패드에 접속되어 제4전력 공급 신호를 수신하는 제2본드 핑거를 갖는 제2행의 본드 핑거;를 더 포함하는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 4

제 3 항에 있어서, 제2 및 제3유전층 사이에 위치되어 있고 상기 제4전력 공급 신호를 상기 제2본드 핑거에 접속하는 금속 평면을 더 포함하는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 5

제 4 항에 있어서, 집적회로 다이는 제2비전력 공급 신호 본드 패드를 더 가지며, 제2행의 본드 핑거는 제2비전력 공급 신호를 수신하는 제3본드 핑거를 더 가지며, 상기 제3본드 핑거는 상기 제2비전력 공급 신호 본드 패드에 접속되어 있는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 6

제 4 항에 있어서, 상기 집적회로는 마이크로프로세서인 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 7

제 4 항에 있어서, 상기 패키지는 볼 그리드 어레이 패키지인 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 8

인쇄 회로(PC) 기판상에 위치되어 있는 컴퓨터 시스템은

a) 버스;

b) 상기 버스에 접속되어 있는 메모리; 및

c) 상기 버스 및 상기 PC 기판에 접속되어 있는 짧은 전력신호 경로 집적회로 패키지;를 포함하며,

상기 패키지는

d) 상부 및 하부면을 갖는 제1유전층;

e) 제1전력 공급 신호를 수신하기 위해, 제1유전층의 상부면에 배치되어, PC 기판에 전기적으로 접속되어 있는 상부 금속 패드;

f) 상부 금속 패드의 일부분을 노출하도록 상기 상부 금속 패드에 배치되어 있으며, 상기 상부 금속 패드의 노출 부분에 접속되어 있는 제1전력 공급 신호 본드 패드, 제2전력 공급 신호 본드 패드, 및 제3전력 공급 신호 본드 패드를 갖는 집적 회로 다이;

g) 상부 금속 패드를 둘러싸고, 제1유전층의 상부면에 배치되어 있으며, 제2전력 공급 신호 본드 패드가 접속되어 있는 제1상부 금속링;

h) 제2전력 공급 신호를 수신하고, 제1유전층의 하부면에 배치되어 있으며, 제1상부 금속링에 접속되어 있는 제1하부 금속링;

i) 제1상부 금속링을 둘러싸고, 제1유전층의 상부면에 배치되어 있으며, 제3전력 공급 신호 본드 패드가 접속되어 있는 제2상부 금속링; 및

j) 제3전력 공급 신호를 수신하고, 제1유전층의 하부면에 배치되어 있으며, 제2상부 금속링에 접속되어 있는 제2하부 금속링;을 포함하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 9

제 8 항에 있어서, 집적회로 다이는 제1비전력 공급 신호 본드 패드를 더 가지며, 패키지는 제2상부 금속링을 둘러싸는 제1행의 본드 핑거를 더 포함하며, 상기 제1행의 본드 핑거는 PC 기판으로부터의 제1비전력 공급 신호를 수신하는 제1본드 핑거를 가지며, 상기 제1비전력 공급 신호 본드 패드는 상기 제1본드 핑거에 접속되어 있는 것을 특징으로 하는 컴퓨터 시스템.

청구항 10

제 9 항에 있어서, 집적회로 다이는 제4전력 공급 신호 본드 패드를 더 가지며, 패키지는

a) 상부 금속 다이 패드, 상부 금속링, 및 제1행의 본드 핑거를 노출하도록 제1유전층의 상부면 상단에 위치되어 있는 제2유전층;

b) 상부 금속 다이 패드, 상부 금속링, 및 제1행의 본드 핑거를 노출하도록 제2유전층 상단에 위치되어 있는 제3유전층; 및

c) 제3유전층 상단에 위치되어 있으며, 상기 제4전력 공급 신호 본드 패드에 접속되어 제4전력 공급 신호

를 수신하는 제2본드 핑거를 갖는 제2행의 본드 핑거;를 더 포함하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 11

제 10 항에 있어서, 패키지는 제2 및 제3유전층 사이에 위치되어 상기 제4전력 공급 신호를 상기 제2본드 핑거에 접속하는 금속 평면을 더 포함하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 12

제 11 항에 있어서, 집적회로 다이는 제2비전력 공급 신호 본드 패드를 더 가지며, 제2행의 본드 핑거는 PC 기판로부터의 제2비전력 공급 신호를 수신하는 제3본드 핑거를 더 가지고 있으며, 상기 제3본드 핑거는 상기 제2비전력 공급 신호 본드 패드에 접속되어 있는 것을 특징으로 하는 컴퓨터 시스템.

청구항 13

제 8 항에 있어서, 상기 집적회로는 마이크로프로세서인 것을 특징으로 하는 컴퓨터 시스템.

청구항 14

제 8 항에 있어서, 상기 패키지는 볼 그리드 어레이 패키지인 것을 특징으로 하는 컴퓨터 시스템.

청구항 15

제1전력 공급 신호 본드 패드, 제2전력 공급 신호 본드 패드, 및 제3전력 공급 신호 본드 패드를 갖는 집적회로 다이를 수용하는 짧은 전력신호 경로 집적회로 패키지에 있어서,

a) 제1면 및 제2면을 갖는 제1유전층;

b) 제1유전층의 제1면에 배치되어 있고, 상기 집적회로 다이가 배치되어 있는 제1금속 패드;

c) 제1유전층의 제2면에 배치되어 있고, 상기 제1금속 패드를 통하여 제1전력 공급 신호를 제1전력 공급 신호 본드 패드에 수신하기 위해 상기 제1금속 패드에 접속되어 PC 기판에 전기적으로 접속되어 있는 제2금속 패드;

d) 제1유전층의 제1면에 배치되어 있고, 제1금속 패드를 둘러싸며, 제2전력 공급 본드 패드가 접속되어 있는 제1상부 금속링;

e) 제1유전층의 제2면에 배치되어 있고, 제2금속 패드를 둘러싸며, 상기 제1상부 금속링을 통하여 제2전력 공급 신호를 제2전력 공급 신호 본드 패드에 수신하기 위해 상기 제1상부 금속링에 접속되어 PC 기판에 전기적으로 접속되어 있는 제1하부 금속링;

f) 제1상부 금속링을 둘러싸며, 상기 제1비전력 신호 본드 패드에 접속되어 있고 제1비전력 공급 신호를 수신하는 제1본드 핑거를 갖는 제1행의 본드 핑거;

g) 금속 다이 패드, 제1상부 금속링, 및 제1행의 본드 핑거를 노출하도록 제1유전층 상단에 위치되어 있는 제2유전층; 및

h) 제2유전층상에 위치되어 있으며, 상기 제3전력 공급 신호 본드 패드에 접속되어 있고 제3전력 공급 신호를 수신하는 제2본드 핑거를 갖는 제2행의 본드 핑거;를 포함하며,

상기 집적회로 다이는 제1비전력 공급 신호 본드 패드를 더 가지며, 상기 패키지는 제2금속링을 둘러싸는 제1행의 본드 핑거를 더 포함하며, 상기 제1행의 본드 핑거는 상기 제1비전력 공급 신호 본드 패드에 접속되어 있고 제1비전력 공급 신호를 수신하는 제1본드 핑거를 갖고 있는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 16

제 15 항에 있어서, 집적회로 다이는 제4전력 공급 신호 본드 패드를 더 가지며, 패키지는 제1상부 금속링 및 제1행의 본드 핑거 사이에 위치되어 있는 제2금속링을 더 포함하며, 상기 제2금속링은 제1유전층의 제1면에 배치되어, 제4전력 공급 신호를 수신하기 위해 PC 기판에 전기적으로 접속되어 있고 상기 제4전력 공급 신호 본드 패드에 접속되어 있는 것을 특징으로 짧은 전력신호 경로 집적회로 패키지.

청구항 17

제1전력 공급 신호 본드 패드, 제2전력 공급 본드 패드, 제3전력 공급 신호 본드 패드, 제4전력 공급 신호 본드 패드 및 제1비전력 공급 신호 본드 패드를 갖는 집적회로 다이를 수용하는 짧은 전력신호 경로 집적회로 패키지에 있어서,

a) 제1면 및 제2면을 갖는 제1유전층;

b) 제1유전층의 제1면에 배치되어 있고 상기 집적회로 다이가 배치되는 제1금속 패드;

c) 제1유전층의 제2면에 배치되어 있으며, 상기 제1금속 패드를 통하여 제1전력 공급 신호를 제1전력 공급 신호 본드 패드에 수신하기 위해, 상기 제1금속 패드에 접속되어 PC 기판에 전기적으로 접속되어 있는 제2금속 패드;

d) 제1유전층의 제1면에 배치되어 있고, 제1금속 패드를 둘러싸며, 제2전력 공급 본드 패드가 접속되어 있는 제1상부 금속링;

e) 제1유전층의 제2면에 배치되어 있고, 제2금속 패드를 둘러싸며, 상기 제1상부 금속링을 통하여 제2전력 공급 신호를 제2전력 공급 신호 본드 패드에 수신하기 위해, 상기 제1상부 금속링에 접속되어 PC 기판

에 전기적으로 접속되어 있는 제1하부 금속링;

f) 제1유전층의 제1면에 배치되어 있고, 제1상부 금속링을 둘러싸며, 제3전력 공급 신호를 수신하기 위해 PC 기판에 전기적으로 접속되어 있고 상기 제3전력 공급 신호 본드 패드에 접속되어 있는 제2금속링;

g) 제2금속링을 둘러싸며, PC 기판로부터의 제1비전력 공급 신호를 수신하고 상기 제1비전력 공급 신호 본드 패드에 접속하는 제1본드 핑거를 갖는 제1행의 본드 핑거;

h) 제1금속 다이 패드, 제1상부 금속링, 제2금속링, 및 제1행의 본드 핑거를 노출하도록 제1유전층 상단에 위치되어 있는 제2유전층; 및

i) 제2유전층상에 위치되어 있으며, 제4전력 공급 신호를 수신하고 상기 제4전력 공급 신호 본드 패드에 접속되어 있는 제2본드 핑거를 갖는 제2행의 본드 핑거;를 포함하는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 18

제 17 항에 있어서,

a) 제1 및 제2유전층 사이에 위치되어 있는 제3유전층; 및

b) 제2 및 제3유전층 사이에 위치되어 있고, 상기 제4전력 공급 신호를 상기 제2본드 핑거에 접속하는 금속 평면;을 더 포함하는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 19

제 17 항에 있어서, 집적회로 다이는 제2비전력 공급 신호 본드 패드를 더 가지며, 제2행의 본드 핑거는 PC기판로부터의 제2비전력 공급 신호를 수신하고 상기 제2비전력 공급 신호 본드 패드에 접속하는 제3본드 핑거를 더 갖고 있는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 20

제 17 항에 있어서, 상기 집적회로는 마이크로프로세서인 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 21

제 17 항에 있어서, 상기 패키지는 볼 그리드 어레이 패키지인 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 22

a) 제1 및 제2면을 갖는 제1유전층;

b) 제1유전층에 배치되어 있는 제1금속 패드;

c) 제1금속 패드의 일부분을 노출하도록 상기 제1금속 패드에 배치되어 있으며, 상기 제1금속 패드의 노출 부분에 접속되어 있는 제1전력 공급 신호 본드 패드, 제2전력 공급 신호 본드 패드, 제3전력 공급 신호 본드 패드, 및 제4전력 공급 신호 본드 패드를 갖는 집적회로 다이;

d) 제1유전층의 제2면에 배치되어 있으며, 제1전력 공급 신호를 수신하기 위해 상기 제1금속 패드에 접속되어 PC 기판에 전기적으로 접속되어 있는 제2금속 패드;

e) 금속 패드를 둘러싸고, 제1유전층의 제1면에 배치되어 있으며, 상기 제2전력 공급 신호 본드 패드가 접속되어 있는 제1상부 금속링;

f) 제2금속 패드를 둘러싸고, 제1유전층의 제2면에 배치되어 있으며, 제2전력 공급 신호를 수신하기 위해 상기 제1상부 금속링에 접속되어 PC 기판에 전기적으로 접속되어 있는 제1하부 금속링;

g) 제1금속링을 둘러싸고, 제1유전층에 배치되어 있으며, 상기 제3전력 공급 신호 본드 패드가 접속되어 제3전력 공급 신호를 수신하는 제2금속링;

h) 제2금속링을 둘러싸고, 상기 제1비전력 공급 신호 본드 패드가 접속되어 PC 기판로부터의 제1비전력 공급 신호를 수신하는 제1본드 핑거를 갖는 제1행의 본드 핑거;

i) 제1금속 다이 패드, 제1상부 금속링, 제2금속링, 및 제1행의 본드 핑거를 노출하도록 제1유전층 상단에 위치되어 있는 제2유전층;

j) 제1금속 다이 패드, 제1상부 금속링, 제2금속링, 및 제1행의 본드 핑거를 노출하도록 제2유전층 상단에 위치되어 있는 제3유전층; 및

k) 제3유전층상에 위치되어 있으며, 상기 제4전력 공급 신호 본드 패드에 접속되어 제4전력 공급 신호를 수신하는 제2본드 핑거를 갖는 제2행의 본드 핑거;를 포함하는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 23

제 22 항에 있어서, 제2 및 제3유전층 사이에 위치되어 있으며, 상기 제4전력 공급 신호를 상기 제2본드 핑거에 접속하는 금속 평면을 더 포함하는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 24

제 22 항에 있어서, 집적회로 다이는 제2비전력 공급 신호 본드 패드를 더 가지며, 제2행의 본드 핑거는

PC 기판로부터의 제2비전력 공급 신호를 수신하는 제3본드 핑거를 더 가지며, 상기 제3본드 핑거는 상기 제2비전력 공급 신호 본드 패드에 접속되어 있는 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 25

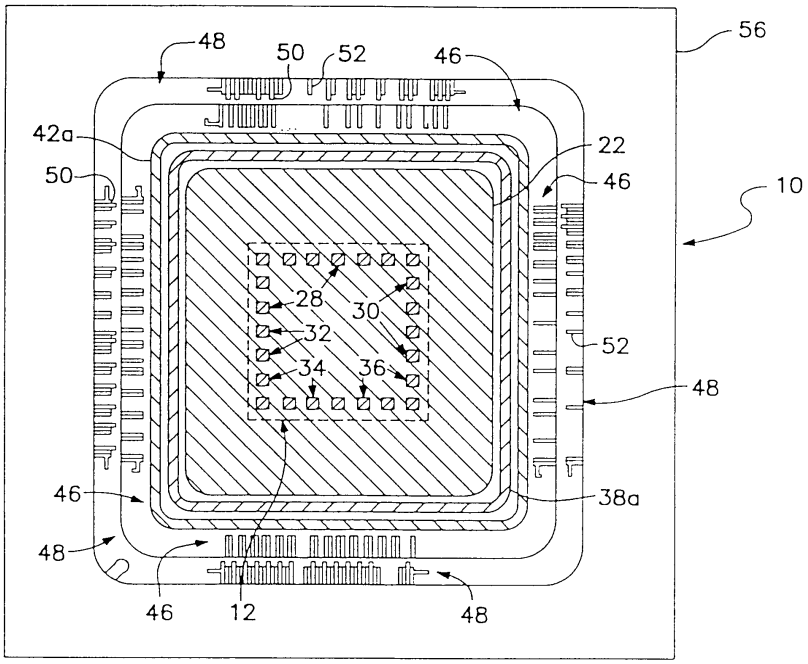
제 22 항에 있어서, 상기 집적회로는 마이크로프로세서인 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

청구항 26

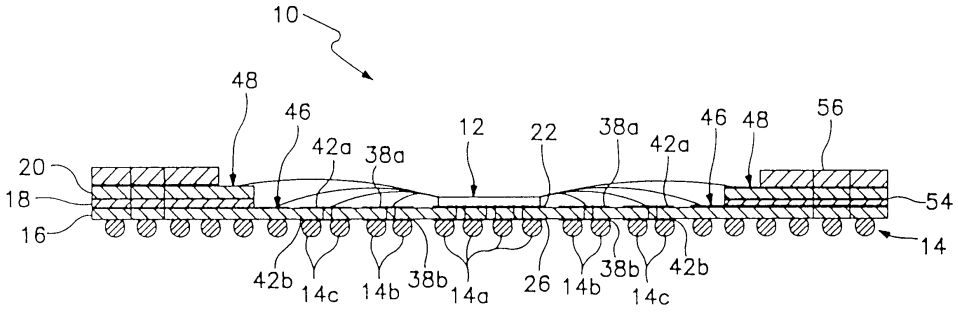
제 22 항에 있어서, 상기 패키지는 볼 그리드 어레이 패키지인 것을 특징으로 하는 짧은 전력신호 경로 집적회로 패키지.

도면

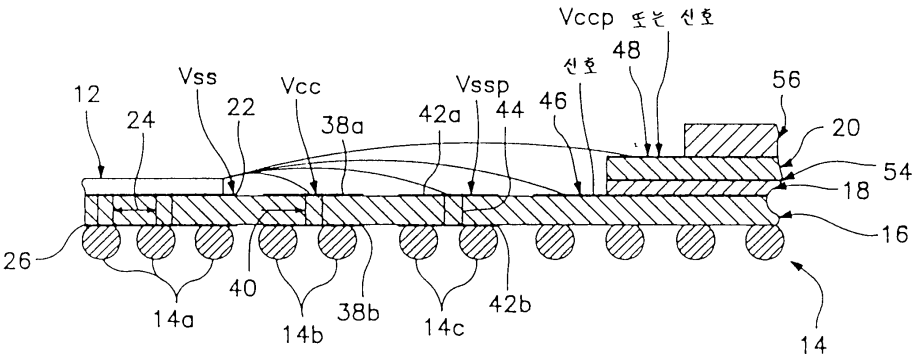
도면1



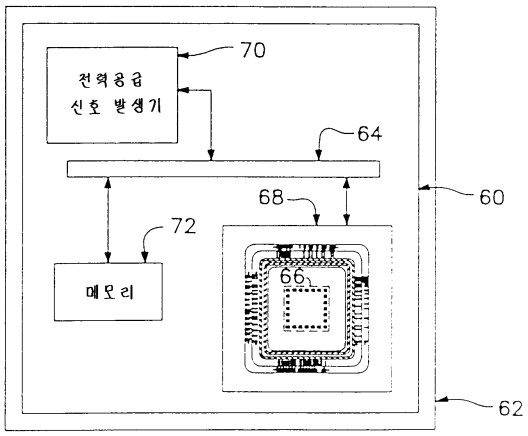
도면2



도면3


Vccp 또는 신호
48
신호
56
12
Vss
22
Vcc
Vssp
44
46
24
38a
42a
20
54
18
16
26
40
38b
42b
14a
14b
14c
14

도면4


70
전력공급
신호 발생기
64
68
60
72
66
메모리
62