



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0059854  
(43) 공개일자 2011년06월07일

- |                                                                                                                                                                                                                                                                                                                                                                          |                                                                                                                                                                                   |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) Int. Cl.<br/>H01L 23/52 (2006.01) H01L 25/065 (2006.01)<br/>H01L 25/07 (2006.01)</p> <p>(21) 출원번호 10-2011-7006220</p> <p>(22) 출원일자(국제출원일자) 2009년09월15일<br/>심사청구일자 없음</p> <p>(85) 번역문제출일자 2011년03월17일</p> <p>(86) 국제출원번호 PCT/JP2009/066099</p> <p>(87) 국제공개번호 WO 2010/032729<br/>국제공개일자 2010년03월25일</p> <p>(30) 우선권주장<br/>JP-P-2008-240015 2008년09월18일 일본(JP)</p> | <p>(71) 출원인<br/>고쿠리츠다이가쿠호우진 도쿄다이가쿠<br/>일본, 도쿄, 분쿄구, 혼고 7-초메 3-1</p> <p>(72) 발명자<br/>오바, 타카유키<br/>일본 1138654 도쿄 분쿄구 혼고 7초메 3-1 고쿠리츠다이가쿠호우진 도쿄 다이가쿠 (내)</p> <p>(74) 대리인<br/>남상선</p> |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

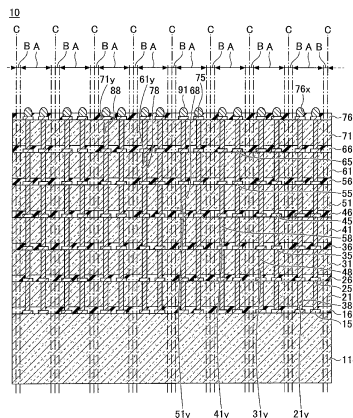
전체 청구항 수 : 총 16 항

**(54) 반도체장치의 제조방법**

**(57) 요약**

주면측에 반도체집적회로를 갖는 복수의 반도체칩이 형성된 반도체기판을 적층하고, 상이한 층의 상기 반도체기판을 구성하는 상기 반도체칩끼리를 신호전달가능하게 접속하고, 그 후 상기 반도체칩 부분을 개편화하는 반도체장치의 제조방법을 제공한다. 본발명에 따른 반도체장치의 제조방법은 제 1 반도체기판 및 제 2 반도체기판을 준비하는 제 1 공정과, 상기 제 2 반도체기판을 박형화하는 제 2 공정과, 박형화된 상기 제 2 반도체기판의 주면과 반대측의 면을 절연층을 통하여 상기 제 1 반도체기판의 주면에 고착하는 제 3 공정과, 박형화된 상기 제 2 반도체기판에 상기 제 2 반도체기판의 주면에서 상기 주면과 반대측의 면을 관통하는 비아홀을 형성하는 제 4 공정과, 상기 비아홀을 통하여 상기 제 1 반도체기판의 상기 반도체칩과 상기 제 2 반도체기판의 상기 반도체칩 사이의 신호전달을 가능하게 하는 접속부를 형성하는 제 5 공정을 갖는다.

**대표도 - 도3**



## 특허청구의 범위

### 청구항 1

주면측에 반도체집적회로를 갖는 복수의 반도체칩이 형성된 반도체기판을 적층하고, 상이한 층의 상기 반도체기판을 구성하는 상기 반도체칩끼리를 신호전달가능하게 접속하고, 그 후 상기 반도체칩 부분을 개편화하는 반도체장치의 제조방법으로서,

제 1 반도체기판 및 제 2 반도체기판을 준비하는 제 1 공정과,

상기 제 2 반도체기판을 박형화하는 제 2 공정과,

박형화된 상기 제 2 반도체기판의 주면과 반대측의 면을 절연층을 통하여 상기 제 1 반도체기판의 주면에 고착하는 제 3 공정과,

박형화된 상기 제 2 반도체기판에 상기 제 2 반도체기판의 주면에서 상기 주면과 반대측의 면을 관통하는 비아홀을 형성하는 제 4 공정과,

상기 비아홀을 통하여 상기 제 1 반도체기판의 상기 반도체칩과 상기 제 2 반도체기판의 상기 반도체칩과의 사이의 신호전달을 가능하게 하는 접속부를 형성하는 제 5 공정을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 2

제 1 항에 있어서,

다른 반도체기판을 준비하여, 상기 다른 반도체기판에 상기 제 2 공정으로부터 상기 제 5 공정과 동일한 공정을 반복하고, 상기 제 2 반도체기판상에 다른 반도체기판을 적층하는 제 6 공정을 더 갖는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 3

제 1 항에 있어서,

상기 제 2 공정에서는 상기 제 2 반도체기판의 소정의 영역만을 박형화하는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 4

제 3 항에 있어서,

상기 소정의 영역은 바깥가장자리부를 제외한 영역인 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 5

제 4 항에 있어서,

상기 제 3 공정보다 전에, 상기 제 1 반도체기판의 바깥가장자리부를 제거하는 공정을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 6

제 5 항에 있어서,

상기 제 3 공정보다 후에, 상기 제 2 반도체기판의 바깥가장자리부를 제거하는 공정을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 7

제 1 항에 있어서,

상기 반도체기판은 평면에서 보았을 때 대략 원형상인 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 8**

제 1 항에 있어서,

상기 접속부는 상기 반도체칩끼리를 전기신호에 의해 접속하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 9**

제 1 항에 있어서,

상기 접속부는 상기 반도체칩끼리를 광신호에 의해 접속하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 10**

제 1 항에 있어서,

적층된 상기 반도체기판의 일부에, 상기 반도체기판과 절연되고 반도체칩을 갖지 않는 구조층을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 11**

제 10 항에 있어서,

상기 구조층은 기판, 금속층 또는 절연층인 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 12**

제 10 항에 있어서,

상기 구조층은 상기 반도체기판을 냉각하는 기능을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 13**

제 10 항에 있어서,

상기 구조층은 MEMS를 갖는 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 14**

제 1 항에 있어서,

상기 제 2 공정에서 박형화된 부분의 상기 반도체기판의 두께는 상기 반도체기판의 갖는 디바이스의 소자분리깊이의 5배 이상인 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 15**

제 1 항에 있어서,

상기 제 2 공정에서 박형화된 부분의 상기 반도체기판의 두께는 1 $\mu$ m 이상인 것을 특징으로 하는 반도체장치의 제조방법.

**청구항 16**

제 1 항에 있어서,

상기 제 4 공정에서 형성된 비아홀의 어스펙트비는 0.5 이상 5이하인 것을 특징으로 하는 반도체장치의 제조방법.

**명세서**

**기술분야**

본발명은 반도체장치의 제조방법에 관한 것으로, 특히, 복수의 반도체칩이 형성된 반도체기판을 적층하고, 상기

[0001]

한 층의 반도체기판을 구성하는 반도체칩끼리를 신호전달가능하게 접속하고, 그 후 반도체칩 부분을 개편화하는 반도체장치의 제조방법에 관한 것이다.

**배경 기술**

- [0002] 최근 들어 반도체응용제품은 디지털카메라나 휴대전화 등의 각종 모바일기기 용도 등으로서 소형화, 박형화, 경량화가 급격히 진행되고 있다. 그에 따라, 반도체응용제품에 탑재되는 반도체장치에도 소형화, 고밀도화가 요구되고, 그 요구에 대응하기 위하여, 예를 들어, 복수의 반도체칩이 형성된 반도체기판(웨이퍼)을 반도체기판(웨이퍼)의 상태로 복수개 적층하여 접합하는 웨이퍼 온 웨이퍼(Wafer On Wafer, 이하 "WOW"라고 한다) 구조의 반도체장치의 제조방법이 제안되어 있다.
- [0003] 이하, 도면을 참조하여 종래부터 제안되어 있는 WOW구조의 반도체장치의 제조방법에 대하여 간단하게 설명한다. 도 1a~도 1g는 종래의 WOW구조의 반도체장치의 제조공정을 예시하는 도면이다.
- [0004] 먼저, 도 1a에 나타난 공정에서는 반도체기판(110)을 준비한다. 반도체기판(110)은 기판본체(120)와 반도체집적회로(130)와 금속이 충전된 비아홀(140)을 갖는다. 기판본체(120)상에는 반도체집적회로(130)가 형성되고, 기판본체(120) 및 반도체집적회로(130)에는 금속이 충전된 비아홀(140)이 형성되어 있다. 반도체기판(110)을 준비할 때에, 기판본체(120)에 먼저 비아홀(140)을 형성한 후 반도체집적회로(130)를 형성하여도 되고, 기판본체(120)에 반도체집적회로(130)를 형성한 후 비아홀(140)을 형성하여도 된다. 또한, 기판본체(120)는 후술하는 공정에서 박형화되기 때문에, 비아홀(140)은 기판본체(120)를 관통하고 있지 않아도 된다.
- [0005] 다음으로, 도 1b에 나타난 공정에서는 반도체기판(110)의 반도체집적회로(130)측에 지지체(300)를 접합한다. 지지체(300)로서는, 예를 들어, 유리기판 등을 사용할 수 있다. 다음으로, 도 1c에 나타난 공정에서는 기판본체(120)을 박형화한다. 박형화는 예를 들어, 기판본체(120)의 반도체집적회로(130)가 형성되어 있지 않은 쪽의 면을 연마함으로써 실시한다. 박형화 후의 반도체기판(110) 및 기판본체(120)를 반도체기판(110a) 및 기판본체(120a)라고 칭한다. 지지체(300)는 박형화되어 강성이 저하된 반도체기판(110a)을 지지하는 기능을 갖는다. 다음으로, 박형화된 측의 면으로부터 노출하는 비아홀(140)에 범프(미도시)를 형성한다. 또한, 범프(미도시)는 전극패드(미도시)를 통하여 형성하여도 된다.
- [0006] 다음으로, 도 1d에 나타난 공정에서는 반도체기판(210)을 준비한다. 반도체기판(210)은 기판본체(220)와 반도체집적회로(230)와 금속이 충전된 비아홀(240)을 갖는다. 기판본체(220)상에는 반도체집적회로(230)가 형성되고, 기판본체(220) 및 반도체집적회로(230)에는 금속이 충전된 비아홀(240)이 형성되어 있다. 반도체집적회로(230)측의 면으로부터 노출하는 비아홀(240)에는 범프(미도시)가 형성되어 있다. 또한, 범프(미도시)는 전극패드(미도시)를 통하여 형성되는 경우도 있다. 그리고, 반도체기판(210)의 반도체집적회로(230)와 반도체기판(110a)의 기판본체(120a)가 대향하도록, 반도체기판(210)을 반도체기판(110a)에 접합한다. 또한, 비아홀(240)은 비아홀(140)에 대응하는 위치에 미리 형성되어 있고, 비아홀(240)과 비아홀(140)은 범프를 통하여 전기적으로 접속된다.
- [0007] 다음으로, 도 1e에 나타난 공정에서는 도 1c와 동일한 공정에 의해 기판본체(220)를 박형화한다. 박형화 후의 반도체기판(210) 및 기판본체(220)를 반도체기판(210a) 및 기판본체(220a)라고 칭한다. 다음으로, 박형화된 측의 면으로부터 노출하는 비아홀(240)에 범프(미도시)를 형성한다. 또한, 범프(미도시)는 전극패드(미도시)를 통하여 형성하여도 된다.
- [0008] 다음으로, 도 1f에 나타난 공정에서는 도 1d 및 도 1e와 동일한 공정을 반복하고, 반도체기판(210a)의 기판본체(220a)의 하부에 반도체기판(310a) 및 반도체기판(410a)을 적층한다. 다음으로, 도 1g에 나타난 공정에서는 도 1f에 나타난 지지체(300)를 제거한다. 이로써, 반도체장치(100)가 완성된다. 이와 같이 하여 박형화된 반도체기판(110a, 210a, 310a 및 410a)가 반도체기판(웨이퍼)의 상태로 접합된 WOW구조의 반도체장치(100)가 제조된다.
- [0009] 도 2a~도 2c는 종래의 WOW구조의 반도체장치의 다른 제조공정을 예시하는 도면이다. 도 2a~도 2c에 있어서, 도 1a~도 1g와 동일한 부분에는 동일한 참조부호를 부여하고, 그 설명은 생략하는 경우가 있다. 먼저, 도 2a에 나타난 공정에서는 반도체기판(510 및 610)을 준비한다. 반도체기판(510)은 기판본체(520)와 반도체집적회로(530)를 갖는다. 기판본체(520)상에는 반도체집적회로(530)가 형성되어 있다. 반도체기판(610)은 기판본체(620)와 반도체집적회로(630)를 갖는다. 기판본체(620)상에는 반도체집적회로(630)가 형성되어 있다. 그리고, 반도체기판(610)의 반도체집적회로(630)와 반도체기판(510)의 반도체집적회로(530)가 대향하도록, 반도체

기관(610)을 반도체기관(510)에 접합한다.

[0010] 다음으로, 도 2b에 나타난 공정에서는 기관본체(620)를 박형화한다. 박형화는, 예를 들어, 기관본체(620)의 반도체집적회로(630)가 형성되어 있지 않은 쪽의 면을 연마함으로써 실시한다. 박형화 후의 반도체기관(610) 및 기관본체(620)를 반도체기관(610a) 및 기관본체(620a)라고 칭한다. 다음으로, 도 2c에 나타난 공정에서는 기관본체(620a)를 관통하고, 반도체집적회로(530) 및 반도체집적회로(630)를 접속하는, 금속이 충전된 비아홀(640)을 형성한다. 이와 같이 하여, 반도체기관(510) 및 박형화된 반도체기관(610a)이 반도체기관(웨이퍼)의 상태로 접합된 WOW구조의 반도체장치(500)가 제조된다.

[0011] [선행기술문헌]

[0012] [특허문헌 1] 일본공개특허공보 제2008-153499호

**발명의 내용**

**해결하려는 과제**

[0013] 그러나, 도 1a~도 1g에 나타난 반도체장치의 제조방법에서는, 반도체기관끼리를 접속할 때에 양쪽의 반도체기관으로부터 노출하는 비아홀에 범프를 형성하는 공정이 필요하기 때문에, 생산성이 낮고 반도체장치의 제조비용이 상승한다는 문제가 있었다.

[0014] 또한, 도 2a~도 2c에 나타난 반도체장치의 제조방법에서는, 반도체집적회로가 형성되어 있는 면이 대향하도록 반도체기관끼리를 접합하기 때문에, 단순히 동일한 공정을 반복하는 것만으로는 3개 이상의 반도체기관을 적층할 수 없다. 즉, 3개 이상의 반도체기관을 적층하기 위하여는 특별한 공정이 필요하기 때문에, 생산성이 낮고 반도체장치의 제조비용이 상승한다는 문제가 있었다.

[0015] 또한, 도 1a~도 1g 및 도 2a~도 2c에 나타난 어느 반도체장치의 제조방법의 경우에도, 깊은 비아홀을 형성하는 경우에는, 비아홀의 구멍가공이나 금속충전의 시간이 길어지고 또한 필요한 재료가 증가하기 때문에, 반도체장치의 제조비용이 상승한다는 문제가 있었다.

[0016] 나아가, 도 1a~도 1g 및 도 2a~도 2c에 나타난 어느 반도체장치의 제조방법의 경우에도, 비아홀을 드라이에칭 등으로 형성할 때에 비아홀의 사이즈나 밀도로 깊이가 상이하고 비아홀 선단부분의 직경이 변한다. 그 결과, 반도체기관을 원하는 두께로 박형화했을 때에 노출하는 비아홀의 직경이 일정하지 않기 때문에, 전기적으로 접속할 때의 저항값의 편차신뢰성이 저하된다는 문제가 있었다.

[0017] 본발명은 이러한 문제점을 감안하여 완성된 것으로, 신뢰성 및 생산성이 높고 제조비용의 저감을 도모할 수 있는 반도체장치의 제조방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0018] 상기 목적을 달성하기 위하여, 본발명은 주면측에 반도체집적회로를 갖는 복수의 반도체칩이 형성된 반도체기관을 적층하고, 상이한 층의 상기 반도체기관을 구성하는 상기 반도체칩끼리를 신호전달가능하게 접속하고, 그 후 상기 반도체칩 부분을 개편화하는 반도체장치의 제조방법으로서, 제 1 반도체기관 및 제 2 반도체기관을 준비하는 제 1 공정과, 상기 제 2 반도체기관을 박형화하는 제 2 공정과, 박형화된 상기 제 2 반도체기관의 주면과 반대측의 면을 절연층을 통하여 상기 제 1 반도체기관의 주면에 고착하는 제 3 공정과, 박형화된 상기 제 2 반도체기관에 상기 제 2 반도체기관의 주면에서 상기 주면과 반대측의 면을 관통하는 비아홀을 형성하는 제 4 공정과, 상기 비아홀을 통하여 상기 제 1 반도체기관의 상기 반도체칩과 상기 제 2 반도체기관의 상기 반도체칩 사이의 신호전달을 가능하게 하는 접속부를 형성하는 제 5 공정을 갖는 것을 특징으로 한다.

**발명의 효과**

[0019] 본발명에 의하면 신뢰성 및 생산성이 높고 제조비용의 저감을 도모할 수 있는 반도체장치의 제조방법을 제공할 수 있다.

**도면의 간단한 설명**

[0020] 도 1a은 종래의 WOW구조의 반도체장치의 제조공정을 예시하는 도면(그 1)이다.

도 1b는 종래의 WOW구조의 반도체장치의 제조공정을 예시하는 도면(그 2)이다.



도 7c는 본발명의 제 2 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 3)이다.  
 도 7d는 본발명의 제 2 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 4)이다.  
 도 7e는 본발명의 제 2 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 5)이다.  
 도 7f는 본발명의 제 2 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 6)이다.  
 도 8은 본발명의 제 3 실시형태에 관련된 반도체장치를 예시하는 단면도이다.  
 도 9a는 본발명의 제 3 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 1)이다.  
 도 9b는 본발명의 제 3 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 2)이다.  
 도 9c는 본발명의 제 3 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 3)이다.  
 도 9d는 본발명의 제 3 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 4)이다.  
 도 9e는 본발명의 제 3 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 5)이다.  
 도 9f는 본발명의 제 3 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 6)이다.  
 도 10는 본발명의 제 4 실시형태에 관련된 반도체장치를 예시하는 단면도이다.  
 도 11a는 본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 1)이다.  
 도 11b는 본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 2)이다.  
 도 11c는 본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 3)이다.  
 도 11d는 본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 4)이다.  
 도 11e는 본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 5)이다.  
 도 11f는 본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 6)이다.  
 도 11g는 본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 7)이다.  
 도 11h는 본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면(그 8)이다.  
 도 12는 본발명의 제 5 실시형태에 관련된 반도체장치를 예시하는 단면도이다.  
 도 13은 WOW에 주지의 반도체장치의 공정까지도 포함한 반도체장치 전체의 제조공정의 플로우차트의 예이다.

**발명을 실시하기 위한 구체적인 내용**

- [0021] 이하, 도면을 참조하여 본발명을 실시하기 위한 형태에 대하여 설명한다.
- [0022] <제 1 실시형태>
- [0023] [본발명의 제 1 실시형태에 관련된 반도체장치의 구조]
- [0024] 먼저, 본발명의 제 1 실시형태에 관련된 반도체장치의 구조에 대하여 설명한다. 도 3은 본발명의 제 1 실시형태에 관련된 반도체장치를 예시하는 단면도이다. 도 3을 참조하면, 본발명의 제 1 실시형태에 관련된 반도체장치(10)는 반도체기판(11c), 반도체기판(21c), 반도체기판(31c), 반도체기판(41c), 반도체기판(51c), 반도체기판(61c) 및 반도체기판(71c)이 적층된 구조를 갖는다. 반도체장치(10)는, 예를 들어, CMOS·LSI, 메모리다이바이스, 센서다이바이스, MEMS 등이다.
- [0025] 반도체장치(10)를 구성하는 반도체기판(11c~71c)은, 예를 들어, 실리콘웨이퍼 등이다. 반도체기판(11c~71c)이 실리콘웨이퍼인 경우에는, 반도체장치(10)는 복수의 반도체기판(웨이퍼)이 반도체기판(웨이퍼)의 상태로 접합된 소위 WOW구조의 반도체장치이다.
- [0026] 반도체기판(11c~71c)은 반도체칩이 형성되어 있는 복수의 영역 A(이하, 「반도체칩 형성영역 A」라고 한다)와 복수의 반도체칩 형성영역 A를 분리하는 스크라이브 영역 B를 갖는다. 스크라이브 영역 B에 있는 C는 다이싱블레이드 등이 반도체장치(10)를 절단하는 위치(이하, 「절단위치 C」라고 한다)를 나타내고 있다. 반도체장치(10)는 절단위치 C에서 다이싱블레이드 등에 의해 절단되어 개편화됨으로써 최종제품의 형태가 된다.

- [0027] 반도체기판(11c~71c)의 각 반도체칩 형성영역 A는 기판본체(12-72, 미도시)와 반도체집적회로(13-73, 미도시)와 전극패드(15~75)를 갖는다. 기판본체(12-72, 미도시)는, 예를 들어, 실리콘 등으로 구성되어 있다. 반도체 집적회로(13-73, 미도시)는, 예를 들어, 실리콘 등에 확산층(미도시), 절연층(미도시), 비아홀(미도시) 및 배선층(미도시) 등이 형성된 것이며, 기판본체(12-72, 미도시)의 한 쪽 면측에 형성되어 있다. 이후, 반도체기판(11c~71c)에 있어서 반도체집적회로(13-73, 미도시)가 형성되어 있는 층의 면을 주면이라고 칭하는 경우가 있다.
- [0028] 전극패드(15~75)는 절연층(미도시)을 통하여 반도체집적회로(13-73, 미도시)상에 형성되어 있다. 전극패드(15~75)는 반도체집적회로(13-73, 미도시)에 형성된 배선층(미도시)과 전기적으로 접속되어 있다. 전극패드(15~75)로서는, 예를 들어, Ti층상에 Au층을 적층한 적층체 등을 사용할 수 있다. 전극패드(15~75)로서 Ni층상에 Au층을 적층한 적층체, Ni층상에 Pd층 및 Au층을 순차 적층한 적층체, Ni 대신에 Co, Ta, Ti, TiN 등의 고용점 금속으로 이루어지는 층을 이용하고 이 층상에 Cu층 혹은 Al층을 적층한 적층체 혹은 다마신(damascene) 구조형상의 배선 등을 이용하여도 된다.
- [0029] 반도체기판(11c)과 반도체기판(21c)은 수지층(16)을 통하여 접합되어 있고, 반도체기판(11c)의 전극패드(15)와 반도체기판(21c)의 전극패드(25)는 비아홀(21y)에 충전된 금속층(38)을 통하여 전기적으로 접속되어 있다. 반도체기판(21c)과 반도체기판(31c)은 수지층(26)을 통하여 접합되어 있고, 반도체기판(21c)의 전극패드(25)와 반도체기판(31c)의 전극패드(35)는 비아홀(31y)에 충전된 금속층(48)을 통하여 전기적으로 접속되어 있다. 또한, 비아홀은 반도체기판간(인접하는 반도체기판 사이로 한정되지 않는다)을 접속하기 위하여 형성된 접속구멍이며, 내부에 금속층이나 광도파로 등이 형성됨으로써 반도체기판끼리 신호전달가능하게 접속한다. 비아홀 내부에 형성된 금속층이나 광도파로 등을 접속부라고 칭하는 경우가 있다.
- [0030] 반도체기판(31c)과 반도체기판(41c)은 수지층(36)을 통하여 접합되어 있고, 반도체기판(31c)의 전극패드(35)와 반도체기판(41c)의 전극패드(45)는 비아홀(41y)에 충전된 금속층(58)을 통하여 전기적으로 접속되어 있다. 반도체기판(41c)과 반도체기판(51c)은 수지층(46)을 통하여 접합되어 있고, 반도체기판(41c)의 전극패드(45)와 반도체기판(51c)의 전극패드(55)는 비아홀(51y)에 충전된 금속층(68)을 통하여 전기적으로 접속되어 있다.
- [0031] 반도체기판(51c)과 반도체기판(61c)은 수지층(56)을 통하여 접합되어 있고, 반도체기판(51c)의 전극패드(55)와 반도체기판(61c)의 전극패드(65)는 비아홀(61y)에 충전된 금속층(78)을 통하여 전기적으로 접속되어 있다. 반도체기판(61c)과 반도체기판(71c)은 수지층(66)을 통하여 접합되어 있고, 반도체기판(61c)의 전극패드(65)와 반도체기판(71c)의 전극패드(75)는 비아홀(71y)에 충전된 금속층(88)을 통하여 전기적으로 접속되어 있다.
- [0032] 반도체기판(71c)에는 개구부(76x)를 갖는 솔더레지스트층(76)이 형성되어 있고, 개구부(76x)내에는 외부접속단자(91)가 형성되어 있다. 외부접속단자(91)는 반도체장치(10)와 반도체장치(10)의 외부에 형성된 배선기판 등을 전기적으로 접속하기 위하여 형성된 단자이고, 전극패드(75)와 전기적으로 접속되어 있다. 외부접속단자(91)로는 뿔납볼, Au뿔, 도전성페이스트 등을 사용할 수 있다. 외부접속단자(91)로서 뿔납볼을 사용한 경우에는, 외부접속단자(91)의 재료로는, 예를 들어, Pb를 포함하는 합금, Sn과 Cu의 합금, Sn과 Ag의 합금, Sn과 Ag와 Cu의 합금 등을 사용할 수 있다.
- [0033] [본발명의 제 1 실시형태에 관련된 반도체장치의 제조공정]
- [0034] 다음으로, 본발명의 제 1 실시형태에 관련된 반도체장치의 제조공정에 대하여 설명한다. 도 4a~도 4t는 본발명의 제 1 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면이다. 도 4a~도 4t에 있어서, 도 3에 나타난 반도체장치(10)와 동일한 구성부분에는 동일한 참조부호를 부여하고, 그 설명을 생략하는 경우가 있다.
- [0035] 먼저, 도 4a 및 도 4b에 나타난 반도체기판(11)을 준비한다. 도 4a는 평면도이고, 도 4b는 단면도이다. 도 4a 및 도 4b를 참조하면, 반도체기판(11)은 기판본체(12)와 반도체집적회로(13)와 전극패드(15)를 갖는다. 다만, 도 4a에서는 전극패드(15)가 생략되어 있다. 또한, 도 4b에 있어서, 참조부호 11a는 반도체기판(11)의 한 쪽 면(전극패드(15)가 형성되어 있는 쪽의 면; 주면)을 나타내고, 참조부호 11b는 반도체기판(11)의 다른 쪽 면(주면과 반대측의 면)을 나타내고 있다.
- [0036] 기판본체(12)는, 예를 들어, 실리콘 등으로 구성되어 있다. 반도체집적회로(13)는, 예를 들어, 실리콘 등에 확산층(미도시), 절연층(미도시), 비아홀(미도시) 및 배선층(미도시) 등이 형성된 것이다. 전극패드(15)는 절연층(미도시)을 통하여 반도체집적회로(13)상에 형성되어 있다. 전극패드(15)는 반도체집적회로(13)에 형성된 배선층(미도시)과 전기적으로 접속되어 있다. 전극패드(15)로서는, 예를 들어, Ti층상에 Au층을 적층한 적층체 등을 사용할 수 있다. 또한, 전극패드(15)로서 Ni층상에 Au층을 적층한 적층체, Ni층상에 Pd층 및 Au층을 순



차 적층한 적층체, Ni대신에 Co, Ta, Ti, TiN 등의 고용점 금속으로 이루어지는 층을 이용하고 이 층상에 Cu층 혹은 Al층을 적층한 적층체 혹은 다마신 구조형상의 배선 등을 이용하여도 된다.

- [0037] 반도체기판(11)은 복수의 반도체칩 형성영역 A와 복수의 반도체칩 형성영역 A를 분리하는 스크라이브 영역 B를 갖는다. 스크라이브 영역 B에 있는 C는 다이싱블레이드 등이 반도체기판(11)을 절단하는 위치(이하, 「절단위치 C」라고 한다)를 나타내고 있다.
- [0038] 반도체기판(11)의 직경( $\phi 1$ )은, 예를 들어, 6인치(약 150mm), 8인치(약 200mm), 12인치(약 300mm) 등이다. 반도체기판(11)의 두께(T1)는, 예를 들어, 0.625mm( $\phi 1=6$ 인치의 경우), 0.725mm( $\phi 1=8$ 인치의 경우), 0.775mm( $\phi 1=12$ 인치의 경우) 등이다. 본 실시형태에서는 반도체기판(11)으로서 8인치(약 200mm)의 실리콘웨이퍼를 사용한 경우를 예를 들어 이하에서 설명한다.
- [0039] 다음으로, 도 4c에 나타난 공정에서는, 도 4a 및 도 4b에 나타난 반도체기판(11)의 바깥가장자리부(11x)를 제거한다. 바깥가장자리부(11x)를 제거한 후의 반도체기판(11)을 반도체기판(11c)으로 한다. 바깥가장자리부(11x)의 제거는, 예를 들어, 바깥가장자리부(11x)를 제거한 후의 반도체기판(11c)이 평면에서 볼 때 원형이 되도록, 반도체기판(11)의 바깥가장자리부(11x)를 그라인더 등을 이용하여 연삭한다. 이 때, 드라이폴리싱이나 웨트에칭 등을 병용하여도 된다.
- [0040] 여기서, 드라이폴리싱이란, 예를 들어, 실리카를 함유시킨 섬유를 압축하여 균형 형성한 연마포를 이용하여 표면을 깎는(연마하는) 가공방법이다. 웨트에칭이란, 예를 들어, 스피너로 반도체기판(11)을 회전시키면서 플루오르오르초산 등을 공급하여 에칭을 실시하는 가공방법이다. 바깥가장자리부(11x)를 제거한 후의 반도체기판(11c)을, 예를 들어, 평면에서 볼 때 원형으로 한 경우에는, 반도체기판(11c)의 평면에서 볼 때 원형부분의 직경( $\phi 2$ )은, 예를 들어,  $193.0 \pm 0.1$  mm로 할 수 있다. 이 경우, 직경( $\phi 1$ )이 8인치(약 200mm)이었던 반도체기판(11)이 소직경화 되고, 직경( $\phi 2$ )이  $193.0 \pm 0.1$ mm의 반도체기판(11c)이 된 것으로 된다.
- [0041] 다음으로, 도 4d에 나타난 공정에서는, 반도체기판(11c)의 면(11a)에 수지층(16)을 형성한다. 수지층(16)의 재료로서는, 예를 들어, 주된 조성이 벤조시클로부텐(Benzocyclobutene, BCB)인 수지를 사용할 수 있다. 또한, 수지층(16)의 재료로서 에폭시계 수지, 아크릴계 수지, 폴리이미드계 수지 등을 이용하여도 된다. 수지층(16)의 두께(T2)는, 예를 들어,  $5\mu\text{m}$ 정도로 할 수 있다. 수지층(16)은, 예를 들어, 스피코팅법에 의해 반도체기판(11c)의 면(11a)에, 예를 들어, 주된 조성이 벤조시클로부텐(BCB)인 수지를 도포함으로써 형성할 수 있다. 그 후, 수지층(16)을, 예를 들어,  $140^\circ\text{C}$ 에서 프리베이크하여 반경화시킨다. 반경화된 수지층(16)은 접착성을 갖는다. 또한, 수지층(16)은 스피코팅법 대신에 기상성장법을 이용하여 형성하여도 상관없고, 필름상의 수지를 부착하는 방법을 이용하여 형성하여도 된다.
- [0042] 도 4d에 나타난 공정에서, 반도체기판(11c)의 면(11b)을 기준면으로 하여, 기준면에 대하여 수지층(16)의 면(16a)이 평행인 것이 바람직하다. 기준면에 대하여 수지층(16)의 면(16a)이 평행이 아니면, 예를 들어, 후술하는 도 4i의 공정에서 비아홀(21y)이 비스듬하게 형성되고, 비스듬하게 형성된 비아홀(21y)에 금속층(38)등이 형성되기 때문에, 인접하는 반도체기판간의 접속신뢰성이 저하되는 등의 문제가 생길 수 있기 때문이다. 또한, 이 경우의 평행이란, 기준면에 대한 수지층(16)의 면(16a)의 높이(H1)의 편차가  $1\mu\text{m}$ 이하인 것을 말한다. 따라서, 수지층(16)을 형성한 후, 높이(H1)의 편차를 확인하는 공정을 형성하는 것이 바람직하다. 높이(H1)의 편차가  $1\mu\text{m}$ 를 초과하는 경우에는, 높이(H1)의 편차가  $1\mu\text{m}$ 이하가 되도록 수지층(16)의 면(16a)을 가공하는 공정을 형성하는 것이 바람직하다. 수지층(16)의 면(16a)은, 예를 들어, CMP 등에 의해 가공(연삭)할 수 있다.
- [0043] 또한, 이미 n장의 반도체기판이 적층되어 그 최상층(제n층)의 반도체기판상에 수지층을 형성하는 경우에는, 최하층의 반도체기판의 배면(디바이스가 형성되어 있지 않은 쪽의 면)을 기준면으로 하여, 기준면에 대하여 수지층의 상면이 평행인 것이 바람직하다. 이 경우의 평행이란, 기준면에 대한 수지층의 상면의 높이의 편차가  $(1 \times n)\mu\text{m}$ 이하인 것을 말한다. 즉, 전술한 바와 같이, 1매의 반도체기판상에 수지층을 형성하는 경우에는, 기준면에 대한 수지층의 상면의 높이의 편차는  $1 \times 1 = 1\mu\text{m}$ 이하인 것이 바람직하고, 예를 들어, 10매를 적층한 반도체기판상에 수지층을 형성하는 경우에는, 기준면(최하층의 반도체기판의 배면)에 대한 수지층의 상면의 높이의 편차는  $1 \times 10 = 10\mu\text{m}$ 이하인 것이 바람직하다.
- [0044] 다음으로 도 4e에 나타난 공정에서는, 도 4a 및 도 4b에 나타난 반도체기판(11)과 동일한 형태의 반도체기판(21)을 준비한다. 도 4e에 있어서, 21a는 반도체기판(21)의 한 쪽 면(전극패드(25)가 형성되어 있는 쪽의 면; 주면)을 나타내고, 21b는 반도체기판(21)의 다른 쪽 면(주면과 반대측의 면)을 나타내고 있다. 반도체기판(21)은 기판본체(22)와 반도체집적회로(23)와 전극패드(25)를 갖는다. 반도체기판(21)의 상세한 것에 대하여

는 반도체기판(11)과 마찬가지로이기 때문에, 그 설명을 생략한다.

- [0045] 그리고, 준비한 반도체기판(21)의 면(21b)측에 오목부(21x)를 형성한다. 오목부(21x)를 형성한 후의 반도체기판(21)을 반도체기판(21c)로 한다. 오목부(21x)는, 예를 들어, 반도체기판(21)의 바깥가장자리부(복수의 반도체칩 형성영역 A를 제외한 부분)만을 남기고, 중심부 근방(복수의 반도체칩 형성영역 A를 포함하는 부분)을 박형화하도록 형성한다. 오목부(21x)는, 예를 들어, 반도체기판(21)의 면(21b)을 그라인더 등을 이용하여 연삭함으로써 형성할 수 있다. 이 때, 드라이폴리싱이나 웨트에칭 등을 병용하여도 된다.
- [0046] 오목부(21x)는, 예를 들어, 평면에서 볼 때 원형으로 할 수 있지만, 다른 형상이어도 된다. 오목부(21x)를, 예를 들어, 평면에서 볼 때 원형으로 한 경우에는, 오목부(21x)의 평면에서 볼 때 원형부분의 직경( $\phi 3$ )은, 예를 들어,  $195.2 \pm 0.1 \text{mm}$ 로 할 수 있다. 반도체기판(21c)의 박형화된 부분의 두께(T3)는, 예를 들어  $1 \mu\text{m} \sim 100 \mu\text{m}$  정도로 할 수 있지만, 강도의 관점에서는  $10 \mu\text{m} \sim 50 \mu\text{m}$  정도로 하는 것이 바람직하다. 반도체기판(21c)의 박형화된 부분의 두께(T3)를  $10 \mu\text{m} \sim 50 \mu\text{m}$  정도로 함으로써, 기계적 진동 등에 의한 파괴나 반도체칩에 대한 응력이 저감되기 때문이다. 또한, 오목부(21x)의 측면은 반드시 저면에 대하여 수직으로 형성할 필요는 없다.
- [0047] 반도체기판(21c)의 박형화된 부분의 두께(T3)를  $1 \mu\text{m}$  이상으로 해야 하는 이유는 다음과 같다. 반도체기판(21c)의 배면(디바이스가 형성되어 있지 않은 쪽의 면)에서 발생한 결함이나 오염이 디바이스까지 확산하지 않도록 하기 위해서는, 반도체기판(21c)의 박형화된 부분의 두께(T3)는 적어도 반도체집적회로(23)에 있어서의 트랜지스터 등의 디바이스의 소자분리깊이(미도시)의 5배 이상이 필요하다고 생각된다. 여기서, 반도체집적회로(23)에 있어서의 트랜지스터 등의 디바이스의 소자분리깊이(미도시)는  $200 \sim 500 \text{nm}$  정도이다. 따라서, 반도체기판(21c)의 박형화된 부분의 두께(T3)는 상기 소자분리깊이의 최저값  $200 \text{nm}$ 의 5배인  $1 \mu\text{m}$  이상으로 해야 한다.
- [0048] 이와 같이, 반도체기판(21)의 면(21b)에 반도체기판(21)의 바깥가장자리부(복수의 반도체칩 형성영역 A를 제외한 부분)만을 남기고, 중심부 근방(복수의 반도체칩 형성영역 A를 포함하는 부분)을 박형화하도록 오목부(21x)를 형성함으로써, 오목부(21x)를 형성한 후의 반도체기판(21c)은 충분한 강성을 유지할 수 있다. 따라서, 본 발명의 제 1 실시형태에 관련된 반도체장치의 제조방법에서는, 배경기술의 항목에서 설명한 바와 같은 반도체기판(21c)을 지지하는 기능을 갖는 지지체를 사용할 필요가 없고, 박형화된 반도체기판(21c)을 박형화 전의 반도체기판(21)과 동등하게 취급할 수 있다. 그 결과, 반도체기판에 지지체를 접합 및 제거한다고 하는, 통상적인 반도체장치의 웨이퍼프로세스와는 상이한 공정이 필요없어지기 때문에, 생산성의 향상을 도모할 수 있다.
- [0049] 다음으로, 도 4f에 나타낸 공정에서는, 반도체기판(21c)의 오목부(21x)에 반도체기판(11c)을 접합한다. 먼저, 반도체기판(21c)의 오목부(21x)의 저면에 반도체기판(11c)의 면(11a)에 형성되어 있는 수지층(16)이 접하도록 반도체기판(11c)을 배치한다. 반도체기판(11c) 및 반도체기판(21c)의, 예를 들어, 스크라이브 영역 B에는 위치맞춤을 정밀하게 실시하기 위한 얼라이언트마크가 미리 형성되어 있다. 반도체기판(11c)의 배치는 얼라이언트마크를 기준으로 하여 주지의 방법으로 실시할 수 있다. 얼라이언트의 정밀도는, 예를 들어,  $2 \mu\text{m}$  이하로 할 수 있다.
- [0050] 또한, 반도체기판(21c)의 오목부(21x)의 측면과 반도체기판(11c)의 측면의 사이에는 일정한 간극이 형성된다. 반도체기판(21c)의 오목부(21x) 및 반도체기판(11c)이, 예를 들어, 모두 평면에서 볼 때 원형의 경우에는, 평면에서 볼 때 링형상의 간극이 형성된다. 다음으로, 도 4f에 나타낸 구조체를, 예를 들어,  $250^\circ\text{C}$ 로 가열한 상태에서 반도체기판(11c)을 면(11b)의 방향으로부터 압압하고, 반도체기판(21c)의 오목부(21x)의 저면에 반도체기판(11c)의 면(11a)에 형성되어 있는 수지층(16)을 압착시킨다. 이로써, 수지층(16)은 경화되고 반도체기판(11c)은 반도체기판(21c)의 오목부(21x)에 접합된다. 이 가열에는  $300^\circ\text{C}$ 를 사용할 수도 있지만, 바람직하게는  $200^\circ\text{C}$  이하이다.  $300^\circ\text{C}$ 와 같은 고온을 사용하면, 열팽창의 차이에 의해 응력이 발생하고, 적층수를 늘림에 따라 박리나 반도체기판의 균열의 원인이 되기 때문이다.
- [0051] 다음으로, 도 4g에 나타낸 공정에서는 반도체기판(21c)의 면(21a)을 덮도록 감광성의 레지스트막(27)을 형성한다. 레지스트막(27)은, 예를 들어, 액상 레지스트를 반도체기판(21c)의 면(21a)에 도포함으로써 형성한다. 레지스트막(27)의 두께는, 예를 들어,  $10 \mu\text{m}$ 로 할 수 있다.
- [0052] 다음으로, 도 4h에 나타낸 공정에서는, 소정의 마스크를 이용하여 도 4g에 나타낸 레지스트막(27)을 노광하고, 다음으로 노광처리된 레지스트막(27)을 현상함으로써, 레지스트막(27)에 개구부(27x)를 형성한다. 또한, 설명의 편의상, 도 4h~도 4s까지는, 도 4g에 나타낸 구조체의 일부분(전극패드(15) 및 전극패드(25) 근방)만을 확대하여 나타내는 것으로 한다. 도 4h에서 참조부호 14 및 24는 도 4a~도 4g에서는 생략되었던 반도체집적회로(13) 및 반도체집적회로(23)상에 형성되어 있는 절연층이다. 절연층(14 및 24)은, 예를 들어,  $\text{Si}_3\text{N}_4$ 나  $\text{SiO}_2$  등

으로 구성되어 있다. 절연층(14 및 24)의 두께는, 반도체집적회로(13) 및 반도체집적회로(23)와의 전기적 절연이 달성되는, 예를 들어, 0.1 $\mu$ m~2.0 $\mu$ m로 할 수 있다.

[0053] 다음으로, 도 4i에 나타난 공정에서는 반도체기판(21c)에 비아홀(21y)을 형성한다. 비아홀(21y)은 개구부(27x)에 대응하는 부분의 반도체기판(21c)(기판본체(22), 반도체집적회로(23), 절연층(24), 전극패드(25)) 및 수지층(16)을 관통하고, 반도체기판(11c)의 전극패드(15)가 노출되도록 형성한다. 비아홀(21y)은, 예를 들어, 드라이에칭 등에 의해 형성할 수 있다. 비아홀(21y)은, 예를 들어, 평면에서 볼 때 원형이며, 그 직경( $\phi$ 4)은, 예를 들어, 1 $\mu$ m~30 $\mu$ m로 할 수 있다. 다만, 비아홀(21y)의 직경( $\phi$ 4)은 어스펙트비(=깊이(D1)/직경( $\phi$ 4))가 0.5이상 5이하가 되는 값으로 하는 것이 바람직하다. 비아홀(21y)의 직경( $\phi$ 4)을 어스펙트비(=깊이(D1)/직경( $\phi$ 4))가 0.5이상 5이하가 되는 값으로 함으로써, 비아홀(21y)을 형성할 때의 에칭의 가공속도(스루풋)의 향상이나, 비아홀(21y)에의 금속층(38)의 형성의 용이성 향상 등을 실현할 수 있기 때문이다.

[0054] 다음으로, 도 4j에 나타난 공정에서는 도 4i에 나타난 레지스트막(27)을 제거한다. 다음으로, 도 4k에 나타난 공정에서는 절연층(24)의 상면, 전극패드(25)의 상면 및 측면, 비아홀(21y)의 벽면, 비아홀(21y)의 저부에 노출하는 전극패드(15)의 상면을 덮도록 절연층(28)을 형성한다. 절연층(28)은, 예를 들어, 플라즈마CVD법 등에 의해 형성할 수 있다. 절연층(28)의 재료로서는, 예를 들어 Si<sub>3</sub>N<sub>4</sub>나 SiO<sub>2</sub> 등을 사용할 수 있다. 절연층(28)의 두께는, 예를 들어 0.1 $\mu$ m~2.0 $\mu$ m로 할 수 있다.

[0055] 다음으로, 도 4l에 나타난 공정에서는 비아홀(21y)의 벽면을 제외한 부분의 절연층(28)을 제거한다. 절연층(28)의 제거는, 예를 들어, RIE(Reactive Ion Etching)에 의해 실시할 수 있다. 이 공정은 포토마스크를 사용하지 않고 절연층(28)의 소정 부분만을 제거하는 공정으로서, 셀프얼라인프로세스라고도 한다. 셀프얼라인프로세스에 의해 비아홀(21y)과 전극패드(25)를 정확하게 위치결정할 수 있다. 또한, 부분적으로 전극패드를 마련하지 않는 설계를 이용함으로써, 예를 들어, 전극패드가 없는 곳은 에칭이 진행되고, 나아가 하층에 형성한 상이한 반도체기판의 전극패드까지 에칭되어 깊이가 상이한 비아홀을 형성할 수 있다.

[0056] 다음으로, 도 4m에 나타난 공정에서는, 절연층(24)의 상면, 전극패드(25)의 상면 및 측면, 절연층(28)의 상면, 비아홀(21y)의 저부에 노출하는 전극패드(15)의 상면을 덮도록 금속층(29)을 형성한다. 금속층(29)은, 예를 들어, 무전해도금법 등에 의해 형성할 수 있다. 또한, 금속층(29)은, 예를 들어, 스퍼터링법, CVD법 등을 이용하여 형성하여도 된다. 금속층(29)으로서, 예를 들어, Ti층상에 Cu층을 적층한 적층체 등을 사용할 수 있다. 또한, 금속층(29)으로서, 예를 들어, Ta층상에 Cu층을 적층한 적층체 등을 이용하여도 된다. 또한, 매립하는 재료는 설계기준을 만족하는 도체이면 되고, Cu대신에 W나 Al, 또는 도핑된 폴리실리콘, 혹은 카본나 노튜브 등의 탄소재료나 도전성폴리머의 어느 하나를 사용할 수 있다. 또한, 절연층의 절연성이 충분한 경우에는, 비아금속층을 이용하지 않는 매립 배선의 조합을 선택할 수 있다.

[0057] 다음으로, 도 4n에 나타난 공정에서는 비아홀(21y)의 내부를 제외한 금속층(29)의 상면을 덮도록 감광성의 레지스트막(37)을 형성한다. 레지스트막(37)은, 예를 들어, 드라이필름 레지스트를 금속층(29)의 상면에 부착함으로써 형성할 수 있다. 레지스트막(37)의 두께는, 예를 들어, 10 $\mu$ m로 할 수 있다. 다음으로, 도 4o에 나타난 공정에서는 소정의 마스크를 이용하여 도 4n에 나타난 레지스트막(37)을 노광하고, 계속하여 노광처리된 레지스트막(37)을 현상함으로써 레지스트막(37)에 개구부(37x)를 형성한다. 개구부(37x)는, 예를 들어, 평면에서 볼 때 원형이고, 그 직경( $\phi$ 5)은, 예를 들어, 1 $\mu$ m~30 $\mu$ m로 할 수 있다.

[0058] 다음으로, 도 4p에 나타난 공정에서는 도 4o에 나타난 비아홀(21y)의 내부 및 개구부(37x)의 일부에 금속층(38)을 형성한다. 금속층(38)은, 예를 들어, 금속층(29)을 급전층으로 하는 전해도금법에 의해, 도 4o에 나타난 비아홀(21y)의 내부 및 개구부(37x)의 일부를 충전하도록 도금막을 석출성장시킴으로써 형성할 수 있다. 금속층(38)을 구성하는 도금막으로서, 예를 들어, Cu도금막을 사용할 수 있다. 다음으로, 도 4q에 나타난 공정에서는, 도 4p에 나타난 레지스트막(37)을 제거한다.

[0059] 다음으로, 도 4r에 나타난 공정에서는 금속층(38)으로 덮이지 않은 부분의 금속층(29)을 제거한다. 금속층(29)은, 예를 들어, 웨트에칭 등에 의해 제거할 수 있다. 다음으로, 도 4s에 나타난 공정에서는 전극패드(25) 및 금속층(38)을 덮도록 금속층(39)을 형성한다. 금속층(39)은, 예를 들어, 절연층(24)상에 전극패드(25) 및 금속층(38)을 개구하는 레지스트막을 형성하고, 전극패드(25) 및 금속층(38)을 급전층으로 하는 전해도금법에 의해 개구부를 충전하도록 도금막을 석출성장시키고, 그 후 레지스트막을 제거함으로써 형성할 수 있다. 금속층(39)으로서, 예를 들어, Ti층상에 Au층을 적층한 적층체 등을 사용할 수 있다. 또한, 금속층(39)으로서, 예를 들어, Ni층상에 Pd층, Au층을 순차 적층한 적층체, Ni 대신에 Co, Ta, Ti, TiN 등의 고용점 금속으로 이루어지는 층을 이용하고 이 층상에 Cu층 혹은 Al층을 적층한 적층체 혹은 다마신 구조형상의 배선 등을 이용하여도

된다.

- [0060] 다음으로, 도 4t에 나타난 공정에서는, 반도체장치(21c)의 바깥가장자리부를 제거한다. 바깥가장자리부를 제거한 후의 반도체기판(21c)을 반도체기판(21d)로 한다. 바깥가장자리부의 제거는, 예를 들어, 바깥가장자리부를 제거한 후의 반도체기판(21d)이 평면에서 볼 때 원형이 되도록, 반도체기판(21c)의 바깥가장자리부를 그라인더 등을 이용하여 연삭한다. 이 때, 드라이폴리싱이나 웨트etching 등을 병용하여도 된다. 바깥가장자리부를 제거한 후의 반도체기판(21d)을, 예를 들어, 평면에서 볼 때 원형으로 한 경우에는, 반도체기판(21d)의 평면에서 볼 때 원형부분의 직경( $\phi 6$ )은, 예를 들어, 반도체기판(11c)의 평면에서 볼 때 원형부분의 직경( $\phi 2$ )과 마찬가지로,  $193.0 \pm 0.1\text{mm}$ 로 할 수 있다.
- [0061] 다음으로, 반도체기판(21d)의 면(21a)에 수지층(26)을 형성한 후, 도 4a 및 도 4b에 나타난 반도체기판(11)과 동일한 형태인 반도체기판(31)을 준비한다. 그리고, 도 4e~도 4t에 나타난 공정을 반복한다. 나아가, 반도체기판(41~71)에 대하여도 동일한 공정을 반복한다. 그리고, 마지막으로 주지의 방법으로 외부접속단자(91)를 형성한다. 외부접속단자(91)를 형성하는 경우에는, 금속층(39)으로서, 예를 들어, Ni층을 형성한다. 그리고, Ni층을 노출하는 개구부(76x)를 갖는 솔더레지스트층(76)을 형성하고, 개구부(76x)내에 노출하는 Ni층상에 외부접속단자(91)를 형성한다.
- [0062] 외부접속단자(91)는 반도체장치(10)와 반도체장치(10)의 외부에 형성된 배선기판 등을 전기적으로 접속하기 위하여 형성된 단자이다. 외부접속단자(91)로서는, 뿔납볼, Au범프, 도전성페이스트 등을 사용할 수 있다. 외부접속단자(91)로서 뿔납볼을 사용한 경우에는, 외부접속단자(91)의 재료로는, 예를 들어, Pb를 포함하는 합금, Sn과 Cu의 합금, Sn과 Ag의 합금, Sn과 Ag와 Cu의 합금 등을 사용할 수 있다.
- [0063] 이와 같이 하여 도 3에 나타난 반도체장치(10)가 제조된다. 반도체장치(10)는 절단위치 C에서 다이싱블레이드 등에 의해 절단되어 개편화됨으로써 최종제품의 형태가 된다.
- [0064] 본발명의 제 1 실시형태에 의하면, 박형화하지 않고 바깥가장자리부만을 제거(소직경화)한 제 1 반도체기판을 준비한다. 또한, 바깥가장자리부만을 남기고, 중심부 근방을 박형화하도록 오목부를 형성한 제 2 반도체기판을 준비한다. 그리고, 제 1 반도체기판에 제 2 반도체기판의 오목부를 접합하고, 박형화된 제 2 반도체기판을 관통하는 비아홀을 형성하여, 제 1 및 제 2 반도체기판의 반도체칩의 전극패드끼리를 비아홀에 충전된 금속층을 통하여 전기적으로 접속한다. 그리고, 제 2 반도체기판의 바깥가장자리부를 제거한다. 나아가, 제 2 반도체기판과 동일하게 바깥가장자리부만을 남기고, 중심부 근방을 박형화하도록 오목부를 형성한 제 3 반도체기판을 준비한다. 그리고, 제 2 반도체기판에 제 3 반도체기판의 오목부를 접합하고, 박형화된 제 3 반도체기판을 관통하는 비아홀을 형성하여, 제 2 및 제 3 반도체기판의 반도체칩의 전극패드끼리를 비아홀에 충전된 금속층을 통하여 전기적으로 접속한다. 그리고, 제 3 반도체기판의 바깥가장자리부를 제거한다.
- [0065] 이와 동일한 공정을 반복함으로써, 복수의 반도체기판을 적층하고, 상이한 층의 반도체기판을 구성하는 반도체칩끼리를 신호전달가능하게 접속할 수 있다. 이 때, 종래와 같이 반도체기판에 지지체를 접합 및 제거한다고 하는, 통상적인 반도체장치에 있어서의 웨이퍼프로세스와는 상이한 공정이 필요없어지기 때문에, 생산성이 높고 제조비용의 저감을 도모할 수 있는 반도체장치의 제조방법을 제공할 수 있다. 또한, 준비한 제 1 반도체기판의 직경이 제 2 반도체기판의 오목부의 저면의 직경보다 작은 경우에는, 제 1 반도체기판의 바깥가장자리부를 제거함이 없이 본발명에 관련된 상하배선방식을 적용할 수 있다.
- [0066] 또한, 본발명의 제 1 실시형태에 의하면, 반도체기판끼리를 접속할 때에, 비아홀에 범프를 형성하는 공정이 필요없어지기 때문에, 생산성이 높고 제조비용의 저감을 도모할 수 있는 반도체장치의 제조방법을 제공할 수 있다.
- [0067] 또한, 본발명의 제 1 실시형태에 의하면, 반도체집적회로가 형성되어 있는 면과 반도체집적회로가 형성되어 있지 않은 면이 대향하도록 반도체기판끼리를 접합하기 때문에, 단순하게 동일한 공정을 반복하는 것만으로 3개 이상의 반도체기판을 적층하는 것이 가능해지고, 생산성이 높고 제조비용의 저감을 도모할 수 있는 반도체장치의 제조방법을 제공할 수 있다.
- [0068] 또한, 본발명의 제 1 실시형태에 의하면, 비아홀은 반도체기판의 박형화된 부분에만 형성되고, 깊은 비아홀을 형성할 필요가 없기 때문에, 비아홀의 구멍가공이나 금속충전의 시간이 길어지거나, 또는 필요한 재료가 증가하거나 하는 일이 없고, 반도체장치의 제조비용의 상승을 방지할 수 있다.
- [0069] 또한, 본발명의 제 1 실시형태에 의하면, 반도체기판을 박형화하고 나서 비아홀을 형성하기 때문에, 비아홀의 사이즈나 밀도가 달라도 비아홀 선단부분의 직경이 변하는 정도를 경감하는 것이 가능해지고, 전기적 접속시의

저항값의 편차를 경감하여 신뢰성을 향상시킬 수 있다.

- [0070] <제 1 실시형태의 변형예>
- [0071] 제 1 실시형태에서는 반도체기판(21)의 면(21b)에 반도체기판(21)의 바깥가장자리부(복수의 반도체칩 형성영역 A를 제외한 부분)만을 남기고, 중심부 근방(복수의 반도체칩 형성영역 A를 포함하는 부분)을 박형화하도록 오목부(21x)를 형성함으로써, 오목부(21x)를 형성한 후의 반도체기판(21c)가 충분한 강성을 유지하는 예를 나타내었다. 그러나, 오목부(21x)를 형성하지 않고 반도체기판(21)의 면(21b)측 전체를 박형화하여도 된다. 이 경우에는 다음과 같은 제조공정으로 할 수 있다.
- [0072] 도 5a~도 5d는 본발명의 제 1 실시형태의 변형예에 관련된 반도체장치의 제조공정을 예시하는 도면이다. 도 5a~도 5d에 있어서, 도 3에 나타난 반도체장치(10)과 동일한 구성부분에는 동일한 참조부호를 부여하고, 그 설명을 생략하는 경우가 있다.
- [0073] 먼저, 도 4a 및 도 4b에 나타난 반도체기판(11)을 준비한다. 다음으로, 도 5a에 나타난 공정에서는 반도체기판(11)의 바깥가장자리부(11x)를 제거하지 않고, 반도체기판(11)의 면(11a)에 수지층(16)을 형성한다. 이 때, 도 4d에 나타난 공정과 마찬가지로, 반도체기판(11c)의 면(11b)을 기준면으로 하여, 기준면에 대한 수지층(16)의 면(16a)의 높이(H1)의 편차가 1 $\mu$ m이하인 것이 바람직하다. 따라서, 수지층(16)을 형성한 후, 높이(H1)의 편차를 확인하는 공정을 형성하는 것이 바람직하다. 높이(H1)의 편차가 1 $\mu$ m를 초과하는 경우에는, 높이(H1)의 편차가 1 $\mu$ m이하가 되도록 수지층(16)의 면(16a)를 가공하는 공정을 형성하는 것이 바람직하다. 수지층(16)의 면(16a)은, 예를 들어, CMP 등에 의해 가공할 수 있다.
- [0074] 또한, 이미 n장의 반도체기판이 적층되어 그 최상층(제n층)의 반도체기판상에 수지층을 형성하는 경우에는, 최하층의 반도체기판의 배면(디바이스가 형성되어 있지 않은 쪽의 면)을 기준면으로 하여, 기준면에 대하여 수지층의 상면이 평행인 것이 바람직하다. 이 경우의 평행이란, 기준면에 대한 수지층의 상면의 높이의 편차가(1 $\times$ n) $\mu$ m이하인 것을 말한다. 즉, 전술한 바와 같이, 1매의 반도체기판상에 수지층을 형성하는 경우에는, 기준면에 대한 수지층의 상면의 높이의 편차는 1 $\times$ 1=1 $\mu$ m이하인 것이 바람직하고, 예를 들어 10매 적층한 반도체기판상에 수지층을 형성하는 경우에는, 기준면(최하층의 반도체기판의 배면)에 대한 수지층의 상면의 높이의 편차는 1 $\times$ 10=10 $\mu$ m이하인 것이 바람직하다.
- [0075] 다음으로, 도 5b에 나타난 공정에서는, 도 4a 및 도 4b에 나타난 반도체기판(11)과 동일한 형태인 반도체기판(21)을 준비한다. 그리고, 반도체기판(21)의 면(21a)에 접착층(96)을 형성하여 지지체(97)을 접합(가접착)한다. 지지체(97)로서는, 얼라이언트시에 광이 투과하는 기판을 사용하는 것이 바람직하고, 예를 들어, 석영유리 기판 등을 사용할 수 있다. 접착층(96)으로서는, 후술하는 도 5d에 나타난 공정에서 가열하는 온도에서 연화하는 접착제(200 $^{\circ}$ C 정도 또는 이 이하에서 연화하는 접착제)를 사용할 수 있다. 접착층(96)은, 예를 들어, 스피노팅법에 의해 반도체기판(21)의 면(21a)에 형성할 수 있다. 접착층(96)은 스피노팅법 대신에 필름형상의 접착제를 부착하는 방법을 이용하여 반도체기판(21)의 면(21a)에 형성하여도 된다.
- [0076] 다음으로, 도 5c에 나타난 공정에서는, 반도체기판(21)의 면(21b)측 전체를 박형화한다. 박형화 후의 반도체기판(21)을 반도체기판(21c)으로 한다. 박형화는, 예를 들어, 반도체기판(21)의 면(21b)를 그라인더 등을 이용해 연삭함으로써 실현될 수 있다. 이 때, 드라이폴리싱이나 웨트에칭 등을 병용하여도 된다. 반도체기판(21c)의 박형화된 부분의 두께(T3)는, 예를 들어, 1 $\mu$ m~100 $\mu$ m정도로 할 수 있지만, 강도의 관점에서는 10 $\mu$ m~50 $\mu$ m정도로 하는 것이 바람직하다. 반도체기판(21c)의 박형화된 부분의 두께(T3)를 10 $\mu$ m~50 $\mu$ m정도로 함으로써, 기계적 진동 등에 의한 파괴나 반도체칩에 대한 응력이 저감되기 때문이다. 지지체(97)는 박형화되어 강성이 저하된 반도체기판(21c)을 지지하는 기능을 갖는다. 반도체기판(21c)의 박형화된 부분의 두께(T3)를 1 $\mu$ m이상으로 하는 이유는 앞서 설명한 바와 같다.
- [0077] 다음으로, 도 5d에 나타난 공정에서는 반도체기판(21c)의 면(21b)에 반도체기판(11)의 면(11a)에 형성되어 있는 수지층(16)의 면(16a)이 접하도록 반도체기판(11)상에 지지체(97)를 갖는 반도체기판(21c)을 배치한다. 반도체기판(11) 및 반도체기판(21c)의, 예를 들어, 스크라이브 영역 B에는 위치맞춤을 정밀하게 실시하기 위한 얼라이언트마크가 미리 형성되어 있다. 반도체기판(11)상에서의 지지체(97)를 갖는 반도체기판(21c)의 배치는 얼라이언트마크를 기준으로 하여 주지의 방법으로 실시할 수 있다. 얼라이언트의 정밀도는, 예를 들어, 2 $\mu$ m이하로 할 수 있다. 그리고, 예를 들어, 250 $^{\circ}$ C에서 가열한 상태에서 도 5d에 나타난 구조체를 지지체(97)의 방향으로부터 압압하고, 반도체기판(21c)의 면(21b)에 반도체기판(11)의 면(11a)에 형성되어 있는 수지층(16)의 면(16a)을 압착시킨다. 이로써, 수지층(16)이 경화하여 반도체기판(11)은 반도체기판(21c)의 면(21b)측에 접합

된다. 이 가열에는 300℃를 사용할 수도 있지만, 바람직하게는 200℃이하이다. 300℃와 같은 고온을 사용하면 열팽창의 차이에 의해 응력이 발생하고, 적층수를 늘림에 따라 박리나 반도체기판의 균열의 원인이 되기 때문이다. 또한, 접착층(96)은 도 5d에 나타낸 공정에서 가열하는 온도로 연화하는 접착제(200℃정도 또는 이하에서 연화하는 접착제)를 이용하고 있기 때문에, 지지체(97)는 반도체기판끼리(11 및 21c)를 접합한 후, 용이하게 제거할 수 있다.

[0078] 다음으로, 제 1 실시형태의 도 4g와 동일한 공정에 의해 반도체기판(21c)의 면(21a)을 덮도록 감광성의 레지스트막(27)을 형성한다. 레지스트막(27)은, 예를 들어, 액상 레지스트를 반도체기판(21c)의 면(21a)에 도포함으로써 형성한다. 레지스트막(27)의 두께는, 예를 들어, 10 $\mu$ m로 할 수 있다. 이후, 제 1 실시형태의 도 4h~도 4t와 동일한 공정을 실시한다.

[0079] 다음으로, 반도체기판(21c)의 면(21a)에 수지층(26)을 형성한 후, 도 4a 및 도 4b에 나타낸 반도체기판(11)과 동일한 형태인 반도체기판(31)을 준비한다. 그리고, 상술한 공정 및 도 4h~도 4t에 나타낸 공정을 반복한다. 나아가, 반도체기판(41~71)에 대하여도 동일한 공정을 반복한다. 그리고, 마지막으로 주지의 방법으로 외부 접속단자(91)를 형성한다. 외부접속단자(91)를 형성하는 경우에는 금속층(39)으로서, 예를 들어, Ni층을 형성한다. 그리고, Ni층을 노출하는 개구부(76x)를 갖는 솔더레지스트층(76)을 형성하고, 개구부(76x)내에 노출하는 Ni층상에 외부접속단자(91)를 형성함으로써, 도 3에 나타낸 반도체장치(10)에 상당하는 반도체장치가 제조된다. 다만, 제조된 반도체장치에 있어서, 적층된 각 반도체기판의 바깥가장자리부는 제거되어 있지 않다. 제조된 반도체장치는, 절단위치 C에서 다이싱블레이드 등에 의해 절단되어 개편화됨으로써 최종제품의 형태가 된다.

[0080] 본발명의 제1 실시형태의 변형예에 의하면, 박형화하지 않은 제 1 반도체기판을 준비한다. 또한, 박형화한 제 2 반도체기판을 준비한다. 그리고, 제 1 반도체기판에 제 2 반도체기판을 접합하고, 박형화된 제 2 반도체기판을 관통하는 비아홀을 형성하여, 제 1 및 제 2 반도체기판의 반도체칩의 전극패드끼리를 비아홀에 충전된 금속층을 통하여 전기적으로 접속한다. 나아가, 박형화한 제 3 반도체기판을 준비한다. 그리고, 제 2 반도체기판에 제 3 반도체기판을 접합하고, 박형화된 제 3 반도체기판을 관통하는 비아홀을 형성하여, 제 2 및 제 3 반도체기판의 반도체칩의 전극패드끼리를 비아홀에 충전된 금속층을 통하여 전기적으로 접속한다.

[0081] 이와 같은 공정을 반복함으로써, 복수의 반도체기판을 적층하고, 상이한 층의 반도체기판을 구성하는 반도체칩끼리를 신호전달가능하게 접속할 수 있다. 그 결과, 반도체기판끼리를 접속할 때에 비아홀에 범프를 형성하는 공정이 필요없어지기 때문에, 생산성이 높고 제조비용의 저감을 도모할 수 있는 반도체장치의 제조방법을 제공할 수 있다.

[0082] 또한, 본발명의 제 1 실시형태의 변형예에 의하면, 반도체집적회로가 형성되어 있는 면과 반도체집적회로가 형성되어 있지 않은 면이 대향하도록 반도체기판끼리를 접합시키기 때문에, 단순히 동일한 공정을 반복하는 것으로 3개 이상의 반도체기판을 적층하는 것이 가능해지고, 생산성이 높고 제조비용의 저감을 도모할 수 있는 반도체장치의 제조방법을 제공할 수 있다.

[0083] 또한, 본발명의 제 1 실시형태의 변형예에 의하면, 비아홀은 반도체기판의 박형화된 부분에만 형성되어 깊은 비아홀을 형성할 필요가 없기 때문에, 비아홀의 구멍가공이나 금속충전의 시간이 길어지거나, 또한 필요한 재료가 증가하거나 하지 않고, 반도체장치의 제조비용의 상승을 방지할 수 있다.

[0084] 또한, 본발명의 제 1 실시형태의 변형예에 의하면, 반도체기판을 박형화하고 나서 비아홀을 형성하기 때문에, 비아홀의 사이즈나 밀도가 달라도 비아홀 선단부분의 직경이 변하는 정도를 경감하는 것이 가능하고, 전기적 접속시의 저항값의 편차를 경감하여 신뢰성을 향상시킬 수 있다.

[0085] <제 2 실시형태>

[0086] [본발명의 제 2 실시형태에 관련된 반도체장치의 구조]

[0087] 먼저, 본발명의 제 2 실시형태에 관련된 반도체장치의 구조에 대하여 설명한다. 도 6은 본발명의 제 2 실시형태에 관련된 반도체장치를 예시하는 단면도이다. 도 6에서 도 3과 동일한 구성부에는 동일한 참조부호를 부여하고, 그 설명은 생략하는 경우가 있다. 본발명의 제 2 실시형태에 관련된 반도체장치(10A)는 인접하는 반도체기판의 금속패드끼리를 접속하는 비아홀 및 금속층이 1개에서 4개로 변경된 점을 제외하고는, 본발명의 제 1 실시형태에 관련된 반도체장치(10)와 동일하게 구성된다.

[0088] 도 6에 있어서, 참조부호 21z~71z는 비아홀을, 참조부호 38a~88a는 비아홀(21z~71z)을 충전하는 금속층을 나타

내고 있다. 비아홀 및 금속층은 각 반도체기판의 1개의 금속패드에 대하여 4개씩 형성되어 있다.

[0089] 이와 같이, 1개의 금속패드에 대하여 복수개의 비아홀 및 금속층을 형성함으로써, 금속패드끼리의 접속신뢰성을 향상시킬 수 있다. 또한, 바로 아래의 반도체기판에 금속패드를 설계하지 않으면, 하나 이상의 하층의 반도체기판에 대하여 비아홀 및 금속층을 형성할 수 있다. 이 방식에서는 동일한 전기신호 혹은 상이한 전기신호를 원하는 반도체기판에 접속할 수 있다. 또한, 비아홀 직경이 작아지기 때문에, 비아홀 및 금속층을 형성하는 공정에 필요한 시간을 단축할 수 있다. 또한, 1개의 금속패드에 대하여 형성되는 비아홀 및 금속층의 수는 2개, 3개 또는 5개 이상이어도 된다.

[0090] [본발명의 제 2 실시형태에 관련된 반도체장치의 제조공정]

[0091] 그 다음으로, 본발명의 제 2 실시형태에 관련된 반도체장치의 제조공정에 대하여 설명한다. 도 7a~도 7f는 본발명의 제 2 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면이다. 도 7a~도 7f에 있어서, 도 6에 나타난 반도체장치(10A)와 동일한 구성부분에는 동일한 참조부호를 부여하고, 그 설명을 생략하는 경우가 있다. 또한, 본발명의 제 1 실시형태에 관련된 반도체장치의 제조공정과 유사한 부분에 관하여는 설명을 생략하는 경우가 있다.

[0092] 먼저, 도 4a~도 4g와 동일한 공정을 실시한다. 다음으로, 도 7a 및 도 7b에 나타난 공정에서는 소정의 마스크를 이용하여 도 4g에 나타난 레지스트막(27)을 노광하고, 다음으로 노광처리된 레지스트막(27)을 현상함으로써, 레지스트막(27)에 개구부(27y)를 형성한다. 도 7a는 단면도이며, 도 7b는 평면도이다. 또한, 설명의 편의상 도 7a~도 7f까지는 도 4g에 나타난 구조체의 일부분(전극패드(15) 및 전극패드(25)의 근방)만을 확대하여 나타내는 것으로 한다.

[0093] 다음으로, 도 7c에 나타난 공정에서는, 반도체기판(21c)에 비아홀(21z)을 형성한다. 비아홀(21z)은 개구부(27y)에 대응하는 부분의 반도체기판(21c)(기판본체(22), 반도체집적회로(23), 절연층(24), 전극패드(25)) 및 수지층(16)을 관통하고, 반도체기판(11c)의 전극패드(15)가 노출되도록 형성한다. 비아홀(21z)은, 예를 들어, 드라이에칭 등에 의해 형성할 수 있다. 비아홀(21z)은, 예를 들어, 평면에서 볼 때 원형이며, 그 직경( $\phi 7$ )은, 예를 들어  $1\mu\text{m}\sim 10\mu\text{m}$ 로 할 수 있다. 다만, 비아홀(21z)의 직경( $\phi 7$ )은 어스펙트비(=깊이(D2)/직경( $\phi 7$ ))가 0.5이상 5이하의 값이 되도록 하는 것이 바람직하다. 비아홀(21z)의 직경( $\phi 7$ )을 어스펙트비(=깊이(D2)/직경( $\phi 7$ ))가 0.5이상 5이하가 되는 값으로 함으로써, 비아홀(21z)을 형성할 때의 에칭의 가공속도(스루풋)의 향상이나, 비아홀(21z)에 대한 금속층(38a)의 매립의 용이성의 향상 등을 실현할 수 있기 때문이다.

[0094] 다음으로, 도 7d에 나타난 공정에서는 도 7c에 나타난 레지스트막(27)을 제거한다. 다음으로, 도 4k~도 4q와 동일한 공정을 실시하고, 도 7e에 나타난 바와 같이 비아홀(21z)에 금속층(38a)을 충전한다. 다음으로, 금속층(38a)으로 덮이지 않은 부분의 금속층(29)을, 예를 들어, 웨트에칭 등에 의해 제거한 후, 도 7f에 나타난 바와 같이 전극패드(25) 및 금속층(38a)를 덮도록 금속층(39)을 형성한다. 금속층(39)은, 예를 들어, 절연층(24)상에 전극패드(25) 및 금속층(38a)을 개구하는 레지스트막을 형성하고, 전극패드(25) 및 금속층(38a)를 급전층으로 하는 전해도금법에 의해 개구부를 충전하도록 도금막을 석출성장시키고, 그 후 레지스트막을 제거함으로써 형성할 수 있다.

[0095] 이후, 제 1 실시형태와 동일한 공정을 반복함으로써, 도 6에 나타난 반도체장치(10A)가 제조된다. 반도체장치(10A)는 절단위치 C에서 다이싱블레이드 등에 의해 절단되어 개편화됨으로써 최종제품의 형태가 된다.

[0096] 본발명의 제 2 실시형태에 의하면, 본발명의 제 1 실시형태와 동일한 효과를 발휘한다. 더욱이, 비아홀 직경이 작아지기 때문에, 비아홀 및 금속층을 형성하는 공정에 필요로 하는 시간을 단축할 수 있음과 동시에, 1개의 금속패드에 대하여 복수개의 비아홀 및 금속층을 형성하는 함으로써 금속패드끼리의 접속신뢰성을 향상시킬 수 있다.

[0097] <제 3 실시형태>

[0098] [본발명의 제 3 실시형태에 관련된 반도체장치의 구조]

[0099] 먼저, 본발명의 제 3 실시형태에 관련된 반도체장치의 구조에 대하여 설명한다. 도 8은 본발명의 제 3 실시형태에 관련된 반도체장치를 예시하는 단면도이다. 도 8에서, 도 6과 동일한 구성부분에는 동일한 참조부호를 부여하고, 그 설명은 생략하는 경우가 있다. 본발명의 제 3 실시형태에 관련된 반도체장치(10B)는 본발명의 제 2 실시형태에 관련된 반도체장치(10A)에서는 4개의 비아홀 및 금속층에 대하여 1개 형성되어 있던 금속패드를 1개의 비아홀 및 금속층에 대하여 1개 형성하도록 한 점을 제외하고는, 본발명의 제 2 실시형태에 관련된 반

도체장치(10A)와 마찬가지로 구성된다.

[0100] 도 8에 있어서, 참조부호 15a 및 15b ~ 75a 및 75b는 금속패드를 나타내고 있다. 금속패드는 1개의 비아홀 및 금속층에 대하여 1개씩 형성되어 있다.

[0101] 이와 같이, 1개의 금속패드에 대하여 1개의 비아홀 및 금속층을 형성함으로써, 인접하는 금속패드에 동일한 신호를 할당한 경우에는 제 2 실시형태와 마찬가지로 금속패드끼리의 접속신뢰성을 향상시킬 수 있다. 또한, 인접하는 금속패드에 상이한 신호를 할당한 경우에는 배선설계의 자유도를 높일 수 있다.

[0102] [본발명의 제 3 실시형태에 관련된 반도체장치의 제조공정]

[0103] 다음으로, 본발명의 제 3 실시형태에 관련된 반도체장치의 제조공정에 대하여 설명한다. 도 9a~도 9f는 본발명의 제 3 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면이다. 도 9a~도 9f에 있어서, 도 8에 나타난 반도체장치(10B)와 동일한 구성부분에는 동일한 참조부호를 부여하고, 그 설명을 생략하는 경우가 있다. 또한, 본발명의 제 1 실시형태 또는 제 2 실시형태에 관련된 반도체장치의 제조공정과 유사한 부분에 관하여는 설명을 생략하는 경우가 있다.

[0104] 먼저, 도 4a~도 4g와 동일한 공정을 실시한다. 다음으로, 도 9a 및 도 9b에 나타난 공정에서는, 소정의 마스크를 이용하여 도 4g에 나타난 레지스트막(27)을 노광하고, 그 다음으로 노광처리된 레지스트막(27)을 현상함으로써, 레지스트막(27)에 개구부(27y)를 형성한다. 도 9a는 단면도이며, 도 9b는 평면도이다. 또한, 설명의 편의상, 도 9a~도 9f까지는, 도 4g에 나타난 구조체의 일부분(전극패드(15) 및 전극패드(25)의 근방)만을 확대하여 나타내는 것으로 한다.

[0105] 다음으로, 도 9c에 나타난 공정에서는 반도체기판(21c)에 비아홀(21z)을 형성한다. 비아홀(21z)은 개구부(27y)에 대응하는 부분의 반도체기판(21c)(기판본체(22), 반도체집적회로(23), 절연층(24), 전극패드(25)) 및 수지층(16)을 관통하고, 반도체기판(11c)의 전극패드(15a 및 15b)가 노출되도록 형성한다. 비아홀(21z)은, 예를 들어, 드라이에칭 등에 의해 형성할 수 있다. 비아홀(21z)은, 예를 들어, 평면에서 볼 때 원형이며, 그 직경( $\phi 7$ )은, 예를 들어,  $1\mu\text{m}$ ~ $10\mu\text{m}$ 로 할 수 있다. 다만, 비아홀(21z)의 직경( $\phi 7$ )은 어스펙트비(=깊이(D2)/직경( $\phi 7$ ))가 0.5이상 5이하가 되는 값으로 하는 것이 바람직하다. 비아홀(21z)의 직경( $\phi 7$ )을 어스펙트비(=깊이(D2)/직경( $\phi 7$ ))가 0.5이상 5이하가 되는 값으로 함으로써, 비아홀(21z)을 형성할 때의 에칭의 가공속도(스루풋)의 향상이나, 비아홀(21z)에 대한 금속층(38b)의 매립 용이성의 향상 등을 실현할 수 있기 때문이다.

[0106] 다음으로, 도 9d에 나타난 공정에서는 도 9c에 나타난 레지스트막(27)을 제거한다. 다음으로, 도 4k~도 4q와 동일한 공정을 실시하고, 도 9e에 나타난 바와 같이 비아홀(21z)에 금속층(38b)을 충전한다. 다음으로, 금속층(38b)으로 덮이지 않은 부분의 금속층(29)을, 예를 들어, 웨트에칭 등에 의해 제거한 후, 도 9f에 나타난 바와 같이 전극패드(25) 및 금속층(38b)을 덮도록 금속층(39a)을 형성한다. 금속층(39a)은, 예를 들어, 절연층(24)상에 전극패드(25) 및 금속층(38b)을 개구하는 레지스트막을 형성하고, 전극패드(25) 및 금속층(38b)을 급전층으로 하는 전해도금법에 의해 개구부를 충전하도록 도금막을 석출성장시킨 후, 레지스트막을 제거함으로써 형성할 수 있다.

[0107] 이후, 제 1 실시형태와 동일한 공정을 반복함으로써, 도 8에 나타난 반도체장치(10B)가 제조된다. 반도체장치(10B)는 절단위치 C에서 다이싱블레이드 등에 의해 절단되어 개편화됨으로써 최종제품의 형태가 된다.

[0108] 본발명의 제 3 실시형태에 의하면, 본발명의 제 1 실시형태와 동일한 효과를 발휘한다. 더욱이, 인접하는 금속패드에 동일한 신호를 할당한 경우에는, 제 2 실시형태와 마찬가지로 금속패드끼리의 접속신뢰성을 향상시킬 수 있다. 또한, 인접하는 금속패드에 상이한 신호를 할당한 경우에는, 배선설계의 자유도를 높일 수 있다.

[0109] <제 4 실시형태>

[0110] [본발명의 제 4 실시형태에 관련된 반도체장치의 구조]

[0111] 먼저, 본발명의 제 4 실시형태에 관련된 반도체장치의 구조에 대하여 설명한다. 도 10은 본발명의 제 4 실시형태에 관련된 반도체장치를 예시하는 단면도이다. 도 10에서 도 8과 동일한 구성부분에는 동일한 참조부호를 부여하고, 그 설명은 생략하는 경우가 있다. 본발명의 제 4 실시형태에 관련된 반도체장치(10C)는 본발명의 제 3 실시형태에 관련된 반도체장치(10B)에서는 모든 반도체기판의 모든 비아홀에 대응하는 위치에 형성되고 있던 금속패드의 일부를 설치하지 않고, 금속패드가 형성된 반도체기판끼리를 비아홀 및 금속층으로 직접 접속하



고 있다는 점을 제외하고는, 본발명의 제 3 실시형태에 관련된 반도체장치(10B)와 동일하게 구성된다.

[0112] 이와 같이, 금속패드를 일부의 반도체기판에만 형성함으로써, 인접하고 있지 않은 반도체기판끼리를 비아홀 및 금속층에서 직접 접속할 수 있기 때문에 배선설계의 자유도를 높일 수 있다.

[0113] [본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정]

[0114] 다음으로, 본발명의 제 4 실시형태에 관련된 반도체장치의 제조공정에 대하여 설명한다. 도 11a~도 11h는 본 발명의 제 4 실시형태에 관련된 반도체장치의 제조공정을 예시하는 도면이다. 도 11a~도 11h에서 도 10에 나타난 반도체장치(10C)와 동일한 구성부분에는 동일한 참조부호를 부여하고, 그 설명을 생략하는 경우가 있다. 또한, 본발명의 제 1 실시형태 내지 제 3 실시형태와 관련된 반도체장치의 제조공정과 유사한 부분에 관하여는 설명을 생략하는 경우가 있다.

[0115] 먼저, 도 4a~도 4g와 동일한 공정을 실시한다. 다음으로, 도 11a 및 도 11b에 나타난 공정에서는 소정의 마스크를 이용하여 도 4g에 나타난 레지스트막(27)을 노광하고, 그 다음으로 노광처리된 레지스트막(27)을 현상함으로써, 레지스트막(27)에 개구부(27z)를 형성한다. 도 11a는 단면도이며, 도 11b는 평면도이다. 또한, 설명의 편의상, 도 11a~도 11h은 도 4g에 나타난 구조체의 일부분(전극패드(15) 및 전극패드(25)의 근방)만을 확대하여 나타내는 것으로 한다.

[0116] 다음으로, 도 11c에 나타난 공정에서는 반도체기판(21c)에 비아홀(21z)을 형성한다. 비아홀(21z)은 개구부(27z)에 대응하는 부분의 반도체기판(21c)(기판본체(22), 반도체집적회로(23), 절연층(24), 전극패드(25)) 및 수지층(16)을 관통하고, 반도체기판(11c)의 전극패드(15A 및 15B)가 노출되도록 형성한다. 비아홀(21z)은, 예를 들어, 드라이에칭 등에 의해 형성할 수 있다. 비아홀(21z)은, 예를 들어, 평면에서 볼 때 원형이며, 그 직경( $\phi 7$ )은, 예를 들어,  $1\mu\text{m}$ ~ $10\mu\text{m}$ 로 할 수 있다. 다만, 비아홀(21z)의 직경( $\phi 7$ )은 어스펙트비(=깊이(D2)/직경( $\phi 7$ ))가 0.5이상 5이하가 되는 값으로 하는 것이 바람직하다. 비아홀(21z)의 직경( $\phi 7$ )을 어스펙트비(=깊이(D2)/직경( $\phi 7$ ))가 0.5이상 5이하가 되는 값으로 함으로써, 비아홀(21z)을 형성할 때의 에칭의 가공속도(스루풋)의 향상이나, 비아홀(21z)에 대한 금속층(38b)의 매립 용이성의 향상 등을 실현할 수 있기 때문이다.

[0117] 다음으로, 도 11d에 나타난 공정에서는, 도 11c에 나타난 레지스트막(27)을 제거한다. 다음으로, 도 4k~도 4l와 동일한 공정을 실시한 후, 도 11e에 나타난 바와 같이, 절연층(24)의 상면, 전극패드(25)의 상면 및 측면, 절연층(28)의 상면, 비아홀(21z)의 저부에 노출하는 전극패드(15A 및 15B)의 상면을 덮도록 금속층(29)을 형성한다. 금속층(29)은, 예를 들어, 무전해도금법 등에 의해 형성할 수 있다. 또한, 금속층(29)은, 예를 들어, 스퍼터링법, CVD법 등을 이용해 형성하여도 된다. 금속층(29)으로서, 예를 들어 Ti층상에 Cu층을 적층한 적층체 등을 사용할 수 있다. 또한, 금속층(29)으로서, 예를 들어, Ta층상에 Cu층을 적층한 적층체 등을 이용하여도 된다. 또한, 매립 재료는 설계기준을 만족하는 도체이면 되고, Cu 대신에 W나 Al, 또는 도핑된 폴리실리콘, 혹은 카본나노튜브 등의 탄소재료나 도전성폴리머의 어느 하나를 사용할 수 있다. 또한, 절연층의 절연성이 충분한 경우에는, 비아금속층을 이용하지 않는 매립 배선의 조합을 선택할 수 있다.

[0118] 다음으로, 도 11f에 나타난 공정에서는 비아홀(21z)의 내부를 제외한 금속층(29)의 상면을 덮도록 감광성의 레지스트막(37)을 형성한다. 레지스트막(37)은, 예를 들어, 드라이필름 레지스트를 금속층(29)의 상면에 부착함으로써 형성할 수 있다. 레지스트막(37)의 두께는, 예를 들어,  $10\mu\text{m}$ 로 할 수 있다. 그 후, 소정의 마스크를 이용하여 레지스트막(37)을 노광하고, 그 다음으로 노광처리된 레지스트막(37)을 현상함으로써, 레지스트막(37)에 개구부(37y)를 형성한다. 개구부(37y)는 전극패드(25)가 형성되어 있는 부분에 대응하는 비아홀(21z) 상에만 형성된다.

[0119] 다음으로, 도 4p~도 4r과 동일한 공정을 실시하여, 도 11g에 나타난 바와 같이 금속층(38b)으로 덮이지 않은 부분의 금속층(29)을 제거한다. 다음으로 도 11h에 나타난 공정에서는 전극패드(25) 및 금속층(38b)을 덮도록 금속층(39a)을 형성한다. 금속층(39a)은, 예를 들어, 절연층(24)상에 전극패드(25) 및 금속층(38b)을 개구하는 레지스트막을 형성하고, 전극패드(25) 및 금속층(38b)을 급전층으로 하는 전해도금법에 의해 개구부를 충전하도록 도금막을 석출성장시키고, 그 후 레지스트막을 제거함으로써 형성할 수 있다.

[0120] 이후, 제 1 실시형태와 동일한 공정을 반복함으로써, 도 10에 나타난 반도체장치(10C)가 제조된다. 또한, 금속층이 충전되어 있지 않은 비아홀은 전극패드를 갖는 반도체기판을 적층한 후에 제 1 실시형태와 같은 방법에 의해 충전된다. 반도체장치(10C)는 절단위치 C에서 다이싱블레이드 등에 의해 절단되어 개편화됨으로써 최종 제품의 형태가 된다.

- [0121] 또한, 금속패드를 어느 반도체기판의 어느 위치에 마련하고 어느 위치에는 마련하지 않는지는 임의로 결정할 수가 있으므로, 도 10에 예시한 태양으로 한정되지 않는다.
- [0122] 본발명의 제 4 실시형태에 의하면, 본발명의 제 1 실시형태와 동일한 효과를 발휘한다. 더욱이, 모든 반도체기판의 모든 비아홀에 대응하는 위치에 형성되어 있던 금속패드를 일부 설치하지 않음으로써, 인접하고 있지 않은 반도체기판끼리를 비아홀 및 금속층에서 직접 접속할 수 있기 때문에 배선설계의 자유도를 높일 수 있다.
- [0123] <제 5 실시형태>
- [0124] 제 1 실시형태~제 4 실시형태에서는 반도체칩을 갖는 복수의 반도체기판을 적층하고, 상이한 층의 반도체기판을 구성하는 반도체칩끼리를 신호전달가능하게 접속하는 반도체장치의 제조방법을 예시하였다. 그러나, 적층하는 기판은 모두 반도체칩을 갖는 반도체기판이 아니어도 되고, 반도체칩을 갖지 않는 구조층을 일부에 포함하고 있어도 된다. 그래서, 제 5 실시형태에서는 반도체칩을 갖지 않는 구조층을 포함하는 반도체장치의 제조방법을 예시한다. 여기서, 구조층이란, 실리콘기판, 금속층, 절연층 등을 포함하는 반도체칩을 갖지 않는 모든 층을 가리키는 것으로 한다.
- [0125] [본발명의 제 5 실시형태에 관련된 반도체장치의 구조]
- [0126] 먼저, 본발명의 제 5 실시형태에 관련된 반도체장치의 구조에 대하여 설명한다. 도 12는 본발명의 제 5 실시형태에 관련된 반도체장치를 예시하는 단면도이다. 도 12에서 도 3과 동일한 구성부분에는 동일한 참조부호를 부여하고, 그 설명은 생략하는 경우가 있다. 본발명의 제 5 실시형태에 관련된 반도체장치(10D)는 도 3에 나타난 본발명의 제 1 실시형태에 관련된 반도체장치(10)의 수지층(66)과 반도체기판(71c)의 사이에 구조층(81) 및 수지층(86)을 형성한 점을 제외하고는, 반도체장치(10)와 동일하게 구성된다.
- [0127] 도 12에 나타난 반도체장치(10D)에 있어서, 구조층(81)은 수지층(66)을 통하여 반도체기판(61c)상에 적층되고, 반도체기판(71c)은 수지층(86)을 통하여 구조층(81)상에 적층되어 있다. 구조층(81)에는 반도체기판끼리(61c와 71c)를 전기적으로 접속하기 위한 비아홀(미도시)이나 금속층(미도시) 등이 형성되어 있다. 수지층(86)으로는 수지층(16) 등과 동일한 재료를 사용할 수 있다.
- [0128] 구조층(81)은 반도체칩을 갖지 않는 실리콘기판(81c)과 절연막(81d)과 홈(81x)을 갖는다. 홈(81x)은 실리콘기판(81c)의 반도체기판(71c)측에 형성되고, 홈(81x)을 포함하는 실리콘기판(81c)의 표면에는, 예를 들어,  $Si_3N_4$ 나  $SiO_2$ 등으로 구성되어 있는 절연막(81d)이 형성되어 있다. 실리콘기판(81c)은 절연막(81d)에 의해 인접하는 반도체기판(71c)과 절연되어 있다. 홈(81x)에는, 예를 들어, 물이나 에탄올 등의 냉각매체가 충전되어 있고, 홈(81x)은 냉각유로로서 기능한다. 홈(81x)의 형상이나 형성위치는 임의로 정할 수 있다.
- [0129] 이와 같이, 반도체장치에 있어서 적층하는 기판은 반도체칩을 갖는 반도체기판으로 한정되지 않고, 반도체칩을 갖지 않는 구조층을 일부에 포함해도 된다. 반도체장치에 있어서 적층하는 구조층에, 예를 들어, 냉각유로를 갖는 실리콘기판을 포함함으로써, 반도체기판에서 발생하는 열을 방열하는 냉각기능을 구비할 수 있다. 냉각기능을 갖는 구조층은, 특히, CPU 등의 발열이 큰 디바이스를 포함하는 반도체기판에 인접하여 형성하면 유효하다. 또한, 반도체장치는 반도체칩을 갖지 않는 구조층을 복수층 포함해도 된다.
- [0130] [본발명의 제 5 실시형태에 관련된 반도체장치의 제조공정]
- [0131] 다음으로, 본발명의 제 5 실시형태에 관련된 반도체장치의 제조공정에 대하여 설명한다.
- [0132] 먼저, 구조층(81)을 준비한다. 구체적으로는, 실리콘기판(81c)을 소정의 외경으로 가공하고 한 쪽 면에 홈(81x)을 형성한다. 홈(81x)은, 예를 들어, DRIE(Deep Reactive Ion Etching) 등에 의해 형성할 수 있다. 그리고, 홈(81x)을 포함하는 실리콘기판(81c)의 표면에 절연막(81d)을 형성한다. 절연막(81d)은, 예를 들어, 플라즈마CVD법 등에 의해 형성할 수 있다. 이상의 공정에 의해 구조층(81)이 완성된다.
- [0133] 다음으로, 도 4a~도 4t와 동일한 공정에 의해 반도체기판(11c)부터 반도체기판(61c), 수지층(66), 구조층(81), 수지층(86) 및 반도체기판(71c)을 순차 적층하여 비아홀이나 금속층 등을 형성함으로써 반도체장치(10D)가 완성된다.
- [0134] 지금까지 반도체칩을 갖지 않는 실리콘기판을 포함하는 구조층을 포함하는 반도체장치의 제조방법을 예시하였지만, 구조층은 반도체칩을 갖지 않는 실리콘기판 이외에, Cu 등의 금속층이나 에폭시 수지 등의 절연층을 포함하여도 되고, MEMS를 갖는 구조이어도 된다. MEMS의 일례로서는 압력센서나 가속도센서 등을 들 수가 있다.

- [0135] 본발명의 제 5 실시형태에 의하면, 본발명의 제 1 실시형태와 동일한 효과를 발휘한다. 더욱이, 반도체장치에 반도체칩을 갖지 않는 구조층을 형성함으로써 반도체기판으로 발생하는 열을 방열하는 냉각기능 등을 실현할 수 있다.
- [0136] <제 6 실시형태>
- [0137] 제 1 실시형태~제 4 실시형태에서는 반도체칩을 갖는 복수의 반도체기판을 적층하고, 상이한 층의 반도체기판을 구성하는 반도체칩끼리를 신호전달가능하게 접속하는 반도체장치의 제조방법(WOW)을 예시하였다. 또한, 제 5 실시형태에서는 반도체칩을 갖지 않는 구조층을 포함하는 반도체장치의 제조방법을 예시하였다. 제 6 실시형태에서는 WOW에 주지의 반도체장치의 공정(소위 전공정이나 후공정)까지도 포함한 반도체장치 전체의 제조공정에 대하여 예시한다.
- [0138] 도 13은 WOW에 주지의 반도체장치의 공정까지도 포함한 반도체장치 전체의 제조공정의 플로우차트의 예이다. 도 13을 참조하면, 먼저, 「산화」 공정(S11)에서는 반도체기판의 표면에 산화막을 형성한다. 다음으로, 「확산」 공정(S12)에서는, 반도체기판에 도펀트(불순물)를 도입하고 반도체영역을 형성한다. 다음으로 「FEOL」(Front End Of Line) 공정(S13)에서는 리소그래피(S13a), 에칭(S13b), 성막(S13c) 및 CMP(S13d)를 필요한 횟수만큼 반복함으로써 트랜지스터 등의 디바이스를 형성한다.
- [0139] 구체적으로는, 리소그래피(S13a)의 공정에서는 반도체기판에 포토레지스트(감광성물질)를 도포하고, 노광장치를 이용하여 포토마스크에 그려진 소자·회로의 패턴을 형성한다. 에칭(S13b) 공정에서는 불필요한 산화막이나 금속막 등을 물리적 또는 화학적으로 식각가공함으로써 제거한다. 성막(S13c) 공정에서는 스퍼터링이나 CVD 등의 방법에 의해 트랜지스터 등의 디바이스를 구성하는 산화막이나 금속막 등을 성막한다. CMP(S13d) 공정에서는 반도체기판의 표면을 연마한다.
- [0140] 다음으로, 「BEOL(Back End Of Line)」 공정(S14)에서는 리소그래피(S14a), 에칭(S14b), 성막(S14c) 및 CMP(S14d)를 필요한 횟수만큼 반복함으로써, 반도체기판에 형성된 트랜지스터 등의 디바이스를 Cu 등으로 배선하여 회로를 완성시킨다. 리소그래피(S14a), 에칭(S14b), 성막(S14c) 및 CMP(S14d)에 대하여서는 앞서 설명한 바와 같다. 이로써, 반도체칩을 갖는 반도체기판이 완성된다.
- [0141] 다음으로 「WOW」(웨이퍼 온 웨이퍼) 공정(S15)에서는, 박형화(S15a), 적층(S15b), 리소그래피(S15c), 비아홀에칭(S15d), 성막(S15e) 및 평탄화(S15f)를 필요한 횟수만큼 반복함으로써, 반도체칩을 갖는 복수의 반도체기판을 적층하고, 상이한 층의 반도체기판을 구성하는 반도체칩끼리를 신호전달가능하게 접속한다.
- [0142] 구체적으로는, 박형화(S15a) 공정에서는 도 4e나 도 5c에 나타난 바와 같이 반도체기판을 박형화한다. 적층(S15b) 공정에서는, 도 4f나 도 5d에 나타난 바와 같이 박형화한 반도체기판과 박형화하지 않은 반도체기판을 적층한다. 리소그래피(S15c), 비아홀에칭(S15d), 성막(S15e) 및 평탄화(S15f) 공정에서는, 도 4h 내지 도 4s 등에 나타난 바와 같이 상이한 층의 반도체기판을 구성하는 반도체칩끼리를 신호전달가능하게 접속한다.
- [0143] 다음으로, 「전기검사」 공정(S16)에서는 적층된 반도체기판의 전기적인 검사를 실시한다. 다음으로, 「그라인딩」 공정(S17)에서는, 적층된 반도체기판을 연마하여 두께를 조정한다. 다음으로, 「다이싱」의 공정(S18)에서는 적층된 반도체기판을 절단하고, 복수의 적층된 반도체칩을 제작한다. 다음으로, 「본딩」 공정(S19)에서는 적층된 반도체칩을 리드프레임에 고착하고, 반도체칩의 전극패드와 리드프레임을 본딩와이어로 전기적으로 접속한다. 다음으로, 「몰딩」 공정(S20)에서는 리드프레임에 고착된 적층된 반도체칩을 수지로 봉지한다. 다음으로, 「최종검사」 공정(S21)에서는, S20의 공정에서 최종제품의 형태가 된 적층된 반도체칩의 출하검사(전기특성검사나 외관검사 등)를 실시한다. 이상으로 모든 공정이 종료된다.
- [0144] 도 13에 있어서, S11에서 S14까지는 개편화(다이싱) 전의 반도체기판을 취급하는 주지의 공정이다. S15의 본발명에 관련된 WOW의 공정은 S14에 이어 개편화(다이싱) 전의 반도체기판을 취급하는 공정이다. 즉, 개편화(다이싱) 전의 반도체기판 상태를 유지한 채 삼차원화하여(반도체칩을 갖는 복수의 반도체기판을 적층하여), 상이한 층의 반도체기판을 구성하는 반도체칩끼리를 신호전달가능하게 접속할 수 있다. 「BEOL(Back End Of Line)」 공정후에 반도체칩을 개편화(다이싱)하고, 개편화된 반도체칩 상태로 삼차원화를 실시하는 종래의 공정과 비교하면, WOW에서는 「BEOL(Back End Of Line)」 공정후에 단절됨이 없이 개편화(다이싱) 전의 반도체기판을 삼차원화하는 공정으로 이행할 수 있다. 그 결과, 반도체장치의 제조공정을 간략화할 수 있음과 동시에, 양산설비에 대한 투자를 억제할 수 있다.
- [0145] 또한, WOW에서는 반도체기판의 적층수에 대한 이론적 한계가 없다. 즉, 반도체기판의 적층수에 따른 집적도가

언어진다. 예를 들어, 반도체기판 10매를 WOW로 적층한 반도체장치를 제작하면, 예를 들어, 반도체칩당 32GB의 메모리 디바이스는 320GB가 되어, 약 1000개의 삼차원칩이 언어진다. 로직디바이스에서는 CPU 코어부와 캐쉬부를 별도의 반도체기판에 설치하고, WOW로 적층하면, 16코어, 32코어, 64코어 등과 같은 멀티코어화가 가능하게 된다. 32코어와 같은 다수 코어를 실현할 수 있으면, CPU 코어 자체를 길게 취급하는 것이 가능해지고, 실효적으로 불량이 없는 삼차원 로직디바이스를 편성할 수 있다.

[0146] 더욱이, WOW에서는, 반도체기판의 두께가 배선거리가 되어, 디바이스층의 두께를 가미한다고 하더라도 20 $\mu$ m 정도로 디바이스끼리를 접속할 수 있다. 통상, 회로의 긴 배선이 수100 $\mu$ m로부터 수10mm정도인 것을 생각하면 배선을 매우 단축할 수 있다. 이 때문에, 신호선으로서 이용하면, 단위 비아홀당의 버스·밴드폭이 큰 고속정보전송이 가능해진다.

[0147] 지금까지, 본발명의 바람직한 실시형태에 대하여 자세히 설명했지만, 본발명은 지금까지 설명한 실시형태로 제한되는 것은 아니고, 본발명의 범위를 일탈하지 않으면서 지금까지 설명한 실시형태에 여러 가지의 변형 및 치환을 부가할 수 있다.

[0148] 예를 들어, 각 실시형태에서는 평면에서 볼 때 원형의 반도체기판(실리콘웨이퍼)을 사용한 경우를 예를 들어 설명했지만, 반도체기판은 평면에서 볼 때 원형으로 한정되지 않고, 예를 들어, 평면에서 볼 때 직사각형 등의 패널형상을 이용하여도 된다.

[0149] 또한, 반도체집적회로가 형성되어 있는 기판의 재료는 실리콘으로 한정되지 않고, 예를 들어, 게르마늄이나 사파이어 등을 이용하여도 된다.

[0150] 또한, 각 실시형태에서는 적층된 반도체기판을 구성하는 반도체칩끼리를 비아홀안에 형성된 금속층을 통하여 전기신호에 의해 접속하는 예를 나타냈지만, 적층된 반도체기판을 구성하는 반도체칩끼리의 접속은 전기신호에 한정되는 것은 아니고, 예를 들어, 광신호에 의해 접속해도 된다. 이 때, 비아홀안에는 금속층 대신에 광도파로를 형성하면 된다.

[0151] 또한, 각 실시형태에서는 반도체기판에 전극패드를 형성하고 나서 비아홀을 형성하는 예를 나타냈지만, 비아홀을 형성하고 나서 전극패드를 형성하여도 된다. 또한, 비아홀을 충전한 금속층의 상면을 CMP(Chemical Mechanical Polishing) 등으로 연삭하는 공정(다마신공정)을 마련해도 된다.

[0152] 또한, 각 실시형태에서는 반도체기판의 바깥가장자리부만을 남기고, 중심부 근방을 박형화하도록 오목부를 형성하는 예를 나타냈지만, 오목부는 박형화된 반도체기판이 충분한 강성을 유지하기 위하여 형성하는 것이므로, 반도체기판이 충분한 강성을 유지할 수만 있으면 특정의 형상으로 한정되는 것은 아니다. 예를 들어, 격자모양의 부분만을 남기고, 그 밖의 부분을 박형화하는 것 같은 형상(복수의 오목부를 형성함)이어도 된다.

[0153] 또한, 각 실시형태에서 설명한 전극패드와 비아홀의 접속형태는 하나의 반도체장치 내에 혼재하고 있어도 된다.

[0154] 또한, 제 2 실시형태에서 제 5 실시형태에 대하여, 제 1 실시형태의 변형예와 같은 변형을 부가하여도 된다.

[0155] 본국제출원은 2008년 9월 18일에 출원한 일본특허출원 제2008-240015호에 근거하는 우선권을 주장하는 것이며, 상기 일본특허출원 제2008-240015호의 모든 내용을 본국제출원에 참조로서 인용한다.

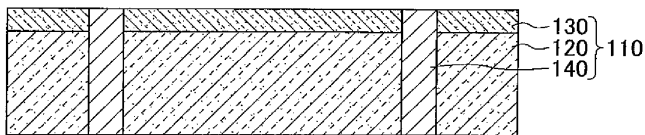
**부호의 설명**

[0156]	10, 10A, 10B, 10C	반도체장치
	11, 11c, 21c, 31c, 41c, 51c, 61c, 71c	반도체기판
	11a, 11b, 16a, 21a, 21b	면
	11x	바깥가장자리부
	12, 22	기판본체
	13, 23	반도체집적회로
	14, 24, 28	절연층
	15, 15a, 15b, 25, 25a, 25b, 35, 35a, 35b, 45, 45a, 45b, 55, 55a, 55b, 65, 65a, 65b, 75, 75a, 75b	전극패드

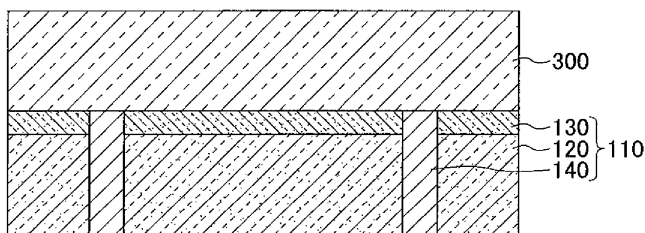
16, 26, 36, 46, 56, 66, 76, 86	수지층
21x	오목부
21y, 21z, 31y, 31z, 41y, 41z, 51y, 51z, 61y, 61z, 71y, 71z	비아홀
27, 37	레지스트막
29, 38, 38a, 39, 39a, 38b, 48, 48a, 58, 58a, 68, 68a, 78, 78a, 88, 88a	금속층
27x, 27y, 27z, 37x, 37y, 76x	개구부
81	구조층
81c	실리콘기판
81d	절연막
81x	홈
91	외부접속단자
96	접착층
97	지지체
A	반도체칩 형성영역
B	스크라이브 영역
C	절단위치
D1, D2	깊이
H1	높이
T1~T3	두께
$\phi 1 \sim \phi 7$	직경

**도면**

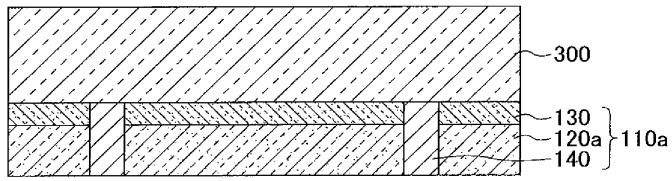
**도면1a**



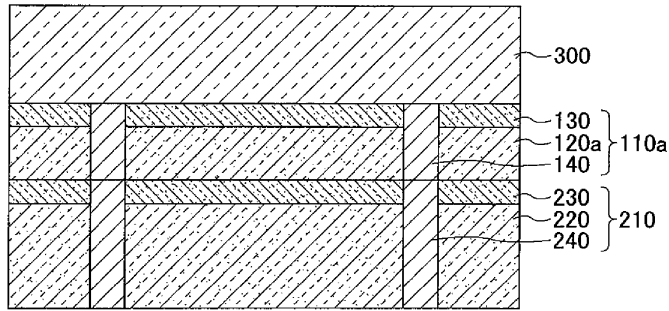
**도면1b**



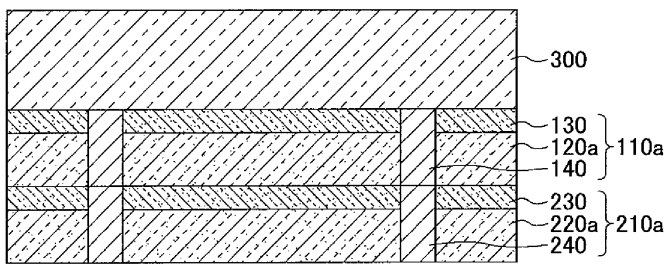
도면1c



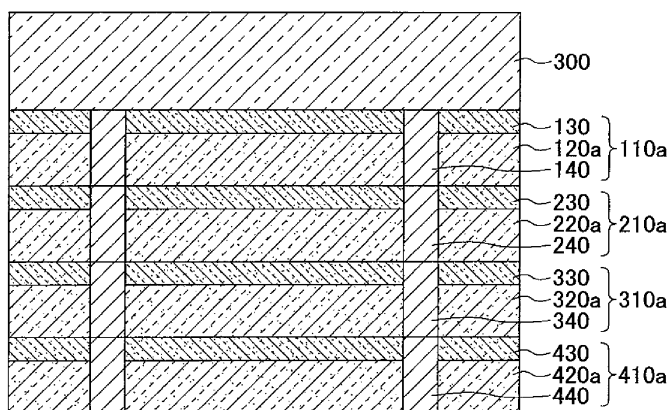
도면1d



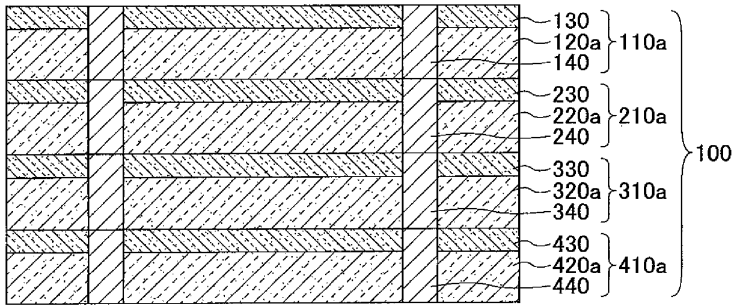
도면1e



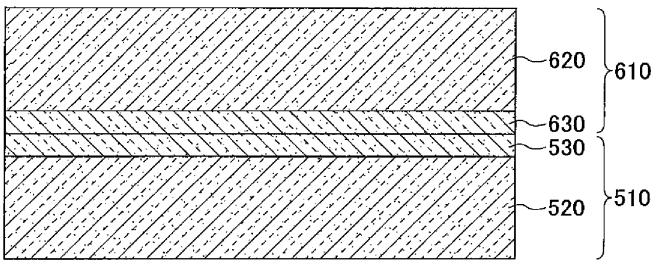
도면1f



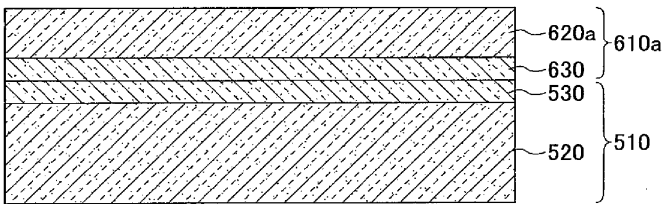
도면1g



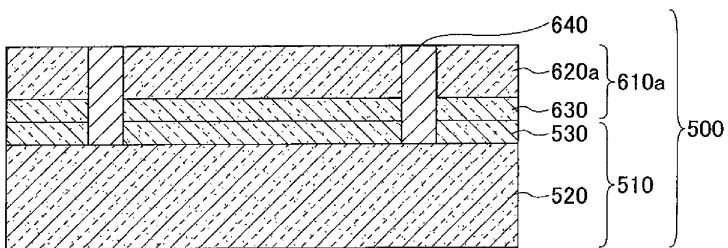
도면2a



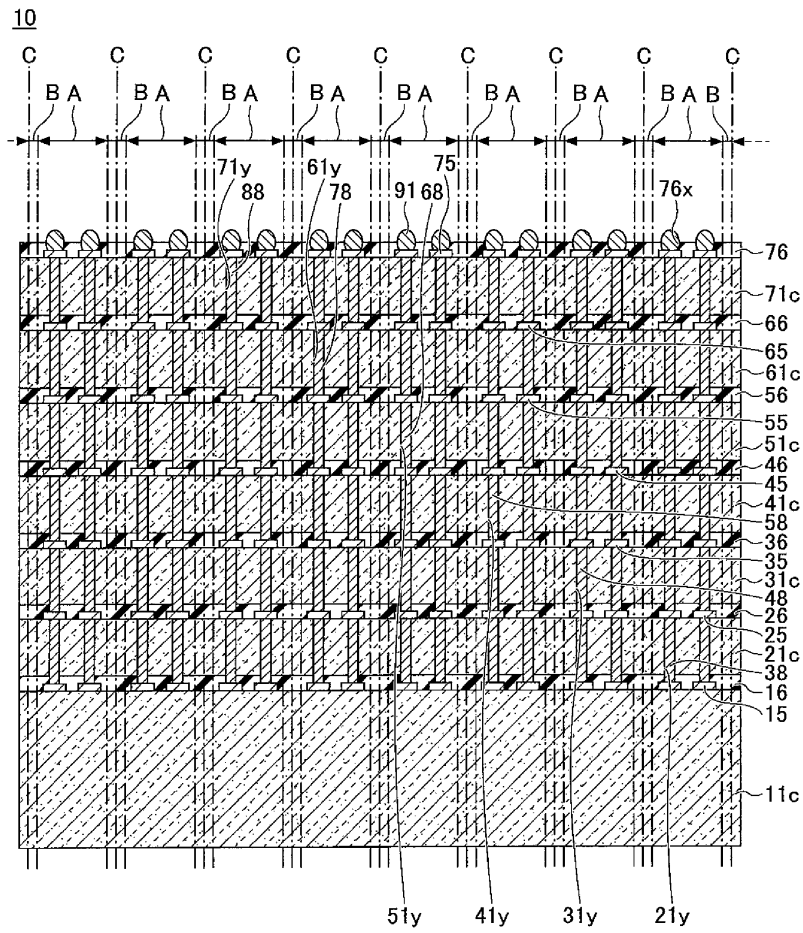
도면2b



도면2c

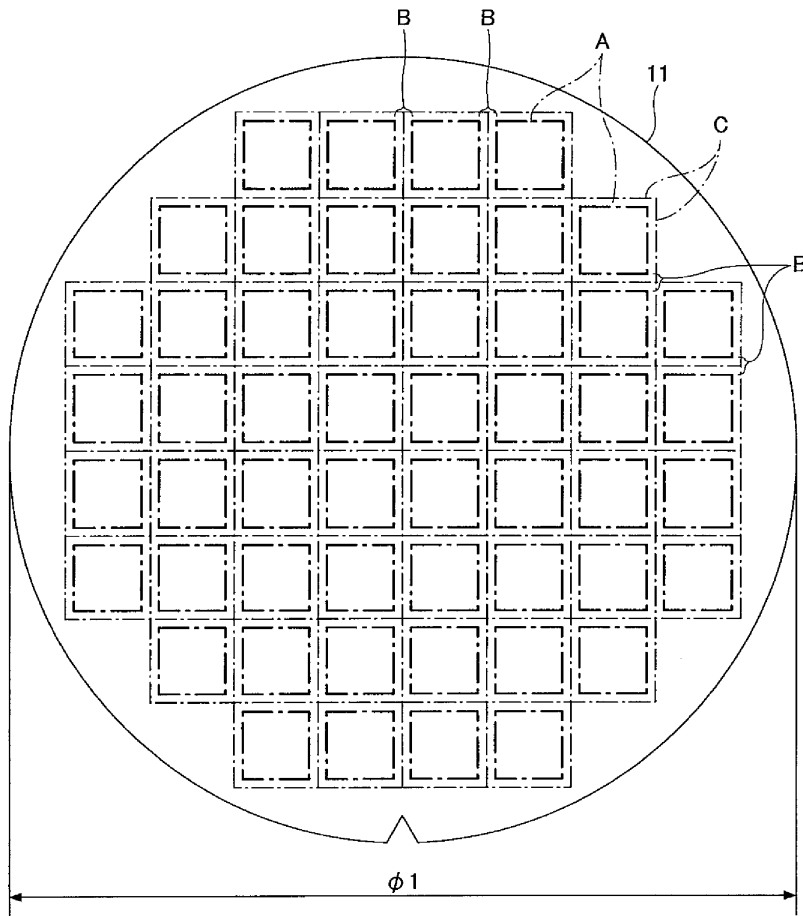


도면3

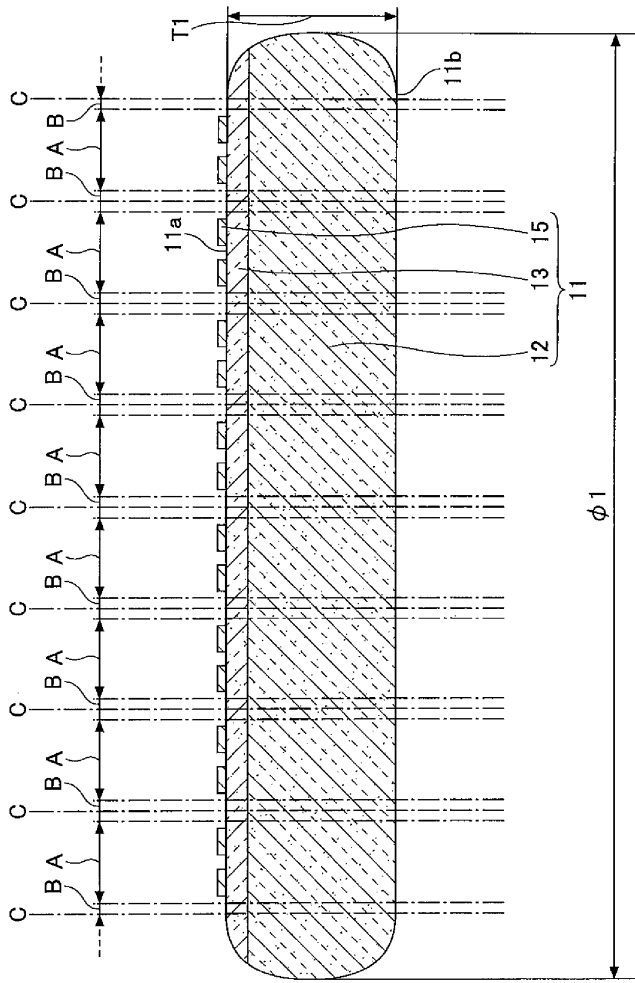




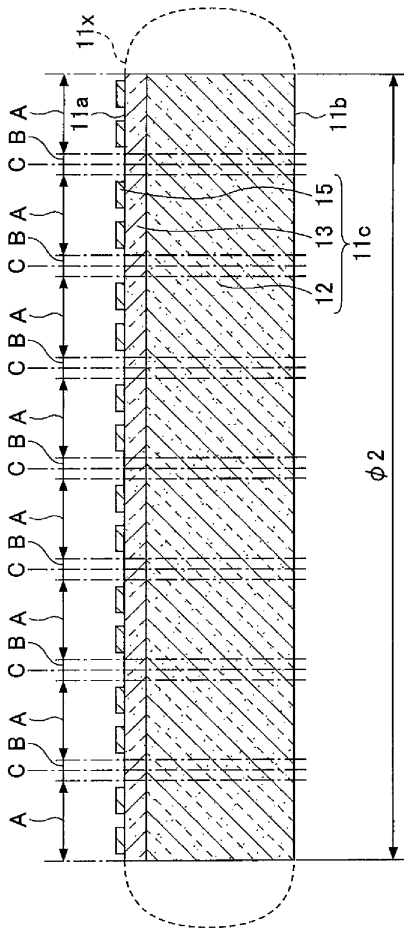
도면4a



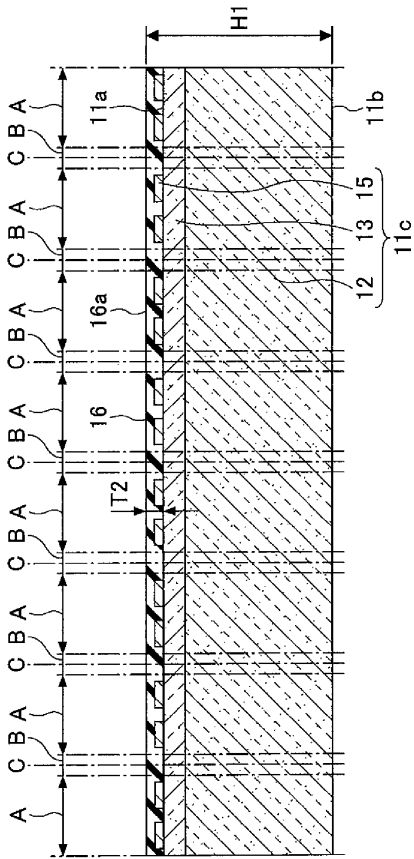
도면4b



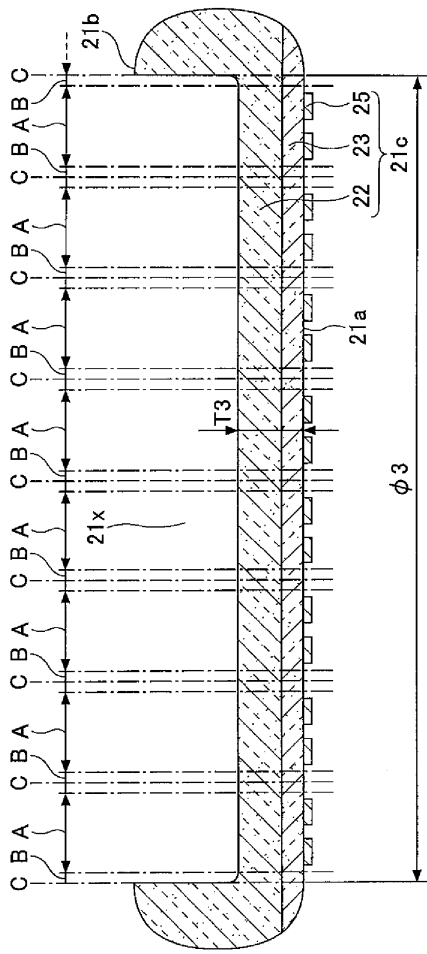
도면4c



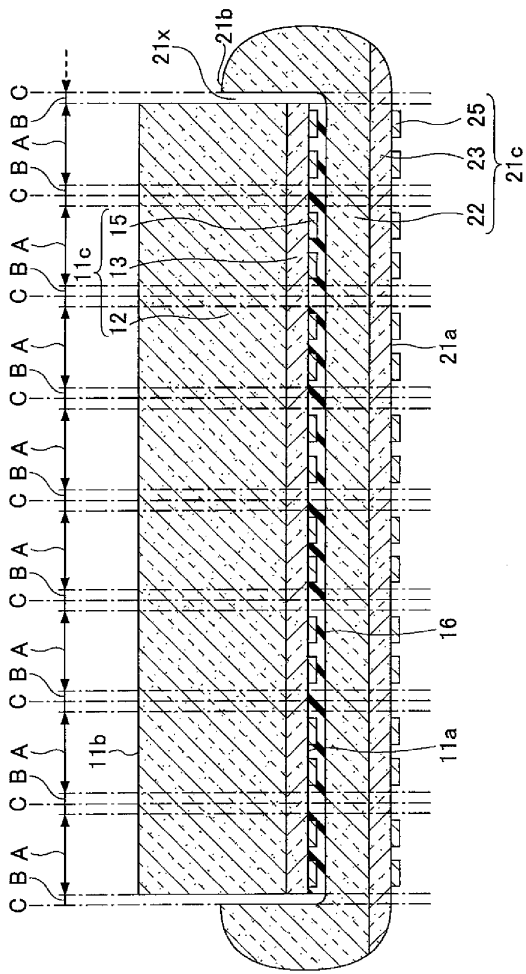
도면4d



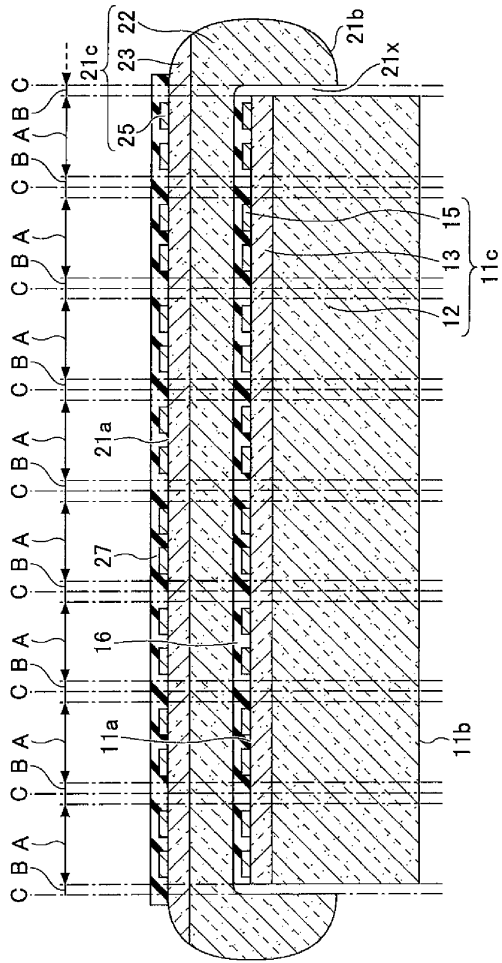
도면4e



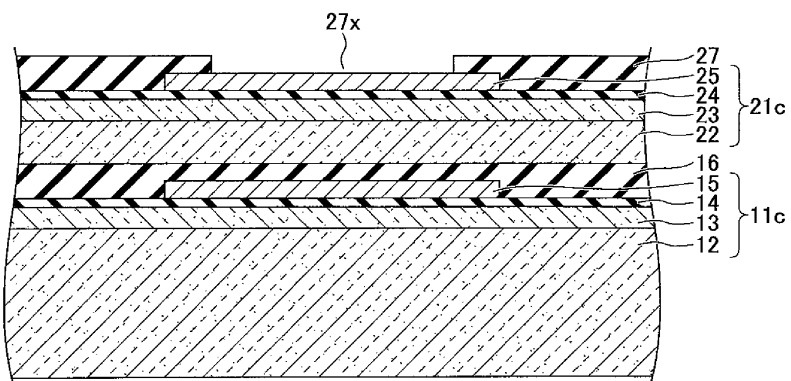
도면4f



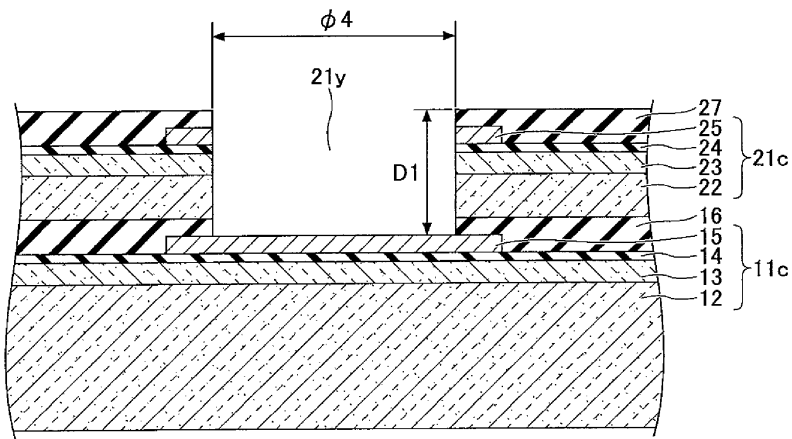
도면4g



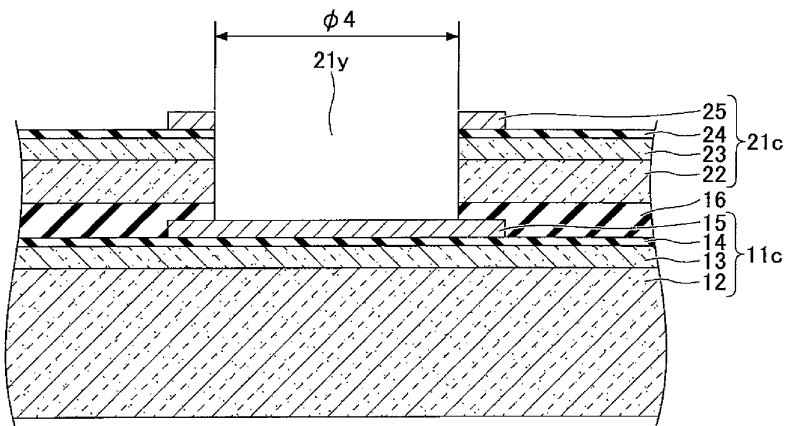
도면4h



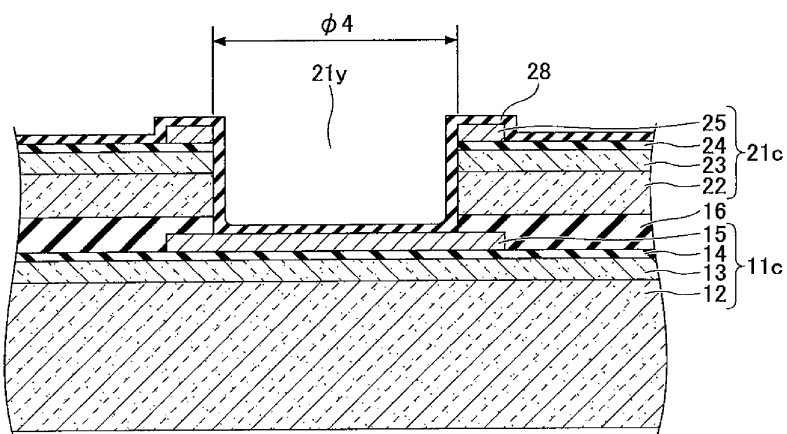
도면4i



도면4j

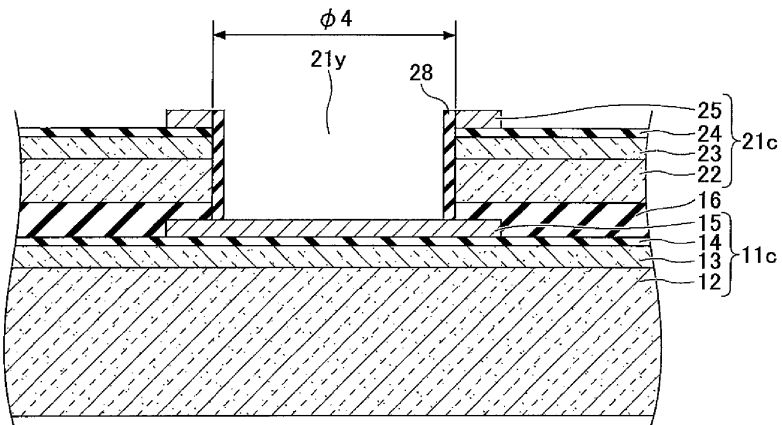


도면4k

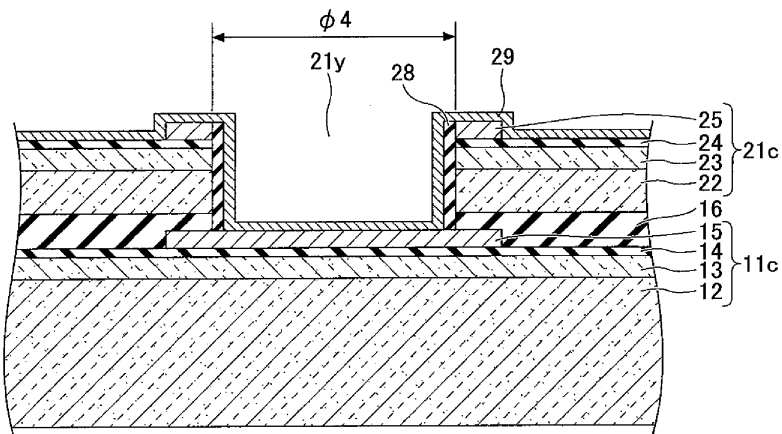




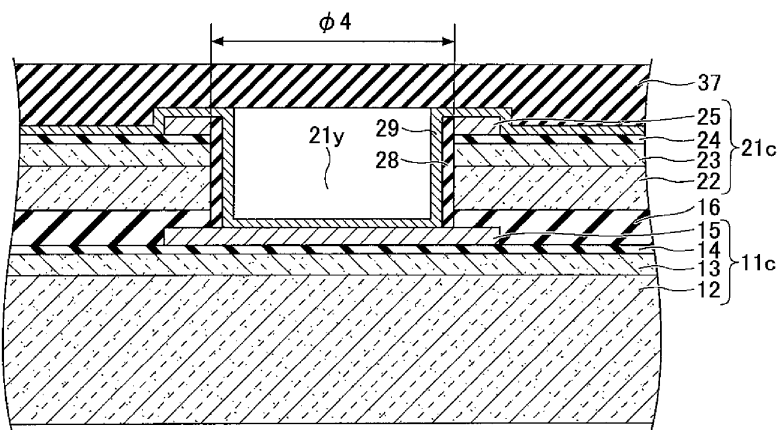
도면4l



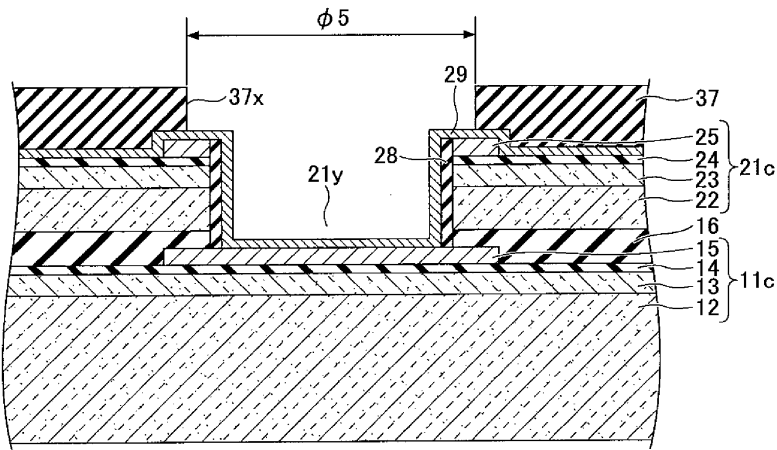
도면4m



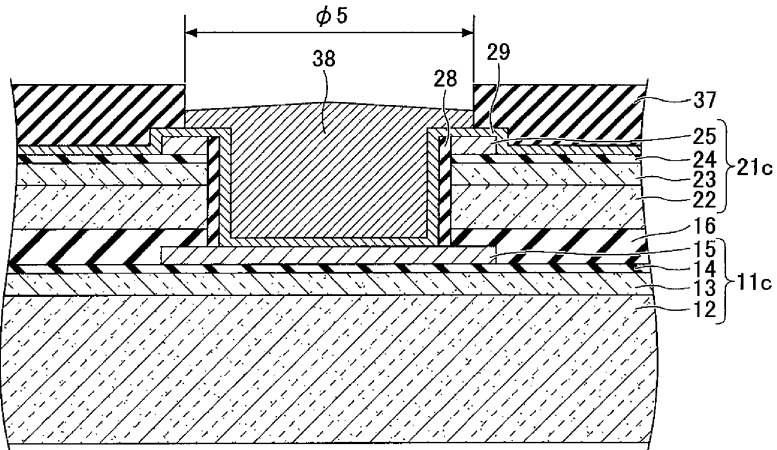
도면4n



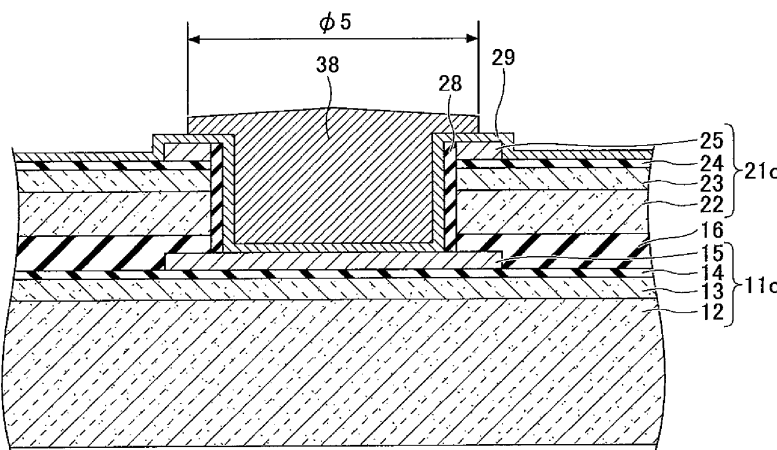
도면4o



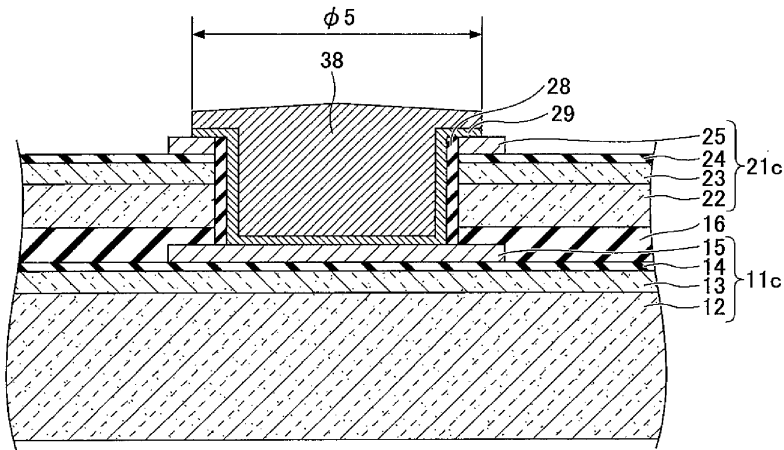
도면4p



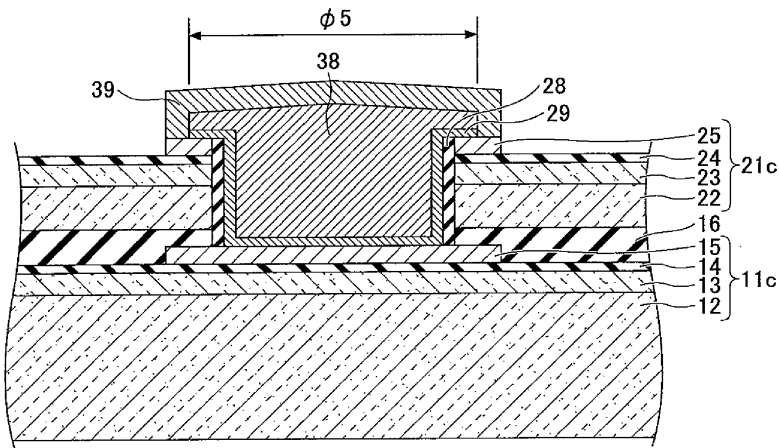
도면4q



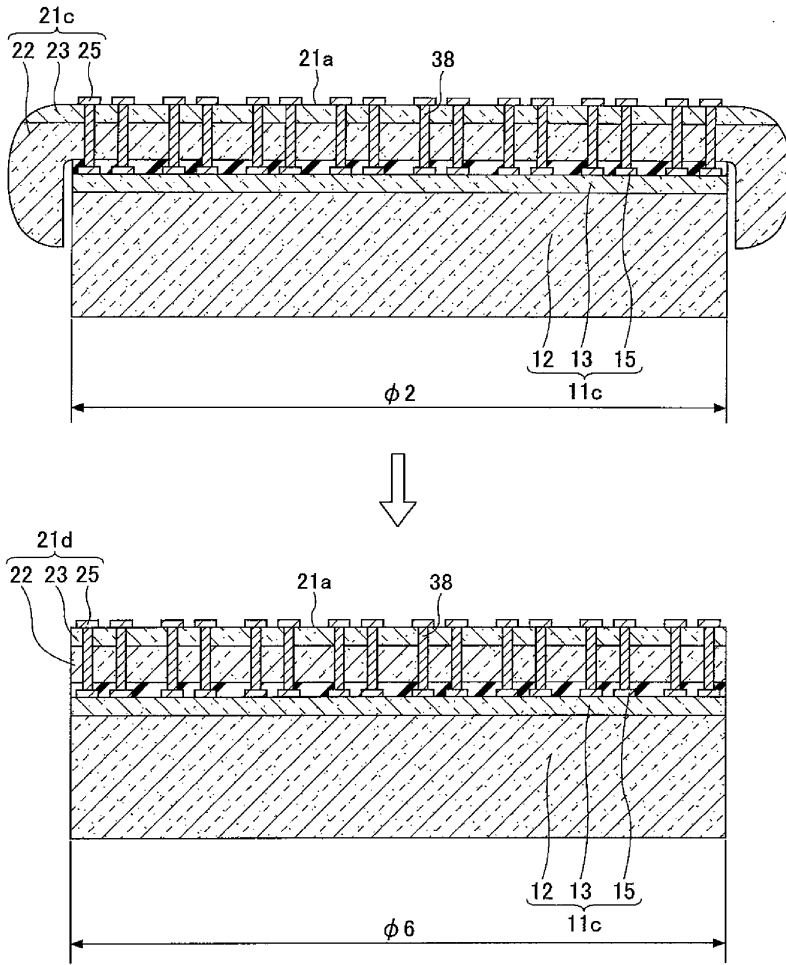
도면4r



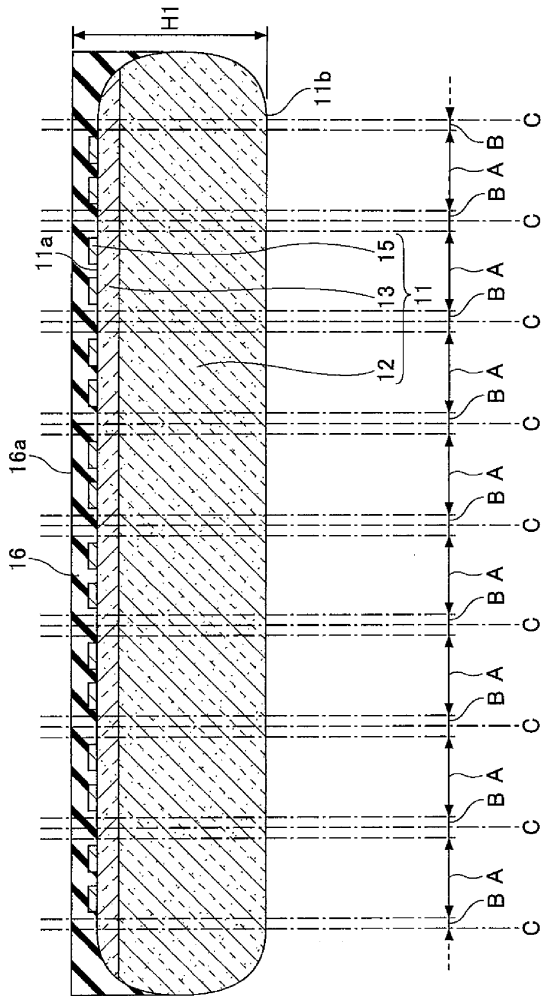
도면4s



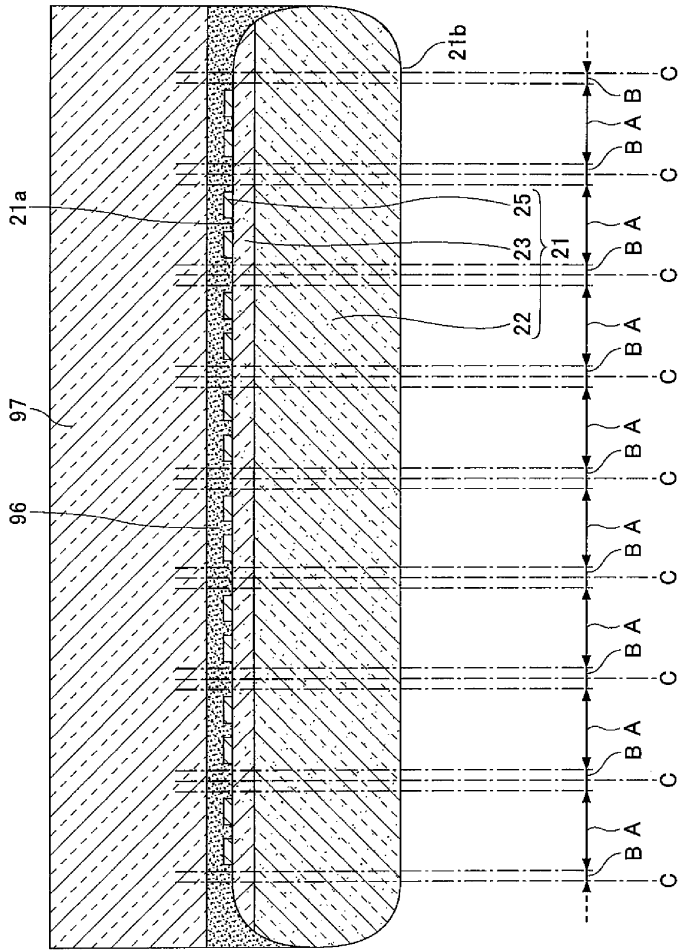
도면4t



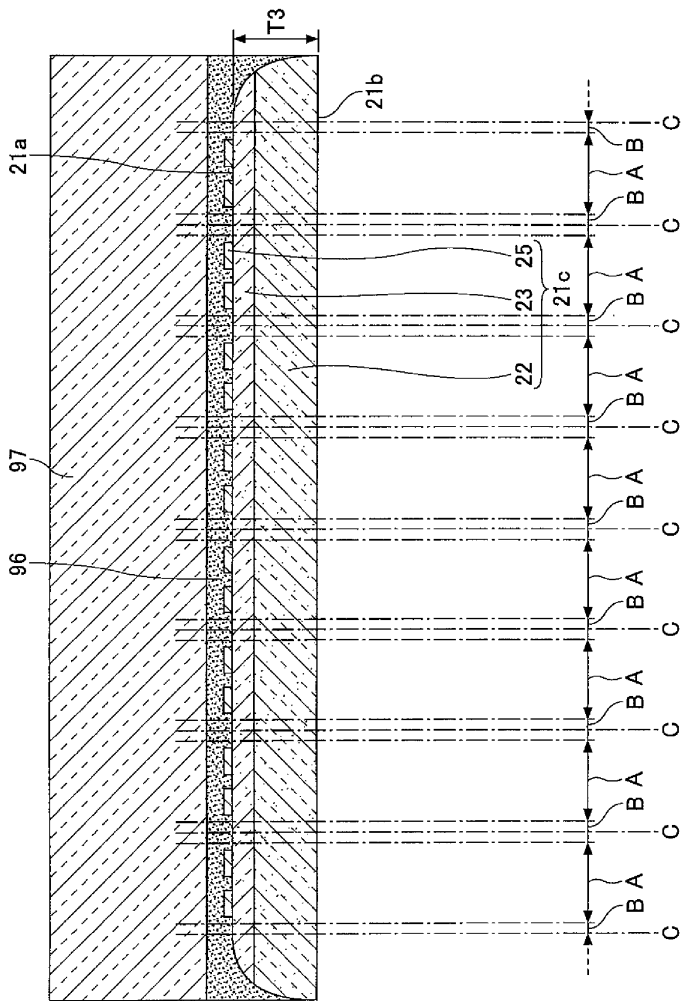
도면5a



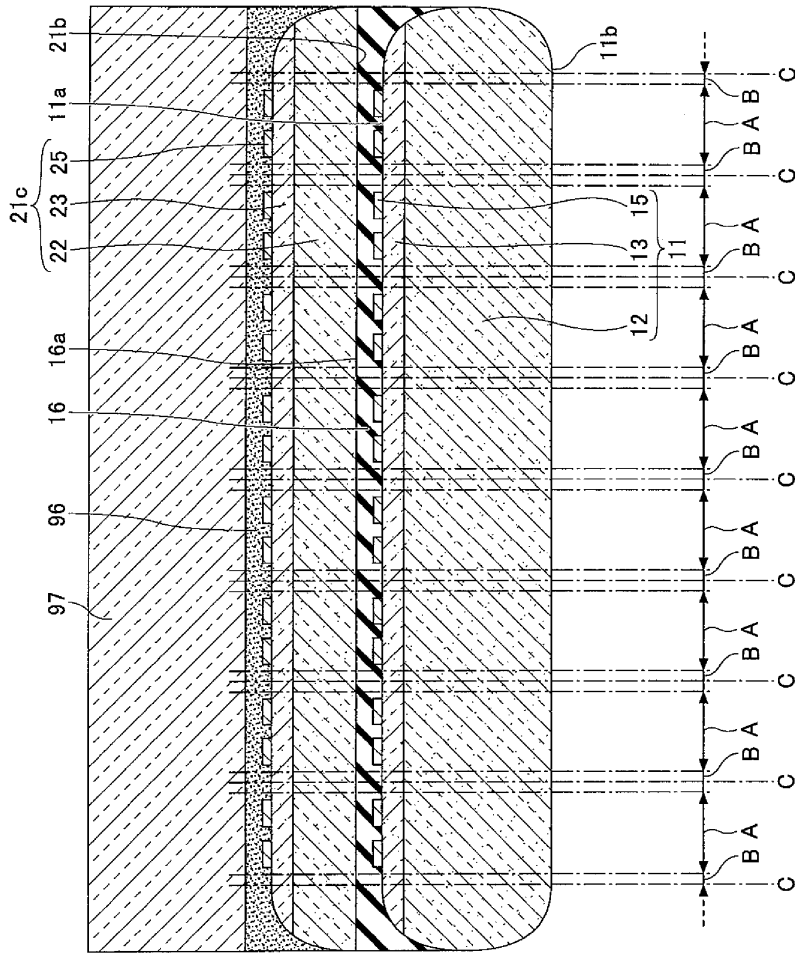
도면5b



도면5c

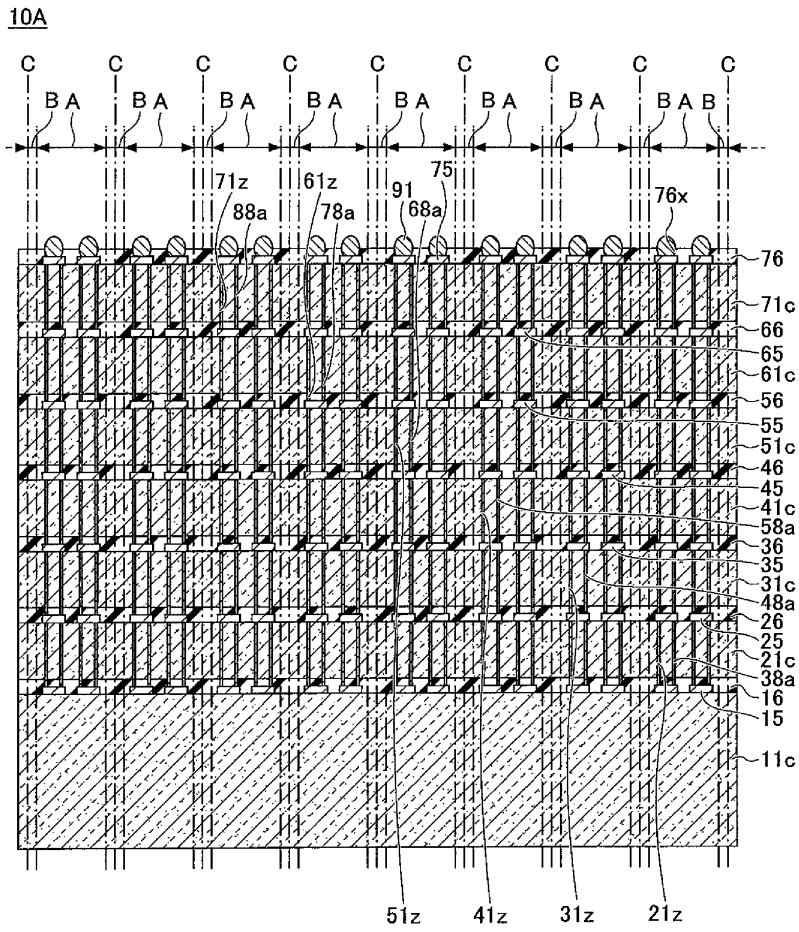


도면5d

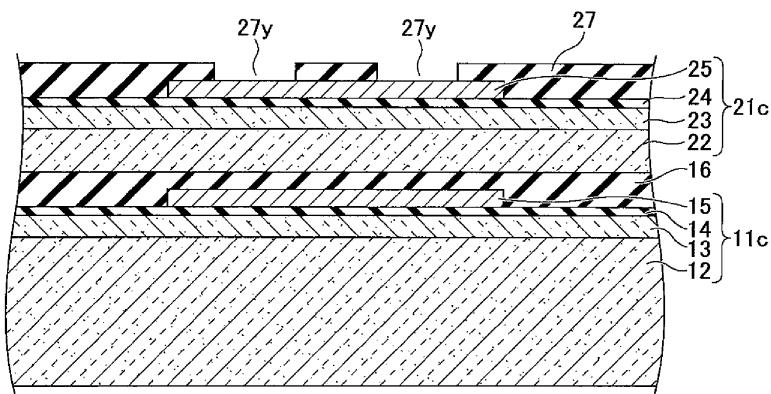




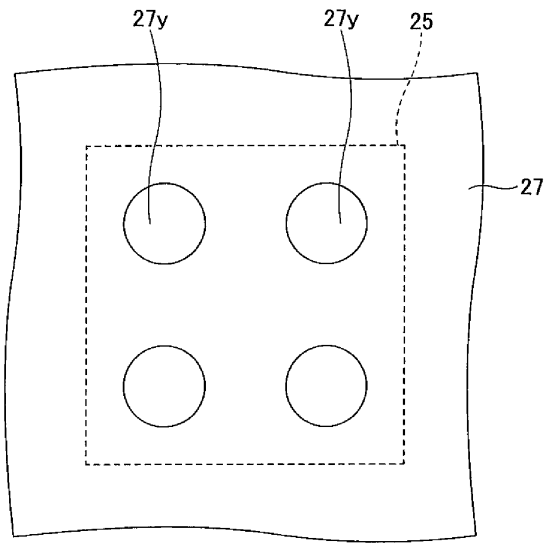
도면6



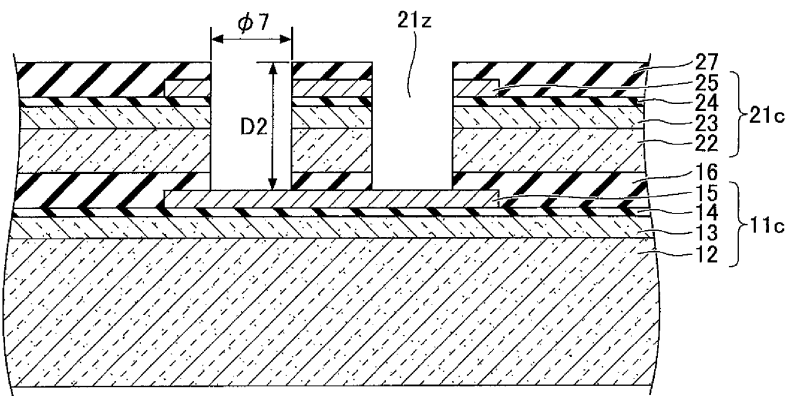
도면7a



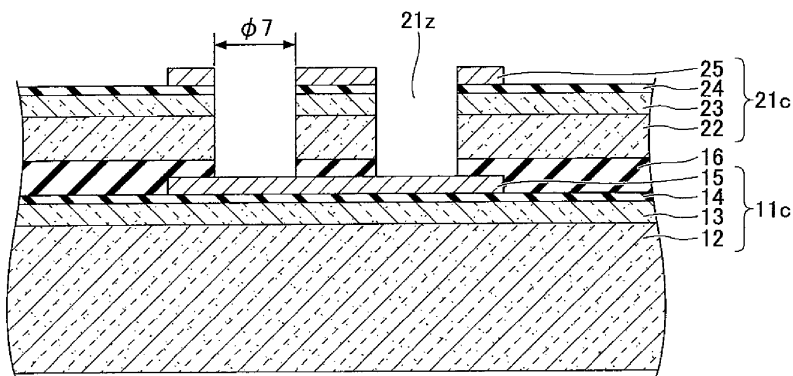
도면7b



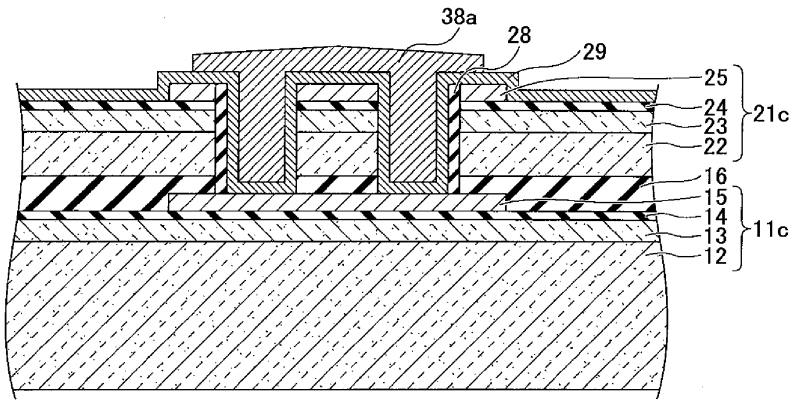
도면7c



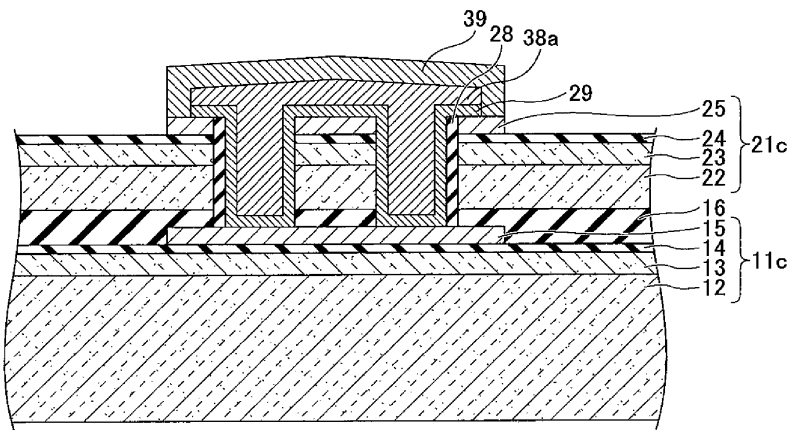
도면7d



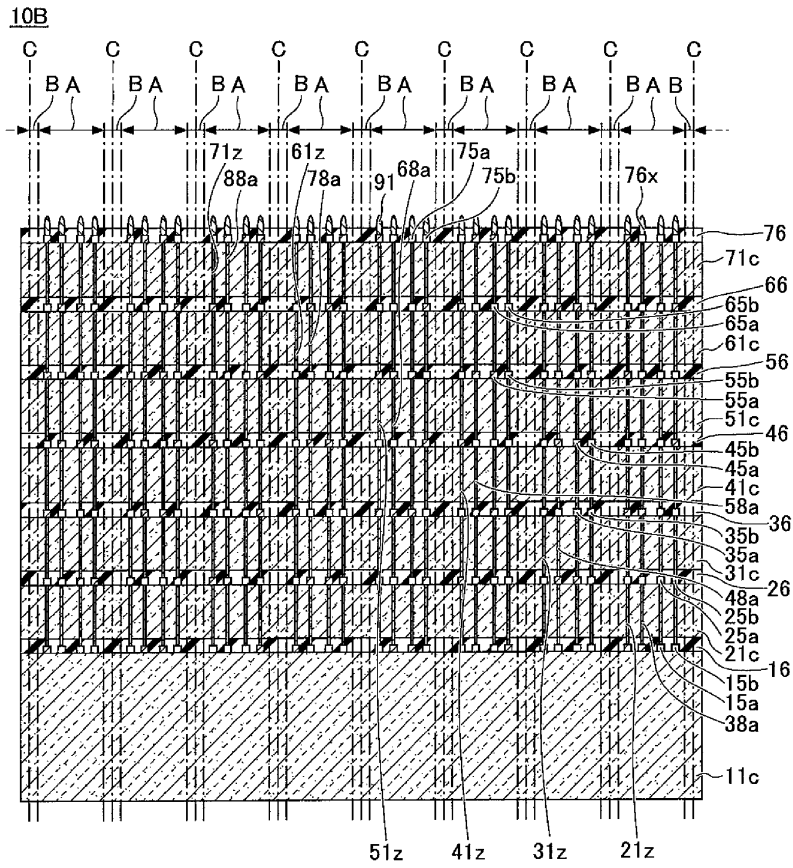
도면7e



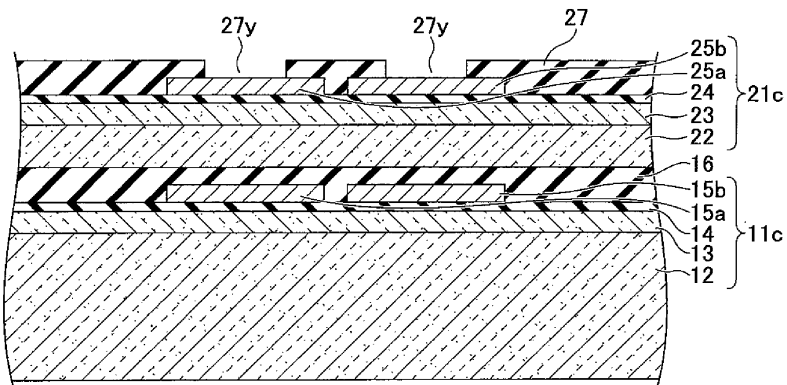
도면7f



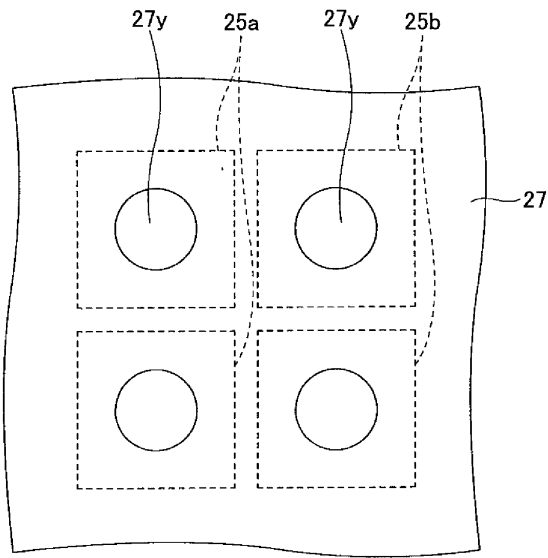
도면8



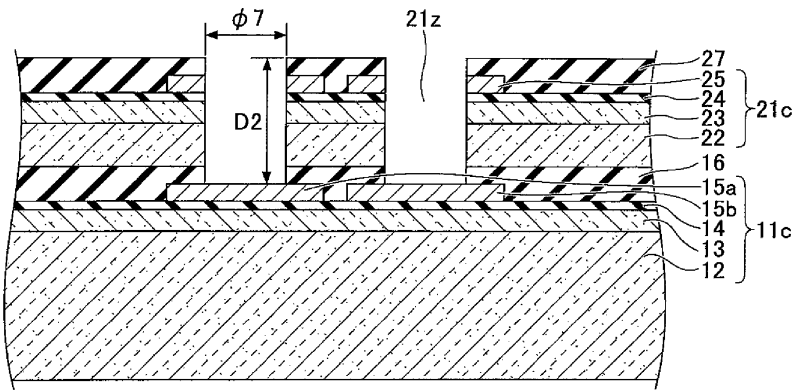
도면9a



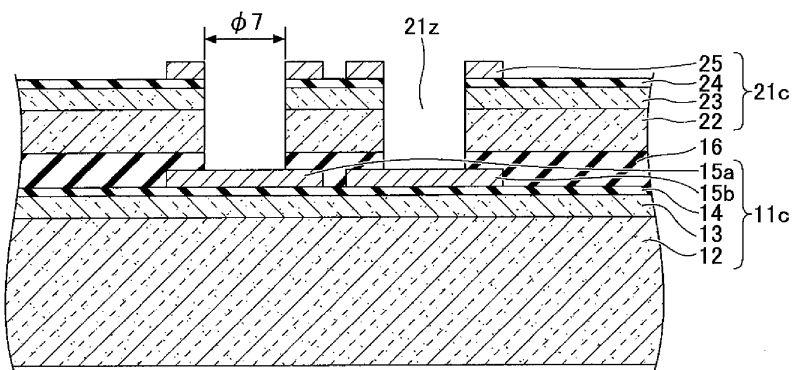
도면9b



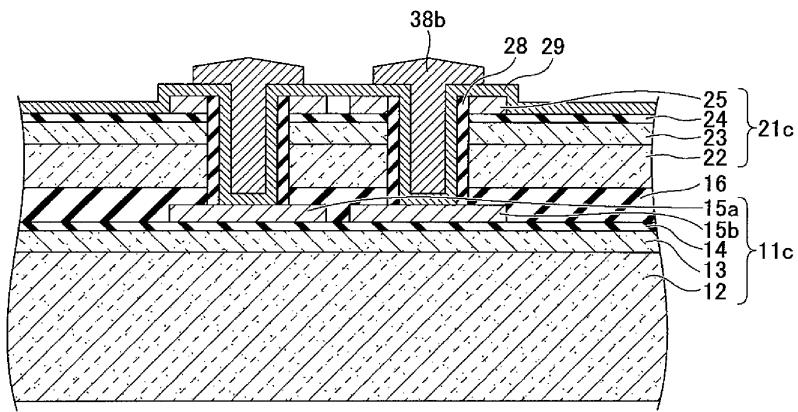
도면9c



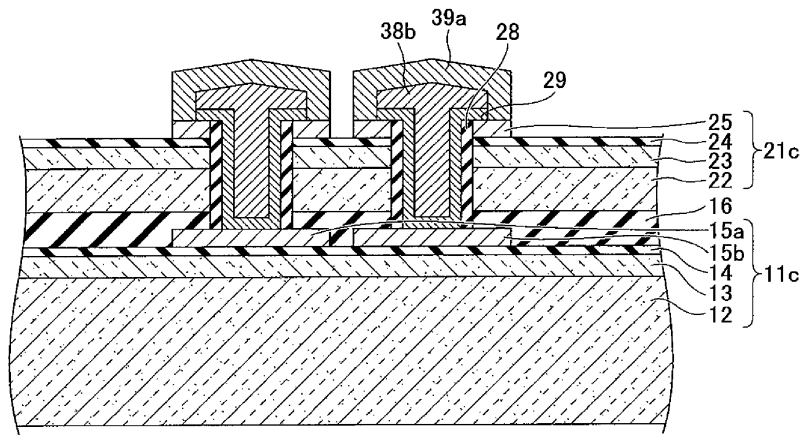
도면9d



도면9e

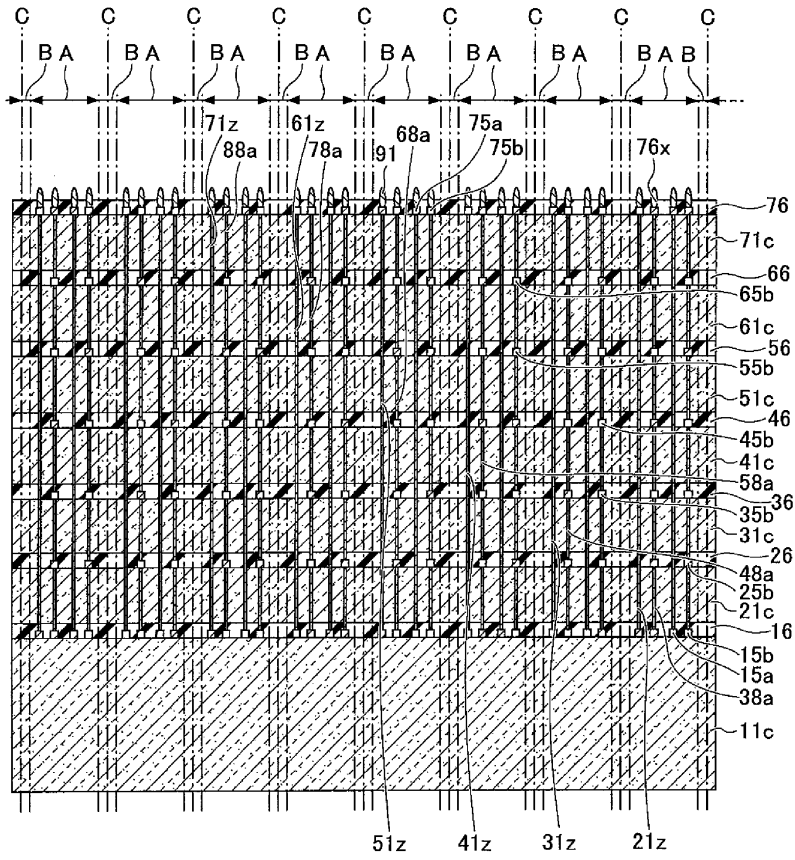


도면9f

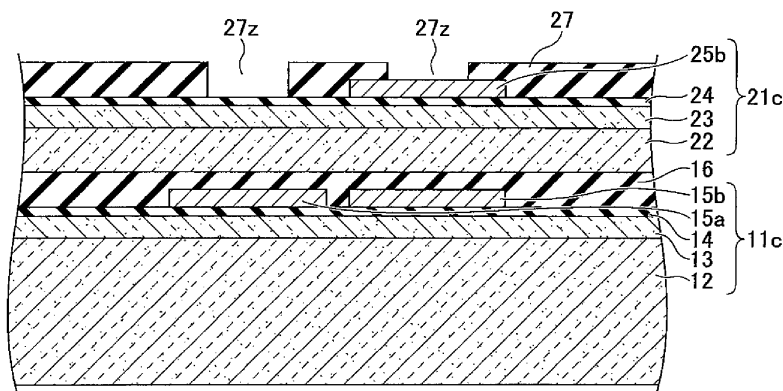


도면10

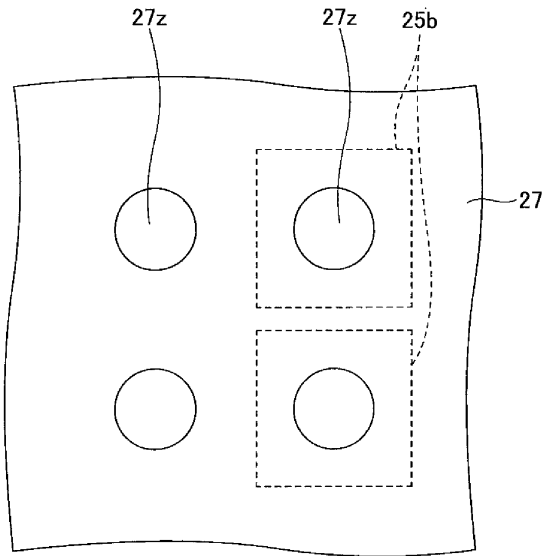
10C



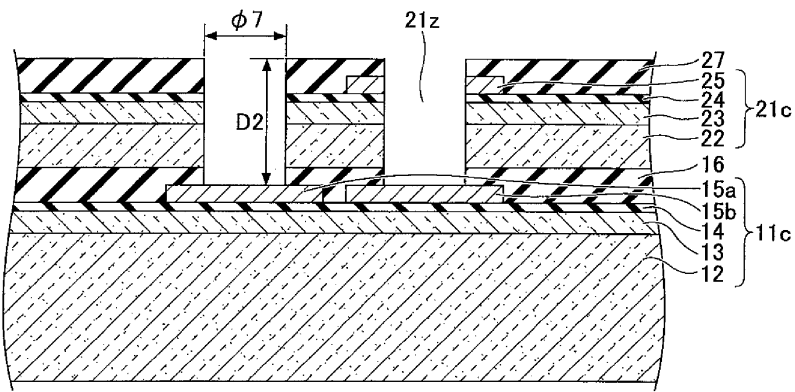
도면11a



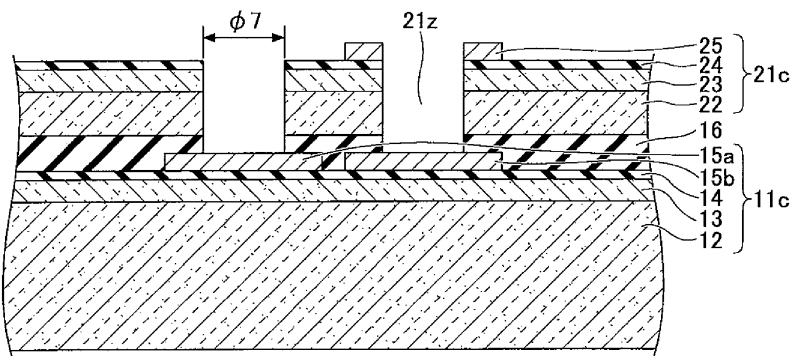
도면11b



도면11c

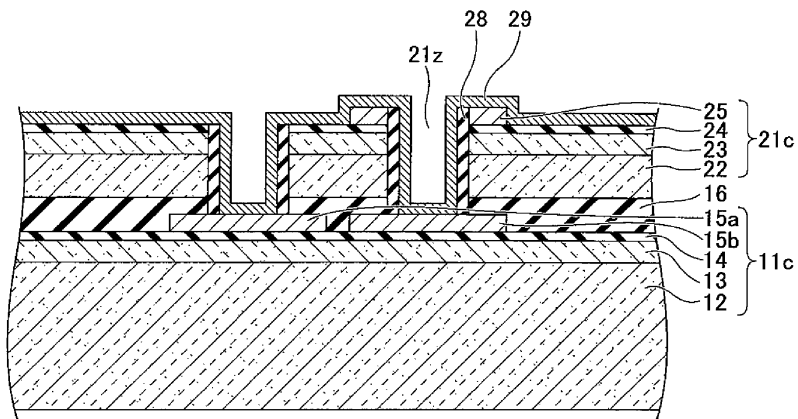


도면11d

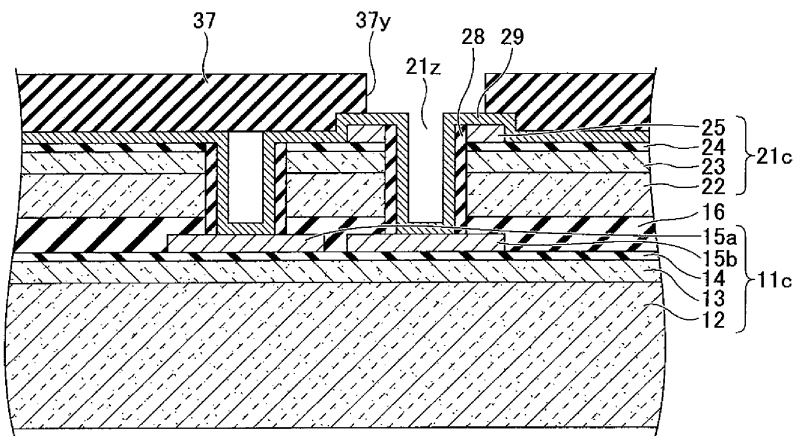




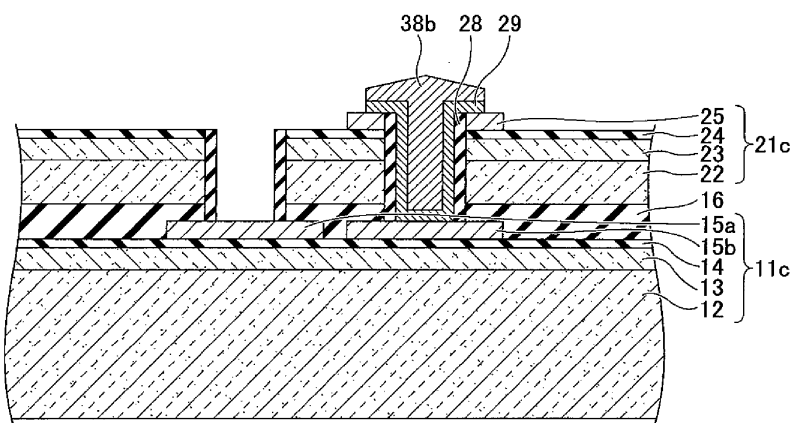
도면11e



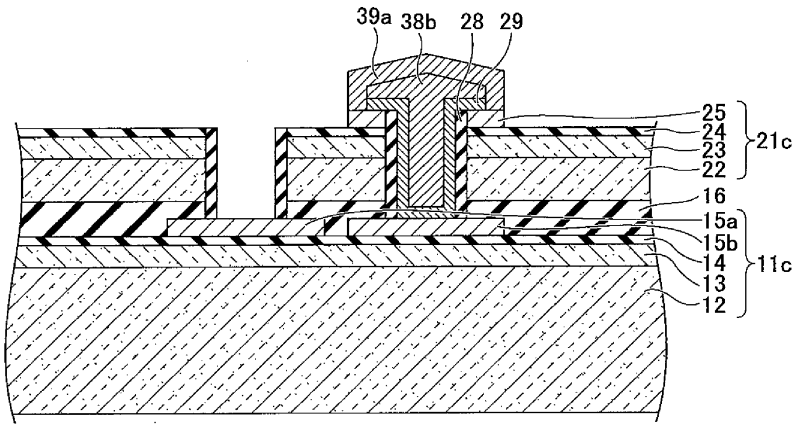
도면11f



도면11g

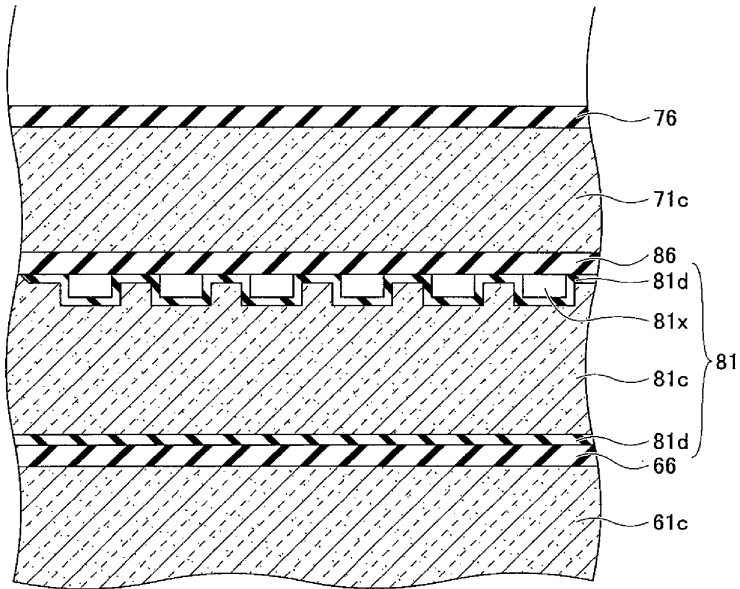


도면11h



도면12

10D



도면13

