



(12) 发明专利

(10) 授权公告号 CN 109977458 B

(45) 授权公告日 2021.04.30

(21) 申请号 201910109025.8

(56) 对比文件

(22) 申请日 2019.02.03

CN 102347769 A, 2012.02.08

CN 103297049 A, 2013.09.11

(65) 同一申请的已公布的文献号

申请公布号 CN 109977458 A

审查员 邓迪

(43) 申请公布日 2019.07.05

(73) 专利权人 北京大学

地址 100871 北京市海淀区颐和园路5号

(72) 发明人 黄兆丰 鲁文高 朱雅璐 牛育泽

张盛东 陈中建

(74) 专利代理机构 北京润泽恒知识产权代理有

限公司 11319

代理人 莎日娜

(51) Int. Cl.

G06F 30/38 (2020.01)

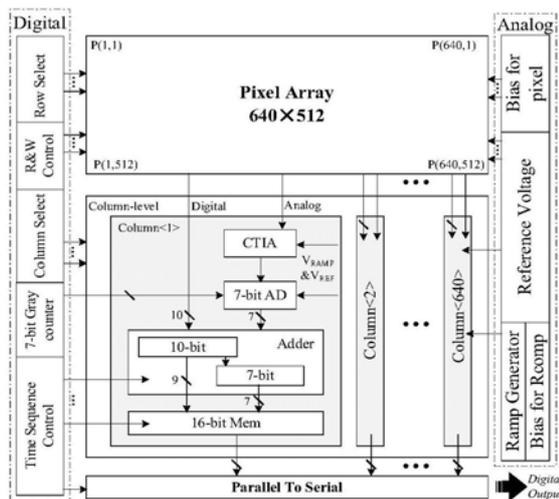
权利要求书2页 说明书7页 附图3页

(54) 发明名称

一种混合模数转换器

(57) 摘要

本发明提供了一种混合模数转换器,所述混合模数转换器应用于第一读出电路中,所述第一读出电路具有M×N个像素阵列结构;所述混合模数转换器包括M×N个第一级ADC和N个第二级ADC;所述像素阵列结构的每个像素均布置有一个第一级ADC;所述像素阵列结构的每一列均布置有一个第二级ADC;每个所述第一级ADC与所在列的所述第二级ADC相连接;所述第一级ADC用于将生成高位信号传输给第二级ADC;所述第二级ADC用于生成低位信号,并将所述高位信号和低位信号进行拼接后读出。本发明实施例使用了两级量化结构,使得所述混合模数转换器与传统设计相比获得了更好的电荷处理能力和更高的线性度。



1. 一种混合模数转换器,其特征在于,所述混合模数转换器应用于第一读出电路中,所述第一读出电路具有 $M \times N$ 个像素阵列结构;

所述混合模数转换器包括 $M \times N$ 个第一级ADC和 $N$ 个第二级ADC;

所述像素阵列结构的每个像素均布置有一个第一级ADC;

所述像素阵列结构的每一列均布置有一个第二级ADC;

每个所述第一级ADC与所在列的所述第二级ADC相连接;

所述第一级ADC用于将生成高位信号传输给第二级ADC;

所述第二级ADC用于生成低位信号,并将所述高位信号和低位信号进行拼接后读出;

其中,所述第一级ADC包括折叠积分单元和计数逻辑单元;

所述第二级ADC包括斜波发生器、参考电压发生器、7位格雷码计数器、第一存储单元和第二存储单元;

所述斜波发生器的一端与折叠积分单元相连接,另一端与参考电压发生器相连接;

所述参考电压发生器的另一端与第二存储单元相连接;

所述第一存储单元与计数逻辑单元相连接。

2. 根据权利要求1所述的混合模数转换器,其特征在于,

所述折叠积分单元用于产生阶跃信号,并将所述阶跃信号传输给所述计数逻辑单元;

所述计数逻辑单元用于写入所述阶跃信号的数量,并将其转换为10-bit进行输出。

3. 根据权利要求2所述的混合模数转换器,其特征在于,所述折叠积分单元包括光电二极管、第一电容和比较器;

所述光电二极管用于产生光电流;

所述第一电容的一端接地,另一端与光电二极管相连接,用于对光电二极管产生的光电流进行积分后产生第一积分信号;

所述比较器的一端与第一电容相连接,另一端与预设的第一电位相连接,用于将第一电容产生的第一积分信号与第一电位进行比较后产生并输出第一阶跃信号。

4. 根据权利要求3所述的混合模数转换器,其特征在于,所述计数逻辑单元包括2位加法器;

所述2位加法器用于对输入的第一阶跃信号的个数进行读出。

5. 根据权利要求4所述的混合模数转换器,其特征在于,所述第一电容还用于存储第一剩余电荷,并将所述第一剩余电荷发送给第二级ADC;

所述第一剩余电荷为所述折叠积分单元最后一个积分周期经过折叠积分后的剩余电荷。

6. 根据权利要求5所述的混合模数转换器,其特征在于,所述斜波发生器用于对输入的第一剩余电荷进行积分,输出第二积分信号;

所述参考电压发生器用于将第二积分信号与预设的参考电压进行比较后输出第二阶跃信号;

所述7位格雷码计数器用于对输出的所述第二阶跃信号的个数进行读出;

所述第一存储单元用于存储第一阶跃信号的个数;

所述第二存储单元用于存储第二阶跃信号的个数。

7. 根据权利要求6所述的混合模数转换器,其特征在于,所述第一存储单元的分辨率为

10bit;

所述第二存储单元的分辨率为7bit。

8. 根据权利要求7所述的混合模数转换器,其特征在于,所述第二级ADC还包括加法器;所述加法器用于将第一存储单元存储的10bit数据和第二存储单元存储的7bit数据拼接为16bit数据。

9. 根据权利要求1-8任一所述的混合模数转换器,其特征在于,所述像素阵列结构的像素间距为15 $\mu\text{m}$ 。

## 一种混合模数转换器

### 技术领域

[0001] 本发明涉及数据处理技术领域,特别是涉及一种混合模数转换器。

### 背景技术

[0002] 用于光学成像的冷却红外焦平面阵列(IRFPA)广泛应用于各种不同领域。在IRFPA上集成模数转换器(ADC)已经成为一个日益受到关注的问题,因为它具有较高的噪声性能,模拟线路较短,系统级硬件成本较低。因此,对于长波红外(LWIR)焦平面所需要的小像素间距,高性能数字读出集成电路(DROIC)的需求在今天不断提升。

[0003] 对于IRFPA,已经开发了三种ADC构造:单片,列级和像素级。如今,单片ADC结构已经是一项成熟的技术,但其高采样率会导致高功耗和严重的噪声扰动,特别是当阵列尺寸很大时。第二,列级ADC可以提供较低的采样率,但仍会产生复杂的寄生效应。另外,由于这二者都是像素级的模拟输出到整体电路级处理,因此像素的电荷处理能力受到电容的极大限制。最后,对于像素级ADC,它的像素级数字输出模式和低采样率使它被广泛采用,但因为其集成度更高,每个像素都有单独的ADC,也就导致更多的硬件消耗,而这意味着更大的像素间距。相比这几种构造,混合的二阶ADC在电荷处理能力和像素区域之间进行了一个权衡,确保信号完整性。

[0004] 在过去的研究中,像素级ADC因其更高的电荷处理能力而广泛应用于拥有大信号量的长波红外焦平面阵列。多种具有每像素1Ge以上电荷处理能力的像素级ADC方案曾被提出过。为了实现如此高的电荷处理能力,以往的研究成果往往会基于PFM,折叠积分结构等技术。然而,传统的折叠积分方案往往伴随着电荷的损失。此外,高分辨率ADC的计数器会占用巨大的硬件资源,也就意味着不得不增加像素间距才能放下。

### 发明内容

[0005] 为了解决上述技术问题,本发明提供了一种混合模数转换器,

[0006] 所述混合模数转换器应用于第一读出电路中,所述第一读出电路具有 $M \times N$ 个像素阵列结构;

[0007] 所述混合模数转换器包括 $M \times N$ 个第一级ADC和 $N$ 个第二级ADC;

[0008] 所述像素阵列结构的每个像素均布置有一个第一级ADC;

[0009] 所述像素阵列结构的每一列均布置有一个第二级ADC;

[0010] 每个所述第一级ADC与所在列的所述第二级ADC相连接;

[0011] 所述第一级ADC用于将生成高位信号传输给第二级ADC;

[0012] 所述第二级ADC用于生成低位信号,并将所述高位信号和低位信号进行拼接后读出。

[0013] 进一步的,所述第一级ADC包括折叠积分单元和计数逻辑单元;

[0014] 所述折叠积分单元用于产生阶跃信号,并将所述阶跃信号传输给所述计算逻辑单元。

- [0015] 所述计数逻辑单元用于写入所述阶跃信号的数量,并将其转换为10-bit进行输出。
- [0016] 进一步的,所述折叠积分单元包括光电二极管、第一电容和比较器;
- [0017] 所述光电二极管用于产生光电流;
- [0018] 所述第一电容的一端接地,另一端与光电二极管相连接,用于对光电二极管产生的光电流进行积分后产生第一积分信号;
- [0019] 所述比较器的一端与第一电容相连接,另一端与预设的第一电位相连接,用于将第一电容产生的第一积分信号与第一电位进行比较后产生并输出第一阶跃信号。
- [0020] 进一步的,所述计算逻辑单元包括2位加法器;
- [0021] 所述2位加法器用于对输入的第一阶跃信号的个数进行读出。
- [0022] 进一步的,所述第一电容还用于存储第一剩余电荷,并将所述第一剩余电荷发送给第二级ADC;
- [0023] 所述第一剩余电荷为所述折叠积分单元最后一个积分周期经过折叠积分后的剩余电荷。
- [0024] 进一步的,所述第二级ADC包括斜坡发生器、参考电压发生器、7位格雷码计数器、第一存储单元和第二存储单元;
- [0025] 所述斜坡发生器用于对输入的第一剩余电荷进行积分,输出第二积分信号;
- [0026] 所述参考电压发生器用于将第二积分信号与预设的参考电压进行比较后输出第二阶跃信号;
- [0027] 所述7位格雷码计数器用于对输出的所述第二阶跃信号的个数进行读出;
- [0028] 所述第一存储单元用于存储第一阶跃信号的个数;
- [0029] 所述第二存储单元用于存储第二阶跃信号的个数。
- [0030] 进一步的,所述斜坡发生器的一端与折叠积分单元相连接,另一端与参考电压发生器相连接;
- [0031] 所述参考电压发生器的另一端与第二存储单元相连接;
- [0032] 所述第一存储单元与计算逻辑单元相连接。
- [0033] 进一步的,所述第一存储单元的分辨率为10bit;
- [0034] 所述第二存储单元的分辨率为7bit。
- [0035] 进一步的,所述第二级ADC还包括加法器;
- [0036] 所述加法器用于将第一存储单元存储的10bit数据和第二存储单元存储的7bit数据拼接为16bit数据。
- [0037] 进一步的,所述像素阵列结构的像素间间距为15 $\mu\text{m}$ 。
- [0038] 在本发明实施例中,所述混合模数转换器采用两级量化结构,第二级ADC量化了第一级ADC的电荷残留,提高了混合ADC的分辨率。
- [0039] 在本发明实施例中,所述混合模数转换器中像素间间距为15 $\mu\text{m}$ ,像素功耗仅为214nW,并在折叠积分期间减少了电荷损耗。
- [0040] 在本发明实施例中,所述第一级ADC由于采用3T动态存储器结构的2位循环加法器,大大减少了计数逻辑所需的晶体管,实现了小像元尺寸。

## 附图说明

- [0041] 图1示出了本发明实施例中提供的一种混合模数转换器应用于读出电路的架构图；
- [0042] 图2示出了本发明实施例中提供的第一级ADC功耗仿真结果；
- [0043] 图3示出了本发明实施例中提供的第一级ADC的电路结构；
- [0044] 图4示出了本发明实施例中提供的第一级ADC中折叠积分单元的电路结构图；
- [0045] 图5示出了本发明实施例中提供的加法器的加法逻辑结构图；
- [0046] 图6示出了本发明实施例中提供的加法器计数的时序图；
- [0047] 图7示出了本发明实施例中提供的混合模数转换器和传统模数转换器的线性度比较示意图。

## 具体实施方式

[0048] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0049] 本发明实施例提供了一种混合模数转换器,

[0050] 所述混合模数转换器应用于第一读出电路中,所述第一读出电路具有 $M \times N$ 个像素阵列结构;

[0051] 所述混合模数转换器包括 $M \times N$ 个第一级ADC和 $N$ 个第二级ADC;

[0052] 所述像素阵列结构的每个像素均布置有一个第一级ADC;

[0053] 所述像素阵列结构的每一列均布置有一个第二级ADC;

[0054] 每个所述第一级ADC与所在列的所述第二级ADC相连接;

[0055] 所述第一级ADC用于将生成高位信号传输给第二级ADC;

[0056] 所述第二级ADC用于生成低位信号,并将所述高位信号和低位信号进行拼接后读出。

[0057] 在本实施例中,为了在保持小间距的同时提高像素电荷处理能力,需要具有更少晶体管和更好布局优化的混合模数转换器结构。本实施例所述的混合模数转换器具有较高的分辨率和较小的像素间间距,所述第二级ADC量化了传统折叠集成结构的电荷残留,提高了混合ADC的分辨率。

[0058] 在一个具体的实施例中,参考图1,提供了一种包含 $640 \times 512$ 像素阵列的混合模数转换器。所述混合模数转换器,每个列电路都具有一个CITA和一个7bit的第二级ADC。考虑到所述二级ADC采用单斜坡结构,因此第二级ADC包括一个斜坡发生器、一组参考电压发生器和用于ADC的7位格雷码计数器。此外,每个列级单元还需要一个存储第一级ADC生成的高位10bit高位信号的存储单元,和一个存储第二级ADC生成的高位7bit低位信号的存储单元,存储单元和加法器在一起用于拼接16bit数据。为了减少像素内存单元的数量,我们的设计采用滚动读出模式,不需要在像素内存留,通过滚动读出模式,每行依次输出以并转串并读出。

[0059] 所述混合模数转换器由1.8V电源供电,每个像素平均电流消耗约为114nA。功耗如

图2所示。可以看出,由于电荷复位技术的原因,功率消耗随着检测器电流的增加而增加。此外,加上第二级ADC的功耗分摊到各个像素,整个混合ADC的功耗为每像素214nW。

[0060] 进一步的,所述第一级ADC包括折叠积分单元和计数逻辑单元;

[0061] 所述折叠积分单元用于产生阶跃信号,并将所述阶跃信号传输给所述计算逻辑单元。

[0062] 所述计数逻辑单元用于写入所述阶跃信号的数量,并将其转换为10-bit进行输出。

[0063] 本实施例中,参考图3,所述第一级ADC包含实现第一级ADC的折叠积分电路和计数逻辑单元。该像素分4步工作:(1)电容 $C_{INT}$ 接高电压 $V_H$ 复位,然后由探测器(光电二极管)产生的光电流在GPOL的控制下在 $C_{INT}$ 上开始积分。(2)积分信号输入动态比较器与 $V_{REF}$ 进行比较,比较器产生阶跃信号,复位 $C_{INT}$ 上的电荷,并继续积分。(3)阶跃信号被传送到后面连接的计数逻辑,计数逻辑计算输入信号的数量,并将其转换为10-bit输出。(4)通过滚动读出模式,把存储在每行中的数据依次传送到列电路。

[0064] 进一步的,所述折叠积分单元包括光电二极管、第一电容和比较器;

[0065] 所述光电二极管用于产生光电流;

[0066] 所述第一电容的一端接地,另一端与光电二极管相连接,用于对光电二极管产生的光电流进行积分后产生第一积分信号;

[0067] 所述比较器的一端与第一电容相连接,另一端与预设的第一电位相连接,用于将第一电容产生的第一积分信号与第一电位进行比较后产生并输出第一阶跃信号。

[0068] 本实施例中,第一级量化ADC的电路如图2所示。

[0069] 因为量化的bit数受到帧频和计数逻辑大小影响,考虑到电荷处理能力和像素间距的折衷,像素内的第一级ADC被定为10bit。当GPOL导通,复位积分电容后,在动态比较器中将积分信号与 $V_{REF}$ 进行比较,此工作中 $V_{REF}$ 设置为500mV。一旦积分信号低于 $V_{REF}$ ,连接在比较器后面的触发电路的输出将翻转。同时,通过逻辑电路产生一组两相非重叠信号 $\Phi 1$ 和 $\Phi 2$ 。把 $\Phi 1$ 和 $\overline{\Phi 2}$ 用于控制电荷注入器( $M_{P1}, M_{P2}, M_{P3}$ 三管组成)。当 $\Phi 1$ 开始下降而 $\Phi 2$ 还没有时,有

$$[0070] \quad Q = C_{ox} \cdot (W \cdot L)_{MP2} \cdot (V_{B1} - V_{B2}) \quad (1)$$

[0071] 其中Q是存储在 $M_{P2}$ 源端上的电荷,W,L是 $M_{P2}$ 的宽长, $C_{ox}$ 是单位面积电容, $V_{B1}$ 和 $V_{B2}$ 是一组具有一定差异的偏置电压。当 $\overline{\Phi 2}$ 随后也开始下降时,电荷Q被转移到积分电容,因此积分节点的电压被拉高并且积分再次继续。在 $\overline{\Phi 2}$ 的每个下降沿,计数逻辑都会计数。作为控制信号, $\overline{EN}$ 在一次积分期间具有 $2^{10}$ 个时钟周期,用于10bit计数。积分信号的斜率根据探测器电流不同而变化,导致一次折叠过程所需的时钟周期数不同。由于动态比较器仅在 $\overline{EN}$ 为低电平时工作,因此该结构避免了在传统的电荷复位模式下比较器可能无法返回其等待状态,使得下一次比较受影响的情况。另一方面,在所述动态比较器中没有从VDD到GND的直流通路,因此几乎不存在静态功耗,这有助于降低像素级电路的功耗。

[0072] 进一步的,所述计算逻辑单元包括2位加法器;

[0073] 所述2位加法器用于对输入的第一阶跃信号的个数进行读出。

[0074] 本实施例中,在以前的折叠积分电路中,大部分方案都在使用传统的基于D触发器

(DFF)的计数器逻辑来记录积分信号的翻转次数。应用该结构,一个10bit的计数器意味着超过200个晶体管,这会占据15 $\mu\text{m}$ 像元的像素的90%以上的面积。这种计数逻辑显然是不可接受的。因此,本实施例设计了一种依靠2位加法器循环为基础,反复读出写入的计数逻辑,用以取代10位计数器。由于制冷红外焦平面工作温度接近于77K,晶体管表现出极低的漏电流,可以使用动态逻辑来完成该计数逻辑电路的存储单元,以减少电路面积。图5示出了2bit循环加法器和10位动态存储单元组成的电路方案,每个存储单元仅由3个NMOS晶体管组成。

[0075] 所述电路将原来的10bit计数操作改变为10bit加法运算。但是在这个电路中,每次加法运算都只是把1bit数据加到一个10bit中,所以本实施例将电路的逻辑通过时分复用划分为5次1bit和2bit的带进位加法。该计数的时序图如图6所示。在一个积分流程开始时,10bit存储单元的最低2bit单元先通过总传输线BL1和BL2链接到循环加法器,与输入的1bit信号相加。此时EN信号为高(即 $\overline{\text{EN}}$ 为低),二选一模块(MUX)选择 $V_{\text{COMP}}$ 作为输入的1bit,此时由 $\overline{\text{EN}}$ 控制的动态比较器也在工作,输出的 $V_{\text{COMP}}$ 正是其输出信号。之后,将计算结果的2bit数据写回这2bit存储单元,并将1bit进位信号存储在锁存器中。因为3T结构虽然节省面积,但是在读取操作之前需要预先充电,所以BL1和BL2线路必须在读取操作前进行一个预充操作。当完成最低2bit计算后,EN信号进入低电平,此时MUX选择之前存储在锁存器的1bit进位信号,然后将下2bit存储单元链接到循环加法器。重复之前的过程,直到10bit数据都被加过一次,该 $V_{\text{COMP}}$ 就算计数完毕。因为EN信号周期为 $10^2$ ,经过这么多次加法后,存储单元内就存储了折叠积分的翻转次数,再依次通过滚动读出模式传送给列级电路。

[0076] 表1

方案	基于 D 触发器	基于 1-bit 循环加法器	本文
晶体管数目(总计)	220	63	88
传输线	10	1	2
全局控制信号	12	26	16

[0078] 本实施例中不同计数方式的详细比较见表1。如表1所示,因为使用提出的2bit循环加法器结构,与基于D触发器的结构相比,计数逻辑面积节省了约60%。另一方面,根据类似原理,本实施例设计出基于1位循环加法器的计数逻辑,该逻辑比提出的结构需要更少的晶体管,但是全局控制信号的走线数量增加了近两倍。这个数量的走线也难以放入15 $\mu\text{m}$ 间距像素区域,使得走线数成为了比管子数量更制约电路的难点。因此,基于2位循环加法器的计数逻辑是这种设计的最合适的解决方案。

[0079] 进一步的,所述第一电容还用于存储第一剩余电荷,并将所述第一剩余电荷发送给第二级ADC;

[0080] 所述第一剩余电荷为所述折叠积分单元最后一个积分周期经过折叠积分后的剩

余电荷。

[0081] 本实施例中,所述积分折叠电路在一个积分周期结束时,GPOL断开,最后一个积分周期的剩余电荷存储在积分电容中。然后,行选择开关被依次打开,存储在电容器的最后一个折叠积分的剩余电荷通过列级CTIA转移到列级存储电容,用于第二级量化。传输后的电压 $V_X$ 与剩余电荷 $Q_e$ 的关系如下:

$$[0082] \quad V_X = V_R - \frac{Q_e \cdot C_{INT}}{C_F}$$

[0083] 其中 $C_F$ 是采样电容, $V_R$ 是高复位电平。

[0084] 与此同时,高位ADC量化后的10bit数据也将传递到列级和第二级量化后的数据相加。同时,为了更高效的将全部行像素内的数据依次传出,将采用滚动读出(rolling readout)的方法传送到列级。

[0085] 进一步的,所述第二级ADC包括斜坡发生器、参考电压发生器、7位格雷码计数器、第一存储单元和第二存储单元;

[0086] 所述斜坡发生器用于对输入的第一剩余电荷进行积分,输出第二积分信号;

[0087] 所述参考电压发生器用于将第二积分信号与预设的参考电压进行比较后输出第二阶跃信号;

[0088] 所述7位格雷码计数器用于对输出的所述第二阶跃信号的个数进行读出;

[0089] 所述第一存储单元用于存储第一阶跃信号的个数;

[0090] 所述第二存储单元用于存储第二阶跃信号的个数。

[0091] 所述斜坡发生器的一端与折叠积分单元相连接,另一端与参考电压发生器相连接;

[0092] 所述参考电压发生器的另一端与第二存储单元相连接;

[0093] 所述第一存储单元与计算逻辑单元相连接。

[0094] 进一步的,所述第一存储单元的分辨率为10bit;

[0095] 所述第二存储单元的分辨率为7bit。

[0096] 进一步的,所述第二级ADC还包括加法器;

[0097] 所述加法器用于将第一存储单元存储的10bit数据和第二存储单元存储的7bit数据拼接为16bit数据。

[0098] 本实施例中,为了实现16bit的总分辨率,将第二级ADC的分辨率设置为7bit,其中包含1bit冗余数据用于后续和低位10bit相合处理。针对低功耗、高线性度的总体目标,所述第二级ADC将采用具有脉冲比较器的单斜率ADC结构。

[0099] 本实施例中,每个7bit的第二级ADC都连接有一个CITA。考虑到所述第二级ADC采用单斜坡结构,所述第二级ADC一个斜坡发生器、一组参考电压发生器和用于ADC的7位格雷码计数器。此外,每个第二级ADC还需要一个存储第一级ADC生成的高位10bit高位信号的存储单元,和一个存储第二级ADC生成的高位7bit低位信号的存储单元,存储单元和加法器在一起用于拼接16bit数据。为了减少像素内存单元的数量,本实施例设计采用滚动读出模式,不需要在像素内存留,通过滚动读出模式,每行依次输出以并转串并读出。

[0100] 进一步的,所述像素阵列结构的像素间间距为 $15\mu\text{m}$ 。

[0101] 在一个具体的实施例中,提出了一种16bit混合模数转换器在 $15\mu\text{m}$ 像素间距的640

×512尺寸制冷型长波红外焦平面阵列的应用。在不影响电荷处理能力的前提下,所述两级量化混合模数转换器实现了像素功耗仅仅为214nW,并在折叠积分期间减少了电荷损耗。此外,由于采用3T动态存储器结构的2位循环加法器,大大减少了计数逻辑所需的晶体管,实现了小像元尺寸。

[0102] 进一步的,本实施例提出的混合模数转换器和传统模数转换器的线性度比较如图7所示。所提出的ADC的平均非线性为0.1%,优于采用相同参数规格的传统ADC的0.3%非线性。此外,通过电路仿真,可以得出电路输出的信噪比(SNR)在常温下为89dB,这对于制冷型红外焦平面读出电路来说是可接受的。

[0103] 仿真结果显示了良好的线性度和噪声性能展现了本实施例所提出的针对制冷型长波红外焦平面阵列所设计的读出电路实现了低功耗、小像素间距的目的。

[0104] 本实施例所述模数转换器采用1P6M0.18 $\mu$ mSMIC CMOS工艺设计。

[0105] 需要说明的是,在本文中,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

[0106] 通过以上的实施方式的描述,本领域的技术人员可以清楚地了解到上述实施例方法可借助软件加必需的通用硬件平台的方式来实现,当然也可以通过硬件,但很多情况下前者是更佳的实施方式。基于这样的理解,本发明的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品存储在一个存储介质(如ROM/RAM、磁碟、光盘)中,包括若干指令用以使得一台终端(可以是手机,计算机,服务器,空调器,或者网络设备等等)执行本发明各个实施例所述的方法。

[0107] 上面结合附图对本发明的实施例进行了描述,但是本发明并不局限于上述的具体实施方式,上述的具体实施方式仅仅是示意性的,而不是限制性的,本领域的普通技术人员在本发明的启示下,在不脱离本发明宗旨和权利要求所保护的范围情况下,还可做出很多形式,这些均属于本发明的保护之内。

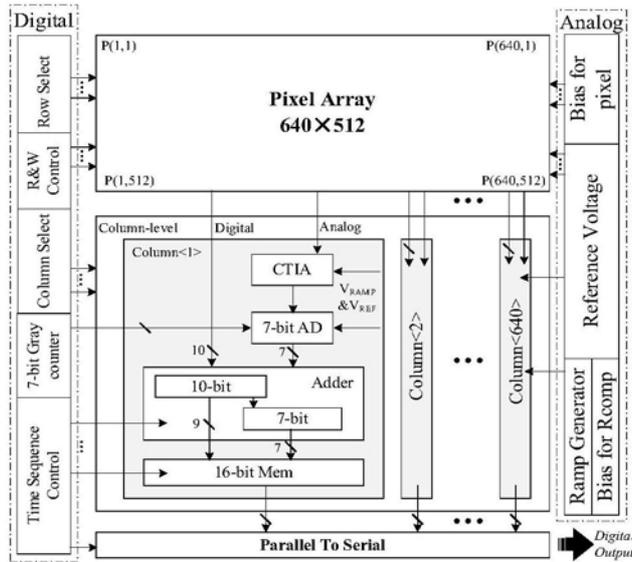


图1

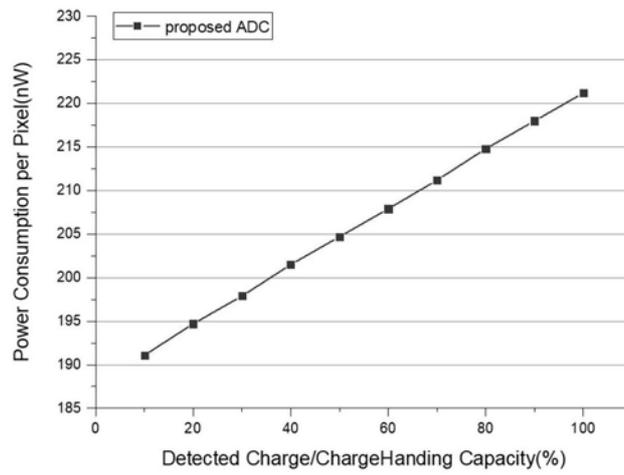


图2

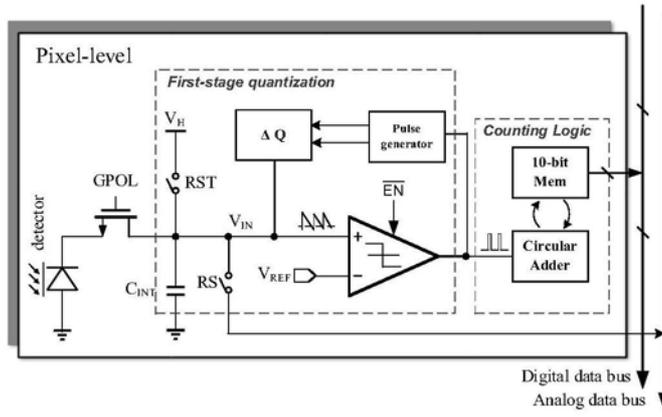


图3

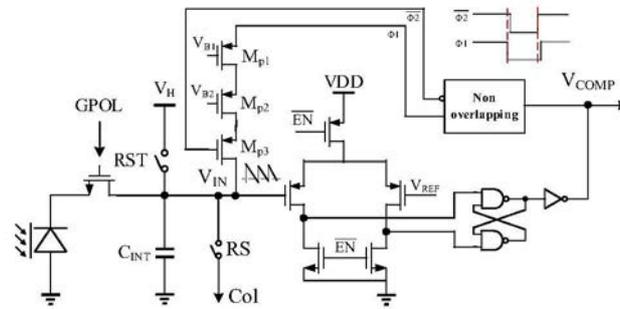


图4

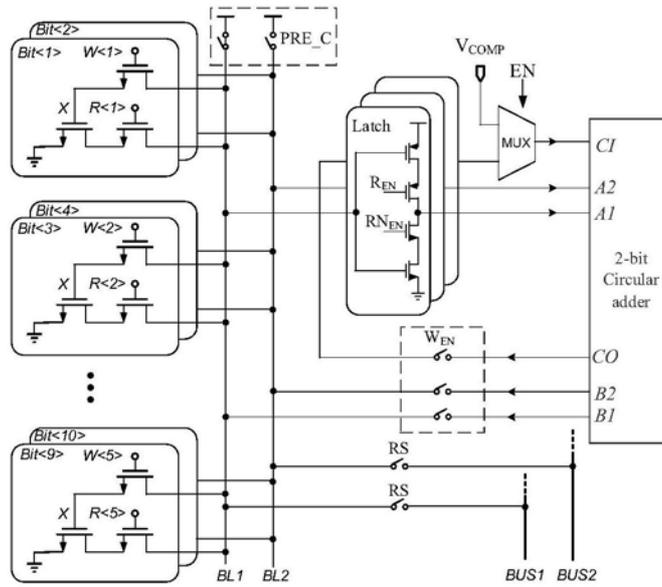


图5

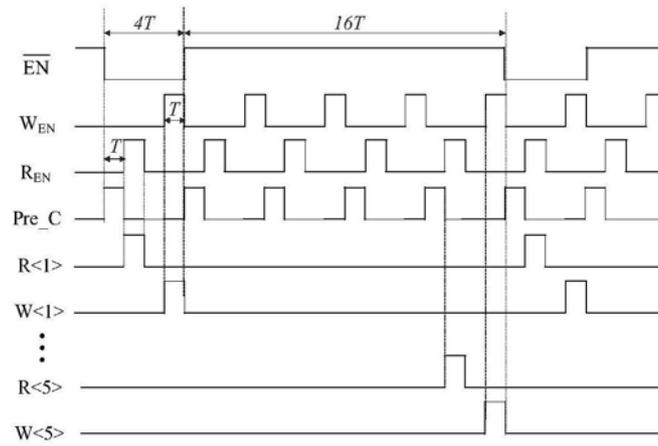


图6

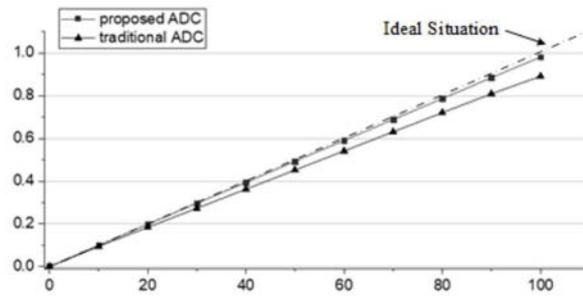


图7