



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0117208
(43) 공개일자 2017년10월20일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/28 (2006.01)
H01L 29/10 (2006.01) H01L 29/417 (2006.01)
H01L 29/45 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/10 (2013.01)
- (21) 출원번호 10-2017-7027697(분할)
- (22) 출원일자(국제) 2010년10월26일
심사청구일자 2017년09월28일
- (62) 원출원 특허 10-2016-7005690
원출원일자(국제) 2010년10월26일
심사청구일자 2016년03월10일
- (85) 번역문제출일자 2017년09월28일
- (86) 국제출원번호 PCT/JP2010/069391
- (87) 국제공개번호 WO 2011/062048
국제공개일자 2011년05월26일
- (30) 우선권주장
JP-P-2009-265409 2009년11월20일 일본(JP)

- (71) 출원인
가부시킴이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
미야나가 아끼하루
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴이샤 한도오따이 에네루기 켄큐쇼 내
- 사카타 준이찌로
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
장수길, 박충범, 이중희

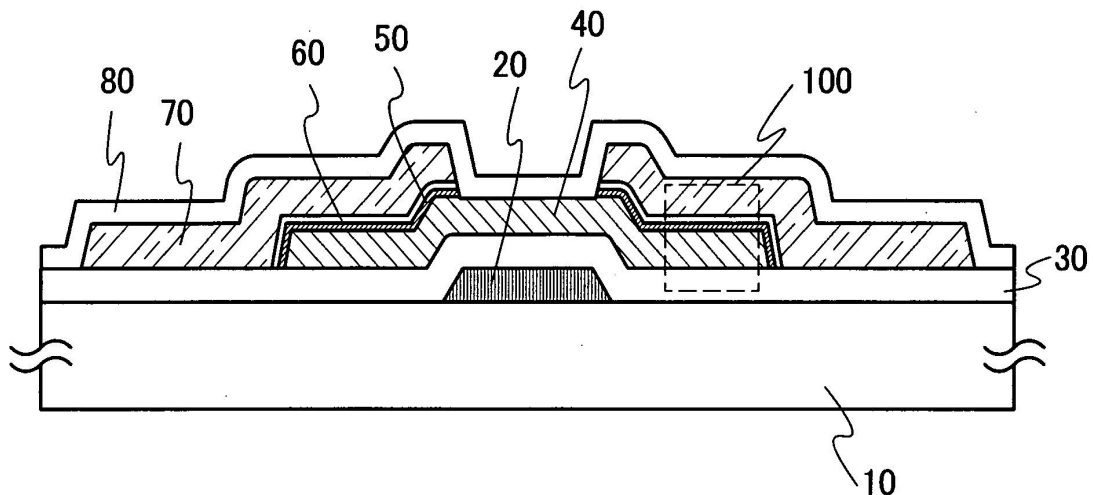
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 트랜지스터

(57) 요약

양호한 전기 특성을 갖는 산화물 반도체를 포함하는 박막 트랜지스터가 제공된다. 박막 트랜지스터는, 기판 위에 제공된 게이트 전극, 게이트 전극 위에 제공된 게이트 절연막, 게이트 전극 및 게이트 절연막 위에 제공된 산화물 반도체막, 산화물 반도체막 위에 제공된 금속 산화물막, 및 금속 산화물막 위에 제공된 금속막을 포함한다. 산화물 반도체막은 금속 산화물막에 접하며, 산화물 반도체막의 임의의 다른 영역보다 금속의 농도가 더 높은 영역(고 금속 농도 영역)을 포함한다. 고 금속 농도 영역에서, 산화물 반도체막에 포함된 금속은 결정립 또는 미 결정으로서 존재할 수도 있다.

대표도 - 도1a



(52) CPC특허분류

H01L 29/41733 (2013.01)

H01L 29/78618 (2013.01)

H01L 29/78669 (2013.01)

H01L 29/78678 (2013.01)

H01J 2237/05 (2013.01)

H01L 2924/01001 (2013.01)

H01L 2924/01008 (2013.01)

H01L 2924/01022 (2013.01)

H01L 2924/01049 (2013.01)

(72) 발명자

사카꾸라 마사유키

일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

다카하시 마사히로

일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

기시다 히데유키

일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 슌페이

일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치로서,
 게이트 전극;
 상기 게이트 전극 위의 게이트 절연막;
 상기 게이트 절연막 위의, 인듐, 갈륨 및 아연을 포함하는 산화물 반도체막;
 상기 산화물 반도체막 위의 소스 및 드레인 전극; 및
 상기 산화물 반도체막과 상기 소스 및 드레인 전극 사이의 한 쌍의 금속 산화물막을 포함하고,
 상기 산화물 반도체막은 상기 게이트 절연막과 접하는 하부 면을 갖는 제1 영역 및 상기 한 쌍의 금속 산화물막과 접하는 상부 면을 갖는 제2 영역을 포함하며,
 상기 제2 영역은 상기 제1 영역보다 더 높은 인듐의 농도를 가지고,
 상기 제2 영역은 상기 제1 영역보다 더 낮은 산소의 농도를 가지며,
 상기 한 쌍의 금속 산화물막은 상기 소스 및 드레인 전극에 포함되는 금속 원소를 포함하는, 반도체 장치.

청구항 2

반도체 장치로서,
 게이트 전극;
 상기 게이트 전극 위의 게이트 절연막;
 상기 게이트 절연막 위의, 인듐, 갈륨 및 아연을 포함하는 산화물 반도체막;
 상기 산화물 반도체막 위의 소스 및 드레인 전극;
 상기 산화물 반도체막과 상기 소스 및 드레인 전극 사이의 한 쌍의 금속 산화물막; 및
 상기 소스 및 드레인 전극 위의 절연막을 포함하고,
 상기 산화물 반도체막은 상기 게이트 절연막과 접하는 하부 면을 갖는 제1 영역 및 상기 한 쌍의 금속 산화물막과 접하는 상부 면을 갖는 제2 영역을 포함하며,
 상기 제2 영역은 상기 제1 영역보다 더 높은 인듐의 농도를 가지고,
 상기 제2 영역은 상기 제1 영역보다 더 낮은 산소의 농도를 가지며,
 상기 한 쌍의 금속 산화물막은 상기 소스 및 드레인 전극에 포함되는 금속 원소를 포함하고,
 상기 절연막은 상기 소스 및 드레인 전극 사이의 부분에서 상기 산화물 반도체막과 접하는, 반도체 장치.

청구항 3

제2항에 있어서,
 상기 절연막은 상기 제2 영역 및 상기 한 쌍의 금속 산화물막과 그들의 옆 면에서 접하는, 반도체 장치.

청구항 4

제1항 또는 제2항에 있어서,
 상기 산화물 반도체막은 상기 소스 및 드레인 전극 사이에 오목 부분(depression portion)을 갖는, 반도체

장치.

청구항 5

제4항에 있어서,

상기 제2 영역은 상기 오목 부분에 의해 분리되는 제1 부분 및 제2 부분을 포함하는, 반도체 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 제2 영역은 인듐의 결정립 또는 미결정을 포함하는, 반도체 장치.

청구항 7

제1항 또는 제2항에 있어서,

상기 소스 및 드레인 전극에 포함된 금속 원소는 티타늄인, 반도체 장치.

청구항 8

제1항 또는 제2항에 있어서,

상기 제1 영역에서의 수소의 농도는 $5 \times 10^{16} / \text{cm}^3$ 미만인, 반도체 장치.

청구항 9

제1항 또는 제2항에 있어서,

상기 제1 영역에서의 캐리어 밀도는 $5 \times 10^{10} / \text{cm}^3$ 이하인, 반도체 장치.

청구항 10

제1항 또는 제2항에 있어서,

상기 제2 영역은 상기 제1 영역보다 더 높은 캐리어 밀도를 갖는, 반도체 장치.

청구항 11

제1항 또는 제2항에 있어서,

상기 반도체 장치의 $1 \mu\text{m}$ 채널폭 당 오프 전류는 $10^{-16} \text{A} / \mu\text{m}$ 이하인, 반도체 장치.

발명의 설명

기술 분야

[0001] 기술 분야는 산화물 반도체를 포함하는 박막 트랜지스터에 관한 것이다.

배경 기술

[0002] 최근, 폴리실리콘의 특성인 높은 이동도와 아몰퍼스 실리콘의 특성인 균일한 소자 특성을 모두 갖는 새로운 반도체 재료로서 산화물 반도체(oxide semiconductor)라 불리는 반도체 특성을 갖는 금속 산화물(metal oxide)이 주목을 끌고 있다. 반도체 특성을 갖는 금속 산화물의 예로서는, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있다.

[0003] 특허 문헌 1 및 2는, 채널 형성 영역에 대해 반도체 특성을 갖는 금속 산화물이 이용되는 박막 트랜지스터를 제안하고 있다.

선행기술문헌

특허문헌

- [0004] (특허문헌 0001) 일본 특허 출원 공개번호 제2007-123861호
(특허문헌 0002) 일본 특허 출원 공개번호 제2007-96055호

발명의 내용

해결하려는 과제

- [0005] 양호한 전기 특성을 갖는 산화물 반도체를 포함하는 박막 트랜지스터를 제공하는 것이 목적이다.

과제의 해결 수단

- [0006] 본 발명의 한 실시 형태에 따르면, 박막 트랜지스터는, 기판 위에 형성된 게이트 전극, 게이트 전극 위에 형성된 게이트 절연막, 게이트 전극 및 게이트 절연막 위에 형성된 산화물 반도체막, 산화물 반도체막 위에 형성된 금속 산화물막, 및 금속 산화물막 위에 형성된 금속막을 포함한다. 산화물 반도체막은 금속 산화물막에 접하며, 금속 농도가 산화물 반도체막의 임의의 다른 영역보다 높은 영역(고 금속 농도 영역)을 포함한다.
- [0007] 고 금속 농도 영역에서, 산화물 반도체막에 포함된 금속은 결정립(crystal grain) 또는 미결정(microcrystal)으로서 존재할 수도 있다.
- [0008] 본 발명의 또 다른 실시 형태에 따르면, 박막 트랜지스터는, 기판 위에 형성된 게이트 전극, 게이트 전극 위에 형성된 게이트 절연막, 게이트 전극 및 게이트 절연막 위에 형성되고 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체막, 산화물 반도체막 위에 형성된 산화 티타늄막, 및 산화 티타늄막 위에 형성된 티타늄막을 포함한다. 산화물 반도체막은 산화 티타늄막에 접하며, 인듐의 농도가 산화물 반도체막의 임의의 다른 영역보다 높은 영역을 포함한다.
- [0009] 인듐의 농도가 산화물 반도체막의 임의의 다른 영역보다 높은 영역에서, 인듐은 결정립 또는 미결정으로서 존재할 수도 있다.

발명의 효과

- [0010] 양호한 전기 특성을 갖는 산화물 반도체를 포함하는 박막 트랜지스터가 제공될 수 있다.

도면의 간단한 설명

- [0011] 첨부된 도면에서:
- 도 1a 및 도 1b는 산화물 반도체를 포함하는 박막 트랜지스터의 단면 개략도를 도시한다;
- 도 2는 산화물 반도체를 포함하는 박막 트랜지스터의 소스 전극과 드레인 전극 사이의 에너지 밴드도를 도시한다;
- 도 3a 내지 도 3c는 In-Ga-Zn-O계 산화물 반도체의 금속과 산소의 결정 구조를 도시한다;
- 도 4a 및 도 4b는 각각이 구조 모델을 나타내는 도면을 도시한다;
- 도 5a 및 도 5b는 각각이 구조 모델을 나타내는 도면을 도시한다;
- 도 6a 및 도 6b는 각각이 구조 모델을 나타내는 도면을 도시한다;
- 도 7a는 샘플 1의 C-V 특성을 나타내는 그래프를 도시하고, 도 7b는 샘플 1의 (V_g) 와 $(1/C)^2$ 사이의 관계를 나타내는 그래프를 도시한다;
- 도 8a는 샘플 2의 C-V 특성을 나타내는 그래프를 도시하고, 도 8b는 샘플 2의 (V_g) 와 $(1/C)^2$ 사이의 관계를 나타내는 그래프를 도시한다;
- 도 9는 루틸 구조(rutile structure)를 갖는 이산화 티타늄의 결정 구조를 도시한다;

도 10은 루틸 구조를 갖는 이산화 티타늄의 상태 밀도를 도시한다;

도 11은 산소 결핍 상태의 루틸 구조를 갖는 이산화 티타늄의 상태 밀도를 도시한다;

도 12는 일산화 티타늄의 상태 밀도를 도시한다;

도 13a 및 도 13b 각각은 박막 트랜지스터를 적용한 전자 장치를 나타낸다;

도 14는 In-Ga-Zn-O계 산화물 반도체를 포함하는 박막 트랜지스터의 TEM 사진이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 도면들을 참조하여 이하에서 본 발명의 실시 형태들을 설명한다. 본 발명은 이하의 설명으로 한정되는 것은 아니며, 당업자라면 본 발명의 형태 및 세부사항들이 본 명세서의 사상과 범위로부터 벗어나지 않고 다양한 방식으로 수정될 수 있다는 것을 용이하게 이해할 수 있다는 점에 유의한다. 따라서, 본 발명은 이하의 실시 형태들의 설명으로 한정되는 것으로 해석되어서는 안 된다는 점에 유의해야 한다.
- [0013] (실시 형태 1)
- [0014] 도 1a는 산화물 반도체를 포함하는 박막 트랜지스터의 단면 개략도이다. 이 박막 트랜지스터는, 기판(10), 게이트 전극(20), 게이트 절연막(30), 산화물 반도체막(40), 금속 산화물막(60), 금속막(70) 및 절연막(80)을 이용하여 형성된다.
- [0015] 도 1a에 도시된 박막 트랜지스터는, 채널 에칭형 구조(channel-etched structure)의 보텀 게이트 타입을 갖는다. 박막 트랜지스터의 타입과 구조는 이것으로 한정되지 않고, 톱 게이트 타입, 보텀 게이트 타입 등이 적절히 이용될 수 있다는 점에 유의한다.
- [0016] 기판(10)으로서, 절연면을 갖는 기판이 이용된다. 기판(10)으로서 유리 기판이 이용되는 것이 적절하다. 후속 열 처리가 고온에서 실시되는 경우, 변형점(strain point)이 730℃ 이상인 유리 기판이 이용될 수도 있다. 또한, 내열성의 관점에서, 붕산(B₂O₃)보다 산화 바륨(BaO)을 더 많이 포함하는 유리 기판이 이용되는 것이 바람직하다.
- [0017] 유리 기판 대신에, 기판(10)으로서 세라믹 기판, 석영 유리 기판, 석영 기판, 또는 사파이어 기판 등의 절연체를 이용하여 형성된 기판이 이용될 수도 있다. 대안으로서, 결정화된 유리 기판 등이 기판(10)으로서 이용될 수도 있다.
- [0018] 또한, 하지막(base film)으로서 역할하는 절연막이 기판(10)과 게이트 전극층(20) 사이에 제공될 수도 있다. 하지막은 기판(10)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖는다. 하지막은, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 및 산화 질화 실리콘막으로부터 선택된 하나 이상의 막을 이용하여 형성될 수도 있다는 점에 유의한다.
- [0019] 게이트 전극(20)으로서 금속 도전막이 이용될 수 있다. 금속 도전막의 재료에 대해, 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 및 텅스텐(W)으로부터 선택된 원소; 전술된 원소들 중 임의의 원소를 주성분으로서 포함하는 합금 등이 이용될 수 있다. 예를 들어, 티타늄막, 알루미늄막, 및 티타늄막의 3층 구조; 몰리브덴막, 알루미늄막, 및 몰리브덴막의 3층 구조 등이 금속 도전막으로서 이용될 수 있다. 금속 도전막은 3층 구조로 한정되지 않고, 단층, 또는 2층 구조, 또는 4층 이상의 적층 구조가 이용될 수도 있다는 점에 유의한다.
- [0020] 게이트 절연막(30)으로서, 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 질화 산화 알루미늄막, 산화 하프늄막 등이 이용될 수 있다.
- [0021] 산화물 반도체막(40)에 대해 이용되는 산화물 반도체로서, 다음과 같은 금속 산화물이 이용될 수 있다: In-Sn-Ga-Zn-O계 산화물 반도체 등의 5원계 금속 산화물; In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 및 Sn-Al-Zn-O계 산화물 반도체 등의 4원계 금속 산화물; In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, 및 In-Ga-O계 산화물 반도체 등의 3원계 금속 산화물; In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등의 2원계 금속 산화물 등. 본 명세서에서, 예를 들어, In-Sn-Ga-Zn-O계 산화물 반도체란 인듐(In), 주석(Sn), 갈륨(Ga), 및 아연(Zn)을 포함하는 금속 산화물을 의미하며, 그 조성비는 특별히 한정되지 않는다는 점에 유의한다.

또한, 산화물 반도체막(40)은 산화 실리콘(SiO_2)을 포함할 수도 있다.

- [0022] 또한, 산화물 반도체막(40)에 대해, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표현되는 구조의 산화물 반도체막이 역시 이용될 수 있다. 여기서, M은, 갈륨(Ga), 알루미늄(Al), 망간(Mn), 및 코발트(Co)로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다는 점에 유의한다. M의 예로서는, 갈륨, 갈륨 및 알루미늄, 갈륨 및 망간, 또는 갈륨 및 코발트 등이 있다.
- [0023] $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표현되는 구조의 산화물 반도체들 중에서, M으로서 갈륨(Ga)을 포함하는 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고도 부른다는 점에 유의한다.
- [0024] 도너(donor)로서 작용하는 수소, 수분, 수산기, 및 수산화물(수소 화합물이라고도 함) 등의 불순물이 산화물 반도체막(40)으로부터 의도적으로 제거된 다음, 이들 불순물의 제거 공정에서 산소도 역시 저감되기 때문에 산화물 반도체막(40)에 산소가 공급된다. 따라서, 산화물 반도체막(40)은 고순도화되고 전기적으로 i형(진성)이 된다. 이것은 박막 트랜지스터의 전기적 특성의 변동을 억제하기 위한 것이다.
- [0025] 산화물 반도체막(40)의 수소가량이 적을수록, 산화물 반도체막(40)은 더욱 i형에 가까워진다. 따라서, 산화물 반도체막(40)에 포함되는 수소의 농도는, $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{16}/\text{cm}^3$ 미만일 수 있다. 수소의 농도는, 2차 이온 질량분석법(SIMS; secondary ion mass spectrometry)에 의해 측정될 수 있다.
- [0026] 산화물 반도체막(40)에 포함된 수소가 가능한 한 많이 제거된다; 따라서, 산화물 반도체막(40)의 캐리어 밀도는, $5 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{12}/\text{cm}^3$ 이하, 또는 더욱 바람직하게는 $5 \times 10^{10}/\text{cm}^3$ 이하가 된다. 산화물 반도체막(40)의 캐리어 밀도는, 산화물 반도체막(40)을 포함하는 MOS 용량 소자가 제조된 다음, MOS 용량 소자에 대한 C-V 측정의 결과(C-V 특성)가 평가되는 방식으로 측정될 수 있다.
- [0027] 또한, 산화물 반도체는 와이드 밴드 갭(wide band gap) 반도체이다. 예를 들어, 실리콘의 밴드 갭은 1.12 eV인 반면, In-Ga-Zn-O계 산화물 반도체의 밴드 갭은 3.15 eV이다.
- [0028] 와이드 밴드 갭 반도체인 산화물 반도체에서, 소수 캐리어(minority carrier)의 밀도는 낮고, 소수 캐리어는 유도되기 어렵다. 따라서, 산화물 반도체막(40)을 포함한 박막 트랜지스터에서, 터널 전류는 발생되기 어렵다; 결과적으로, 오프 전류가 흐르기 어렵다고 말할 수 있다. 따라서, 산화물 반도체막(40)을 포함하는 박막 트랜지스터의 $1\mu\text{m}$ 채널폭 당 오프 전류는 $100\text{aA}/\mu\text{m}$ 이하, 바람직하게는 $10\text{aA}/\mu\text{m}$ 이하, 더 바람직하게는 $1\text{aA}/\mu\text{m}$ 이하일 수 있다.
- [0029] 또한, 산화물 반도체는 와이드 밴드 갭 반도체이기 때문에, 산화물 반도체막(40)을 포함하는 박막 트랜지스터에서 충돌 이온화 및 애벌랜치 항복(avalanche breakdown)이 발생하기 어렵다. 따라서, 산화물 반도체막(40)을 포함하는 박막 트랜지스터는 핫 캐리어 열화(hot carrier deterioration)에 대한 내성을 갖는다고 말할 수 있다. 이것은, 핫 캐리어 열화는 주로, 애벌랜치 항복에 의해 캐리어 수 증가와 고속으로 가속된 캐리어들의 게이트 절연막으로의 주입에 의해 야기되기 때문이다.
- [0030] 금속막(70)은 소스 전극 또는 드레인 전극으로서 이용된다. 금속막(70)에 대해, 알루미늄(Al), 크롬(Cr), 구리(Cu), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 또는 텅스텐(W) 등의 금속 재료; 또는 주 성분이 이러한 금속 재료들 중 임의의 금속 재료인 합금 재료가 이용될 수 있다. 또한, 금속막(70)은, 알루미늄(Al), 구리(Cu) 등을 이용하여 형성된 금속막의 한 쪽 또는 양 쪽에, 크롬(Cr), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W) 등을 이용하여 형성된 고용점 금속막을 적층시킨 구조를 가질 수도 있다. 알루미늄막에 발생하는 힐록(hillock)이나 휘스커(whisker)를 방지하는 원소가 첨가된 알루미늄이 재료로서 이용된다; 따라서, 높은 내열성을 갖는 금속막(70)이 얻어질 수 있다는 점에 유의한다. 이러한 원소의 예로서는, 실리콘(Si), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc), 이트륨(Y) 등이 있다.
- [0031] 금속 산화물막(60)으로서, 금속막(70)에 포함된 금속의 산화물을 포함하는 막이 이용될 수 있다. 예를 들어, 금속막(70)이 티타늄을 포함하는 막인 경우, 산화 티타늄막 등이 금속 산화물막(60)으로서 이용될 수 있다.
- [0032] 또한, 산화물 반도체막(40)은 금속 산화물막(60)에 접하며, 금속 농도가 산화물 반도체막(40)의 임의의 다른 영역보다 높은 영역을 포함한다. 고 금속 농도를 갖는 영역은 고 금속 농도 영역(high metal concentration region, 50)이라고도 부른다.

- [0033] 도 1b는 도 1a의 영역(100)의 확대된 단면 개략도이다.
- [0034] 도 1b에 도시된 바와 같이, 고 금속 농도 영역(50)에서, 산화물 반도체막(40)에 포함된 금속은 결정립(crystal grain) 또는 미결정(microcrystal)으로서 존재할 수도 있다.
- [0035] 도 2는, 도 1a 및 도 1b에 도시된 구조의 박막 트랜지스터에서 소스 전극과 드레인 전극 사이의 에너지-밴드도(개략도)이다. 도 2는 소스 전극의 전위와 드레인 전극의 전위 사이의 전위차가 제로인 경우를 나타낸다.
- [0036] 여기서, 고 금속 농도 영역(50)은 금속으로서 취급된다. 또한, 산화물 반도체막(40)으로부터 불순물이 기능한 많이 제거되고 산화물 반도체막(40)에 산소가 공급된다; 따라서, 산화물 반도체막(40)은 고순도화되고 전기적으로 i형(진성)이 된다. 그 결과, 에너지-밴드도에서, 산화물 반도체막(40) 내부의 페르미 준위(E_f)는 밴드 갭 중앙 부근에 위치해 있다.
- [0037] 이 에너지-밴드도로부터, 산화물 반도체막(40)의 임의의 다른 영역과 고 금속 농도 영역(50) 사이의 계면에는 장벽이 존재하지 않고, 양호한 컨택트(contact)를 얻을 수 있다는 것을 알 수 있다. 이것은, 고 금속 농도 영역(50)과 금속 산화물막(60) 사이의 계면, 및 금속 산화물막(60)과 금속막(70) 사이의 계면에 대해서도 마찬가지로 적용된다.
- [0038] (실시 형태 2)
- [0039] 도 1a 및 도 1b에 도시된 구조를 갖는 박막 트랜지스터의 제조 공정을 설명한다.
- [0040] 우선, 절연면을 갖는 기판(10) 위에 도전막이 형성된 후에, 제1 포토리소그래피 단계에 의해 게이트 전극(20)이 형성된다.
- [0041] 제1 포토리소그래피 단계에 이용되는 레지스트 마스크는 잉크젯법에 의해 형성될 수도 있다. 레지스트 마스크가 잉크젯법에 의해 형성되면, 포토마스크가 이용되지 않아, 제조 비용이 저감될 수 있다.
- [0042] 그 다음, 게이트 전극(20) 위에 게이트 절연막(30)이 형성된다.
- [0043] 게이트 절연막(30)은, 플라즈마 CVD법, 스퍼터링법 등에 의해 형성된다. 게이트 절연막(30)으로서, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 산화 하프늄 등을 이용하여 형성된 막을 이용하는 것이 바람직하다.
- [0044] 산화물 반도체막(40)에 접하는 게이트 절연막(30)은, 높은 내압(withstand voltage)을 갖는 치밀한 막일 것이 요구된다. 따라서, 마이크로파(2.45 GHz)를 이용한 고밀도 플라즈마 CVD법에 의해 형성되는 높은 내압을 갖는 치밀한 막이 게이트 절연막(30)에 대해 특히 적합하다.
- [0045] 높은 내압을 갖는 치밀한 막인 상기 방식으로 얻어진 게이트 절연막(30)과 불순물이 가능한 한 많이 제거되고 산소가 공급되는 방식으로 i형화된 산화물 반도체막(40) 사이의 계면 특성이 개선된다.
- [0046] 산화물 반도체막(40)과 게이트 절연막(30) 사이의 계면 특성이 양호하지 않다면, 게이트 바이어스-온도 스트레스 시험(BT 시험: 85°C , $2 \times 10^6 \text{ V/cm}$, 12시간)에서 불순물과 산화물 반도체의 주성분 사이의 결합이 파괴된다; 그 결과, 생성된 땀글링 결합(dangling bond)으로 인해 임계 전압 시프트(threshold voltage shift)가 야기될 것이다.
- [0047] 게이트 절연막(30)은 질화물 절연막과 산화물 절연막의 적층 구조를 가질 수도 있다. 예를 들어, 적층 구조를 갖는 게이트 절연막(30)은, 제1 게이트 절연막으로서 스퍼터링법에 의해 50nm 이상 200nm 이하의 두께를 갖는 질화 실리콘막(SiN_y ($y>0$))이 형성된 다음, 제1 게이트 절연막 위에 제2 게이트 절연막으로서 5nm 이상 300nm 이하의 두께를 갖는 산화 실리콘막(SiO_x ($x>0$))이 형성되는 방식으로 형성될 수 있다. 게이트 절연막(30)의 두께는, 박막 트랜지스터에 요구되는 특성에 따라 적절하게 결정될 수 있으며, 대략 350nm 내지 400nm일 것이다.
- [0048] 바람직하게는, 게이트 절연막(30)의 형성 이전의 예비처리로서, 스퍼터링 장치의 예비가열 챔버에서 게이트 전극(20)을 갖춘 기판(10)이 예비가열되어, 기판(10)에 흡착된 수소 및 수분 등의 불순물이 이탈 및 제거된다. 이 예비가열을 행하는 이유는, 후속하여 형성되는 게이트 절연막(30) 및 산화물 반도체막(40)에, 수소 및 수분 등의 불순물이 가능한 한 포함되지 않도록 하기 위해서이다. 대안으로서, 기판(10)은, 그 위에 게이트 절연막(30)이 형성될 때 예비가열될 수도 있다.
- [0049] 예비가열의 적절한 온도는, 100°C 내지 400°C 이다. 150°C 내지 300°C 의 온도가 더 바람직하다. 추가로, 예비

가열 챔버의 배기 수단에 대해 크라이오펌프(cryopump)를 이용하는 것이 적절하다.

- [0050] 그 다음, 게이트 절연막(30) 위에 산화물 반도체막(40)이 형성된다. 산화물 반도체막(40)의 적절한 두께는 2nm 내지 200nm 이다.
- [0051] 산화물 반도체막(40)은 스퍼터링법에 의해 형성된다. 스퍼터링법에 의한 성막은, 희가스(통상적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스 및 산소를 포함하는 혼합된 분위기에서 실시된다.
- [0052] 스퍼터링법에 의해 산화물 반도체막(40)을 형성하는 데 이용되는 타겟으로서, 산화 아연을 주성분으로서 포함하는 금속 산화물이 이용될 수 있다. 대안으로서, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ [몰 %], 또는 $\text{In}:\text{Ga}:\text{Zn} = 1:1:0.5$ [원자 %], $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ [원자 %], 또는 $\text{In}:\text{Ga}:\text{Zn} = 1:1:2$ [원자 %]의 상대비를 갖는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물 반도체를 형성하기 위한 타겟이 이용될 수도 있다. 또한, 산화물 반도체를 형성하기 위한 타겟의 충전율은 90% 내지 100%이다. 95% 내지 99.9%의 충전율(filling rate)이 더 바람직하다. 이것은, 높은 충전율의 산화물 반도체를 형성하기 위한 타겟이 이용될 때 더 치밀한 산화물 반도체막이 형성될 수 있기 때문이다.
- [0053] 산화물 반도체막(40)이 형성되기 이전에, 감압 상태의 처리 챔버에 기관(10)이 배치되고, 기관(10)이 실온 이상 400℃ 미만의 온도로 가열된다. 그 후, 처리 챔버의 잔류 수분을 제거하고 수소 및 수분이 제거된 스퍼터링 가스를 챔버에 도입하면서, 기관(10)과 타겟 사이에 전압을 인가하여, 기관(10) 위에 산화물 반도체막(40)을 형성한다.
- [0054] 처리 챔버의 잔류 수분을 제거하기 위한 배기 수단에 대해, 흡착형 진공 펌프(sorption vacuum pump)를 이용하는 것이 적절하다. 펌프의 예로서, 크라이오펌프, 이온 펌프, 티타늄 승화 펌프(titanium sublimation pump) 등이 있다. 대안으로서, 배기 수단에 대해 콜드 트랩(cold trap)을 갖춘 터보 펌프(turbo pump)가 이용될 수 있다. 처리 챔버로부터, 수소 원자, 수소 분자, 물(H_2O) 등의 수소 원자를 포함한 화합물(더 바람직하게는, 탄소 원자를 포함한 화합물과 함께) 등이 제거된다; 따라서, 처리 챔버에서 형성된 산화물 반도체막(40)에 포함된 불순물의 농도가 저감될 수 있다. 또한, 크라이오펌프에 의해 처리 챔버의 잔류 수분을 제거하면서 스퍼터링 성막이 실시된다; 따라서, 산화물 반도체막(40)의 형성시 기관(10)의 온도는 실온 이상 400℃ 미만일 수 있다.
- [0055] 산화물 반도체막(40)이 스퍼터링법에 의해 형성되기 이전에, 역스퍼터링에 의해 게이트 절연막(30) 표면의 먼지를 제거하는 것이 바람직하다는 점에 유의한다. 역스퍼터링이란, 타겟 측에 전압을 인가하지 않고 RF 전원을 이용해 기관 측에 전압을 인가하여 생성되는 반응성 플라스마에 의해 기관 표면을 세정하는 방법을 말한다. 역스퍼터링은 아르곤 분위기에서 실시된다는 점에 유의한다. 대안으로서, 아르곤 대신에 질소, 헬륨, 산소 등이 이용될 수도 있다.
- [0056] 산화물 반도체막(40)이 형성된 후에, 산화물 반도체막(40)에는 탈수화 또는 탈수소화가 실시된다. 탈수화 또는 탈수소화를 위한 열 처리는, 400℃ 내지 750℃에서 실시되는 것이 적절하다; 특히, 바람직한 온도는 425℃ 이상이다. 열 처리가 425℃ 이상에서 실시되는 경우, 열 처리는 1시간 이하 동안 실시될 수도 있지만, 열 처리가 425℃ 미만에서 실시되는 경우, 열 처리는 1시간보다 길게 실시되는 것이 바람직하다는 점에 유의한다. 본 명세서에서, "탈수소화"는 이러한 열 처리에 의해 수소 분자(H_2)만을 제거하는 것을 가리키는 것은 아니다. 편의상, 수소 원자(H), 수산기(OH) 등의 제거를, "탈수화 또는 탈수소화"라고도 부른다.
- [0057] 예를 들어, 산화물 반도체막(40)을 갖춘 기관(10)을 열 처리 장치의 일종인 전기로(electric furnace)에 배치하고, 질소 분위기에서 열 처리가 실시된다. 그 후, 고순도의 산소 가스, 고순도의 일산화이질소(N_2O) 가스, 또는 조건조 공기(-40℃ 이하, 바람직하게는, -60℃ 이하의 이슬점을 갖고, 질소 대 산소의 비율이 4:1인, 질소와 산소의 혼합 가스)를 동일한 로(furnace)에 도입하고, 냉각을 실시한다. 산소 가스 또는 일산화이질소(N_2O) 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 산소 가스 또는 일산화이질소(N_2O) 가스의 순도는, 6N(99.9999%) 이상, 더 바람직하게는 7N(99.99999%) 이상(즉, 산소 가스 또는 일산화이질소(N_2O) 가스의 내의 불순물 농도가 1 ppm이하, 더 바람직하게는 0.1 ppm 이하)인 것이 적절하다.
- [0058] 열 처리 장치는 전기로에 한정되지 않고, 예를 들어, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치 등의 RTA(rapid thermal annealing) 장치가 이용될 수 있다는 점에 유의한다.
- [0059] 또한, 산화물 반도체막(40)의 탈수화 또는 탈수소화를 위한 열 처리는, 제2 포토리소그래피 단계에서 산화물 반

도체막(40)이 섬 형상으로 가공되기 이전 또는 이후에, 산화물 반도체막(40)에 대해 실시될 수 있다.

- [0060] 이상의 공정을 통해, 산화물 반도체막(40)의 전체 영역이 산소 과잉 상태가 되고, 이로써 산화물 반도체막(40)의 전체 영역이 높은 저항을 가지며 i형이 된다.
- [0061] 그 다음, 게이트 절연막(30) 및 산화물 반도체막(40) 위에 금속막(70)이 적층된다. 금속막(70)은 스퍼터링법, 진공 증착법 등에 의해 형성될 수도 있다. 또한, 금속막(70)은 단층 구조 또는 2층 이상의 적층 구조를 가질 수도 있다.
- [0062] 그 후, 제3 포토리소그래피단계에 의해 금속막(70) 위에 레지스트 마스크가 형성된다. 레지스트 마스크는 선택적으로 에칭되어, 소스 전극 및 드레인 전극이 형성된다. 그 다음, 레지스트 마스크가 제거된다.
- [0063] 박막 트랜지스터의 채널 길이는, 산화물 반도체막(40) 위에서 서로 인접하는 소스 전극의 하단부와 드레인 전극의 하단부 사이의 거리에 따라 결정된다. 즉, 박막 트랜지스터의 채널 길이는 제3 포토리소그래피 공정에서 레지스트 마스크 형성시의 노광의 정도에 따라 결정된다고 말할 수 있다. 제3 포토리소그래피 공정에서 레지스트 마스크 형성을 위한 노광에 대해, 자외선, KrF 레이저, 또는 ArF 레이저가 이용될 수 있다. 또한, 채널 길이가 25nm보다 짧은 경우, 파장이 지극히 짧은, 즉, 파장이 수nm 내지 수십nm인 극자외선(extreme ultraviolet)을 이용하여 노광이 실시될 수도 있다. 이것은, 극자외선을 이용한 노광이 높은 해상도와 큰 초점 심도를 제공할 수 있기 때문이다. 따라서, 박막 트랜지스터의 채널 길이는 노광에 이용되는 광의 종류에 따라 10nm 내지 1000nm 일 수 있다.
- [0064] 금속막(70)이 에칭될 때 산화물 반도체막(40)이 제거되지 않도록 금속막(70)의 재료 및 산화물 반도체막(40)의 재료와 에칭 조건이 적절히 설정될 필요가 있다는 점에 유의한다.
- [0065] 예를 들어, 금속막(70)으로서 티타늄막이 이용되고 산화물 반도체막(40)으로서 In-Ga-Zn-O계 산화물 반도체가 이용되는 경우, 에칭액으로서 암모니아 과산화수소수(암모니아, 물, 및 과산화 수소수의 혼합액)가 이용될 수도 있다.
- [0066] 제3 포토리소그래피 단계에서 일부만이 에칭됨으로써, 산화물 반도체막(40)이 홈(침하부)을 갖는 것이 허용될 수 있다는 점에 유의한다. 소스 전극 및 드레인 전극을 형성하는 데 이용되는 레지스트 마스크는 잉크젯법에 의해 형성될 수도 있다. 레지스트 마스크가 잉크젯법에 의해 형성되면, 포토마스크가 이용되지 않는다; 따라서, 제조 비용이 저감될 수 있다.
- [0067] 소스 전극 및 드레인 전극이 형성된 후, 일산화이질소(N_2O), 질소(N_2) 또는 아르곤(Ar) 등의 가스를 이용한 플라즈마 처리에 의해, 노출된 산화물 반도체막(40) 표면의 물(흡착수) 등이 제거될 수도 있다. 플라즈마 처리에서, 산소 및 아르곤의 혼합 가스가 역시 이용될 수 있다.
- [0068] 플라즈마 처리가 실시되는 경우, 산화물 절연막(40)을 대기에 노출시키지 않고 산화물 반도체막(40)의 일부에 접하는 절연막(80)이 형성된다. 도 1a에 나타난 박막 트랜지스터에서, 산화물 반도체막(40)은 금속막(70)으로 덮이지 않은 산화물 반도체막(40)의 부분에서 절연막(80)에 접하고 있다.
- [0069] 절연막(80)의 예로서, 결함(defect)을 갖는 산화 실리콘막을 들 수 있다. 산화 실리콘막은 다음과 같은 방식으로 형성된다: 산화물 반도체막(40)을 갖춘 기판(10)과 금속막(70)이 실온 이상 100℃ 미만의 온도에서 가열된다; 수소 및 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스가 도입된다; 그리고, 실리콘 타겟이 이용된다.
- [0070] 처리 챔버의 잔류 수분을 제거하면서 절연막(80)을 형성하는 것이 바람직하다. 이것은, 산화물 반도체막(40) 및 절연막(80)이 수소, 수산기, 및 수분을 포함하지 않도록 하기 위한 것이다.
- [0071] 처리 챔버로부터 잔류 수분을 제거하기 위한 배기 수단에 대해, 흡착형 진공 펌프를 이용하는 것이 적절하다. 펌프의 예로서, 크라이오펌프, 이온 펌프, 티타늄 승화 펌프(titanium sublimation pump) 등이 있다. 대안으로서, 배기 수단에 대해 콜드 트랩(cold trap)을 갖춘 터보 펌프(turbo pump)가 이용될 수 있다. 처리 챔버로부터, 수소 원자, 수소 분자, 물(H_2O) 등의 수소 원자를 포함하는 화합물 등이 제거된다; 따라서, 처리 챔버에서 형성된 절연막(80)에 포함된 불순물의 농도가 저감될 수 있다.
- [0072] 절연막(80)으로서는, 산화 실리콘막 외에도, 산화 질화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등이 이용될 수 있다는 점에 유의한다.

- [0073] 절연막(80)이 형성된 후, 불활성 가스 분위기하 또는 질소 가스 분위기하, 100℃ 내지 400℃의 온도에서, 바람직하게는 150℃ 이상 350℃ 미만의 온도에서, 열 처리가 실시된다. 일단 열 처리가 실시되면, 산화물 반도체막(40)에 포함된 수소, 수분, 수산기, 및 수소화물 등의 불순물이 결함을 갖는 절연막(80)으로 확산된다. 그 결과, 산화물 반도체막(40)에 포함된 불순물 농도가 더욱 저감될 수 있다.
- [0074] 또한, 열 처리에 의해, 산화물 반도체막(40)과 금속막(70) 사이의 계면에 금속 산화물막(60)이 형성되고, 금속 산화물막(60)에 접하는 산화물 반도체막(40)의 영역에서 고 금속 농도 영역(50)이 형성된다.
- [0075] 금속 산화물막(60)은 금속막(70)이 형성되기 이전에 스퍼터링법에 의해 산화물 반도체막(40) 위에 형성될 수도 있다는 점에 유의한다. 이 경우, 산화물 반도체막(40) 위에 금속 산화물막(60)이 형성된 후에 금속막(70)으로 덮이지 않는 산화물 반도체막(40)의 영역으로부터 금속 산화물막(60)을 제거하는 방식으로 도 1a 및 도 1b에 도시된 박막 트랜지스터가 얻어진다.
- [0076] 또한, 절연막(80)이 형성되기 이전에 상기의 열 처리가 실시될 수도 있다.
- [0077] 이상의 공정을 통해, 도 1a 및 도 1b에 도시된 구조를 갖는 박막 트랜지스터가 형성될 수 있다.
- [0078] (실시 형태 3)
- [0079] 도 1a 및 도 1b에 도시된 구조를 갖는 박막 트랜지스터에서, 산화물 반도체막(40)과 금속막(70) 사이의 계면에 금속 산화물막(60)이 형성되고, 금속 산화물막(60)에 접하는 산화물 반도체막(40)의 영역에 고 금속 농도 영역(50)이 형성되는 현상이 계산 과학에 의해 검사되었고, 그 결과를 설명한다.
- [0080] 이하의 계산에서, 산화물 반도체막(40)이 In-Ga-Zn-O계 산화물 반도체인 경우가 고려되었다. 또한, 금속막(70)이 텅스텐(W) 막, 몰리브덴(Mo) 막, 또는 티타늄(Ti) 막인 경우가 고려되었다.
- [0081] [고 금속 농도 영역(50)이 형성되는 현상]
- [0082] In-Ga-Zn-O계 산화물 반도체에 포함된 인듐, 갈륨, 및 아연 각각의 산화물이 산소 결핍 상태를 형성하는데 필요한 에너지(결핍 형성 에너지 E_{def})가 계산되었다.
- [0083] 결핍 형성 에너지(E_{def})는 다음과 같이 수학적 식 (1)에 의해 정의된다.

수학적 식 1

$$E_{def} = E(A_mO_{n-1}) + E(O) - E(A_mO_n) \quad (1)$$

- [0084]
- [0085] $E(A_mO_{n-1})$ 은 산소 결핍이 있는 산화물(A_mO_{n-1})의 에너지를 나타내고, $E(O)$ 는 산소 원자의 에너지를 나타내며, $E(A_mO_n)$ 은 산소 결핍이 없는 산화물(A_mO_n)의 에너지를 나타낸다는 점에 유의한다. 또한, A 는 다음 중 하나를 나타낸다: 인듐; 갈륨; 아연; 또는 인듐, 갈륨, 및 아연의 조합.
- [0086] 또한, 산소 결핍 농도 n 과, 결핍 형성 에너지 E_{def} 사이의 관계는 다음과 같은 수학적 식 (2)에 의해 근사적으로 표현된다.

수학적 식 2

$$n = N \exp\left(-\frac{E_{def}}{k_B T}\right) \quad (2)$$

- [0087]
- [0088] N 은 결핍이 형성되지 않은 상태에서의 산소 원자 수를 나타내고, k_B 는 볼츠만 상수를 나타내며, T 는 절대 온도를 나타낸다는 점에 유의한다.
- [0089] 수학적 식 (2)로부터, 결핍 형성 에너지(E_{def})가 증가되면, 산소 결핍의 농도 n , 즉, 산소 결핍의 양이 감소된다는

것을 알 수 있다.

[0090] 결핍 형성 에너지(E_{def})의 계산을 위해, 밀도 범함수 이론(density functional theory)을 위한 계산 프로그램인 CASTEP이 이용되었다. 밀도 범함수 이론으로서 평면파 기반의 의사퍼텐셜 방법(plane-wave-basis pseudopotential method)이 이용되었고, 범함수(functional)로서 GGA-PBE가 이용되었다. 컷-오프(cut-off) 에너지는 500 eV로 설정되었다. k점에서 그리드(grid)의 수는 다음과 같이 설정되었다: 인듐, 갈륨, 및 아연을 포함하는 산화물(이하에서부터, IGZO라고도 함)에 대해서는 $3 \times 3 \times 1$; 인듐 산화물(이하에서부터, In_2O_3 라고도 함)에 대해서는 $2 \times 2 \times 2$; 갈륨 산화물(이하에서부터, Ga_2O_3 라고도 함)에 대해서는 $2 \times 3 \times 2$; 및 아연 산화물(이하에서부터, ZnO라고도 함)에 대해서는 $4 \times 4 \times 1$.

[0091] IGZO의 결정 구조로서, 대칭성 R-3(국제 번호:148)의 구조를 a축 방향 및 b축 방향으로 두 배로 하여 얻어진 84개 원자들이 Ga 및 Zn의 에너지가 최소화되도록 배열된 구조가 이용되었다. In_2O_3 , Ga_2O_3 , 및 ZnO의 결정 구조는, 각각, 80개 원자들의 비스비아이트(bixbyite) 구조, 80개 원자들의 β -갈리아(β -gallia) 구조, 80개 원자들의 우르츠(wurtzite) 구조였다.

[0092] 표 1은, 수학적 (1)에서 A가 인듐; 갈륨; 아연; 및 인듐과 갈륨과 아연의 조합인 경우의 결핍 형성 에너지(E_{def})의 값을 나타낸다. 또한, 도 3a 내지 도 3c는 In-Ga-Zn-O계 산화물 반도체에서의 금속과 산소의 결정 구조를 도시한다.

표 1

조성물	E_{def} (eV)
In_2O_3	3.06
ZnO	3.75
IGZO (Model 1)	3.73
IGZO (Model 2)	3.98
IGZO (Model 3)	4.08
Ga_2O_3	4.18

[0093]

[0094] IGZO(Model1)의 결핍 형성 에너지(E_{def})의 값은, A가 인듐과 갈륨과 아연의 조합인 경우에 IGZO 결정 내의 3개 인듐 원자와 1개 아연 원자에 인접하는 산소의 결핍 형성 에너지에 대응한다(도 3a 참조).

[0095] IGZO(Model2)의 결핍 형성 에너지(E_{def})의 값은, A가 인듐과 갈륨과 아연의 조합인 경우에 IGZO 결정 내의 3개 인듐 원자와 1개 갈륨 원자에 인접하는 산소의 결핍 형성 에너지에 대응한다(도 3b 참조).

[0096] IGZO(Model3)의 결핍 형성 에너지(E_{def})의 값은, A가 인듐과 갈륨과 아연의 조합인 경우에 IGZO 결정 내의 2개 아연 원자와 2개 갈륨 원자에 인접하는 산소의 결핍 형성 에너지에 대응한다(도 3c 참조).

[0097] 결핍 형성 에너지(E_{def})의 값이 클수록, 산소 결핍 상태의 형성을 위해 더 많은 에너지가 필요하다. 즉, 결핍 형성 에너지(E_{def})의 값이 클수록, 산소와 금속 간의 결합이 더 강하게 되는 경향이 있다는 것을 암시한다.换言之하면, 표 1로부터, 결핍 형성 에너지(E_{def})의 값이 가장 작은 인듐이, 산소와의 가장 약한 결합을 갖는다고 말할 수 있다.

[0098] In-Ga-Zn-O계 산화물 반도체에서의 산소 결핍 상태는, 소스 전극 또는 드레인 전극에 대해 이용되는 금속막(70)이 산화물 반도체막(40)으로부터 산소를 추출하기 때문에 형성되었다. 이렇게 산소 결핍 상태가 된 산화물 반도체막(40)의 일부가 고 금속 농도 영역(50)이 되었다. 고 금속 농도 영역(50)의 존재에 따라 산화물 반도체막(40)의 캐리어 밀도는 적어도 두 자리 수만큼 달라진다. 이것은, 산화물 반도체막(40)으로부터 산소가 추출됨으로써 산화물 반도체막(40)이 n형으로 되었기 때문이다. n형이란 다수 캐리어인 전자의 수가 증가하는 상태

에 있다는 것을 의미한다는 점에 유의한다.

[0099] [금속 산화물막(60)이 형성되는 현상]

[0100] In-Ga-Zn-O계 산화물 반도체와 금속막(70)을 이용하여 산화물 반도체막(40)의 적층된 구조에 관해 양자 분자 동역학(QMD; quantum molecular dynamic) 시뮬레이션이 실시되었다. 이것은, 금속에 의한 산화물 반도체로부터의 산소의 추출을 확인하기 위한 것이다.

[0101] 계산을 위한 구조는 다음과 같은 방식으로 제작되었다. 우선, 고전 분자 동역학(CMD) 방법에 의해 형성된 아몰퍼스 In-Ga-Zn-O계 산화물 반도체(이하, a-IGZO라고 함)에 관해, 양자 분자 동역학(QMD) 방법을 이용한 구조 최적화를 실시하였다. 또한, 구조-최적화된 단위 격자(cell)를 절단함으로써, a-IGZO막이 얻어졌다. a-IGZO막 위에, 각각의 금속 원자(W, Mo, 및 Ti)의 결정을 갖는 금속막이 적층되었다. 그 후, 제작된 구조는 구조적으로 최적화되었다. 이들 구조들 각각은 시작물(object)로서 이용되었고, 623.0 K에서 QMD 방법을 이용하여 계산이 실시되었다. 계면에서의 상호작용만을 추정할 수 있도록 a-IGZO막들 각각의 하단과 금속막들 각각의 상단이 고정되었다는 점에 유의한다.

[0102] CMD 계산에 대한 계산 조건을 이하에 나타낸다. 계산 프로그램에 대해 Materials Explorer를 이용하였다. a-IGZO는 다음과 같은 조건하에서 형성되었다. 한 변이 1nm인 시뮬레이션 셀에서 In:Ga:Zn:O=1:1:1:4의 비율로 전체 84개의 원자를 무작위로 배치하고, 밀도를 5.9 g/cm^3 로 설정하였다. CMD 계산이 NVT 앙상블(ensemble)로 실시되었고, 온도를 5500 K로부터 1 K로 서서히 내렸다. 그 후, 구조적 이완(structural relaxation)이 1 K에서 10 ns 동안 실시되었다. 시간 간격을 0.1 fs로 하여, 총 계산 시간은 10 ns였다. 퍼텐셜에 관해서는, 금속-산소 결합 및 산소-산소 결합에는 Born-Mayer-Huggins 퍼텐셜이 적용되었고, 금속-금속 결합에는 Lennard-Jones 퍼텐셜이 적용되었다. 전하는 다음과 같이 설정되었다: In에 대해서는 +3, Ga에 대해서는 +3, Zn에 대해서는 +2, O에 대해서는 -2.

[0103] QMD 계산에 대한 계산 조건을 이하에 나타낸다. 계산 프로그램에 대해, 제1 원리 계산 소프트웨어 CASTEP을 이용하였다. 범함수(functional)에 대해 GGA-PBE를 이용하였다. 의사퍼텐셜에 대해 Ultrasoft를 이용하였다. 컷-오프 에너지는 260 eV로 설정되었고, k점은 $1 \times 1 \times 1$ 로 설정되었다. QMD 계산은 NVT 앙상블로 실시되었고, 온도는 623 K이었다. 시간 간격을 1.0 fs로 하여, 총 계산 시간은 2.0 ps였다.

[0104] 도 4a 및 도 4b, 도 5a 및 도 5b와, 도 6a 및 도 6b에 도시된 구조 모델을 참조하여 상기 계산의 결과를 설명한다. 도 4a 및 도 4b, 도 5a 및 도 5b와, 도 6a 및 도 6b에서, 흰색 구체(white sphere)는 a-IGZO막 위에 적층된 금속막에 포함된 결정 금속 원자를 나타내고, 검정색 구체는 산소 원자를 나타낸다.

[0105] 도 4a 및 도 4b는, 텅스텐(W)의 결정을 포함하는 금속막이 a-IGZO막 위에 적층되어 있는 구조 모델을 도시한다. 도 4a는 QMD 계산 이전의 구조에 대응하고, 도 4b는 QMD 계산 이후의 구조에 대응한다.

[0106] 도 5a 및 도 5b는, 몰리브덴(Mo)의 결정을 포함하는 금속막이 a-IGZO막 위에 적층되어 있는 구조 모델을 도시한다. 도 5a는 QMD 계산 이전의 구조에 대응하고, 도 5b는 QMD 계산 이후의 구조에 대응한다.

[0107] 도 6a 및 도 6b는, 티타늄(Ti)의 결정을 포함하는 금속막이 a-IGZO막 위에 적층되어 있는 구조 모델을 도시한다. 도 6a는 QMD 계산 이전의 구조에 대응하고, 도 6b는 QMD 계산 이후의 구조에 대응한다.

[0108] 도 5a와 도 6a로부터, 몰리브덴 또는 티타늄의 결정을 포함하는 금속막이 a-IGZO막 위에 적층되어 있는 경우, 구조 최적화가 실시되기 이전에 산소 원자가 금속막으로 이미 이동했음을 알 수 있다. 또한, 도 4b, 도 5b 및 도 6b로부터, 티타늄의 결정을 포함하는 금속막이 a-IGZO막 위에 적층되어 있는 경우, 가장 많은 수의 산소가 금속막으로 이동함을 알 수 있다. 따라서, 티타늄이 금속으로서 사용된 경우, 금속에 의해 산화물 반도체로부터 산소가 가장 빈번하게 추출되었다. 이 결과는, a-IGZO막에서 산소 결핍을 초래하는 전극으로서 티타늄 결정을 포함하는 금속막이 최적임을 나타낸다.

[0109] [산화물 반도체막(40)의 캐리어 밀도]

[0110] 실제로 소자를 제작함으로써, 금속막(70)에 포함된 금속이 산화물 반도체막(40)으로부터의 산소를 추출하는 사실이 평가되었다. 구체적으로는, 산소를 추출할 수 있는 금속막이 산화물 반도체막 위에 적층된 경우와, 산소를 추출할 수 없는 금속막이 산화물 반도체막 위에 적층된 경우 양쪽 모두에 대해, 산화물 반도체막(40)의 캐리어 밀도가 계산되었다; 그 다음, 그 결과가 비교되었다.

[0111] 산화물 반도체막을 포함하는 MOS 용량 소자를 제작하고, 그 MOS 용량 소자의 C-V 측정의 결과(C-V 특성)를 평가

되는 방식으로, 산화물 반도체막의 캐리어 밀도를 얻을 수 있었다.

[0112] 캐리어 밀도는 다음과 같은 단계 1 내지 3에서 측정되었다: (1) MOS 용량 소자의 게이트 전압(V_g)과 용량(C) 사이의 관계를 플롯한 C-V 특성을 구한다; (2) C-V 특성을 이용하여 게이트 전압(V_g)와 $(1/C)^2$ 사이의 관계를 나타내는 그래프를 구하고, 그 그래프에서 약반전 영역(weak inversion region)에서의 $(1/C)^2$ 의 미분값을 결정한다; (3) 결정된 미분값을, 캐리어 밀도(N_d)를 나타내는 이하의 수학적 식 (3)에 대입한다.

수학적 식 3

$$N_d = - \left(\frac{2}{e \epsilon_0 \epsilon} \right) \left/ \frac{d(1/C)^2}{dV} \right. \quad (3)$$

[0113]

[0114] e 는 전기 소량(electrical element amount)을 나타내고, ϵ_0 는 진공의 유전율(vacuum dielectric constant)을 나타내며, ϵ 은 산화물 반도체의 비유전율(relative dielectric constant)을 나타낸다는 점에 유의한다.

[0115] 측정을 위한 샘플로서, 산소를 추출할 수 있는 금속막을 포함하는 MOS 용량 소자(이하, 샘플 1이라고도 함)와 산소를 추출할 수 없는 금속막을 포함하는 MOS 용량 소자(이하, 샘플 2라고도 함)를 준비하였다. 산소 추출에 효과적인 금속막을 위해 티타늄막이 이용되었음에 유의한다. 산소 추출에 효과적이지 않은 금속막으로서, 티타늄막의 표면(산화물 반도체 측)에 티타늄막 및 질화 티타늄막을 포함하는 막이 이용되었다.

[0116] 샘플들의 상세사항은 다음과 같다: 샘플 1은, 유리 기판 위의 400nm 두께의 티타늄막, 티타늄막 위의 아몰퍼스 In-Ga-Zn-O계 산화물 반도체(a-IGZO)를 포함하는 2 μ m 두께의 산화물 반도체막, 산화물 반도체막 위의 300nm 두께의 산화 질화 실리콘막, 및 산화 질화 실리콘막 위의 300nm 두께의 은(silver)막을 포함하고, 샘플 2는, 유리 기판 위의 300nm 두께의 티타늄막, 티타늄막 위의 100nm 두께의 질화 티타늄막, 질화 티타늄막 위의 아몰퍼스 In-Ga-Zn-O계 산화물 반도체(a-IGZO)를 포함하는 2 μ m 두께의 산화물 반도체막, 산화물 반도체막 위의 300nm 두께의 산화 질화 실리콘막, 및 산화 질화 실리콘막 위의 300nm 두께의 은막을 포함한다.

[0117] 샘플 1 및 샘플 2에 포함된 산화물 반도체막은, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물 반도체 타겟(In:Ga:Zn=1:1:0.5[원자 %])을 이용한 스퍼터링법에 의해 형성되었다는 점에 유의한다. 또한, 산화물 반도체막을 형성하기 위한 분위기는, 아르곤(Ar)과 산소(O_2)의 혼합 분위기(Ar: O_2 =30(sccm):15(sccm))였다.

[0118] 도 7a는 샘플 1의 C-V 특성을 도시한다. 또한, 도 7b는 샘플 1의 게이트 전압(V_g)과 $(1/C)^2$ 사이의 관계를 도시한다. 도 7b의 약반전 영역에서의 $(1/C)^2$ 의 미분값을 수학적 식 (3)에 대입하였다; 따라서, 산화물 반도체막의 캐리어 밀도가 $1.8 \times 10^{12}/\text{cm}^3$ 인 것으로 결정되었다.

[0119] 도 8a는 샘플 2의 C-V 특성을 도시한다. 또한, 도 8b는 샘플 2의 게이트 전압(V_g)과 $(1/C)^2$ 사이의 관계를 도시한다. 도 8b의 약반전 영역에서의 $(1/C)^2$ 의 미분값을 수학적 식 (3)에 대입하였다; 따라서, 산화물 반도체막의 캐리어 밀도가 $6.0 \times 10^{10}/\text{cm}^3$ 인 것으로 결정되었다.

[0120] 이상의 결과로부터, 산소를 추출할 수 있는 금속막을 포함하는 MOS 용량 소자(샘플 1)의 경우와, 산소를 추출할 수 없는 금속막을 포함하는 MOS 용량 소자(샘플 2)의 경우에서, 산화물 반도체막의 캐리어 밀도의 값들이 적어도 2자리수만큼 서로 차이가 난다는 것을 알 수 있다. 이것은, 금속막에 의해 산화물 반도체막으로부터 산소가 추출되었고 산화물 반도체막에서 산소 결핍이 증가하였다; 따라서, 금속막에 접하는 산화물 반도체막이 n형이 되었다는 것을 시사한다. n형이란 다수 캐리어인 전자의 수가 증가하는 상태에 있다는 것을 의미한다는 점에 유의한다.

[0121] [산화 티타늄막의 도전성]

[0122] 상기의 계산 결과를 고려하여, 금속막(70)이 도 1a 및 도 1b에 도시된 박막 트랜지스터에서 티타늄 결정을 포함하는 금속막인 경우를 고려하였다.

[0123] In-Ga-Zn-O계 산화물 반도체막(도 1a 및 도 1b의 산화물 반도체막(40)에 대응)과 티타늄막(도 1a 및 도 1b의 금

속막(70)에 대응) 사이의 계면에는, 티타늄에 의해 추출된 산소가 티타늄과 반응한다; 따라서, 산화 티타늄막(도 1a 및 도 1b의 금속 산화물막(60)에 대응)이 형성되었다. 그 다음, 계산 과학에 의해 구한 이 산화 티타늄막의 도전성에 대한 검증 결과를 나타낸다.

- [0124] 이산화 티타늄(titanium dioxide)은, 루틸(rutile) 구조(고온 정방 결정), 아나타제(anatase) 구조(저온 정방 결정), 및 브룩카이트(brookite) 구조(사방 결정) 등의 몇 가지 결정 구조를 가졌다. 아나타제 구조 및 브룩카이트 구조 양쪽 모두는, 가열됨으로써, 가장 안정인 구조인 루틸형으로 비가역적으로 변화하기 때문에, 이산화 티타늄은 루틸 구조를 갖는 것으로 가정되었다.
- [0125] 도 9는 루틸 구조를 갖는 이산화 티타늄의 결정 구조를 도시한다. 루틸 구조는 정방 결정으로서, 결정의 대칭성을 나타내는 공간군(space group) $P4_2/mnm$ 에 속한다. 아나타제 구조를 갖는 이산화 티타늄도, 루틸 구조를 갖는 이산화 티타늄과 마찬가지로, 결정의 대칭성을 나타내는 공간군인 $P4_2/mnm$ 에 속한다는 점에 유의한다.
- [0126] GGA-PBE 범함수를 이용한 밀도 범함수 이론에 의해, 상기 이산화 티타늄의 결정 구조에 대해 상태 밀도를 구하기 위한 시뮬레이션이 실시되었다. 대칭성을 유지한 채로, 셀 구조를 포함한 구조가 최적화되었고, 상태 밀도가 계산되었다. 밀도 범함수 이론에 의한 계산에 대해, CASTEP 코드를 이용한 평면파 의사퍼텐셜 방법이 이용되었다. 컷-오프(cut-off) 에너지는 380 eV로 설정되었다.
- [0127] 도 10은 루틸 구조를 갖는 이산화 티타늄의 상태 밀도를 도시한다. 도 10으로부터, 루틸 구조를 갖는 이산화 티타늄은 밴드 갭을 가지며, 반도체와 유사한 상태 밀도를 갖는다는 것을 알 수 있다. 밀도 범함수 이론에서, 밴드 갭은 작게 추정되는 경향이 있다; 따라서, 이산화 티타늄의 실제 밴드 갭은 약 3.0 eV로서, 도 10에 도시된 상태 밀도에 도시된 밴드 갭보다 크다는 점에 유의한다. 밀도 범함수 이론을 이용한 전자 상태의 계산은 절대 0에서 실시되었다; 따라서, 에너지의 근원은 페르미(Fermi) 준위임에 유의한다.
- [0128] 도 11은 산소 결핍 상태의 루틸 구조를 갖는 이산화 티타늄의 상태 밀도를 도시한다. 24개의 Ti 원자와 48개의 O 원자를 갖는 산화 티타늄으로부터 1개의 O를 제거함으로써 얻어진 24개의 Ti 원자와 47개의 O 원자를 포함하는 산화 티타늄이 시뮬레이션에 대한 모델로서 이용되었다. 도 11에 도시된 바와 같이, 산소 결핍 상태에서, 페르미 준위는 전도 대역에 있고, 페르미 준위의 상태 밀도는 제로가 아니다. 이로부터, 산소 결핍을 갖는 이산화 티타늄은 n형의 도전성을 갖는다는 것을 알 수 있다.
- [0129] 도 12는 일산화 티타늄(TiO)의 상태 밀도를 도시한다. 도 12에 도시된 바와 같이, 일산화 티타늄은 금속과 유사한 상태 밀도를 갖는다는 것을 알 수 있다.
- [0130] 도 10의 이산화 티타늄의 상태 밀도, 도 11의 산소 결핍을 포함하는 이산화 티타늄의 상태 밀도, 및 도 12의 일산화 티타늄의 상태 밀도로부터, 산소 결핍을 포함하는 이산화 티타늄($TiO_{2-\delta}$)은, $0 < \delta < 1$ 일 때 n형의 도전성을 갖는다는 것을 예상할 수 있다. 따라서, 산화 티타늄막(금속 산화물막(60))이 일산화 티타늄 또는 산소 결핍을 포함하는 이산화 티타늄을 그 성분으로서 포함하는 경우에도, In-Ga-Zn-O계 산화물 반도체막(산화물 반도체막(40))과 티타늄막(금속막(70)) 사이의 전류의 흐름은 거의 차단되지 않는다.
- [0131] (실시 형태 4)
- [0132] 상기 실시 형태들에서 설명된 박막 트랜지스터는 (게임 기기를 포함한) 다양한 전자 장치에 적용될 수 있다. 전자 장치의 예로서는, 텔레비전 장치(텔레비전, 또는 텔레비전 수상기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라나 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화 또는 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말기, 오디오 재생 장치, 파칭코기 등의 대형 게임기, 태양전지 패널 등이 포함된다. 상기 실시 형태들에서 설명된 박막 트랜지스터를 적용한 전자 장치의 몇 가지 예를 도 13a 및 도 13b를 참조하여 설명한다.
- [0133] 도 13a는 상기 실시 형태들에서 설명된 박막 트랜지스터를 적용한 휴대 전화기의 한 예를 도시한다. 이 휴대 전화기는 하우징(120)에 제공된 표시부(121)를 포함한다.
- [0134] 표시부(121)를 손가락 등으로 터치하면, 휴대 전화기에 데이터가 입력될 수 있다. 또한, 전화를 걸거나 메일을 작성하는 등의 동작은, 표시부(121)를 손가락 등으로 터치함으로써 수행될 수 있다.
- [0135] 예를 들어, 표시부(121)의 화소 내의 스위칭 소자로서, 상기 실시 형태들에 설명된 복수의 박막 트랜지스터를 배치한다; 따라서, 이 휴대 전화기의 성능이 향상될 수 있다.
- [0136] 도 13b는 상기 실시 형태들에서 설명된 박막 트랜지스터를 적용한 텔레비전 장치의 한 예를 도시한다. 이 텔레

비전 장치에서, 표시부(131)는 하우징(130)에 제공된다.

[0137] 예를 들어, 표시부(131)의 화소 내의 스위칭 소자로서, 상기 실시 형태들에 설명된 복수의 박막 트랜지스터를 배치한다; 따라서, 이 텔레비전 장치의 성능이 향상될 수 있다.

[0138] 전술된 바와 같이, 상기 실시 형태들에서 설명된 박막 트랜지스터는 다양한 전자 장치의 표시부에 배치된다; 따라서, 그 전자 장치의 성능이 향상될 수 있다.

[0139] [예 1]

[0140] 도 14는 In-Ga-Zn-O계 산화물 반도체가 이용된 박막 트랜지스터의 단면의 사진을 도시한다. 이 사진은, 300kV의 가속 전압으로 투과형 전자현미경(TEM: Hitachi, Ltd.에 의해 제조된 "H-9000 NAR")에 의해 촬영한 사진이다.

[0141] 도 14에 도시된 박막 트랜지스터는, 산화물 반도체막(40)으로서 50nm 두께의 In-Ga-Zn-O계 산화물 반도체막이 형성되고, 질소 분위기 하에서 제1 열 처리(650℃, 1시간)가 실시되고, 150nm 두께의 티타늄막이 금속막(70)으로서 형성되고, 또한, 질소 분위기 하에서 제2 열 처리(250℃, 1시간)가 실시되는 방식으로 얻어졌다.

[0142] 도 14에서, 산화물 반도체막(40)과 금속막(70) 사이의 계면에 금속 산화물막(60)이 형성되었음을 확인할 수 있다. 또한, 금속 산화물막(60)에 접하는 산화물 반도체막(40)의 영역에서 고 금속 농도 영역(50)이 형성되었음을 확인할 수 있다. FFTM(fast fourier transform mapping) 방법을 이용한 분석의 결과로부터, 이 박막 트랜지스터의 고 금속 농도 영역(50)에는 인듐(In)과 유사한 조성을 갖는 결정이 형성되었음을 확인할 수 있다는 점에 유의한다. 마찬가지로, 금속 산화물막(60)으로서 산화 티타늄막이 형성되었음을 알 수 있다.

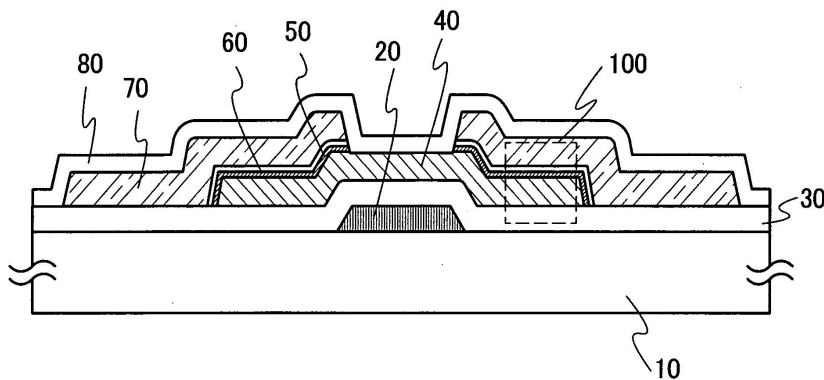
[0143] 본 출원은 2009년 11월 20일 일본 특허청에 출원된 출원번호 제2009-265409호에 기초하고 있으며, 그 전체 내용을 본 명세서에서 참조로 원용한다.

부호의 설명

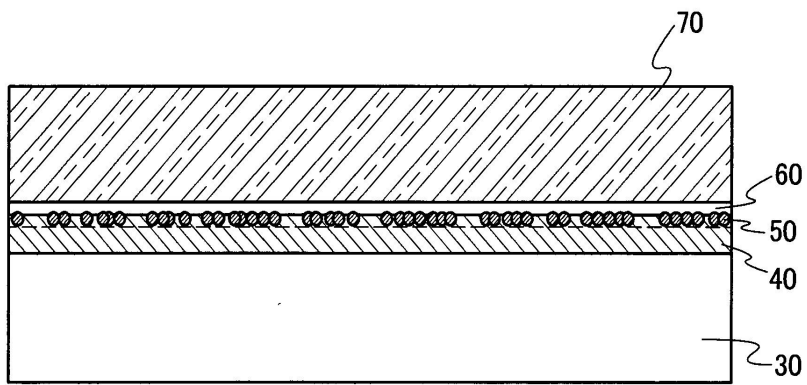
[0144] 10: 기판, 20: 게이트 전극, 30: 게이트 절연막, 40: 산화물 반도체막, 50: 고 금속 농도 영역, 60: 금속 산화물막, 70: 금속막, 80: 절연막, 100: 영역, 120: 하우징, 121: 표시부, 130: 하우징, 및 131: 표시부

도면

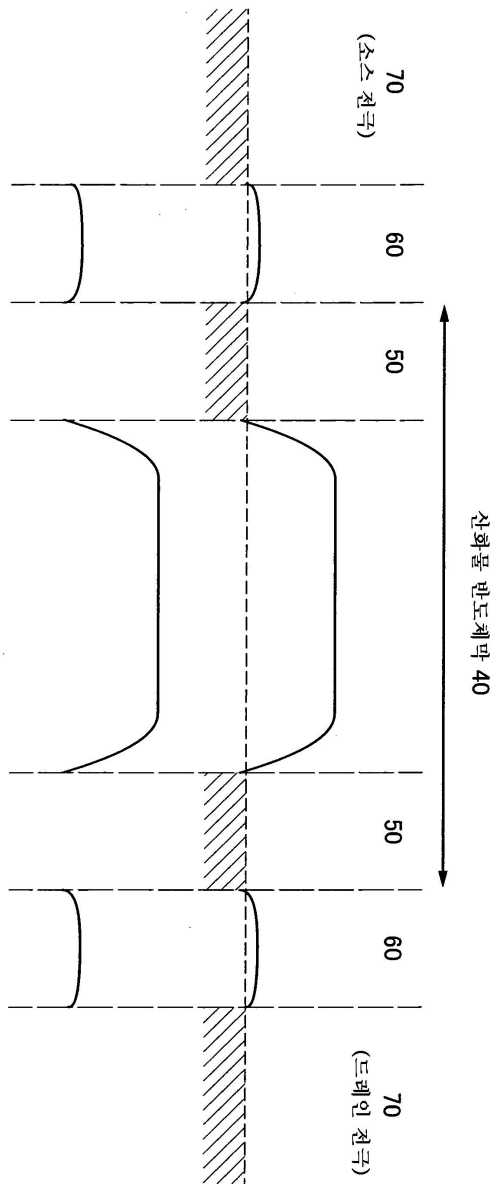
도면1a



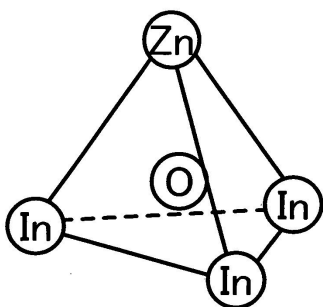
도면1b



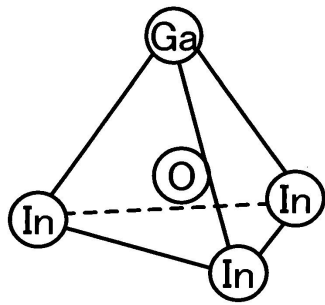
도면2



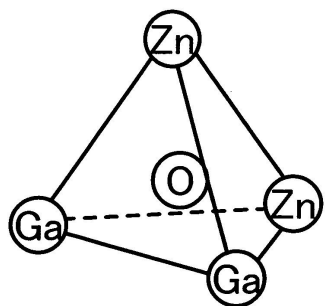
도면3a



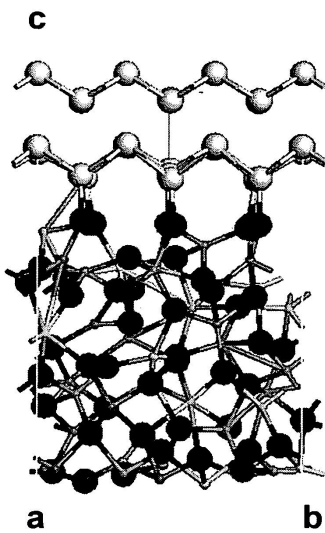
도면3b



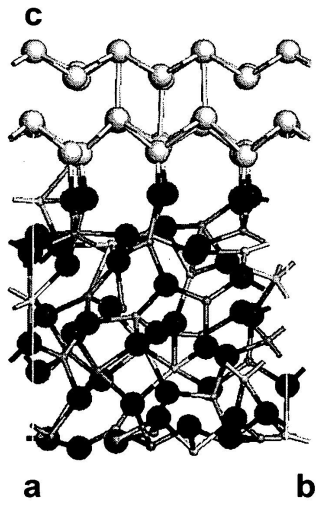
도면3c



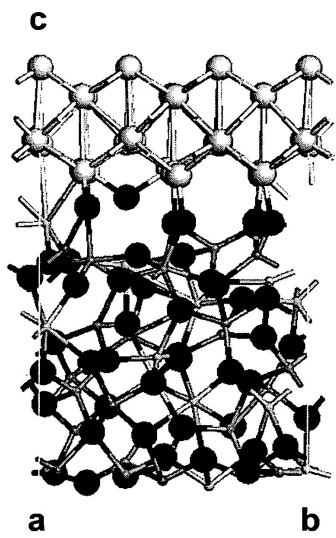
도면4a



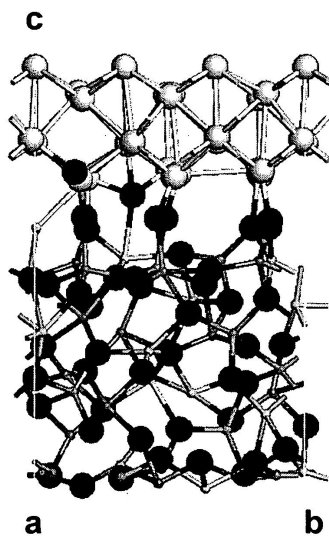
도면4b



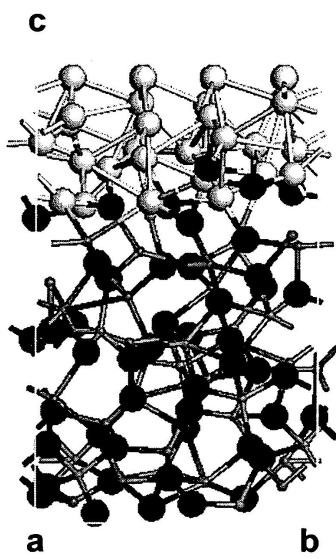
도면5a



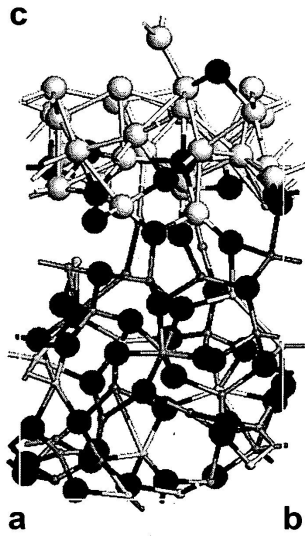
도면5b



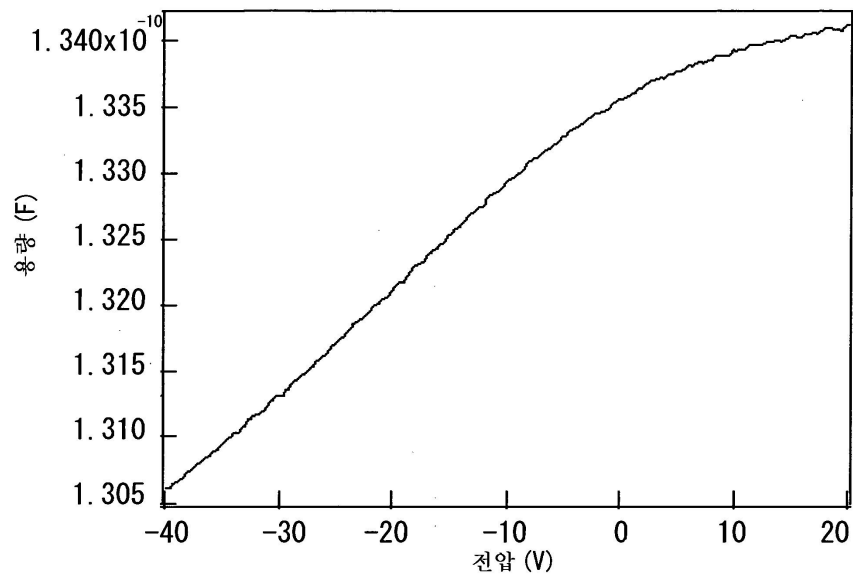
도면6a



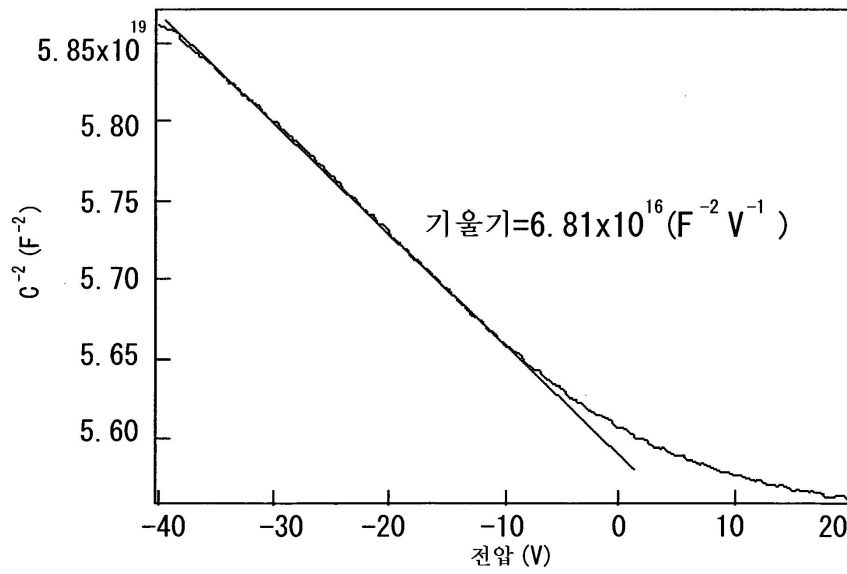
도면6b



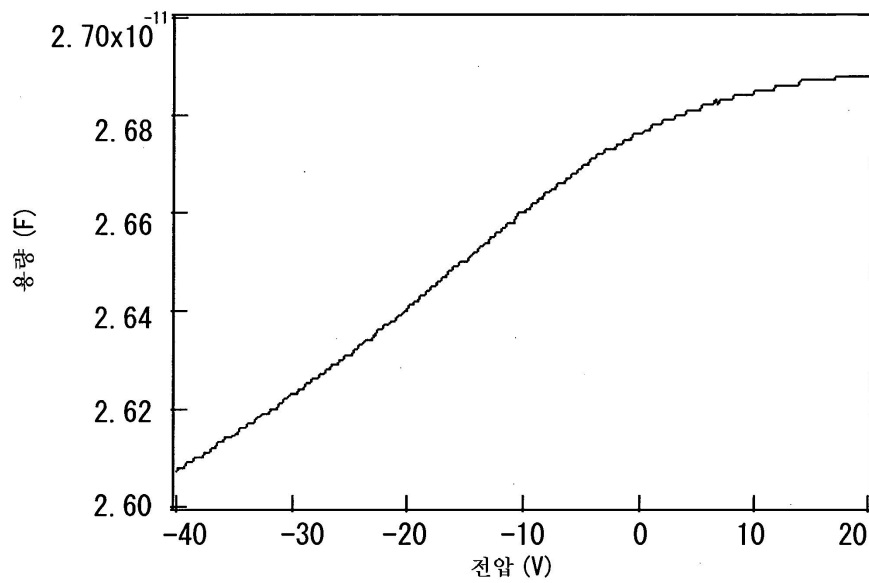
도면7a



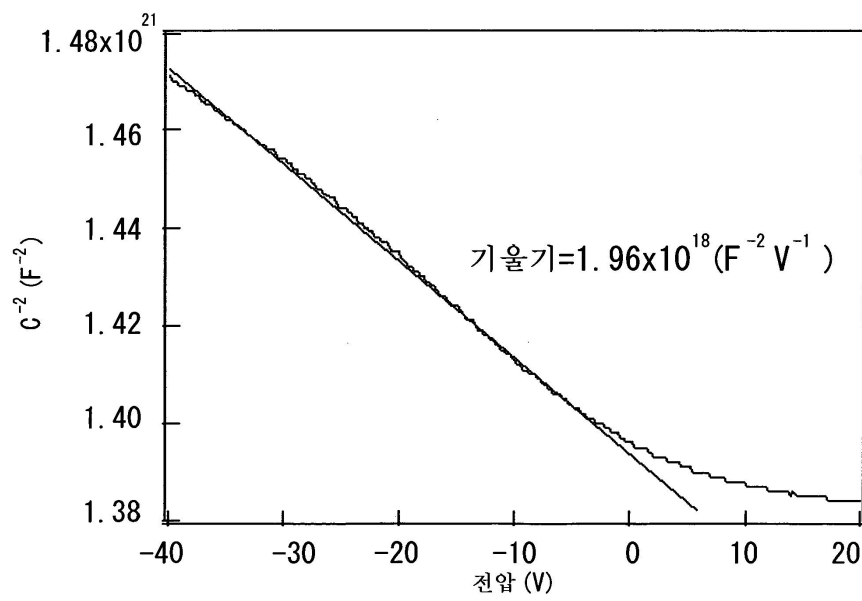
도면7b



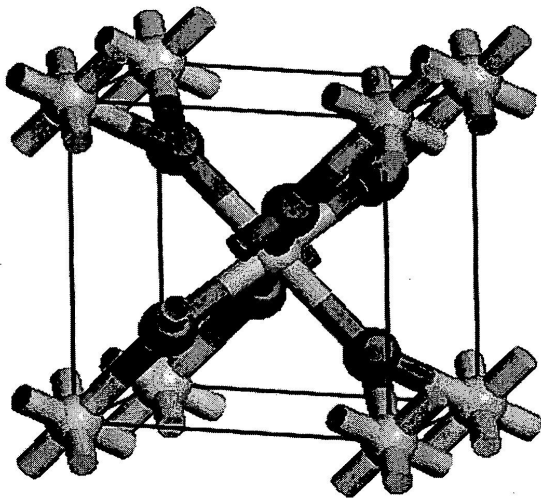
도면8a



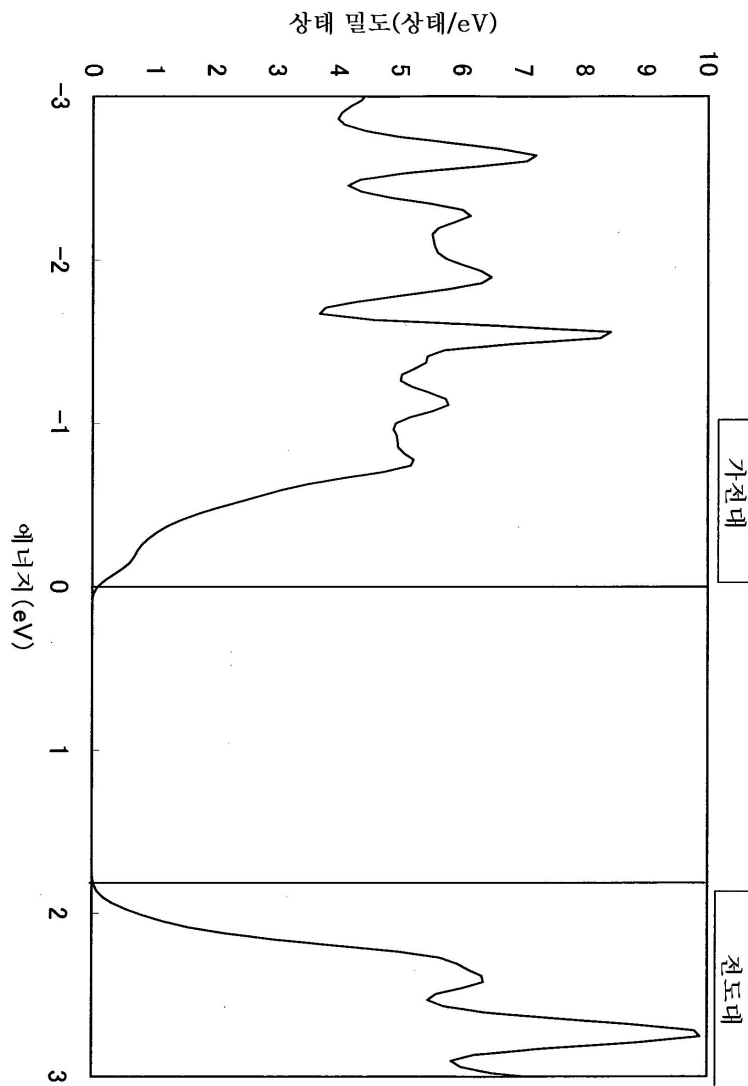
도면8b



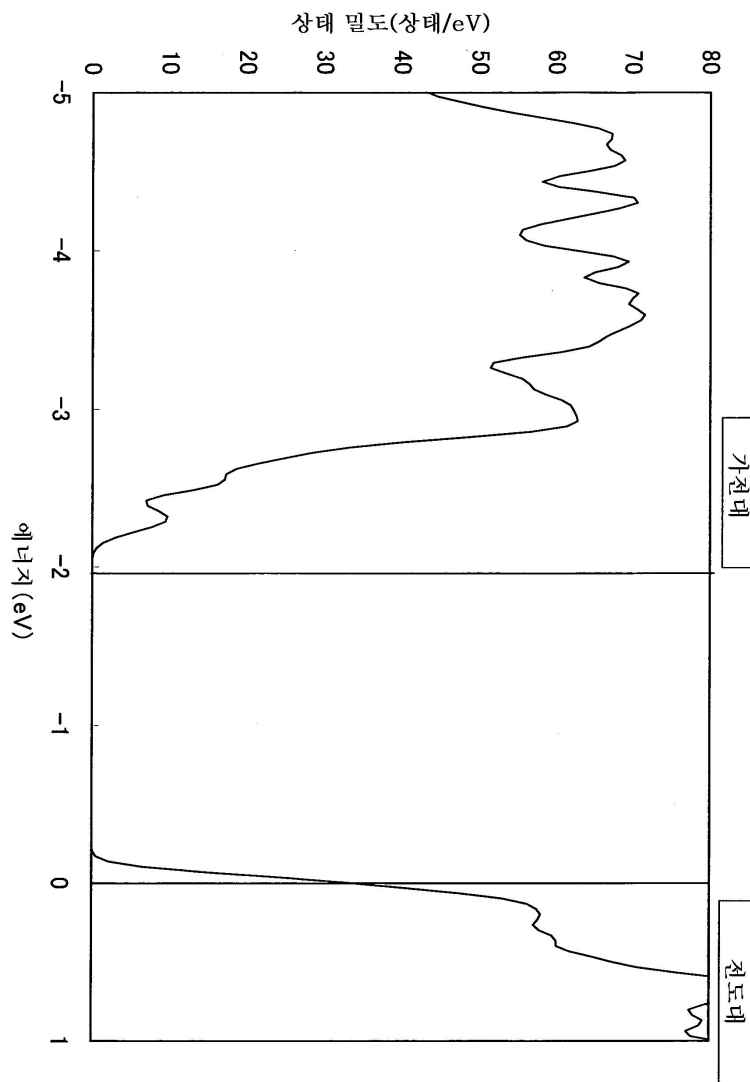
도면9



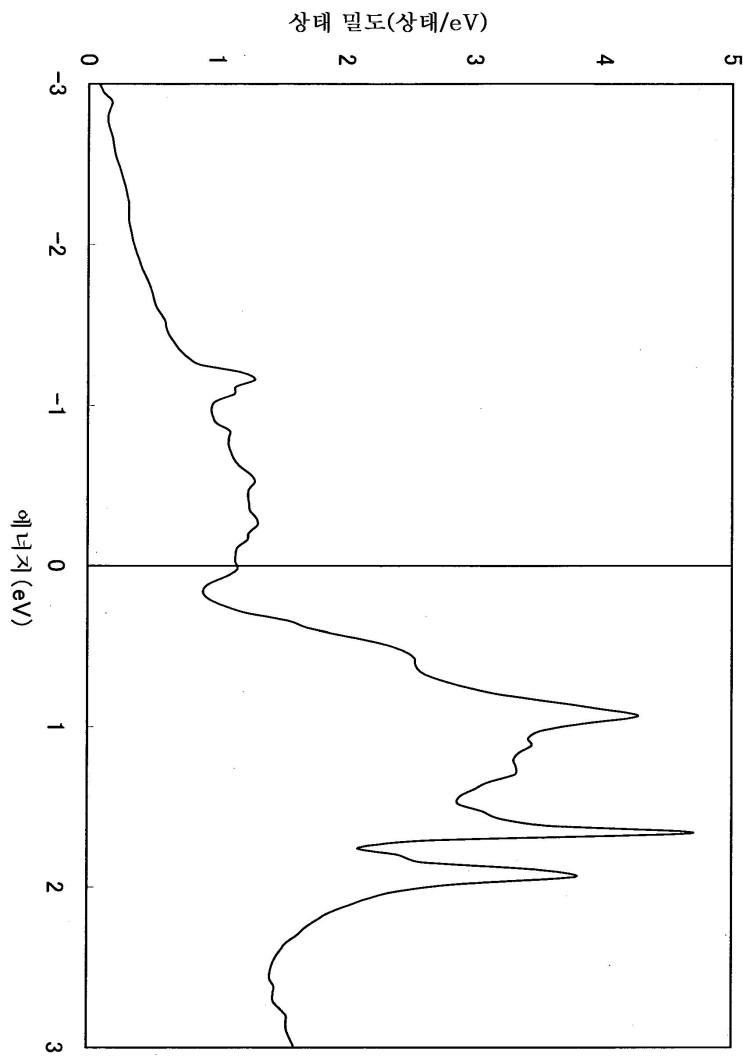
도면10



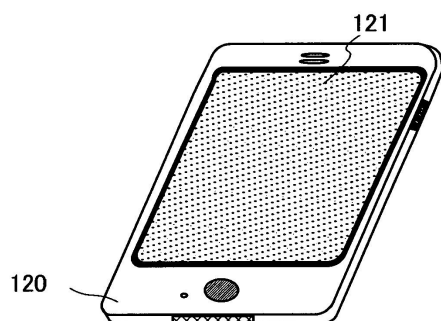
도면11



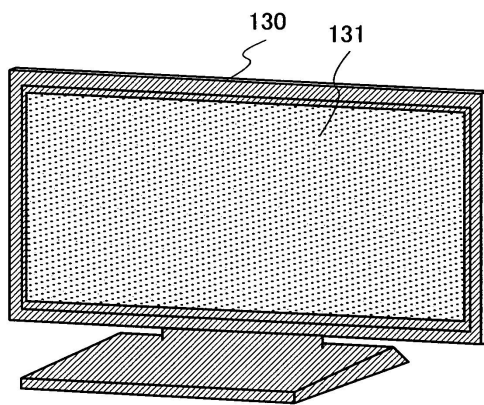
도면12



도면13a



도면13b



도면14

