

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 11 月 24 日(24.11.2016)



(10) 国際公開番号

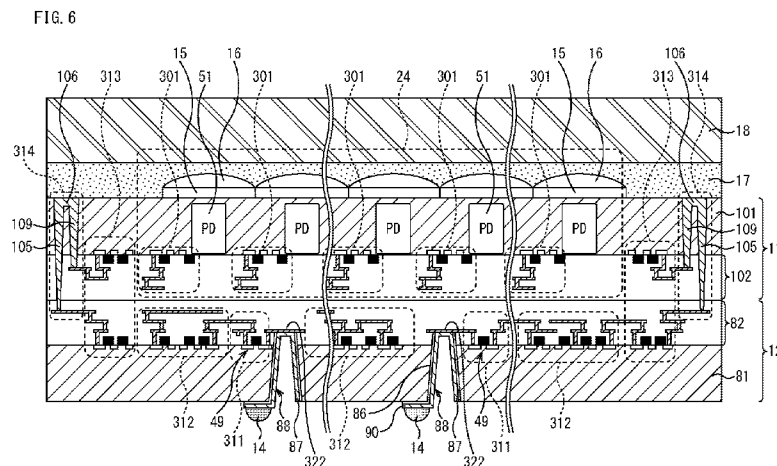
WO 2016/185901 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H01L 25/07 (2006.01)
H01L 21/3205 (2006.01) H01L 25/18 (2006.01)
H01L 21/768 (2006.01) H01L 27/146 (2006.01)
H01L 23/522 (2006.01) H04N 5/374 (2011.01)
H01L 25/065 (2006.01)
- (21) 国際出願番号: PCT/JP2016/063534
- (22) 国際出願日: 2016 年 5 月 2 日(02.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-099719 2015 年 5 月 15 日(15.05.2015) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者: 宮澤 信二 (MIYAZAWA Shinji); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿 7 丁目 5 番 2 5 号 西新宿木村屋ビルディング 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SOLID-STATE IMAGING DEVICE, METHOD FOR MANUFACTURING SAME, AND ELECTRONIC INSTRUMENT

(54) 発明の名称: 固体撮像装置およびその製造方法、並びに電子機器



(57) Abstract: The present disclosure pertains to a solid-state imaging device enabling the device size to be further reduced, a method for manufacturing the solid-state imaging device, and an electronic instrument. The solid-state imaging device is formed by stacking a first structure having formed therein a pixel array unit, in which pixels for performing photoelectric conversion are arranged two-dimensionally, and a second structure having formed therein an output circuit unit for outputting pixel signals outputted from the pixels to the exterior of the device. The output circuit unit, penetrating vias penetrating a semiconductor substrate constituting a part of the second structure, and a signal output external terminal connecting to the exterior of the device are disposed below the pixel array unit of the first structure. The output circuit unit is connected to the signal output external terminal through the penetrating vias. The present disclosure can be applied, e.g., to a solid-state imaging device or the like.

(57) 要約:

[続葉有]

WO 2016/185901 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

本開示は、装置サイズをより小型化することができるようにする固体撮像装置およびその製造方法、並びに電子機器に関する。固体撮像装置は、光電変換を行う画素が 2 次元配列された画素アレイ部が形成された第 1 構造体と、画素から出力された画素信号を装置の外部へ出力するための出力回路部が形成された第 2 構造体とが積層されて構成されている。出力回路部、第 2 構造体の一部を構成する半導体基板を貫通する貫通ビア、及び、装置の外部と接続する信号出力用外部端子は、第 1 構造体の画素アレイ部の下方に配置され、出力回路部は、貫通ビアを介して、信号出力用外部端子と接続されている。本開示は、例えば、固体撮像装置等に適用できる。

明 細 書

発明の名称： 固体撮像装置およびその製造方法、並びに電子機器
技術分野

[0001] 本開示は、固体撮像装置およびその製造方法、並びに電子機器に関し、特に、装置サイズをより小型化することができるようにする固体撮像装置およびその製造方法、並びに電子機器に関する。

背景技術

[0002] CMOS (Complementary Metal Oxide Semiconductor) イメージセンサ等の固体撮像装置は、複数の半導体基板を積層した構成が提案されるなど、より一層の小型化が進んでいる（例えば、特許文献 1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 1 4 - 7 2 2 9 4 号公報

発明の概要

発明が解決しようとする課題

[0004] 固体撮像装置の小型化を進めると、装置の平面サイズに対して、出力信号を取り出す端子部の占める面積が大きくなり、小型化が難しくなる。

[0005] 本開示は、このような状況に鑑みてなされたものであり、装置サイズをより小型化することができるようにするものである。

課題を解決するための手段

[0006] 本開示の第 1 の側面の固体撮像装置は、光電変換を行う画素が 2 次元配列された画素アレイ部が形成された第 1 構造体と、前記第 1 構造体の上方に位置するガラス基板と、所定の信号を装置の外部から入力させる入力回路部、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部、及び、信号処理回路が形成され、前記第 1 構造体の下方に位置する第 2 構造体とが、積層されて構成されており、前記出力回路部、前記出力回路部に接続され前記第 2 構造体の一部を構成する半導体基板を貫通する第 1 貫通ビア

、及び、前記第1貫通ビアを介して前記出力回路部を前記装置の外部と接続する信号出力用外部端子を含む出力部と、前記入力回路部、前記入力回路部に接続され前記半導体基板を貫通する第2貫通ビア、及び、前記第2貫通ビアを介して前記入力回路部を前記装置の外部と接続する信号入力用外部端子を含む入力部とが、前記第1構造体の前記画素アレイ部の下方に配置されている。

[0007] 本開示の第1の側面においては、光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記第1構造体の上方に位置するガラス基板と、所定の信号を装置の外部から入力させる入力回路部、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部、及び、信号処理回路が形成され、前記第1構造体の下方に位置する第2構造体とが、積層されて構成され、前記出力回路部、前記出力回路部に接続され前記第2構造体の一部を構成する半導体基板を貫通する第1貫通ビア、及び、前記第1貫通ビアを介して前記出力回路部を前記装置の外部と接続する信号出力用外部端子を含む出力部と、前記入力回路部、前記入力回路部に接続され前記半導体基板を貫通する第2貫通ビア、及び、前記第2貫通ビアを介して前記入力回路部を前記装置の外部と接続する信号入力用外部端子を含む入力部とが、前記第1構造体の前記画素アレイ部の下方に配置される。

[0008] 本開示の第2の側面の固体撮像装置は、光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が形成された第2構造体とが積層されて構成されており、前記出力回路部、前記第2構造体の一部を構成する半導体基板を貫通する第1貫通ビア、及び、前記装置の外部と接続する信号出力用外部端子が、前記第1構造体の前記画素アレイ部の下方に配置され、前記出力回路部は、前記第1貫通ビアを介して、前記信号出力用外部端子と接続されている。

[0009] 本開示の第3の側面の固体撮像装置の製造方法は、光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出

力された画素信号を装置の外部へ出力するための出力回路部が前記画素アレイ部の下方となるように形成された第2構造体とを、配線層どうしが向き合うようにして貼り合わせ、前記第2構造体の一部を構成する半導体基板を貫通する貫通ビアを形成し、前記貫通ビアを介して前記出力回路部と電氣的に接続し、前記装置の外部と接続する信号出力用外部端子を、前記第1構造体の前記画素アレイ部の下方となる位置に形成する。

[0010] 本開示の第3の側面においては、光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が前記画素アレイ部の下方となるように形成された第2構造体とが、配線層どうしが向き合うようにして貼り合わせられ、前記第2構造体の一部を構成する半導体基板を貫通する貫通ビアが形成され、前記貫通ビアを介して前記出力回路部と電氣的に接続し、前記装置の外部と接続する信号出力用外部端子が、前記第1構造体の前記画素アレイ部の下方となる位置に形成される。

[0011] 本開示の第4の側面の電子機器は、光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が形成された第2構造体とが積層されて構成されており、前記出力回路部、前記第2構造体の一部を構成する半導体基板を貫通する貫通ビア、及び、前記装置の外部と接続する信号出力用外部端子が、前記第1構造体の前記画素アレイ部の下方に配置され、前記出力回路部は、前記貫通ビアを介して、前記信号出力用外部端子と接続されている固体撮像装置を備える。

[0012] 本開示の第2及び第4の側面においては、光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が形成された第2構造体とが積層されて構成され、前記出力回路部、前記第2構造体の一部を構成する半導体基板を貫通する貫通ビア、及び、前記装置の外部と接続する信号出力用外部端子が、前記第1構造体の前記画素アレイ部の下方に配置され、前

記出力回路部が、前記貫通ビアを介して、前記信号出力用外部端子と接続される。

[0013] 固体撮像装置及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

発明の効果

[0014] 本開示の第1乃至第4の側面によれば、装置サイズをより小型化することができる。

[0015] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0016] [図1]本技術を採用した固体撮像装置の概略の構造を示す図である。

[図2]固体撮像装置のシステム構成例を示すブロック図である。

[図3]画素の回路配置構成例を示す図である。

[図4]入力回路部と出力回路部の構成例を示す図である。

[図5]固体撮像装置における回路配置の第1の回路配置構成例を示す図である。

[図6]図5のA-A'線における断面構造を示す図である。

[図7]固体撮像装置における回路配置の第2の回路配置構成例を示す図である。

[図8]図7のB-B'線における断面構造を示す図である。

[図9]比較例1としての固体撮像装置の最終形状における断面を表す図である。

[図10]比較例2としての固体撮像装置の最終形状における断面を表す図である。

[図11]比較例3としての固体撮像装置の最終形状における断面を表す図である。

[図12]固体撮像装置における回路配置の第3の回路配置構成例を示す図である。

[図13]固体撮像装置における回路配置の第4の回路配置構成例を示す図である。

[図14]図13のC-C'線における断面構造を示す図である。

[図15]固体撮像装置における回路配置の第5の回路配置構成例を示す図である。

[図16]固体撮像装置における回路配置の第6の回路配置構成例を示す図である。

[図17]固体撮像装置における回路配置の第7の回路配置構成例を示す図である。

[図18]固体撮像装置における回路配置の第8の回路配置構成例を示す図である。

[図19]固体撮像装置における回路配置の第9の回路配置構成例を示す図である。

[図20]固体撮像装置における回路配置の第10の回路配置構成例を示す図である。

[図21]図20のD-D'線における断面構造を示す図である。

[図22]固体撮像装置における回路配置の第11の回路配置構成例を示す図である。

[図23]固体撮像装置1の外周付近の拡大断面図である。

[図24]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である。
。

[図25]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である。
。

[図26]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である。
。

[図27]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である。
。

[図28]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図29]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図30]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図31]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図32]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図33]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図34]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図35]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図36]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図37]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図38]ツインコンタクト構造の固体撮像装置の製造方法を説明する図である

。

[図39]Cu-Cu直接接合構造の図5の固体撮像装置の製造方法を説明する図である。

[図40]Cu-Cu直接接合構造の図5の固体撮像装置の製造方法を説明する図である。

[図41]Cu-Cu直接接合構造の図5の固体撮像装置の製造方法を説明する図である。

[図42]Cu-Cu直接接合構造の図5の固体撮像装置の製造方法を説明する図であ

る。

[図43]Cu-Cu直接接合構造の図5の固体撮像装置の製造方法を説明する図である。

[図44]固体撮像装置のさらなる変形例その1を説明する図である。

[図45]固体撮像装置のさらなる変形例その2を説明する図である。

[図46]固体撮像装置のさらなる変形例その3を説明する図である。

[図47]固体撮像装置のさらなる変形例その4を説明する図である。

[図48]固体撮像装置が3層の積層構造体で構成される例を説明する図である。

[図49]固体撮像装置が3層の積層構造体で構成される例を説明する図である。

[図50]本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図51]図1の固体撮像装置の使用例を説明する図である。

発明を実施するための形態

[0017] 以下、本技術を実施するための形態（以下、実施形態という）について説明する。なお、説明は以下の順序で行う。

1. 固体撮像装置の概略の構造
2. 固体撮像装置のシステム構成
3. 画素の回路配置構成例
4. 入力回路部と出力回路部の構成例
5. 固体撮像装置の回路配置構成例
6. 固体撮像装置の断面構造
7. 他の上下配線接続構造を用いた場合の固体撮像装置の回路配置
8. 他の固体撮像装置との比較例
9. 固体撮像装置の他の回路配置構成例
10. 固体撮像装置の詳細構造
11. 製造方法

- 1 2. さらなる変形例
- 1 3. 3層の積層構造体の例
- 1 4. 電子機器への適用例
- 1 5. イメージセンサの使用例

[0018] <1. 固体撮像装置の概略の構造>

図1は、本技術を採用した半導体装置としての固体撮像装置の概略の構造を示している。

[0019] 図1に示される固体撮像装置1は、図中の矢印の方向で装置に入射する光もしくは電磁波を電気信号へ変換する。以後、本開示では、便宜上、電気信号へと変換する対象として、光を電気信号へ変換する装置を例に用いて説明する。

[0020] 固体撮像装置1は、第1構造体11と第2構造体12とが積層された積層構造体13と、外部端子14と、第1構造体11の上側に形成された保護基板18とを備える。なお、以下では、便宜上、図1における、光が装置へ入射する入射面の側を上側、入射面と対向する装置のもう一方の面の側を下側として、第1構造体11を上側構造体11、第2構造体12を下側構造体12と呼ぶことにする。

[0021] この固体撮像装置1は、後で述べるように、上側構造体11の一部を構成する半導体基板（ウエハ）と、下側構造体12の一部を構成する半導体基板（ウエハ）と、保護基板18とを、ウエハレベルで貼り合せた後、個々の固体撮像装置1へと固片化して形成される。

[0022] 固片化される前の上側構造体11は、半導体基板（ウエハ）に、入射した光を電気信号へ変換するための画素が形成されたものである。画素は、例えば、光電変換するためのフォトダイオード（PD）と、光電変換動作や光電変換された電気信号を読み出す動作を制御する、複数個の画素トランジスタを備える。固片化された後の固体撮像装置1に含まれる上側構造体11は、上側チップ、イメージセンサ基板、または、イメージセンサチップと呼ばれる場合もある。

[0023] 固体撮像装置 1 が備える画素トランジスタは、例えば、MOSトランジスタであることが望ましい。

[0024] 上側構造体 11 の上面には、例えば、R（赤）、G（緑）、またはB（青）のカラーフィルタ 15 とオンチップレンズ 16 が形成されている。オンチップレンズ 16 の上側には、固体撮像装置 1 の構造物、特にオンチップレンズ 16 やカラーフィルタ 15 を保護するための保護基板 18 が配置されている。保護基板 18 は、例えば透明なガラス基板である。保護基板 18 はその硬度がオンチップレンズ 16 の硬度よりも高いと、オンチップレンズ 16 を保護する作用が強まる。

[0025] 固片化される前の下側構造体 12 は、半導体基板（ウエハ）に、トランジスタと配線とを含む半導体回路が形成されたものである。固片化された後の固体撮像装置 1 に含まれる下側構造体 12 は、下側チップ、信号処理基板、または、信号処理チップと呼ばれる場合もある。下側構造体 12 には、装置外部の不図示の配線と電氣的に接続するための外部端子 14 が、複数、形成されている。外部端子 14 は、例えば、はんだボールである。

[0026] 固体撮像装置 1 は、オンチップレンズ 16 上に配置されたガラスシール樹脂 17 を介して、上側構造体 11 の上側もしくはオンチップレンズ 16 の上側に保護基板 18 が固定されたキャビティレス構造を成している。ガラスシール樹脂 17 は、その硬度が保護基板 18 の硬度よりも低いため、シール樹脂が存在しない場合と比較すると、固体撮像装置 1 の外部から保護基板 18 へ加わった応力が装置内部へと伝わるのを緩和する作用を果たし得る。

[0027] なお、固体撮像装置 1 は、キャビティレス構造と異なる構造として、上側構造体 11 の上面に、柱状もしくは壁状の構造を形成し、保護基板 18 がオンチップレンズ 16 の上方に空隙を持って担持されるように、上記柱状もしくは壁状の構造に固定されたキャビティ構造を成しても良い。

[0028] < 2. 固体撮像装置のシステム構成 >

図 2 は、固体撮像装置 1 のシステム構成例を示すブロック図である。

[0029] 図 2 の固体撮像装置 1 は、光電変換部（PD）を有する画素 31 が、行方向

および列方向に複数個配置された画素アレイ部 2 4 を備える。

[0030] 画素アレイ部 2 4 は、画素 3 1 を行毎に駆動するための行駆動信号線 3 2 や、行毎に駆動された複数個の画素 3 1 から、光電変換の結果生じた信号を読み出すための垂直信号線（列読出し線） 3 3 を備える。図 2 に示すように、1 本の行駆動信号線 3 2 には、行方向に配列された複数個の画素 3 1 が接続されている。1 本の垂直信号線 3 3 には、列方向に配列された複数個の画素 3 1 が接続されている。

[0031] 固体撮像装置 1 は、行駆動部 2 2 と列信号処理部 2 5 をさらに備える。

[0032] 行駆動部 2 2 は、例えば、画素駆動するための行の位置を決める行アドレス制御部、言い換えれば、行デコーダ部と、画素 3 1 を駆動するための信号を発生させる行駆動回路部を備える。

[0033] 列信号処理部 2 5 は、例えば、垂直信号線 3 3 に接続され、画素 3 1 とソースフォロア回路を形成する負荷回路部を備える。また、列信号処理部 2 5 は、垂直信号線 3 3 を介して画素 3 1 から読み出された信号を増幅する増幅回路部を備えていても良い。さらに、列信号処理部 2 5 は、光電変換の結果として画素 3 1 から読み出された信号から、系のノイズレベルを取り除くための、ノイズ処理部をさらに備えても良い。

[0034] 列信号処理部 2 5 は、画素 3 1 から読み出された信号もしくは上記ノイズ処理されたアナログ信号を、デジタル信号へと変換するための、アナログデジタルコンバータ（ADC）を備える。ADCは、変換対象となるアナログ信号と、これと比較対象となる参照掃引信号とを比較するためのコンパレータ部、および、コンパレータ部での比較結果が反転するまでの時間を計測するカウンタ部を備える。列信号処理部 2 5 は、読出し列を走査する制御を行う水平走査回路部をさらに備えても良い。

[0035] 固体撮像装置 1 は、タイミング制御部 2 3 をさらに備える。タイミング制御部 2 3 は、装置へ入力された基準クロック信号やタイミング制御信号を基にして、行駆動部 2 2 と列信号処理部 2 5 へ、タイミングを制御する信号を供給する。以後、本開示においては、行駆動部 2 2、列信号処理部 2 5、及

びタイミング制御部 23 の全部もしくは一部を、単に画素周辺回路部、周辺回路部、または、制御回路部と呼ぶ場合がある。

[0036] 固体撮像装置 1 は、画像信号処理部 26 をさらに備える。画像信号処理部 26 は、光電変換の結果得られたデータ、言い換えれば、固体撮像装置 1 における撮像動作の結果得られたデータに対して、各種の信号処理を施す回路である。画像信号処理部 26 は、例えば、画像信号処理回路部と、データ保持部とを含んで構成される。画像信号処理部 26 は、更にプロセッサ部を備えても良い。

[0037] 画像信号処理部 26 において実行される信号処理の一例は、AD変換された撮像データが、暗い被写体を撮影したデータである場合には階調を多く持たせ、明るい被写体を撮影したデータである場合には階調を少なくするトーンカーブ補正処理である。この場合、撮像データの階調をどのようなトーンカーブに基づいて補正するか、トーンカーブの特性データを予め画像信号処理部 26 のデータ保持部に記憶させておくことが望ましい。

[0038] 固体撮像装置 1 は、入力部 21A をさらに備える。入力部 21A は、例えば、上記基準クロック信号や、垂直同期信号および水平同期信号などのタイミング制御信号や、画像信号処理部 26 のデータ保持部へ記憶させる特性データなどを、装置外部から固体撮像装置 1 へ入力する。入力部 21A は、固体撮像装置 1 へデータを入力するための外部端子 14 である入力端子 41 と、入力端子 41 へ入力された信号を固体撮像装置 1 の内部へと取り込む入力回路部 42 とを備える。

[0039] 入力部 21A は、入力回路部 42 で取り込まれた信号の振幅を、固体撮像装置 1 の内部で利用しやすい振幅へと変更する入力振幅変更部 43 をさらに備える。

[0040] 入力部 21A は、入力データのデータ列の並びを変更する入力データ変換回路部 44 をさらに備える。入力データ変換回路部 44 は、例えば、入力データとしてシリアル信号を受け取って、これをパラレル信号へと変換するシリアルパラレル変換回路である。

- [0041] なお、入力振幅変更部 4 3 と入力データ変換回路部 4 4 は、省略される場合もある。
- [0042] 固体撮像装置 1 がフラッシュメモリやSRAM、DRAMと言った外部のメモリデバイスと接続される場合には、入力部 2 1 Aは、これら外部のメモリデバイスからのデータを受け取るメモリインタフェース回路をさらに備えることができる。
- [0043] 固体撮像装置 1 は、出力部 2 1 Bをさらに備える。出力部 2 1 Bは、固体撮像装置 1 で撮影された画像データや、画像信号処理部 2 6 で信号処理された画像データを、固体撮像装置 1 から装置外部へと出力する。出力部 2 1 Bは、固体撮像装置 1 から装置外部へとデータを出力のための外部端子 1 4 である出力端子 4 8 と、固体撮像装置 1 の内部から装置外部へとデータを出力する回路であり、出力端子 4 8 と接続された固体撮像装置 1 外部の外部配線を駆動する回路である、出力回路部 4 7 とを備える。
- [0044] 出力部 2 1 Bは、固体撮像装置 1 の内部で用いた信号の振幅を、固体撮像装置 1 の外部に接続された外部デバイスで利用しやすい振幅へと変更する出力振幅変更部 4 6 をさらに備える。
- [0045] 出力部 2 1 Bは、出力データのデータ列の並びを変更する出力データ変換回路部 4 5 をさらに備える。出力データ変換回路部 4 5 は、例えば、固体撮像装置 1 内部で使用したパラレル信号を、シリアル信号へと変換するパラレルシリアル変換回路である。
- [0046] 出力データ変換回路部 4 5 と出力振幅変更部 4 6 は、省略される場合もある。
- [0047] 固体撮像装置 1 がフラッシュメモリやSRAM、DRAMと言った外部のメモリデバイスと接続される場合には、出力部 2 1 Bは、これら外部のメモリデバイスへとデータを出力するメモリインタフェース回路をさらに備えることができる。
- [0048] なお、本開示においては、便宜上、入力部 2 1 Aと出力部 2 1 Bの双方もしくはは少なくとも一方を含む回路ブロックを、入出力部 2 1 と呼ぶ場合がある

。また、入力回路部42と出力回路部47の双方もしくは少なくとも一方を含む回路部を、入出力回路部49と呼ぶ場合がある。

[0049] <3. 画素の回路配置構成例>

図3は、本実施形態に係る固体撮像装置1の画素31の回路配置構成例を示している。

[0050] 画素31は、光電変換素子としてのフォトダイオード51、転送トランジスタ52、FD(フローティングディフュージョン)53、リセットトランジスタ54、増幅トランジスタ55、および選択トランジスタ56を有する。

[0051] フォトダイオード51は、受光した光量に応じた電荷(信号電荷)を生成し、かつ、蓄積する。フォトダイオード51は、アノード端子が接地されているとともに、カソード端子が転送トランジスタ52を介して、FD53に接続されている。

[0052] 転送トランジスタ52は、転送信号TRによりオンされたとき、フォトダイオード51で生成された電荷を読み出し、FD53に転送する。

[0053] FD53は、フォトダイオード51から読み出された電荷を保持する。リセットトランジスタ54は、リセット信号RSTによりオンされたとき、FD53に蓄積されている電荷がドレイン(定電圧源Vdd)に排出されることで、FD53の電位をリセットする。

[0054] 増幅トランジスタ55は、FD53の電位に応じた画素信号を出力する。すなわち、増幅トランジスタ55は、垂直信号線33を介して接続されている定電流源としての負荷MOS(不図示)とソースフォロワ回路を構成し、FD53に蓄積されている電荷に応じたレベルを示す画素信号が、増幅トランジスタ55から選択トランジスタ56と垂直信号線33を介して列信号処理部25に出力される。

[0055] 選択トランジスタ56は、選択信号SELにより画素31が選択されたときオンされ、画素31の画素信号を、垂直信号線33を介して列信号処理部25に出力する。転送信号TR、選択信号SEL、及びリセット信号RSTが伝送される各信号線は、図2の行駆動信号線32に対応する。

[0056] 画素31は、以上のように構成することができるが、この構成に限定されるものではなく、その他の構成を採用することもできる。

[0057] <4. 入力回路部と出力回路部の構成例>

図4は、本実施形態に係る固体撮像装置1の入力部21Aに備わる入力回路部42と、出力部21Bに備わる出力回路部47の回路配置構成例を示している。

[0058] なお、入出力回路部49は、1つの外部端子14に対して、入力回路部42もしくは出力回路部47のどちらか一方を含む構成でも良いし、入力回路部42と出力回路部47との双方を並列に備えた双方向の入出力回路の構成であっても良い。

[0059] 入力回路部42は、以下の特徴を有する回路である。

(1) 固体撮像装置1の入力端子41から入力回路部42へ入力されるデータと、入力回路部42から固体撮像装置1の内部回路へと出力されるデータとにおいて、論理が同じ、もしくは反転するだけの回路である、言い換えれば、信号列におけるデータの並びを変えない回路である、さらに言い換えれば、信号列において論理の”1”と”0”若しくは”Hi”と”Low”が切替わる位置を変えない回路である。

(2) 固体撮像装置1の入力端子41に入力された信号の電圧振幅を、入力回路部42の後段に配置された回路、言い換えれば固体撮像装置1においてより内部となる回路が受け取るに好ましい電圧振幅へと変換する回路である。この回路は、回路に入力されたデータを、電圧振幅が小さくなる方向へ変換する場合がある。

(2)' または、入力回路部42に入力された信号(例えばLVDSの小振幅差動信号)を、入力回路部42の後段に配置された回路、言い換えれば固体撮像装置1においてより内部となる回路が受け取るに好ましいフォーマットもしくは電圧振幅(例えばシングルエンドでフルスイングするデジタル信号)へと変換して出力する回路である。この回路は、回路に入力されたデータを、電圧振幅が大きくなる方向へ変換する場合がある。

(3) さらに、入力回路部 4 2 へ過大なノイズが入力され場合に、このノイズを入力回路部 4 2 の後段に配置された回路、言い換えれば固体撮像装置 1 においてより内部となる回路へ伝播させずに遮断する保護回路を備える場合もある。

[0060] 出力回路部 4 7 は、以下の特徴を有する回路である。

(1) 固体撮像装置 1 の内部回路から出力回路部 4 7 へ入力されるデータと、出力回路部 4 7 から固体撮像装置 1 の出力端子 4 8 を介して固体撮像装置 1 の外部へと出力されるデータとにおいて、論理が同じ、もしくは反転するだけの回路である、言い換えれば、信号列におけるデータの並びを変えない回路である、さらに言い換えれば、信号列において論理の” 1 ” と” 0 ” 若しくは” Hi ” と” Low ” が切替わる位置を変えない回路である。

(2) 固体撮像装置 1 の出力端子 4 8 と固体撮像装置 1 に接続される外部素子との間の信号線を、駆動する電流能力を大きくする回路である。若しくは、信号線の電圧振幅を大きくする回路である。この回路は、回路に入力されたデータを、電圧振幅が大きくなる方向へ変換する場合がある。

(2)' または、固体撮像装置 1 の内部の回路から出力回路部 4 7 に入力された信号(シングルエンドでフルスイングするデジタル信号)を、出力端子 4 8 に接続された外部素子が信号を受け取るに好ましいフォーマットもしくは電圧振幅(例えばLVDSの小振幅差動信号)へと変換して出力する回路である。この回路は、回路に入力されたデータを、電圧振幅が小さくなる方向へ変換する場合がある。

[0061] 図 4 に示すように、少なくとも入力回路部 4 2 もしくは出力回路部 4 7 のどちらか一方を含む入出力回路部 4 9 は、1 つ以上トランジスタを含む。本開示においては、便宜上、入出力回路部 4 9 に含まれるトランジスタを、入出力トランジスタと呼ぶ場合がある。入出力回路部 4 9 は、インバータ回路、バッファ回路、などを含んでも良いし、入力動作または出力動作を制御するイネーブル回路をさらに含んでも良い。

[0062] 入力回路部 4 2 または出力回路部 4 7 は、回路で使用する電源電圧を適切

に設定することにより、入力信号または出力信号の振幅変更部を兼ねることが出来る。例えば、固体撮像装置 1 の画素周辺回路部の一部や画像信号処理部 26 における信号の振幅が V_2 であって、一方、固体撮像装置 1 の外部から入力端子 41 へと入力される信号の振幅、あるいは、出力端子 48 から固体撮像装置 1 の外部へと出力される信号の振幅が V_2 よりも大きな V_1 である場合、入力回路部 42 または出力回路部 47 の回路が例えば図 4 で示す回路においては、固体撮像装置 1 の内部回路側に位置するインバータの電源電圧を V_2 、固体撮像装置 1 外側方向に位置するインバータの電源電圧を V_1 とすることによって、入力回路部 42 は外部から振幅 V_1 の信号を受け取り、この振幅を V_2 へと小さくして固体撮像装置 1 の内部回路へ入力し、出力回路部 47 は、固体撮像装置 1 の内部回路から振幅 V_2 の信号を受け取り、この振幅を V_1 へと大きくして外部へ出力することが出来る。なお、図 4 に示す電圧 V_1 と V_2 を同電圧とする場合は、信号振幅変更の機能を持たない構成となる。

[0063] なお、上記の説明を含め、本開示においては、トランジスタ回路における基準電圧（図 4 の回路の場合、接地電圧）と、回路へ供給される電源の電圧であって上記基準電圧とは異なる電圧（図 4 の回路の場合、例えば V_1 ）との電圧差を、単に電源電圧と呼ぶ場合がある。

[0064] <5. 固体撮像装置の回路配置構成例>

次に、本実施形態に係る固体撮像装置 1 の回路の配置、すなわち、図 2 に示した固体撮像装置 1 の各ブロックを、上側構造体 11 と下側構造体 12 とにどのように分けて搭載するかを説明する。

[0065] 図 5 は、固体撮像装置 1 における回路配置の第 1 の回路配置構成例を示す図である。

[0066] 第 1 の回路配置構成例においては、画素アレイ部 24 は上側構造体 11 に配置されている。

[0067] 固体撮像装置 1 に備わる画素周辺回路部のうち、行駆動部 22 は、一部が上側構造体 11 に配置され、かつ、一部が下側構造体 12 に配置されている。例えば、行駆動部 22 のうち、行駆動回路部が上側構造体 11 に配置され

、行デコーダ部が下側構造体 1 2 に配置されている。

[0068] 上側構造体 1 1 に配置される行駆動部 2 2 は、画素アレイ部 2 4 の行方向の外側に配置され、下側構造体 1 2 に配置される行駆動部 2 2 は、少なくともその一部が上側構造体 1 1 に備わる行駆動部 2 2 の下側に配置されている。

[0069] 固体撮像装置 1 に備わる画素周辺回路部のうち、列信号処理部 2 5 は、一部が上側構造体 1 1 に配置され、かつ、一部が下側構造体 1 2 に配置されている。例えば、列信号処理部 2 5 のうち、負荷回路部、増幅回路部、ノイズ処理部、及び、ADCのコンパレータ部が上側構造体 1 1 に配置され、ADCのカウンタ部が下側構造体 1 2 に配置されている。

[0070] 上側構造体 1 1 に配置される列信号処理部 2 5 は、画素アレイ部 2 4 の列方向の外側に配置され、下側構造体 1 2 に配置される列信号処理部 2 5 は、少なくともその一部が上側構造体 1 1 に備わる列信号処理部 2 5 の下側に配置されている。

[0071] 上側構造体 1 1 に配置された行駆動部 2 2 の外側と、下側構造体 1 2 に配置された行駆動部 2 2 の外側には、これら 2 つの行駆動部 2 2 の配線を接続するための配線接続部 2 9 が配置されている。

[0072] 上側構造体 1 1 に配置された列信号処理部 2 5 の外側と、下側構造体 1 2 に配置された列信号処理部 2 5 の外側にも、これら 2 つの列信号処理部 2 5 の配線を接続するための配線接続部 2 9 が配置されている。これらの配線接続部 2 9 においては、この後、図 6 を用いて説明する配線接続構造が用いられている。

[0073] 下側構造体 1 2 に配置された行駆動部 2 2 と列信号処理部 2 5 の内側に、画像信号処理部 2 6 が配置されている。

[0074] 下側構造体 1 2 において、入出力回路部 4 9 は、上側構造体 1 1 の画素アレイ部 2 4 の下側となる領域に配置される。

[0075] 入出力回路部 4 9 は、入力回路部 4 2 と出力回路部 4 7 の双方もしくは少なくとも一方を含む回路部である。入出力回路部 4 9 が入力回路部 4 2 と出

力回路部 4 7 の双方で構成される場合、入出力回路部 4 9 は、1 つの外部端子 1 4 ごとに分かれて、下側構造体 1 2 に複数個配置される。入出力回路部 4 9 が入力回路部 4 2 のみで構成される場合、入力回路部 4 2 は、1 つの外部端子 1 4（入力端子 4 1）ごとに分かれて、下側構造体 1 2 に複数個配置される。入出力回路部 4 9 が出力回路部 4 7 のみで構成される場合、出力回路部 4 7 は、1 つの外部端子 1 4（出力端子 4 8）ごとに分かれて、下側構造体 1 2 に複数個配置される。これら複数個に分かれて配置された各入出力回路部 4 9 の周囲には、画像信号処理部 2 6 が配置されている。言い換えれば、画像信号処理部 2 6 を配置した領域内に、入出力回路部 4 9 が配置されている。

[0076] なお、下側構造体 1 2 において、入出力回路部 4 9 は、上側構造体 1 1 の行駆動部 2 2 の下側もしくは列信号処理部 2 5 の下側となる領域に配置されても良い。

[0077] 言い換えると、入出力回路部 4 9 は、外部端子 1 4 が形成される下側構造体 1 2 側で、かつ、上側構造体 1 1 の画素アレイ部 2 4 の領域の下方、若しくは、上側構造体 1 1 の画素周辺回路部（図 6 の画素周辺回路領域 3 1 3 のうち、上側構造体 1 1 に形成される回路部）の下方の任意の領域に配置することができる。

[0078] なお、この後で説明する他の構成例も含めて、本実施形態に係る固体撮像装置 1 においては、入力端子 4 1 と入力回路部 4 2 や、出力回路部 4 7 と出力端子 4 8 が配置されている領域に、これらの代わりに、電源端子や接地端子を配置しても良い。

[0079] 下側構造体 1 2 に配置されたトランジスタ回路のうち、入力回路部 4 2 および出力回路部 4 7 を構成するトランジスタ回路の電源電圧は、画像信号処理部 2 6 を構成するトランジスタ回路の電源電圧よりも、高くても良い。

[0080] 例えば、入力回路部 4 2 と出力回路部 4 7 を構成するトランジスタ回路の電源電圧が 1.8 V 乃至 3.3 V であって、画像信号処理部 2 6 を構成するトランジスタ回路の電源電圧が 1.2 V 乃至 1.5 V であっても良い。前者

（入力回路部 4 2 および出力回路部 4 7 を構成するトランジスタ回路）の電源電圧と後者（画像信号処理部 2 6 を構成するトランジスタ回路）の電源電圧とが異なるため、入力回路部 4 2 および出力回路部 4 7 において電源電圧が印加されるウエル領域と、これらの周囲に配置された画像信号処理部 2 6 において電源電圧が印加されるウエル領域とを離間して配置するための距離、いわゆるウエル分離領域の幅は、画像信号処理部 2 6 内において電源電圧が印加される複数のウエル領域の間に設けられた距離よりも、大きいことが望ましい。

[0081] また、入力回路部 4 2 および出力回路部 4 7 に備わる素子分離領域の深さは、画像信号処理部 2 6 内に備わる素子分離領域の深さよりも、深くても良い。また、入力回路部 4 2 および出力回路部 4 7 に備わるトランジスタのゲート長は、画像信号処理部 2 6 内に備わるトランジスタのゲート長よりも、大きいことが望ましい。

[0082] 固体撮像装置 1 に備わる画素周辺回路部のうち、上側構造体 1 1 に配置された画素周辺回路部の一部、例えば列信号処理部 2 5 に備わる負荷回路部、増幅回路部、ノイズ処理部、及び、ADCのコンパレータ部のいずれかを構成するトランジスタ回路の電源電圧は、下側構造体 1 2 に配置された画素周辺回路部の一部、例えば列信号処理部 2 5 に備わるADCのカウンタ部を構成するトランジスタ回路の電源電圧よりも、高くても良い。例として、前者（上側構造体 1 1 に配置された画素周辺回路部、例えば列信号処理部 2 5 に備わる負荷回路部、増幅回路部、ノイズ処理部、または、ADCのコンパレータ部のいずれか）のトランジスタ回路の電源電圧が 1.8 V 乃至 3.3 V であって、後者（下側構造体 1 2 に配置された画素周辺回路部、例えばADCのカウンタ部）のトランジスタ回路の電源電圧が 1.2 V 乃至 1.5 V であっても良い。後者のトランジスタ回路の電源電圧は、下側構造体 1 2 に配置された画像信号処理部 2 6 を構成するトランジスタ回路の電源電圧と同じであっても良い。前者のトランジスタ回路の電源電圧が後者のトランジスタ回路の電源電圧よりも高いため、前者のトランジスタ回路において電源電圧が印加される複数

個のウエル領域の間に設けられた距離は、後者のトランジスタ回路において電源電圧が印加される複数個のウエル領域の間に設けられた距離よりも、大きいことが望ましい。また、前者のトランジスタ回路に備わる素子分離領域の深さは、後者のトランジスタ回路に備わる素子分離領域の深さよりも、深いことが望ましい。また、前者のトランジスタ回路に備わるトランジスタのゲート長は、後者のトランジスタ回路に備わるトランジスタのゲート長よりも、大きいことが望ましい。

[0083] さらに、上側構造体 1 1 に配置された画素 3 1 を構成する画素トランジスタ回路の電源電圧は、上側構造体 1 1 に配置された画素周辺回路部（例えば列信号処理部 2 5 に備わる負荷回路部、増幅回路部、ノイズ処理部、または、ADCのコンパレータ部のいずれか）を構成するトランジスタ回路の電源電圧と同じであっても良い。

[0084] 上側構造体 1 1 に配置された画素 3 1 を構成する画素トランジスタ回路の電源電圧は、下側構造体 1 2 に配置された画素周辺回路部（例えばADCのカウンタ部）もしくは画像信号処理部 2 6 を構成するトランジスタ回路の電源電圧よりも、高くても良い。このため、素子分離領域として半導体基板を掘り込む構造の素子分離領域を用いる場合には、上側構造体 1 1 に配置された画素トランジスタの周囲に備わる素子分離領域の一部の深さは、下側構造体 1 2 に配置された画素周辺回路部もしくは画像信号処理部 2 6 のトランジスタの周囲に備わる素子分離領域の深さよりも深くても良い。あるいは、画素トランジスタの周囲の素子分離領域として、半導体基板を掘り込む素子分離領域ではなく、画素トランジスタの周囲に、画素トランジスタの拡散層領域とは逆の導電型となる不純物領域を形成する素子分離領域を一部に用いても良い。

[0085] また、上側構造体 1 1 に配置された画素トランジスタのゲート長は、下側構造体 1 2 に配置された画素周辺回路部もしくは画像信号処理部 2 6 のトランジスタのゲート長よりも大きくても良い。一方、素子分離領域が深くなることによって増加が懸念される素子分離領域近傍でのノイズ電荷の発生を抑

制するために、上側構造体 1 1 に配置された画素トランジスタの周囲に備わる素子分離領域の深さは、上側構造体 1 1 に配置された画素周辺回路部を構成するトランジスタの周囲に備わる素子分離領域の深さよりも、浅くても良い。あるいは、画素トランジスタの周囲の素子分離領域として、半導体基板を掘り込む素子分離領域ではなく、画素トランジスタの周囲に、画素トランジスタの拡散層領域とは逆の導電型となる不純物領域を形成する素子分離領域を一部に用いても良い。

[0086] < 6. 固体撮像装置の断面構造 >

本実施形態に係る固体撮像装置 1 の断面構造と回路配置を、図 6 を参照してさらに説明する。

図 6 は、図 5 の A - A' 線における固体撮像装置 1 に係る断面構造を示す図である。なお、便宜上、図 6 の一部は、この後説明する本技術の他の構成例における断面構造へと替えて記載してある。

[0087] 固体撮像装置 1 に備わる上側構造体 1 1 とその上方とを含めた部分には、オンチップレンズ 1 6 とカラーフィルタ 1 5 と画素トランジスタとフォトダイオード 5 1 とを有する画素 3 1 が、複数個、アレイ状に配列された画素アレイ部 2 4 が配置されている。画素アレイ部 2 4 の領域（画素アレイ領域）には、画素トランジスタ領域 3 0 1 も配置される。画素トランジスタ領域 3 0 1 は、転送トランジスタ 5 2、増幅トランジスタ 5 5、リセットトランジスタ 5 4 のうちの少なくとも 1 つの画素トランジスタが形成される領域である。

[0088] 下側構造体 1 2 に備わる半導体基板 8 1 の下側の表面で、かつ、上側構造体 1 1 に備わる画素アレイ部 2 4 の下方に位置する領域には、外部端子 1 4 が複数個配置されている。

[0089] なお、図 6 の説明においては、「下側構造体 1 2 に備わる半導体基板 8 1 の下側の表面で、かつ、上側構造体 1 1 に備わる画素アレイ部 2 4 の下方に位置する領域」を第 1 特定領域、「下側構造体 1 2 に備わる半導体基板 8 1 の上側の表面で、かつ、上側構造体 1 1 に備わる画素アレイ部 2 4 の下方に位

置する領域」を第２特定領域と呼ぶ。

[0090] 第１特定領域に配置された複数の外部端子１４の少なくとも一部は、外部から固体撮像装置１へ信号を入力するための信号入力端子１４Ａもしくは固体撮像装置１から外部へ信号を出力するための信号出力端子１４Ｂである。言い換えれば、信号入力端子１４Ａ及び信号出力端子１４Ｂは、外部端子１４のなかから、電源端子及び接地端子を除いた外部端子１４である。本開示では、これらの信号入力端子１４Ａもしくは信号出力端子１４Ｂを、信号入出力端子１４Ｃと呼ぶ。

[0091] 第１特定領域であって、かつ、これら信号入出力端子１４Ｃの近傍に、半導体基板８１を貫通する貫通ビア８８が配置される。なお、本開示においては、半導体基板８１を貫通するビアホールとその内部に形成されたビア配線とを併せて、単に貫通ビア８８と呼ぶ場合がある。

[0092] この貫通ビアホールは、半導体基板８１の下側表面から、半導体基板８１の上側表面上方に配置された多層配線層８２の一部であってビアホールの終端（底部）となる導電性パッド３２２（以後、ビア用パッド３２２と呼ぶ場合がある）まで、掘り込んで形成された構造であることが望ましい。

[0093] 第１特定領域に配置された信号入出力端子１４Ｃは、同じく第１特定領域に配置された貫通ビア８８（より具体的には、貫通ビアホール内に形成されたビア配線）へ電氣的に接続される。

[0094] 第２特定領域であって、かつ、信号入出力端子１４Ｃおよび上記貫通ビアの近傍となる領域に、入力回路部４２もしくは出力回路部４７を備えた入出力回路部４９が配置される。

[0095] 第１特定領域に配置された信号入出力端子１４Ｃは、貫通ビア８８とビア用パッド３２２と、あるいはまた多層配線層８２の一部とを介して、入出力回路部４９へ電氣的に接続される。

[0096] 入出力回路部４９を配置した領域を入出力回路領域３１１と呼ぶ。下側構造体１２に備わる半導体基板８１の上側の表面には、入出力回路領域３１１に隣接して信号処理回路領域３１２が形成されている。信号処理回路領域３

12は、図2を参照して説明した画像信号処理部26が形成される領域である。

[0097] 図2を参照して説明した行駆動部22や列信号処理部25の全部もしくは一部を含む画素周辺回路部を配置した領域を、画素周辺回路領域313と呼ぶ。上側構造体11に備わる半導体基板101の下側の表面及び下側構造体12に備わる半導体基板81の上側の表面のうち、画素アレイ部24の外側となる領域には、画素周辺回路領域313が配置されている。

[0098] 信号入出力端子14Cは、下側構造体12に配置された、入出力回路領域311の下側の領域に配置されて良いし、あるいは、信号処理回路領域312の下側となる領域に配置されても良い。あるいは、信号入出力端子14Cは、下側構造体12に配置された、行駆動部22もしくは列信号処理部25などの画素周辺回路部の下側に配置されても良い。

[0099] 本開示においては、上側構造体11の多層配線層102に含まれる配線と、下側構造体12の多層配線層82に含まれる配線とを接続する配線接続構造を上下配線接続構造と呼ぶことがあり、この構造を配置した領域を上下配線接続領域314と呼ぶことがある。

[0100] 上下配線接続構造は、上側構造体11の上側の表面から半導体基板101を貫通し多層配線層102に至る第1貫通電極（シリコン貫通電極）109と、上側構造体11の上側の表面から半導体基板101と多層配線層102を貫通し下側構造体12の多層配線層82に至る第2貫通電極（チップ貫通電極）105と、これら2つの貫通電極（Through Silicon Via, TSV）を接続するための貫通電極接続配線106とによって形成されている。本開示においては、このような上下配線接続構造をツインコンタクト構造と呼ぶ場合がある。

[0101] 画素周辺回路領域313の外側に、上下配線接続領域314が配置されている。

[0102] 本実施形態では、画素周辺回路領域313が、上側構造体11と下側構造体12の両方に形成されているが、いずれか一方のみに形成することもでき

る。

[0103] また、本実施形態では、上下配線接続領域 314 が、画素アレイ部 24 の外側であって、かつ、画素周辺回路領域 313 の外側に配置されているが、画素アレイ部 24 の外側であって、かつ、画素周辺回路領域 313 の内側に配置されてもよい。

[0104] さらに、本実施形態では、上側構造体 11 の多層配線層 102 と下側構造体 12 の多層配線層 82 とを電氣的に接続する構造として、シリコン貫通電極 109 とチップ貫通電極 105 の 2 本の貫通電極を用いて接続するツインコンタクト構造を採用した。

[0105] 上側構造体 11 の多層配線層 102 と下側構造体 12 の多層配線層 82 とを電氣的に接続する構造としては、例えば、上側構造体 11 の配線層 103 と、下側構造体 12 の配線層 83 のそれぞれが、1 本の貫通電極に共通に接続するシェアコンタクト構造としてもよい。

[0106] <7. 他の上下配線接続構造を用いた場合の固体撮像装置の回路配置>

他の上下配線接続構造を用いた場合の、固体撮像装置 1 の回路の配置と断面構造を、図 7 と図 8 を参照して説明する。

[0107] 図 8 は、図 6 に示す上下配線接続構造とは異なる構造を用いた場合の、図 7 の B-B' 線における、固体撮像装置 1 の断面構造を示す図である。なお便宜上、図 8 の一部は、この後説明する本技術の他の構成例における断面構造へと替えて記載してある。

[0108] 図 8 の画素周辺回路領域 313 において、上側構造体 11 の多層配線層 102 は、一部の配線を多層配線層 102 の最下面、言い換えれば、上側構造体 11 と下側構造体 12 との接合面に配置している。また、下側構造体 12 の多層配線層 82 も、一部の配線を多層配線層 82 の最上面、言い換えれば、上側構造体 11 と下側構造体 12 との接合面に配置している。そして、多層配線層 102 の一部の配線と、多層配線層 82 の一部の配線が、この接合面における略同一の位置に配置されて、配線どうしが電氣的に接続されている。配線どうしを電氣的に接続する形態としては、2 つの配線を直接接触さ

せる形態で良いし、あるいは、２つの配線間に薄膜の絶縁膜や高抵抗膜が形成され、形成された膜が一部で電氣的に導通している形態であっても良い。
あるいは、２つの配線間に薄膜の絶縁膜や高抵抗膜が形成され、２つの配線が容量結合によって電気信号を伝播させる形態であっても良い。

[0109] 本開示においては、上側構造体１１の多層配線層１０２の配線の一部の配線と下側構造体１２の多層配線層８２の配線の一部の配線を上記接合面の略同一の位置に形成し２つの配線を電氣的に接続する構造の総称として、上下配線直接接続構造あるいは単に配線直接接続構造と呼ぶ場合がある。

[0110] 上記略同一の位置の具体的な例としては、例えば、固体撮像装置１を上側から下側方向へ平面視した場合に、電氣的に接続する上記２つの配線の少なくとも一部が重なる位置であれば良い。接続する２つの配線の材料として、例えば、銅（Cu）を用いた場合には、この接続構造を、Cu-Cu直接接合構造あるいは単にCu-Cu接合構造と呼ぶ場合がある。

[0111] 上下配線直接接続構造を用いる場合には、この接続構造を画素アレイ部２４の外側に配置することができる。あるいは、この接続構造を、上側構造体１１が備える画素周辺回路領域３１３の内部と、下側構造体１２が備える画素周辺回路領域３１３の内部とに、配置することができる。より具体的には、上下配線直接接続構造を構成する配線のうち、上記接合面の上側構造体１１の側に配置する配線は、上側構造体１１の画素周辺回路領域３１３に備わる回路の下側に配置することができる。また、上下配線直接接続構造を構成する配線のうち、上記接合面の下側構造体１２の側に配置する配線は、下側構造体１２の画素周辺回路領域３１３に備わる回路の上側に配置することができる。あるいは、上側構造体１１の配線として画素アレイ部２４（画素トランジスタ領域３０１）に配置された配線を用いて、これと下側構造体１２の配線とによる上下配線直接接続構造を、画素アレイ部２４（画素トランジスタ領域３０１）の下方に配置することもできる。

[0112] <第２の回路配置構成例>

図７は、固体撮像装置１の第２の回路配置構成例を示す図である。

- [0113] 第2の回路配置構成例においては、上下配線接続構造として、上記上下配線直接接続構造を用いている。
- [0114] 図7に示すように、第2の回路配置構成例における画素アレイ部24の配置は、図5に示した第1の回路配置構成例と同様である。すなわち、画素アレイ部24は上側構造体11に配置されている。
- [0115] また、図7に示すように、第2の回路配置構成例における固体撮像装置1の行駆動部22と列信号処理部25の配置も、図5に示した第1の回路配置構成例と同様である。
- [0116] 一方、第2の回路配置構成例における上下配線接続部の配置は、図5に示す第1の回路配置構成例と異なる。
- [0117] 上側構造体11に配置された行駆動部22の配線と、下側構造体12に配置された行駆動部22の配線との接続は、上側構造体11に配置された行駆動部22と下側構造体12に配置された行駆動部22とが重なる領域において、上下配線直接接続構造を用いて形成される。
- [0118] 上側構造体11に配置された列信号処理部25の配線と、下側構造体12に配置された列信号処理部25の配線との接続は、上側構造体11に配置された列信号処理部25と下側構造体12に配置された列信号処理部25とが重なる領域において、上下配線直接接続構造を用いて形成される。
- [0119] 図5に示した第1の回路配置構成例においては、行駆動部22の配線を接続する上下配線接続構造と列信号処理部25の配線を接続する上下配線接続構造は、それぞれ、行駆動部22の外側と列信号処理部25の外側の配線接続部29に配置されていた。これに対して、図7に示す第2の回路配置構成例においては、行駆動部22の配線を接続する上下配線接続構造と列信号処理部25の配線を接続する上下配線接続構造は、それぞれ、行駆動部22の領域内と列信号処理部25の領域内に形成されている。このため、第2の回路配置構成例に示す固体撮像装置1は、上側構造体11及び下側構造体12において配線接続部29が省略されており、第1の回路配置構成例に示す固体撮像装置1よりも、外形サイズの小さな装置を実現し得る。

[0120] < 8. 他の固体撮像装置との比較例 >

< 比較例 1 >

他の固体撮像装置の構造と比較して、固体撮像装置 1 の構造の特徴について説明する。

[0121] 図 9 は、比較例 1 として、特開 2014-72294 号公報（以下、比較構造開示文献 1 という。）に開示された、固体撮像装置の最終形状における断面を表す図である。

[0122] 図 9 の固体撮像装置 600 は、第 1 半導体層 611 を含む第 1 素子部 621 と第 1 配線部 622 とを備える第 1 部分 623 と、第 2 半導体層 631 を含む第 2 素子部 641 と第 2 配線部 642 とを備える第 2 部分 643 とが積層された構造を有する。第 1 部分 623 の裏面側には、カラーフィルタ 651 とオンチップレンズ 652 などが形成された光学部材 653 が配置されている。

[0123] 固体撮像装置 600 は、制御ユニットを構成するトランジスタ T_{r3} と T_{r4} の外側、および、信号処理ユニットを構成するトランジスタ T_{r5} 乃至 T_{r8} を配置した領域の外側に、導電部材 662 を介して、第 1 配線 661 と第 2 配線 663 を接続する構造が形成され、この接続構造の外側に、外部端子 664 が配置されている。なお、入出力回路をどこへ配置するかの記載は無い。

[0124] これに対して、本技術は、（１）外部端子 14 と、（２）外部端子 14 に接続する入力回路部 42 もしくは出力回路部 47 を形成した半導体領域と、（３）撮像を行うフォトダイオード 51 および画素トランジスタを形成した半導体領域と、（４）カラーフィルタ 15 およびオンチップレンズ 16 と、（５）保護基板 18 と、を略同一となる領域に積層した構造によって、図 9 の固体撮像装置 600 よりも、外形サイズを小さくすることができる。

[0125] 図 9 の固体撮像装置 600 は、その最終形状において、オンチップレンズ 652 の上側に、オンチップレンズ 652 を保護するための保護基板を備えていない。そして、比較構造開示文献 1 では、図 9 の固体撮像装置 600 の

製造方法として、第１部分６２３と第２部分６４３とを接合し、カラーフィルタ６５１とオンチップレンズ６５２を形成し、その後、基板を反転させた後、電極部を露出させる開口と外部端子６６４の形成を行うことが記載されている。外部端子６６４を形成する際には、外部端子６６４を金属配線上へ、特定値以上の応力を加えて圧着させる必要がある。オンチップレンズ６５２上に保護基板を備えない固体撮像装置６００において、上記製造方法で外部端子６６４を形成すると、外部端子６６４を圧着させる際に、オンチップレンズ６５２が製造装置に押し付けられ、オンチップレンズ６５２に傷が付くおそれがある。

[0126] さらに、図９の固体撮像装置６００では、外部端子６６４は、画素アレイ部の外側の領域に形成されており、オンチップレンズ６５２の直下には形成されていない。この場合、外部端子６６４を圧着する際にオンチップレンズ６５２へ加わる力は、外部端子６６４を圧着するために印加する力が斜め方向に分散されたものとなる。

[0127] 仮に、外形サイズの小さな固体撮像装置を実現するために、画素領域の直下、すなわちオンチップレンズ６５２の直下に外部端子６６４を形成する場合には、外部端子６６４を圧着するために印加する力の方向の延長線上にオンチップレンズ６５２があるため、オンチップレンズ６５２に加わる力はより大きくなり、オンチップレンズ６５２への傷の発生がより深刻となるおそれがある。

[0128] また、比較構造開示文献１では、外部端子６６４を形成した後、カラーフィルタ６５１とオンチップレンズ６５２を形成する製法も開示されている。

[0129] しかし、この製法の場合、固体撮像装置表面に外部端子６６４による突出部を多数備えた状態では、カラーフィルタ６５１とオンチップレンズ６５２を形成する際に、これらの製造装置へ固体撮像装置を、真空吸着法と言った一般的な方法では固定することが困難となるおそれがある。

[0130] これに対して、図１の固体撮像装置１は、オンチップレンズ１６上に保護基板１８を有する。このため、オンチップレンズ１６を外部端子１４の製造

装置へと押し付けることなく、外部端子 14 を形成することが可能となる。

固体撮像装置 1 は、（１）外部端子 14 と、（２）外部端子 14 に接続する入力回路部 42 もしくは出力回路部 47 を形成した半導体領域と、（３）撮像を行うフォトダイオード 51 および画素トランジスタを形成した半導体領域と、（４）カラーフィルタ 15 およびオンチップレンズ 16 と、（５）保護基板 18 と、を略同一となる領域に積層した構造を可能とし、図 9 の固体撮像装置 600 よりも、外形サイズを小さくすることができる。

[0131] <比較例 2>

図 10 は、比較例 2 として、特開 2010-50149 号公報（比較構造開示文献 2）に開示された、固体撮像装置の最終形状における断面を表す図である。

[0132] 図 10 の固体撮像装置 700 は、フォトダイオード（不図示）、カラーフィルタ 711、オンチップレンズ 712 等が形成される撮像領域 722 と、その周辺に形成された周辺領域 723 とに分かれている。

[0133] 周辺領域 723 には、駆動パルスや信号入出力のための第 1 パッド 724 が配置されている。第 1 パッド 724 には、ボンディングワイヤ 725 が接続される。そして、撮像領域 722 内に、基準電位 V_{ss} を与える第 2 パッド 726 が配置されている。第 2 パッド 726 上に、外部端子（半田ボール） 727 が設けられている。

[0134] 以上のように、固体撮像装置 700 は、画素アレイの下側に外部端子 727 を備える。

[0135] 固体撮像装置 1 は、（１）外部端子 14 と、（２）外部端子 14 に接続する入力回路部 42 もしくは出力回路部 47 を形成した半導体領域と、（３）撮像を行うフォトダイオード 51 および画素トランジスタを形成した半導体領域と、（４）カラーフィルタ 15 およびオンチップレンズ 16 と、（５）保護基板 18 と、を略同一となる領域に積層した構造によって、図 10 の固体撮像装置 700 よりも、外形サイズを小さくすることができる。

[0136] 図 10 の固体撮像装置 700 は、固体撮像素子 1 の上側構造体 11 と下側

構造体 1 2 のような積層構造を備えていない、言い換えれば、トランジスタ回路が形成された半導体基板を 1 層しか備えない固体半導体装置である。

[0137] 図 1 0 に開示された固体撮像装置 7 0 0 は、その最終形状において、支持基板 7 3 1 を貫通するビア 7 3 2 と外部端子 7 2 7 とが、撮像領域 7 2 2 内の画素アレイの下側に形成されている。

[0138] しかし、図 1 0 において形成されている外部端子 7 2 7 は、基準電位 V_{ss} (接地電位) 用の端子である。基準電位 V_{ss} の端子は、基準電位 V_{ss} を固体撮像装置内部へと供給する際、トランジスタ回路によって構成される入力回路を必要としない。このため、図 1 0 に開示された固体撮像装置 7 0 0 は、基準電位 V_{ss} 用の外部端子 7 3 7 を、撮像領域 7 2 2 の下側に配置出来ている。

[0139] 一方、撮像領域 7 2 2 には、フォトダイオードと画素トランジスタとを備えた画素が並べて配置されている。このため、トランジスタ回路が形成された半導体基板 7 4 1 を 1 層しか備えない構造の場合、画素が形成された半導体基板 7 4 1 において、画素領域内に入力回路を併せて形成することは難しい。このため、図 1 0 に開示された半導体基板 7 4 1 を 1 層しか備えない固体撮像装置 7 0 0 は、画素領域の下側に、入出力回路を必要としない電源端子を配置することは可能であるが、入力回路もしくは出力回路を必要とする外部端子、言い換えれば信号入力用または信号出力用の外部端子を配置することは出来ない。

[0140] さらに、図 1 0 の固体撮像装置 7 0 0 は、図 9 に示した固体撮像装置 6 0 0 と同様に、オンチップレンズ 7 1 2 上に保護基板を備えない。このため、外部端子圧着時にオンチップレンズ 7 1 2 に傷が付くという問題が発生する。

[0141] これに対して、固体撮像装置 1 は、トランジスタ回路を形成した半導体基板を複数層積層した構造を備える。これにより、画素領域の下側に、入力回路もしくは出力回路を必要とする外部端子 1 4、言い換えれば信号入力用または信号出力用の信号入出力端子 1 4 C を配置することが可能となる。また、固体撮像装置 1 は、オンチップレンズ 1 6 上に保護基板 1 8 を有する。こ

のため、オンチップレンズ 16 を外部端子 14 の製造装置へと押し付けることなく、外部端子 14 を形成することが可能となる。これにより、固体撮像装置 1 は、(1) 外部端子 14 と、(2) 外部端子 14 に接続する入力回路部 42 もしくは出力回路部 47 を形成した半導体領域と、(3) 撮像を行うフォトダイオード 51 および画素トランジスタを形成した半導体領域と、(4) カラーフィルタ 15 およびオンチップレンズ 16 と、(5) 保護基板 18 と、を略同一となる領域に積層した構造を可能とし、図 10 の固体撮像装置 700 よりも、外形サイズを小さくすることができる。

[0142] <比較例 3>

図 11 は、比較例 3 として、特開 2011-9645 号公報（比較構造開示文献 3）に開示された、固体撮像装置の最終形状における断面を表す図である。

[0143] 図 11 の固体撮像装置 800 は、半導体基板 811 の第 1 主面（上側の面）に、フォトダイオード及びトランジスタを含む撮像素子 812 が形成されている。撮像素子 812 の上側に、多層配線層 813、カラーフィルタ 814、オーバーコート 815、及び、オンチップレンズ 816 が形成されている。また、固体撮像装置 800 は、オンチップレンズ 816 の上側に、保護基板 817 を備えている。

[0144] 撮像素子 812 やカラーフィルタ 814、オンチップレンズ 816 が形成された撮像画素部 822 の外側に、半導体基板 811 を貫通するシリコン貫通電極 831、外部に接続される外部端子（はんだボール）832 などが形成された周辺回路部 823 が配置されている。

[0145] 図 11 の固体撮像装置 800 は、比較例 2 の固体撮像装置 700 と同様に、上側構造体と下側構造体を積層させた積層構造を備えてない、言い換えれば、トランジスタ回路が形成された半導体基板を 1 層しか備えない固体半導体装置である。このため、画素領域の下側に、入力回路もしくは出力回路を必要とする外部端子、言い換えれば信号入力用または信号出力用の外部端子を配置することは出来ない。

[0146] これに対して、固体撮像装置 1 は、トランジスタ回路を形成した半導体基板を複数層積層した構造を備える。これにより、画素領域の下側に、入力回路もしくは出力回路を必要とする外部端子 14、言い換えれば信号入力用または信号出力用の外部端子 14 を配置することが可能となる。これにより、固体撮像装置 1 は、(1) 外部端子 14 と、(2) 外部端子 14 に接続する入力回路部 42 もしくは出力回路部 47 を形成した半導体領域と、(3) 撮像を行うフォトダイオード 51 および画素トランジスタを形成した半導体領域と、(4) カラーフィルタ 15 およびオンチップレンズ 16 と、(5) 保護基板 18 と、を略同一となる領域に積層した構造を可能とし、図 11 の固体撮像装置 800 よりも、外形サイズを小さくすることができる。

[0147] また、図 11 の固体撮像装置 800 のように、装置外周部（周辺回路部 823）のみにシリコン貫通電極 831 が形成されている場合には、電源端子やグランド端子についても同様に、装置外周部のみに配置されることになる。この場合、IR ドロップ対策や配線遅延対策のために、電源端子及びグランド端子を多数配置する必要があった。これに対して、固体撮像装置 1 は、貫通ビア 88 を、上下基板接続領域 314 より内側の下側構造体 12 の任意の領域に配置できるので、そのうちの一部を電源端子や接地端子用として使用することができる。即ち、電源端子や接地端子についても任意の領域に配置することができる。これにより、電源端子及び接地端子の個数を、外周部のみに配置した場合よりも少なくすることができる。これにより、固体撮像装置 1 全体としての回路面積を削減することができる。

[0148] <図 1 の固体撮像装置と比較例との差異>

固体撮像装置 1 は、(1) 外部端子 14 と、(2) 外部端子 14 に接続する入力回路部 42 もしくは出力回路部 47 を形成した半導体領域と、(3) 撮像を行うフォトダイオード 51 および画素トランジスタを形成した半導体領域と、(4) カラーフィルタ 15 およびオンチップレンズ 16 と、(5) 保護基板 18 と、を略同一となる領域に積層した構造によって、外形サイズを小さくすることができるものである。

[0149] 比較例 1 と比較例 2 に示した、保護基板を備えない、半導体積層構造の固体撮像装置の場合、オンチップレンズに傷が付く恐れがある。すなわち、上記（１）乃至（４）を略同一となる領域に積層した構造にして、本技術と同等の外形サイズの固体撮像装置を得るには、阻害要因がある。つまり、「上記（１）乃至（４）を略同一となる領域に積層して小型の固体撮像装置を実現する」という機能及び作用は、比較例 1 と比較例 2 に示した、保護基板を備えない、半導体積層構造の固体撮像装置によっては、得られない機能及び作用である。

[0150] 比較例 3 に示した、トランジスタ回路が形成された半導体基板を 1 層しか備えない固体半導体装置の場合、上記（１）乃至（５）を略同一となる領域に積層した構造にして、本技術と同等の外形サイズの固体撮像装置を得ることは出来ない。言い換えれば、阻害要因がある。つまり、「上記（１）乃至（５）を略同一のとなる領域に積層して小型の固体撮像装置を実現する」という機能及び作用は、比較例 3 に示した、トランジスタ回路が形成された半導体基板を 1 層しか備えない固体撮像装置によっては、得られない機能及び作用である。

[0151] このように、本技術の「上記（１）乃至（５）を略同一となる領域に積層した構造によって、この構造を備えない固体撮像装置よりも、外形サイズの小さな固体撮像装置を実現する」という機能及び作用は、比較例 1 と比較例 2 で示した「保護基板を備えない半導体積層構造の固体撮像装置」の構成単独では得られない機能及び作用であり、かつ、比較例 3 で示した「トランジスタ回路が形成された半導体基板を 1 層しか備えない固体撮像装置」の構成単独でも得られない機能及び作用である。

[0152] < 9. 固体撮像装置の他の回路配置構成例 >

< 第 3 の回路配置構成例 >

図 1 2 は、固体撮像装置 1 の他の回路配置構成例であって、第 1 の回路配置構成例の変形となる第 3 の回路配置構成例を示す図である。

[0153] 図 5 に示した第 1 の回路配置構成例においては、入出力回路部 4 9 が、そ

れぞれ、１つの外部端子１４ごとに分かれて配置されていた。そして、それぞれの入出力回路部４９の周囲を、画像信号処理部２６が取り囲んでいた。

[0154] これに対して、図１２に示す第３の回路配置構成例においては、入出力回路部４９が、複数個の外部端子１４毎にまとめて配置されている。入出力回路部４９の１つの領域の内部では、例えば、ある外部端子１４の入出力回路部４９と他の外部端子１４の入出力回路部４９とが接して配置され、これら入出力回路部４９の間には、画像信号処理部２６が配置されていない。電源電圧が異なる入出力回路部４９と画像信号処理部２６とを交互に隣接させて配置する第１の回路配置構成例よりも、電源電圧が同じ複数個の入出力回路部４９をまとめて１かたまりの入出力回路部領域として配置する第３の回路配置構成例の方が、電源電圧が異なるウエルの間を分離して配置する箇所が少なくなるため、固体撮像装置１の外形サイズが同じであっても、下側構造体１２において、例えば画像信号処理部２６へより多くの回路を搭載できる可能性がある。

[0155] さらに、図１２に示す第３の回路配置構成例においては、入出力回路部４９の一部を、上側構造体１１に含まれる画素アレイ部２４の下側に配置するのではなく、上側構造体１１に含まれる画素周辺回路部の下側、例えば上側構造体１１に含まれる行駆動部２２の下側、もしくは下側構造体１２に含まれる画像信号処理部２６を配置する領域の外側に配置しても良い。これにより、固体撮像装置１の外形サイズが同じであっても、下側構造体１２において、例えば画像信号処理部２６へさらに多くの回路を搭載できる可能性がある。

[0156] ＜第４の回路配置構成例＞

図１３は、固体撮像装置１の他の回路配置構成例であって、第１及び第３の回路配置構成例の変形となる第４の回路配置構成例を示す図である。

[0157] 図１４は、図１３のＣ－Ｃ’線における固体撮像装置１に係る断面構造を示す図である。なお便宜上、図１４の一部は、この後説明する本技術の他の構成例における断面構造へと替えて記載してある。

[0158] 図 1 3 と図 1 4 に示す第 4 の回路配置構成例においては、入出力回路部 4 9、言い換えれば、入力回路部 4 2 と出力回路部 4 7 の全てを、下側構造体 1 2 に含まれる画像信号処理部 2 6 を配置した領域の外周部に配置している。この入出力回路部 4 9 を配置する領域は、上側構造体 1 1 に含まれる行駆動部 2 2 と列信号処理部 2 5（画素周辺回路領域 3 1 3）の下側であっても良いし、上側構造体 1 1 に含まれる画素アレイ部 2 4 の外周部下側でも良い。

[0159] なお、入出力回路部 4 9 を配置する領域は、例えば、列信号処理部 2 5 の行方向全体に渡って切れ目なく配置される必要は無く、列信号処理部 2 5 と画像信号処理部 2 6 との間に、入出力回路部 4 9 が配置されない領域があっても良い。

[0160] また、入出力回路部 4 9 を配置する領域は、行駆動部 2 2 の列方向全体に渡って切れ目なく配置される必要は無く、行駆動部 2 2 と画像信号処理部 2 6 との間に、入出力回路部 4 9 が配置されない領域があっても良い。

[0161] 第 4 の回路配置構成例により、電源電圧が異なるウエルの間を分離して配置する箇所が、第 3 の回路配置構成例よりも少なくなるため、固体撮像装置 1 の外形サイズが同じであっても、下側構造体 1 2 において、例えば画像信号処理部 2 6 へより多くの回路を搭載できる可能性がある。

[0162] <第 5 の回路配置構成例>

図 1 5 は、固体撮像装置 1 の他の回路配置構成例であって、第 1、第 3、及び第 4 の回路配置構成例の変形となる第 5 の回路配置構成例を示す図である。

[0163] 図 1 3 に示した第 4 の回路配置構成例においては、入出力回路部 4 9 が、列信号処理部 2 5 と画像信号処理部 2 6 との間、および、行駆動部 2 2 と画像信号処理部 2 6 との間に、配置されない領域があった。

[0164] これに対して、図 1 5 に示す第 5 の回路配置構成例においては、入出力回路部 4 9 が、列信号処理部 2 5 の行方向全体に渡って、また、行駆動部 2 2 の列方向全体に渡って、列状に配置されている。これにより、入出力回路部

49の面積を大きくできる可能性がある。

[0165] また、第5の回路配置構成例においては、第1及び第3の回路配置構成例の固体撮像装置1と外形サイズが同じであっても、下側構造体12において、例えば画像信号処理部26へより多くの回路を搭載できる可能性がある。

[0166] <第6の回路配置構成例>

図16は、固体撮像装置1の他の回路配置構成例であって、第1及び第3の回路配置構成例の変形となる第6の回路配置構成例を示す図である。

[0167] 第1及び第3の回路配置構成例においては、入出力回路部49は、下側構造体12において、上側構造体11の画素アレイ部24の下側となる領域に配置され、その周囲には、画像信号処理部26が配置されていた。

[0168] 図16の第6の回路配置構成例においては、下側構造体12の画像信号処理部26は、破線により分割された複数個（図16では3個）の回路ブロックを含む構成となって配置されている。そして、第6の回路配置構成例においては、入出力回路部49は、画像信号処理部26が備える回路ブロックのブロック境界か、または、行駆動部22との境界となる部分に配置されている。

[0169] 画像信号処理部26を複数個の回路ブロックに分けて配置する場合、ブロック境界部分に、各回路ブロックが備える回路への電源供給線や接地線を配置する場合がある。このため、ブロック境界部分における回路と回路との間の距離は、回路ブロック内部における回路と回路との間の距離よりも大きくなるように配置されている場合がある。このように、回路密度が比較的低くなっている回路ブロックの境界部分に入出力回路部49を配置することによって、回路ブロック内部に入出力回路部49を配置する場合よりも、回路のレイアウト設計が容易かつ回路の集積度をあまり下げることなく入出力回路部49を配置することが出来る可能性がある。これにより、固体撮像装置1の外形サイズが同じであっても、第6の回路配置構成例を用いることによって、下側構造体12において、例えば画像信号処理部26へより多くの回路を搭載できる可能性がある。

[0170] ＜第 7 の回路配置構成例＞

図 1 7 は、固体撮像装置 1 の他の回路配置構成例であって、第 5 の回路配置構成例の変形となる第 7 の回路配置構成例を示す図である。

[0171] 図 1 7 の第 7 の回路配置構成例においては、上側構造体 1 1 に配置されている行駆動部 2 2 の面積よりも、下側構造体 1 2 に配置されている行駆動部 2 2 の面積が大きく形成されている。また、上側構造体 1 1 に配置されている行駆動部 2 2 よりも、下側構造体 1 2 に配置されている行駆動部 2 2 の方が、装置の内側方向へ延在させて配置されている。

[0172] 同様にして、上側構造体 1 1 に配置されている列信号処理部 2 5 の面積よりも、下側構造体 1 2 に配置されている列信号処理部 2 5 の面積が大きく形成されている。また、上側構造体 1 1 に配置されている列信号処理部 2 5 よりも、下側構造体 1 2 に配置されている列信号処理部 2 5 の方が、装置の内側方向へ延在させて配置されている。

[0173] これにより、第 7 の回路配置構成例は、図 1 5 に示した第 5 の回路配置構成例と比較して、固体撮像装置 1 の画素アレイ部 2 4 のサイズが同じであっても、固体撮像装置 1 の外形サイズを小さく出来る可能性がある。

[0174] なお、第 7 の回路配置構成例に示した行駆動部 2 2 と列信号処理部 2 5 の配置例は、本技術の他の構成例へも適応出来る。

[0175] ＜第 8 の回路配置構成例＞

図 1 8 は、固体撮像装置 1 の他の回路配置構成例であって、第 7 の回路配置構成例の変形となる第 8 の回路配置構成例を示す図である。

[0176] 図 1 7 に示した第 7 の回路配置構成例においては、下側構造体 1 2 に配置される行駆動部 2 2 よりも面積が小さいながらも、上側構造体 1 1 にも行駆動部 2 2 が配置されていた。同様にして、下側構造体 1 2 に配置される列信号処理部 2 5 よりも面積が小さいながらも、上側構造体 1 1 にも列信号処理部 2 5 が配置されていた。

[0177] これに対して、図 1 8 の第 8 の回路配置構成例においては、行駆動部 2 2 と列信号処理部 2 5 が、下側構造体 1 2 のみに配置されている。行駆動部 2

2から画素アレイ部24へと出力される信号は、図8に示した画素周辺回路領域313の上下配線接続構造を有する配線接続部29を介して、下側構造体12に配置された行駆動部22から、上側構造体11に配置された画素アレイ部24へと伝達される。同様に、画素アレイ部24から列信号処理部25へと入力される信号は、図8に示した画素周辺回路領域313の上下配線接続構造を有する配線接続部29を介して、上側構造体11に配置された画素アレイ部24から、下側構造体12に配置された列信号処理部25へと伝達される。これにより、図17に示した第7の回路配置構成例と比較して、第8の回路配置構成例は、固体撮像装置1の画素アレイ部24のサイズが同じであっても、固体撮像装置1の外形サイズを小さく出来る可能性がある。

[0178] なお、第8の回路配置構成例に示した行駆動部22と列信号処理部25の配置例は、本技術の他の構成例へも適応出来る。

[0179] <第9の回路配置構成例>

図19は、固体撮像装置1の他の回路配置構成例であって、第5の回路配置構成例の変形となる第9の回路配置構成例を示す図である。

[0180] 図19に示す第9の回路配置構成例においては、行駆動部22と列信号処理部25が、全て上側構造体11に配置されている。そして、下側構造体12において、上側構造体11に配置された行駆動部22と列信号処理部25の下側に位置する領域には、図15に示した第5の回路配置構成例と比較して、画像信号処理部26が、外周方向に延在して配置されている。また、上側構造体11に配置された行駆動部22と列信号処理部25の下側に位置する領域に、入出力回路部49を配置しても良い。これにより、図15に示した第5の回路配置構成例と比較して、第9の回路配置構成例は、固体撮像装置1の画素アレイ部24のサイズが同じであっても、画像信号処理部26の面積を大きくし、画像信号処理部26へより多くの回路を搭載できる可能性がある。

[0181] なお、第9の回路配置構成例に示した行駆動部22と列信号処理部25の

配置例は、本技術の他の構成例へも適応出来る。

[0182] <第10の回路配置構成例>

図20は、固体撮像装置1の他の回路配置構成例であって、第2の回路配置構成例の変形となる第10の回路配置構成例を示す図である。

[0183] 図21は、図20のD-D'線における固体撮像装置1に係る断面構造を示す図である。なお便宜上、図21の一部は、この後説明する本技術の他の構成例における断面構造へと替えて記載してある。

[0184] 図20と図21に示す第10の回路配置構成例においては、図7と図8に示す第2の回路配置構成例と同様にして、上下配線直接接続構造を、上側構造体11が備える画素周辺回路領域313の内部と、下側構造体12が備える画素周辺回路領域313の内部とに、配置することができる。

[0185] また、図20と図21に示す第10の回路配置構成例においては、入出力回路部49、言い換えれば、入力回路部42と出力回路部47の全てが、下側構造体12の画像信号処理部26が配置された領域の外側に配置されている。この入出力回路部49が配置される領域は、上側構造体11に含まれる行駆動部22と列信号処理部25の下側であっても良いし、上側構造体11に含まれる画素アレイ部24の下側でも良い。

[0186] なお、入出力回路部49が配置される領域は、例えば、列信号処理部25の行方向全体に渡って切れ目なく配置される必要は無く、列信号処理部25と画像信号処理部26との間に、入出力回路部49が配置されない領域があっても良い。

[0187] また、入出力回路部49が配置される領域は、行駆動部22の列方向全体に渡って切れ目なく配置される必要は無く、行駆動部22と画像信号処理部26との間に、入出力回路部49が配置されない領域があっても良い。第10の回路配置構成例により、図7に示した第2の回路配置構成例の固体撮像装置1と外形サイズが同じであっても、下側構造体12において、例えば画像信号処理部26へより多くの回路を搭載できる可能性がある。

[0188] なお、第10の回路配置構成例に示した回路の配置例は、本技術の他の構

成例へも適応出来る。

[0189] <第 1 1 の回路配置構成例>

図 2 2 は、固体撮像装置 1 の他の回路配置構成例であって、第 1 0 の回路配置構成例の変形となる第 1 1 の回路配置構成例を示す図である。

[0190] 図 2 0 に示した第 1 0 の回路配置構成例においては、上側構造体 1 1 と下側構造体 1 2 の双方に、行駆動部 2 2 の一部と列信号処理部 2 5 の一部とが配置されていた。そして、下側構造体 1 2 において、上側構造体 1 1 に配置された行駆動部 2 2 の下側となる領域であって、かつ、下側構造体 1 2 に配置された行駆動部 2 2 よりも装置内側となる領域に、入出力回路部 4 9 が配置されていた。同様にして、下側構造体 1 2 において、上側構造体 1 1 に配置された列信号処理部 2 5 の下側となる領域であって、かつ、下側構造体 1 2 に配置された列信号処理部 2 5 よりも装置内側となる領域に、入出力回路部 4 9 が配置されていた。

[0191] 図 2 2 に示す第 1 1 の回路配置構成例においては、上側構造体 1 1 と下側構造体 1 2 の双方に、行駆動部 2 2 の一部と列信号処理部 2 5 の一部とが配置されている。そして、下側構造体 1 2 において、上側構造体 1 1 に配置された行駆動部 2 2 の下側となる領域であって、かつ、下側構造体 1 2 に配置された行駆動部 2 2 よりも装置外側となる領域に、入出力回路部 4 9 が配置されている。同様にして、下側構造体 1 2 において、上側構造体 1 1 に配置された列信号処理部 2 5 の下側となる領域であって、かつ、下側構造体 1 2 に配置された列信号処理部 2 5 よりも装置外側となる領域に、入出力回路部 4 9 が配置されている。

[0192] これにより、図 2 0 に示した第 1 0 の回路配置構成例と比較して、例えば、下側構造体 1 2 において、下側構造体 1 2 に配置される画像信号処理部 2 6 と行駆動部 2 2 との間の信号線、および、画像信号処理部 2 6 と列信号処理部 2 5 との間の信号線の配置が容易になる、あるいは、これらの信号線を高密度に配置できる可能性がある。

[0193] なお、第 1 1 の回路配置構成例に示した回路の配置例は、本技術の他の構

成例へも適応出来る。

[0194] < 10. 固体撮像装置の詳細構造 >

次に、図 23 を参照して、固体撮像装置 1 の詳細構造について説明する。

図 23 は、ツインコンタクト構造を備えた固体撮像装置 1 の外周付近を拡大して示した断面図である。

[0195] 下側構造体 12 には、例えばシリコン (Si) で構成された半導体基板 81 の上側 (上側構造体 11 側) に、多層配線層 82 が形成されている。この多層配線層 82 により、図 6 に示した入出力回路領域 311、信号処理回路領域 312 (図 23 では不図示)、画素周辺回路領域 313 などが形成されている。

[0196] 多層配線層 82 は、上側構造体 11 に最も近い最上層の配線層 83a、中間の配線層 83b、及び、半導体基板 81 に最も近い最下層の配線層 83c などからなる複数の配線層 83 と、各配線層 83 の間に形成された層間絶縁膜 84 とで構成される。

[0197] 複数の配線層 83 は、例えば、銅 (Cu)、アルミニウム (Al)、タングステン (W) などを用いて形成され、層間絶縁膜 84 は、例えば、シリコン酸化膜、シリコン窒化膜などで形成される。複数の配線層 83 及び層間絶縁膜 84 のそれぞれは、全ての階層が同一の材料で形成されていてもよし、階層によって 2 つ以上の材料を使い分けてもよい。

[0198] 半導体基板 81 の所定の位置には、半導体基板 81 を貫通するシリコン貫通孔 85 が形成されており、シリコン貫通孔 85 の内壁に、絶縁膜 86 を介して接続導体 87 が埋め込まれることにより、貫通ビア (TSV: Through Silicon Via) 88 が形成されている。絶縁膜 86 は、例えば、SiO₂膜やSiN膜などで形成することができる。貫通ビア 88 は、本実施形態では、外部端子 14 側よりも配線層 83 側の平面積が小さい逆テーパ形状となっているが、反対に、外部端子 14 側の平面積が小さい順テーパ形状でもよいし、外部端子 14 側と配線層 83 側の面積が略同一の非テーパ形状でも良い。

[0199] 貫通ビア 88 の接続導体 87 は、半導体基板 81 の下面側に形成された再

配線 90 と接続されており、再配線 90 は、外部端子 14 と接続されている。接続導体 87 及び再配線 90 は、例えば、銅 (Cu)、タングステン (W)、チタン (Ti)、タンタル (Ta)、チタンタングステン合金 (TiW)、ポリシリコンなどで形成することができる。

[0200] また、半導体基板 81 の下面側には、外部端子 14 が形成されている領域を除いて、再配線 90 と絶縁膜 86 を覆うように、ソルダマスク (ソルダレジスト) 91 が形成されている。

[0201] 一方、上側構造体 11 には、例えばシリコン (Si) で構成された半導体基板 101 の下側 (下側構造体 12 側) に、多層配線層 102 が形成されている。この多層配線層 102 により、図 3 に示した画素 31 の回路が形成されている。

[0202] 多層配線層 102 は、半導体基板 101 に最も近い最上層の配線層 103a、中間の配線層 103b、及び、下側構造体 12 に最も近い最下層の配線層 103c などからなる複数の配線層 103 と、各配線層 103 の間に形成された層間絶縁膜 104 とで構成される。

[0203] 複数の配線層 103 及び層間絶縁膜 104 として使用される材料は、上述した配線層 83 及び層間絶縁膜 84 の材料と同種のもを採用することができる。また、複数の配線層 103 や層間絶縁膜 104 が、1 または 2 つ以上の材料を使い分けて形成されてもよい点も、上述した配線層 83 及び層間絶縁膜 84 と同様である。

[0204] なお、図 23 の例では、上側構造体 11 の多層配線層 102 は 5 層の配線層 103 で構成され、下側構造体 12 の多層配線層 82 は 4 層の配線層 83 で構成されているが、配線層の総数はこれに限られず、任意の層数で形成することができる。

[0205] 半導体基板 101 内には、PN 接合により形成されたフォトダイオード 51 が、画素 31 ごとに形成されている。

[0206] また、詳細な図示は省略されているが、多層配線層 102 と半導体基板 101 には、転送トランジスタ 52、増幅トランジスタ 55 などの複数の画素

トランジスタや、FD53なども形成されている。

[0207] カラーフィルタ15とオンチップレンズ16が形成されていない半導体基板101の所定の位置には、上側構造体11の所定の配線層103と接続されているシリコン貫通電極109と、下側構造体12の所定の配線層83と接続されているチップ貫通電極105が、形成されている。

[0208] チップ貫通電極105とシリコン貫通電極109は、半導体基板101上面に形成された接続用配線106で接続されている。また、シリコン貫通電極109及びチップ貫通電極105のそれぞれと半導体基板101との間には、絶縁膜107が形成されている。

[0209] 半導体基板101のフォトダイオード51とカラーフィルタ15の間は平坦化膜108が形成されており、オンチップレンズ16とガラスシール樹脂17の間も、平坦化膜110が形成されている。

[0210] 以上のように、図1に示される固体撮像装置1の積層構造体13は、下側構造体12の多層配線層82側と、上側構造体11の多層配線層102側とを貼り合わせた積層構造となっている。図23では、下側構造体12の多層配線層82と、上側構造体11の多層配線層102との貼り合わせ面が、一点鎖線で示されている。

[0211] また、固体撮像装置1の積層構造体13では、上側構造体11の配線層103と下側構造体12の配線層83が、シリコン貫通電極109とチップ貫通電極105の2本の貫通電極により接続され、下側構造体12の配線層83と外部端子（裏面電極）14が、貫通ビア88と再配線90により接続されている。これにより、上側構造体11の画素31で生成された画素信号が、下側構造体12に伝送され、下側構造体12で信号処理が施されて、外部端子14から、装置の外部へ出力される。

[0212] <11. 製造方法>

<ツインコンタクト構造の場合の製造方法>

次に、図24乃至図38を参照して、ツインコンタクト構造を備えた固体撮像装置1の製造方法について説明する。

[0213] 初めに、ウエハ状態の下側構造体 1 2 と上側構造体 1 1 とが別々に製造される。

[0214] 下側構造体 1 2 としては、シリコン基板（シリコンウエハ）8 1 の各チップ部となる領域に、入出力回路部 4 9 や、行駆動部 2 2 または列信号処理部 2 5 の一部となる多層配線層 8 2 が形成される。この時点での半導体基板 8 1 は、薄肉化される前の状態であり、例えば、600 μ m 程度の厚みを有する。

[0215] 一方、上側構造体 1 1 としては、シリコン基板（シリコンウエハ）1 0 1 の各チップ部となる領域に各画素 3 1 のフォトダイオード 5 1 や画素トランジスタのソース／ドレイン領域が形成される。また、半導体基板 1 0 1 の一方の面に、行駆動信号線 3 2、垂直信号線 3 3 などを構成する多層配線層 1 0 2 が形成される。この時点での半導体基板 1 0 1 も、薄肉化される前の状態であり、例えば、600 μ m 程度の厚みを有する。

[0216] そして、図 2 4 に示されるように、製造されたウエハ状態の、下側構造体 1 2 の多層配線層 8 2 側と上側構造体 1 1 の多層配線層 1 0 2 側とが向き合うように貼り合わされた後、図 2 5 に示されるように、上側構造体 1 1 の半導体基板 1 0 1 が、薄肉化される。貼り合わせは、例えばプラズマ接合と、接着剤による接合があるが、本実施形態では、プラズマ接合により行われるものとする。プラズマ接合の場合は、上側構造体 1 1 と下側構造体 1 2 の接合面に、それぞれプラズマTEOS膜、プラズマSiN膜、SiON膜（ブロック膜）、あるいはSiC膜などの膜を形成して接合面をプラズマ処理して重ね合わせ、その後アニール処理することにより、両者が接合される。

[0217] 上側構造体 1 1 の半導体基板 1 0 1 が薄肉化された後、図 2 6 に示されるように、上下配線接続領域 3 1 4 となる領域に、ダマシン法などを用いて、シリコン貫通電極 1 0 9 及びチップ貫通電極 1 0 5、それらを接続する接続用配線 1 0 6 が、形成される。

[0218] 次に、図 2 7 に示されるように、各画素 3 1 のフォトダイオード 5 1 の上方に、平坦化膜 1 0 8 を介して、カラーフィルタ 1 5 及びオンチップレンズ

16が形成される。

[0219] そして、図28に示されるように、上側構造体11と下側構造体12とが貼り合わされた積層構造体13のオンチップレンズ16が形成されている面全体に、平坦化膜110を介してガラスシール樹脂17が塗布され、図29に示されるように、キャビティレス構造で、ガラス保護基板18が接続される。

[0220] 次に、図30に示されるように、積層構造体13全体が反転された後、下側構造体12の半導体基板81が、デバイス特性に影響がない程度の厚み、例えば、30乃至100 μm 程度に薄肉化される。

[0221] 次に、図31に示されるように、薄肉化された半導体基板81上の、貫通ビア88（不図示）を配置する位置が開口されるように、フォトリジスト221がパターニングされた後、ドライエッチングにより、半導体基板81と、その下の層間絶縁膜84の一部が除去され、開口部222が形成される。

[0222] 次に、図32に示されるように、開口部222を含む半導体基板81上面全体に、絶縁膜（アイソレーション膜）86が、例えば、プラズマCVD法で成膜される。上述したように、絶縁膜86は、例えば、 SiO_2 膜や SiN 膜などとすることができる。

[0223] 次に、図33に示されるように、開口部222の底面の絶縁膜86が、エッチバック法を用いて除去され、半導体基板81に最も近い配線層83cが露出される。

[0224] 次に、図34に示されるように、スパッタ法を用いて、バリアメタル膜（不図示）と、Cuシード層231が形成される。バリアメタル膜は、図35に示す接続導体87（Cu）の拡散を防止するための膜であり、Cuシード層231は、電解めっき法により接続導体87を埋め込む際の電極となる。バリアメタル膜の材料には、タンタル（Ta）、チタン（Ti）、タングステン（W）、ジルコニウム（Zr）及び、その窒化膜、炭化膜等を用いることができる。本実施形態においては、バリアメタル膜としてチタンが用いられる。

- [0225] 次に、図35に示されるように、Cuシード層231上の所要の領域にレジストパターン241を形成した後、電解めっき法により、接続導体87としての銅(Cu)がめっきされる。これにより、貫通ビア88が形成されるとともに、半導体基板81上側に再配線90も形成される。
- [0226] 次に、図36に示されるように、レジストパターン241が除去された後、ウェットエッチングにより、レジストパターン241下のバリアメタル膜(不図示)とCuシード層231が除去される。
- [0227] 次に、図37に示されるように、ソルダマスク91を形成して、再配線90を保護した後、外部端子14を搭載する領域のみソルダマスク91を除去することで、ソルダマスク開口部242が形成される。
- [0228] そして、図38に示されるように、ソルダマスク開口部242に、はんだボールマウント法などにより、外部端子14が形成される。
- [0229] 以上のように、本開示の製造方法によれば、まず、光電変換を行うフォトダイオード51や画素トランジスタ回路などが形成された上側構造体11(第1の半導体基板)と、画素31から出力された画素信号を固体撮像装置1の外部へ出力するための入出力回路部49が画素アレイ部24の下方となるように形成された下側構造体12(第2の半導体基板)とが、配線層どうしが向き合うようにして貼り合わされる。そして、下側構造体12を貫通する貫通ビア88が形成され、入出力回路部49と貫通ビア88を介して固体撮像装置1の外部と電氣的に接続する外部端子14が形成される。これにより、図5に示した固体撮像装置1を製造することができる。
- [0230] 本開示の製造方法によれば、ガラス保護基板18を支持基板として、貫通ビア88を形成するので、貫通ビア88は、外部端子14側から配線層83(回路)側へと掘り込んだ形状となる。
- [0231] <Cu-Cu直接接合構造の場合の製造方法>
- 次に、図39乃至図43を参照して、下側構造体12と上側構造体11がCu-Cu直接接合構造により接続される場合の固体撮像装置1の製造方法について説明する。

- [0232] 初めに、上下配線接続構造としてツインコンタクト構造を採用した場合における製造方法と同様に、ウエハ状態の下側構造体 1 2 と上側構造体 1 1 とが別々に製造される。
- [0233] ただし、ツインコンタクト構造と異なる点として、図 3 9 に示されるように、画素アレイ部 2 4 のさらに外側となる上下配線接続領域 3 1 4 のうち、上側構造体 1 1 において、下側構造体 1 2 に最も近い最下層の配線層 1 0 3 c よりさらに下側構造体 1 2 側に、下側構造体 1 2 の配線層 8 3 x と直接接続するための配線層 1 0 3 x が形成されている。
- [0234] 同様に、上下配線接続領域 3 1 4 のうち、下側構造体 1 2 においても、上側構造体 1 1 に最も近い最上層の配線層 8 3 a よりさらに上側構造体 1 1 側に、上側構造体 1 1 の配線層 1 0 3 x と直接接続するための配線層 8 3 x が形成されている。
- [0235] そして、図 4 0 に示されるように、下側構造体 1 2 の多層配線層 8 2 側と、上側構造体 1 1 の多層配線層 1 0 2 側とが向き合うように貼り合わされた後、上側構造体 1 1 の半導体基板 1 0 1 が、薄肉化される。この貼り合わせにより、下側構造体 1 2 の配線層 8 3 x と、上側構造体 1 1 の配線層 1 0 3 x が、金属結合 (Cu-Cu 接合) により接続される。
- [0236] 次に、図 4 1 に示されるように、各画素 3 1 のフォトダイオード 5 1 の上方に、平坦化膜 1 0 8 を介して、カラーフィルタ 1 5 及びオンチップレンズ 1 6 が形成される。
- [0237] そして、図 4 2 に示されるように、貼り合わされた下側構造体 1 2 と上側構造体 1 1 のオンチップレンズ 1 6 が形成されている面全体に、平坦化膜 1 1 0 を介してガラスシール樹脂 1 7 が塗布され、キャビティレス構造で、ガラス保護基板 1 8 が接続される。
- [0238] なお、この例では、下側構造体 1 2 において、入出力回路部 4 9 や行駆動部 2 2 または列信号処理部 2 5 の一部となる配線層 8 3 a 乃至 8 3 c とは別に、上側構造体 1 1 の配線層 1 0 3 と直接接続するための配線層 8 3 x を形成し、上側構造体 1 1 において、画素トランジスタの駆動配線等となる配線

層 1 0 3 a 乃至 1 0 3 c とは別に、下側構造体 1 2 の配線層 8 3 と直接接続するための配線層 1 0 3 x を形成したが、勿論、下側構造体 1 2 の最上層の配線層 8 3 a と、上側構造体 1 1 の最下層の配線層 1 0 3 c を、金属結合（Cu-Cu 接合）により接続してもよい。

[0239] 図 4 2 に示した以降の工程は、上下配線接続構造としてツインコンタクト構造を採用した場合の、図 3 0 乃至図 3 8 を参照して説明した工程と同様である。最終状態として、図 4 3 に示す状態となる。

[0240] < 1 2. さらになる変形例 >

< さらになる変形例その 1 >

次に、図 4 4 を参照して、固体撮像装置 1 のさらになる変形例について説明する。

[0241] 図 4 4 の A は、さらになる変形例その 1 に係る固体撮像装置 1 の外周付近の断面図であり、図 4 4 の B は、さらになる変形例その 1 に係る固体撮像装置 1 の外部端子 1 4 側の平面図である。

[0242] さらになる変形例その 1 では、図 4 4 の A に示されるように、外部端子 1 4 が、平面位置で貫通ビア 8 8 の位置と重なるように、貫通ビア 8 8 の直上に形成されている。これにより、図 4 4 の B に示されるように、固体撮像装置 1 の裏面側に再配線 9 0 を形成する面積が不要となるので、入出力部 2 1 を形成する面積不足を解消することができる。

[0243] < さらになる変形例その 2 >

次に、図 4 5 を参照して、固体撮像装置 1 のさらになる変形例について説明する。

[0244] 図 4 5 は、さらになる変形例その 2 に係る固体撮像装置 1 の断面図である。

[0245] さらになる変形例その 2 では、例えば一般的な針立て式の半導体装置測定機を用いて、固体撮像装置 1 を固片化する前の状態、言い換えれば複数の固体撮像装置 1 がウエハ上に形成された状態で、固体撮像装置 1 の動作を測定することを目的として、固体撮像装置 1 は、測定用の針を立てるための導電性パッド 4 1 1 を備えている。

[0246] 針立て測定用の導電性パッド411は、図45に示すように、画素アレイ部24の外側の領域、例えば、行駆動部22や列信号処理部25などが形成された画素周辺回路領域313の上側に形成されている。導電性パッド411は、シリコン貫通電極412により、上側構造体11の所定の配線層103に接続されている。

[0247] 固体撮像装置1の表面に保護基板18が配置される前に、針立て測定用の導電性パッド411が形成されていることが望ましい。これにより、保護基板18を固定する前に、複数個の固体撮像装置1がウエハ上に形成された状態で、固体撮像装置1の動作を測定することが可能となる。

[0248] 針立て測定用の導電性パッド411は、上側構造体11が備える多層配線層102の一部で形成されて良い。

[0249] また、針立て測定用の導電性パッド411は、固体撮像装置1が備える、基準レベル信号、言い換えれば黒レベル信号を取得するための、一般的にはオプティカルブラック画素領域あるいは単にオプティカルブラック領域（不図示）と呼ばれる領域の上側に形成されても良い。

[0250] 針立て測定用の導電性パッド411を、固体撮像装置1の保護基板18を固定する前に固体撮像装置1に形成することで、保護基板18を形成する前の、複数個の固体撮像装置1がウエハ上に形成された状態で、固体撮像装置1の動作を、針立て式の半導体装置の測定装置を用いて測定することが可能になる。

[0251] <さらなる変形例その3>

次に、図46を参照して、固体撮像装置1のさらなる変形例について説明する。

[0252] 図46は、さらなる変形例その3に係る固体撮像装置1の断面図である。

[0253] さらなる変形例その3に係る固体撮像装置1もまた、例えば一般的な針立て式の半導体装置測定機を用いて、固体撮像装置1を固片化する前の状態、言い換えれば複数個の固体撮像装置1がウエハ上に形成された状態で、固体撮像装置1の動作を測定することを目的として、測定用の針を立てるための

導電性パッド 4 2 1 を備えている。

[0254] 針立て測定用の導電性パッド 4 2 1 は、図 4 6 に示すように、各固体撮像装置 1 の間のスクライブライン（ダイシングライン）上に形成されている。

[0255] 固体撮像装置 1 の表面に保護基板 1 8 が配置される前に、針立て測定用の導電性パッド 4 2 1 が形成されていることが望ましい。これにより、保護基板 1 8 を固定する前に、複数個の固体撮像装置 1 がウエハ上に形成された状態で、固体撮像装置 1 の動作を測定することが可能となる。

[0256] 針立て測定用の導電性パッド 4 2 1 は、上側構造体 1 1 が備える多層配線層 1 0 2 の一部で形成されて良いし、下側構造体 1 2 が備える多層配線層 8 2 の一部で形成されても良いし、あるいは、上下配線接続構造で用いる導電層の一部と同じ層で形成されても良い。そして、針立て測定用の導電性パッド 4 2 1 は、上側構造体 1 1 が備える多層配線層 1 0 2 の一部を介して固体撮像装置 1 の内部と接続されて良いし、あるいは、下側構造体 1 2 が備える多層配線層 8 2 の一部を介して固体撮像装置 1 の内部と接続されても良い。

[0257] 針立て測定用の導電性パッド 4 2 1 を、固体撮像装置 1 の保護基板 1 8 を固定する前に固体撮像装置 1 に形成することで、保護基板 1 8 を形成する前の、複数個の固体撮像装置 1 がウエハ上に形成された状態で、固体撮像装置 1 の動作を、針立て式の半導体装置の測定装置を用いて測定することが可能になる。

[0258] <さらなる変形例その 4>

次に、図 4 7 を参照して、固体撮像装置 1 のさらなる変形例について説明する。

[0259] 図 4 7 は、さらなる変形例その 4 に係る固体撮像装置 1 の断面図である。

[0260] さらなる変形例その 4 に係る固体撮像装置 1 もまた、複数個の固体撮像装置 1 がウエハ上に形成された状態で、固体撮像装置 1 の動作を測定することを目的として、測定用の針を立てるための導電性パッド 4 2 2 を備えている。

[0261] 針立て測定用の導電性パッド 4 2 2 は、図 4 7 に示すように、複数個の固

体撮像装置 1 がウエハ上に形成された状態で、下側構造体 1 2 の下側に形成されている。針立て測定用の導電性パッド 4 2 2 は、例えば、下側構造体 1 2 が備える再配線 9 0 で形成されて良い。

[0262] 複数の固体撮像装置 1 がウエハ上に形成された状態で、固体撮像装置 1 の表面に保護基板 1 8 が配置された後に、上記ウエハを上下反転させ、保護基板 1 8 を下側、針立て測定用の導電性パッド 4 2 2 を上側に配置させて、固体撮像装置 1 の動作を測定することが可能となる。この場合、固体撮像装置 1 の下側から光を入射させる装置を用いて、固体撮像装置 1 の動作を測定しても良い。

[0263] < 1 3. 3 層の積層構造体の例 >

上述した各実施形態は、固体撮像装置 1 の積層構造体 1 3 が、下側構造体 1 2 と上側構造体 1 1 の 2 層で構成されていたが、3 層以上の構造体で構成することもできる。

[0264] 図 4 8 及び図 4 9 を参照して、下側構造体 1 2 と上側構造体 1 1 の間に、第 3 構造体 5 1 1 を設けることにより、積層構造体 1 3 が 3 層で構成される例について説明する。

[0265] 図 4 8 においては、画素アレイ部 2 4 が、画素共有構造を有する場合の構成が示されている。

[0266] 画素共有構造は、フォトダイオード (PD) 5 1 と転送トランジスタ 5 2 については画素 3 1 ごとに有するが、FD 5 3、増幅トランジスタ 5 5、リセットトランジスタ 5 4、及び選択トランジスタ 5 6 については複数画素で共有する構造である。

[0267] 図 4 8 では、共有ユニット 5 2 0 として、行方向に 2 個ずつ、列方向に 2 個ずつ (2 × 2) の 4 画素で、FD 5 3、増幅トランジスタ 5 5、リセットトランジスタ 5 4、及び選択トランジスタ 5 6 を共有する構造が示されている。

[0268] 4 個の転送トランジスタ 5 2 のゲート電極には、それぞれ行方向に延在する転送トランジスタ駆動信号線 5 2 1 が 1 本ずつ接続されている。4 個の転

送トランジスタ 5 2 のゲート電極のそれぞれに接続され、行方向に延在する 4 本の転送トランジスタ駆動信号線 5 2 1 は、4 本が平行になって、列方向に並べて配置されている。

[0269] FD 5 3 は、不図示の配線を介して、増幅トランジスタ 5 5 のゲート電極およびリセットトランジスタ 5 4 の拡散層へ接続されている。リセットトランジスタ 5 4 のゲート電極には、行方向に延在するリセットトランジスタ駆動信号線 5 2 2 が 1 本接続されている。

[0270] 選択トランジスタ 5 6 のゲート電極には、行方向に延在する選択トランジスタ駆動信号線 5 2 3 が 1 本接続されている。選択トランジスタ 5 6 は省略される場合もある。

[0271] 図 2 に示した固体撮像装置 1 のシステム構成例においては、列方向に延在する垂直信号線 3 3 に、複数個の画素 3 1 が、画素毎に接続されていた。そして、複数本の垂直信号線 3 3 のそれぞれが、その先に配置された列信号処理部 2 5 へと接続され、列信号処理部 2 5 において、ノイズ処理や AD 変換処理が行われていた。

[0272] これに対して、図 4 8 に示す 3 層の積層構造体 1 3 による固体撮像装置 1 は、下側構造体 1 2 と上側構造体 1 1 の間の第 3 構造体 5 1 1 に、エリア信号処理部 5 3 1 を備える。

[0273] エリア信号処理部 5 3 1 は、ノイズ処理部や ADC を有する読み出し信号処理部 5 3 2 と、AD 変換後のデジタルデータを保持するデータ保持部 5 3 3 を備える。

[0274] 例えば、共有ユニット 5 2 0 の画素 3 1 がそれぞれ、AD 変換後に 16 ビットで表されるデータを出力する場合には、データ保持部 5 3 3 は、これらのデータを保持するために、64 ビット分のラッチやシフトレジスタなどのデータ保持手段を備える。

[0275] エリア信号処理部 5 3 1 は、さらに、データ保持部 5 3 3 に保持されたデータを、エリア信号処理部 5 3 1 の外部へ出力するための出力信号配線 5 3 7 を備える。この出力信号配線は、例えば、データ保持部 5 3 3 に保持され

た64ビットのデータを並列して出力する64ビットの信号線であっても良いし、データ保持部533に保持された4画素分のデータを、1画素分ずつ出力するための16ビットの信号線であっても良いし、あるいは1画素分のデータの半分となる8ビットの信号線や、2画素分のデータとなる32ビットの信号線であっても良い。あるいは、データ保持部533に保持されたデータを1ビットずつ読み出す1ビットの信号線であっても良い。

[0276] 図48に示す固体撮像装置1は、上側構造体11の1個の共有ユニット520が、第3構造体511の1個のエリア信号処理部531に接続されている。言い換えれば、共有ユニット520とエリア信号処理部531が1対1に対応している。このため、図48に示すように、第3構造体511は、エリア信号処理部531が、行方向および列方向にそれぞれ複数個配列されたエリア信号処理部アレイ534を備える。

[0277] また、第3構造体511は、行方向および列方向にそれぞれ複数個配列された各エリア信号処理部531が備えるデータ保持部533のデータを読み出す行アドレス制御部535を備える。行アドレス制御部535は、一般的な半導体メモリ装置と同じように、行方向の読出し位置を定める。

[0278] エリア信号処理部アレイ534の行方向に並ぶエリア信号処理部531は、行アドレス制御部535から行方向に延びる制御信号線に接続され、行アドレス制御部535の制御によって、エリア信号処理部531の動作が制御される。

[0279] エリア信号処理部アレイ534の列方向に並ぶエリア信号処理部531は、列方向に延びる列読出し信号線537に接続され、列読出し信号線は、エリア信号処理部アレイ534の先に配置された列読出し部536へと接続されている。

[0280] エリア信号処理部アレイ534の各エリア信号処理部531のデータ保持部533に保持されたデータは、行方向に並んだ全てのエリア信号処理部531のデータ保持部533のデータが、同時に、列読出し部536へと読み出されても良いし、列読出し部536から指定された、特定のエリア信号処

理部 5 3 1 のデータのみが読み出されても良い。

[0281] 列読出し部 5 3 6 には、エリア信号処理部 5 3 1 から読み出したデータを、第 3 構造体 5 1 1 の外部へと出力するための配線が接続されている。

[0282] 下側構造体 1 2 は、第 3 構造体 5 1 1 の列読出し部 5 3 6 からの配線が接続され、この列読出し部 5 3 6 から出力されたデータを受け取るための読出し部 5 4 1 を備える。

[0283] また、下側構造体 1 2 は、第 3 構造体 5 1 1 から受け取ったデータを画像信号処理するための画像信号処理部 2 6 を備える。

[0284] さらに、下側構造体 1 2 は、第 3 構造体 5 1 1 から受け取ったデータを画像信号処理部 2 6 を経由して出力するあるいは経由せずに出力するための入出力部 2 1 を備える。この入出力部 2 1 は、出力回路部 4 7 だけでなく、例えば、画素アレイ部 2 4 で使用するタイミング信号や、画像信号処理部 2 6 で使用する特性データを、固体撮像装置 1 の外部から装置内へ入力するための入力回路部 4 2 を備えていても良い。

[0285] 図 4 9 の B に示されるように、上側構造体 1 1 に形成された各共有ユニット 5 2 0 は、その共有ユニット 5 2 0 の直下に配置された第 3 構造体 5 1 1 のエリア信号処理部 5 3 1 と接続されている。この上側構造体 1 1 と第 3 構造体 5 1 1 との間の配線接続は、例えば、図 8 に示した Cu-Cu 直接接合構造によって接続することができる。

[0286] また、図 4 9 の B に示されるように、第 3 構造体 5 1 1 に形成されたエリア信号処理部アレイ 5 3 4 の外側の列読出し部 5 3 6 は、その列読出し部 5 3 6 の直下に配置された下側構造体 1 2 の読出し部 5 4 1 と接続されている。この第 3 構造体 5 1 1 と下側構造体 1 2 との間の配線接続は、例えば、図 8 に示した Cu-Cu 直接接合構造、あるいは、図 6 に示したツインコンタクト構造によって接続することができる。

[0287] 従って、図 4 9 の A に示されるように、上側構造体 1 1 に形成された各共有ユニット 5 2 0 の画素信号が、第 3 構造体 5 1 1 の対応するエリア信号処理部 5 3 1 に出力される。エリア信号処理部 5 3 1 のデータ保持部 5 3 3 で保

持されているデータが、列読出し部 5 3 6 から出力され、下側構造体 1 2 の読出し部 5 4 1 に供給される。そして、画像信号処理部 2 6 において、データに対して、各種の信号処理（例えば、トーンカーブ補正処理）が施され、入出力部 2 1 から、装置外部へ出力される。

[0288] なお、3層の積層構造体 1 3 による固体撮像装置 1 において、下側構造体 1 2 に形成される入出力部 2 1 は、第3構造体 5 1 1 の行アドレス制御部 5 3 5 の下側に配置して良い。

[0289] また、3層の積層構造体 1 3 による固体撮像装置 1 において、下側構造体 1 2 に形成される入出力部 2 1 は、第3構造体 5 1 1 のエリア信号処理部 5 3 1 の下側に配置しても良い。

[0290] さらに、3層の積層構造体 1 3 による固体撮像装置 1 において、下側構造体 1 2 に形成される入出力部 2 1 は、上側構造体 1 1 の画素アレイ部 2 4 の下側に配置しても良い。

[0291] < 1 4. 電子機器への適用例 >

本技術は、固体撮像装置への適用に限られるものではない。即ち、本開示は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0292] 図 5 0 は、本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0293] 図 5 0 の撮像装置 9 0 0 は、レンズ群などからなる光学部 9 0 1、図 1 の固体撮像装置 1 の構成が採用される固体撮像装置（撮像デバイス）9 0 2、およびカメラ信号処理回路である DSP (Digital Signal Processor) 回路 9 0 3 を備える。また、撮像装置 9 0 0 は、フレームメモリ 9 0 4、表示部 9 0 5、記録部 9 0 6、操作部 9 0 7、および電源部 9 0 8 も備える。DSP 回路 9 0

3、フレームメモリ904、表示部905、記録部906、操作部907および電源部908は、バスライン909を介して相互に接続されている。

[0294] 光学部901は、被写体からの入射光（像光）を取り込んで固体撮像装置902の撮像面上に結像する。固体撮像装置902は、光学部901によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置902として、図1の固体撮像装置1、即ち、積層構造体13の動作を測定することを目的として、測定用の針を立てるための導電性パッドが外周部に設けられておらず、入出力回路部49が上側構造体11の画素アレイ部24の領域の下方、若しくは、上側構造体11の画素周辺回路領域313の下方の領域に配置されることにより小型化された固体撮像装置を用いることができる。

[0295] 表示部905は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像装置902で撮像された動画または静止画を表示する。記録部906は、固体撮像装置902で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0296] 操作部907は、ユーザによる操作の下に、撮像装置900が持つ様々な機能について操作指令を発する。電源部908は、DSP回路903、フレームメモリ904、表示部905、記録部906および操作部907の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0297] 上述したように、固体撮像装置902として、上述した各実施形態に係る固体撮像装置1を用いることで、半導体パッケージのパッケージサイズを小型化することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置900においても、装置の小型化を図ることができる。

[0298] <15. イメージセンサの使用例>

[0299] 図51は、上述の固体撮像装置1を使用する使用例を示す図である。

[0300] 固体撮像装置1としてのCMOSイメージセンサは、例えば、以下のように、

可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0301] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0302] 固体撮像装置1は、電子を信号電荷とするもの、正孔を信号電荷とするものの両方に適用できる。

[0303] また、本開示は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

[0304] また、本開示は、固体撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。

[0305] 本開示の実施形態は、上述した実施形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0306] 例えば、上述した複数の実施形態の全てまたは一部を組み合わせた形態を採用することができる。

[0307] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0308] なお、本開示は以下のような構成も取ることができる。

(1)

光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、

前記第1構造体の上方に位置するガラス基板と、

所定の信号を装置の外部から入力させる入力回路部、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部、及び、信号処理回路が形成され、前記第1構造体の下方に位置する第2構造体とが、

積層されて構成されており、

前記出力回路部、前記出力回路部に接続され前記第2構造体の一部を構成する半導体基板を貫通する第1貫通ビア、及び、前記第1貫通ビアを介して前記出力回路部を前記装置の外部と接続する信号出力用外部端子を含む出力部と、

前記入力回路部、前記入力回路部に接続され前記半導体基板を貫通する第2貫通ビア、及び、前記第2貫通ビアを介して前記入力回路部を前記装置の外部と接続する信号入力用外部端子を含む入力部とが、

前記第1構造体の前記画素アレイ部の下方に配置されている
固体撮像装置。

(2)

光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が形成された第2構造体とが積層されて構成されており、

前記出力回路部、前記第 2 構造体の一部を構成する半導体基板を貫通する第 1 貫通ビア、及び、前記装置の外部と接続する信号出力用外部端子が、前記第 1 構造体の前記画素アレイ部の下方に配置され、

前記出力回路部は、前記第 1 貫通ビアを介して、前記信号出力用外部端子と接続されている

固体撮像装置。

(3)

前記第 1 構造体には、前記画素を駆動する駆動部の少なくとも一部が、前記画素アレイ部の周辺に画素周辺回路領域として形成されており、

複数の前記出力回路部の一部は、前記第 1 構造体の前記画素周辺回路領域の下方にも配置され、前記第 1 貫通ビアを介して、前記信号出力用外部端子と接続されている

前記 (2) に記載の固体撮像装置。

(4)

前記信号出力用外部端子は、はんだボールである

前記 (2) または (3) に記載の固体撮像装置。

(5)

前記はんだボールは、前記第 1 貫通ビアと重なる平面位置に形成されている

前記 (4) に記載の固体撮像装置。

(6)

前記はんだボールは、再配線を介して前記第 1 貫通ビアと電氣的に接続されている

前記 (4) に記載の固体撮像装置。

(7)

前記信号出力用外部端子は、再配線である

前記 (2) または (3) に記載の固体撮像装置。

(8)

前記出力回路部は、前記信号出力用外部端子と１対１に配置されている
前記（２）乃至（７）のいずれかに記載の固体撮像装置。

（９）

前記出力回路部は、列状に配置されている
前記（２）乃至（７）のいずれかに記載の固体撮像装置。

（１０）

前記出力回路部は、複数個の前記信号出力用外部端子単位で集積して配置
されている

前記（２）乃至（７）のいずれかに記載の固体撮像装置。

（１１）

前記第２構造体には、所定の信号を前記装置の外部から入力させる入力回
路部も形成されており、

前記入力回路部は、前記第１構造体の前記画素アレイ部の下方に配置され
、前記第２構造体の一部を構成する半導体基板を貫通する第２貫通ビアを介
して、前記装置の外部と接続する信号入力用外部端子と接続されている

前記（２）乃至（１０）のいずれかに記載の固体撮像装置。

（１２）

前記第１構造体には、前記画素を駆動する駆動部の少なくとも一部が、前
記画素アレイ部の周辺に画素周辺回路領域として形成されており、

複数の前記入力回路部の一部は、前記第１構造体の前記画素周辺回路領域
の下方にも配置され、前記第２貫通ビアを介して、前記信号入力用外部端子
と接続されている

前記（１１）に記載の固体撮像装置。

（１３）

前記第２構造体には、信号処理回路領域も形成されている
前記（２）乃至（１２）のいずれかに記載の固体撮像装置。

（１４）

前記第１構造体と前記第２構造体は、ツインコンタクト構造により、電気

的に接続されている

前記（２）乃至（１３）のいずれかに記載の固体撮像装置。

（１５）

前記第１構造体と前記第２構造体は、シェアコンタクト構造により、電氣的に接続されている

前記（２）乃至（１３）のいずれかに記載の固体撮像装置。

（１６）

前記第１構造体と前記第２構造体は、Cu-Cu接合により、電氣的に接続されている

前記（２）乃至（１３）のいずれかに記載の固体撮像装置。

（１７）

前記第１構造体の前記画素アレイ部内のオンチップレンズの上に、前記オンチップレンズを保護する保護基板が配置されている

前記（２）乃至（１６）のいずれかに記載の固体撮像装置。

（１８）

前記第１構造体と前記第２構造体に加えて、データ保持部が形成された第３構造体を含む３層の積層構造体で構成されている

前記（２）乃至（１７）のいずれかに記載の固体撮像装置。

（１９）

光電変換を行う画素が２次元配列された画素アレイ部が形成された第１構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が前記画素アレイ部の下方となるように形成された第２構造体とを、配線層どうしが向き合うようにして貼り合わせ、

前記第２構造体の一部を構成する半導体基板を貫通する貫通ビアを形成し、

前記貫通ビアを介して前記出力回路部と電氣的に接続し、前記装置の外部と接続する信号出力用外部端子を、前記第１構造体の前記画素アレイ部の下方となる位置に形成する

固体撮像装置の製造方法。

(20)

光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が形成された第2構造体とが積層されて構成されており、

前記出力回路部、前記第2構造体の一部を構成する半導体基板を貫通する貫通ビア、及び、前記装置の外部と接続する信号出力用外部端子が、前記第1構造体の前記画素アレイ部の下方に配置され、

前記出力回路部は、前記貫通ビアを介して、前記信号出力用外部端子と接続されている

固体撮像装置

を備える電子機器。

符号の説明

[0309] 1 固体撮像装置, 11 第1構造体(上側構造体), 12 第2構造体(下側構造体), 13 積層構造体, 14 外部端子(信号入出力端子), 15 カラーフィルタ, 16 オンチップレンズ, 17 ガラスシール樹脂, 18 保護基板, 21 入出力部, 22 行駆動部, 24 画素アレイ部, 25 列信号処理部, 26 画像信号処理部, 31 画素, 41 入力端子, 42 入力回路部, 47 出力回路部, 48 出力端子, 49 入出力回路部, 51 フォトダイオード, 81 半導体基板, 88 貫通電極ビア, 90 再配線, 101 半導体基板, 105 チップ貫通電極, 106 接続用配線, 109 シリコン貫通電極, 311 入出力回路領域, 312 信号処理回路領域, 313 画素周辺回路領域, 314 上下基板接続領域, 321 I/O回路, 511 第3構造体, 351 メモリ基板, 352 メモリ回路, 400 撮像装置, 402 固体撮像装置, 531 エリア信号処理部, 533 データ保持部, 900 撮像装置, 902 固体撮像装置

請求の範囲

- [請求項1] 光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、
- 前記第1構造体の上方に位置するガラス基板と、
- 所定の信号を装置の外部から入力させる入力回路部、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部、及び、信号処理回路が形成され、前記第1構造体の下方に位置する第2構造体とが、
- 積層されて構成されており、
- 前記出力回路部、前記出力回路部に接続され前記第2構造体の一部を構成する半導体基板を貫通する第1貫通ビア、及び、前記第1貫通ビアを介して前記出力回路部を前記装置の外部と接続する信号出力用外部端子を含む出力部と、
- 前記入力回路部、前記入力回路部に接続され前記半導体基板を貫通する第2貫通ビア、及び、前記第2貫通ビアを介して前記入力回路部を前記装置の外部と接続する信号入力用外部端子を含む入力部とが、
- 前記第1構造体の前記画素アレイ部の下方に配置されている
- 固体撮像装置。
- [請求項2] 光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が形成された第2構造体とが積層されて構成されており、
- 前記出力回路部、前記第2構造体の一部を構成する半導体基板を貫通する第1貫通ビア、及び、前記装置の外部と接続する信号出力用外部端子が、前記第1構造体の前記画素アレイ部の下方に配置され、
- 前記出力回路部は、前記第1貫通ビアを介して、前記信号出力用外部端子と接続されている
- 固体撮像装置。

- [請求項3] 前記第1構造体には、前記画素を駆動する駆動部の少なくとも一部が、前記画素アレイ部の周辺に画素周辺回路領域として形成されており、
- 複数の前記出力回路部の一部は、前記第1構造体の前記画素周辺回路領域の下方にも配置され、前記第1貫通ビアを介して、前記信号出力用外部端子と接続されている
- 請求項2に記載の固体撮像装置。
- [請求項4] 前記信号出力用外部端子は、はんだボールである
- 請求項2に記載の固体撮像装置。
- [請求項5] 前記はんだボールは、前記第1貫通ビアの位置と重なる平面位置に形成されている
- 請求項4に記載の固体撮像装置。
- [請求項6] 前記はんだボールは、再配線を介して前記第1貫通ビアと電氣的に接続されている
- 請求項4に記載の固体撮像装置。
- [請求項7] 前記信号出力用外部端子は、再配線である
- 請求項2に記載の固体撮像装置。
- [請求項8] 前記出力回路部は、前記信号出力用外部端子と1対1に配置されている
- 請求項2に記載の固体撮像装置。
- [請求項9] 前記出力回路部は、列状に配置されている
- 請求項2に記載の固体撮像装置。
- [請求項10] 前記出力回路部は、複数の前記信号出力用外部端子単位で集積して配置されている
- 請求項2に記載の固体撮像装置。
- [請求項11] 前記第2構造体には、所定の信号を前記装置の外部から入力させる入力回路部も形成されており、
- 前記入力回路部は、前記第1構造体の前記画素アレイ部の下方に配

置され、前記第2構造体の一部を構成する半導体基板を貫通する第2貫通ビアを介して、前記装置の外部と接続する信号入力用外部端子と接続されている

請求項2に記載の固体撮像装置。

[請求項12] 前記第1構造体には、前記画素を駆動する駆動部の少なくとも一部が、前記画素アレイ部の周辺に画素周辺回路領域として形成されており、

複数の前記入力回路部の一部は、前記第1構造体の前記画素周辺回路領域の下方にも配置され、前記第2貫通ビアを介して、前記信号入力用外部端子と接続されている

請求項11に記載の固体撮像装置。

[請求項13] 前記第2構造体には、信号処理回路領域も形成されている

請求項2に記載の固体撮像装置。

[請求項14] 前記第1構造体と前記第2構造体は、ツインコンタクト構造により、電氣的に接続されている

請求項2に記載の固体撮像装置。

[請求項15] 前記第1構造体と前記第2構造体は、シェアコンタクト構造により、電氣的に接続されている

請求項2に記載の固体撮像装置。

[請求項16] 前記第1構造体と前記第2構造体は、Cu-Cu接合により、電氣的に接続されている

請求項2に記載の固体撮像装置。

[請求項17] 前記第1構造体の前記画素アレイ部内のオンチップレンズの上に、前記オンチップレンズを保護する保護基板が配置されている

請求項2に記載の固体撮像装置。

[請求項18] 前記第1構造体と前記第2構造体に加えて、データ保持部が形成された第3構造体を含む3層の積層構造体で構成されている

請求項2に記載の固体撮像装置。

[請求項19] 光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が前記画素アレイ部の下方となるように形成された第2構造体とを、配線層どうしが向き合うようにして貼り合わせ、

前記第2構造体の一部を構成する半導体基板を貫通する貫通ビアを形成し、

前記貫通ビアを介して前記出力回路部と電氣的に接続し、前記装置の外部と接続する信号出力用外部端子を、前記第1構造体の前記画素アレイ部の下方となる位置に形成する

固体撮像装置の製造方法。

[請求項20] 光電変換を行う画素が2次元配列された画素アレイ部が形成された第1構造体と、前記画素から出力された画素信号を装置の外部へ出力するための出力回路部が形成された第2構造体とが積層されて構成されており、

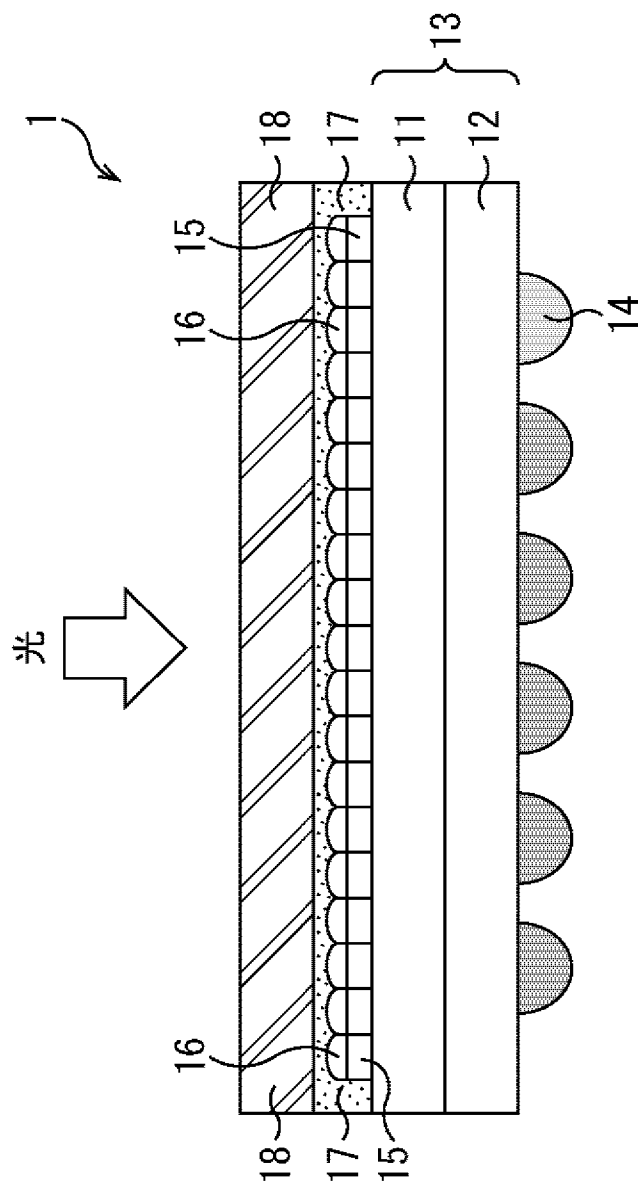
前記出力回路部、前記第2構造体の一部を構成する半導体基板を貫通する貫通ビア、及び、前記装置の外部と接続する信号出力用外部端子が、前記第1構造体の前記画素アレイ部の下方に配置され、

前記出力回路部は、前記貫通ビアを介して、前記信号出力用外部端子と接続されている

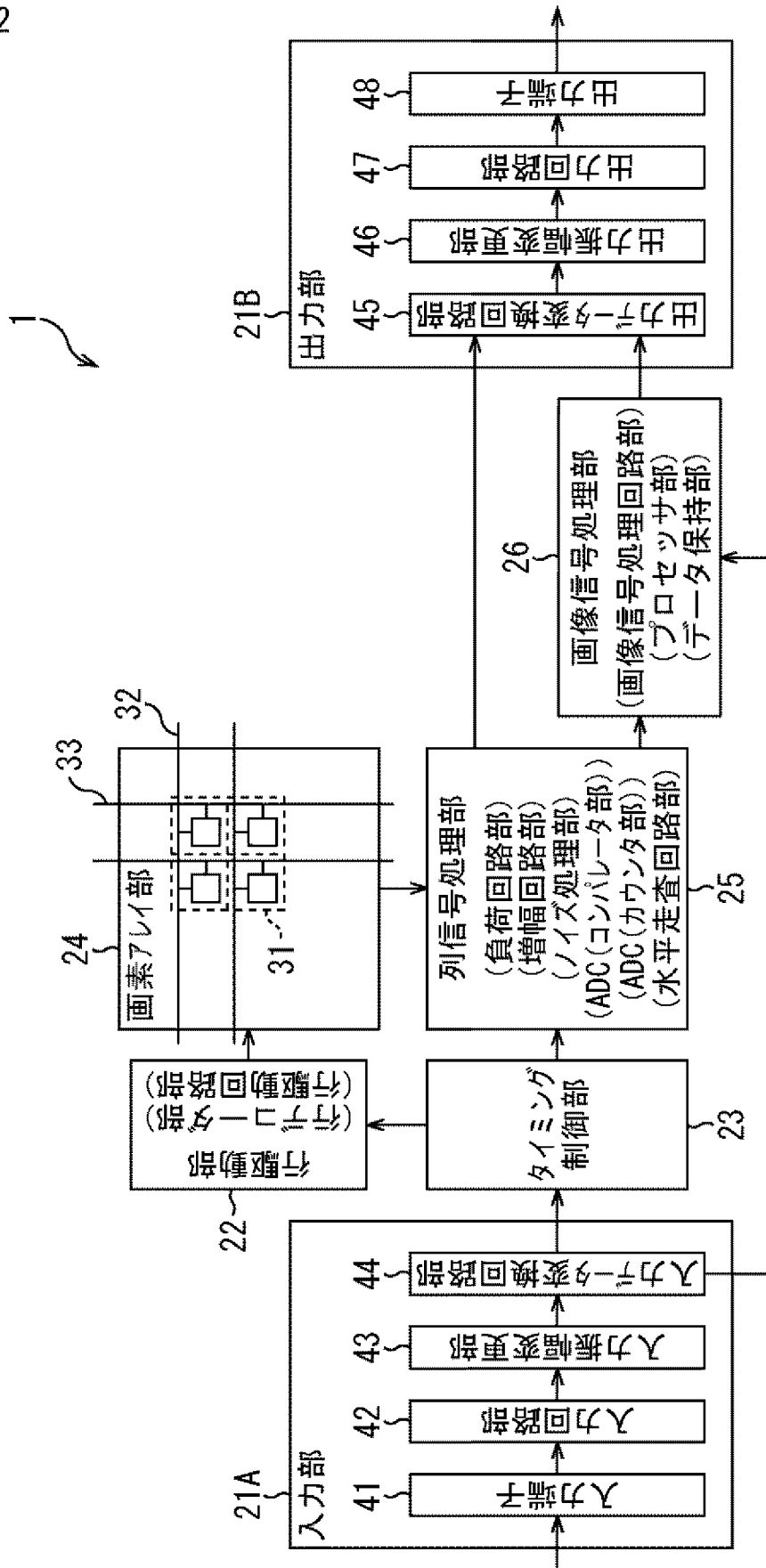
固体撮像装置

を備える電子機器。

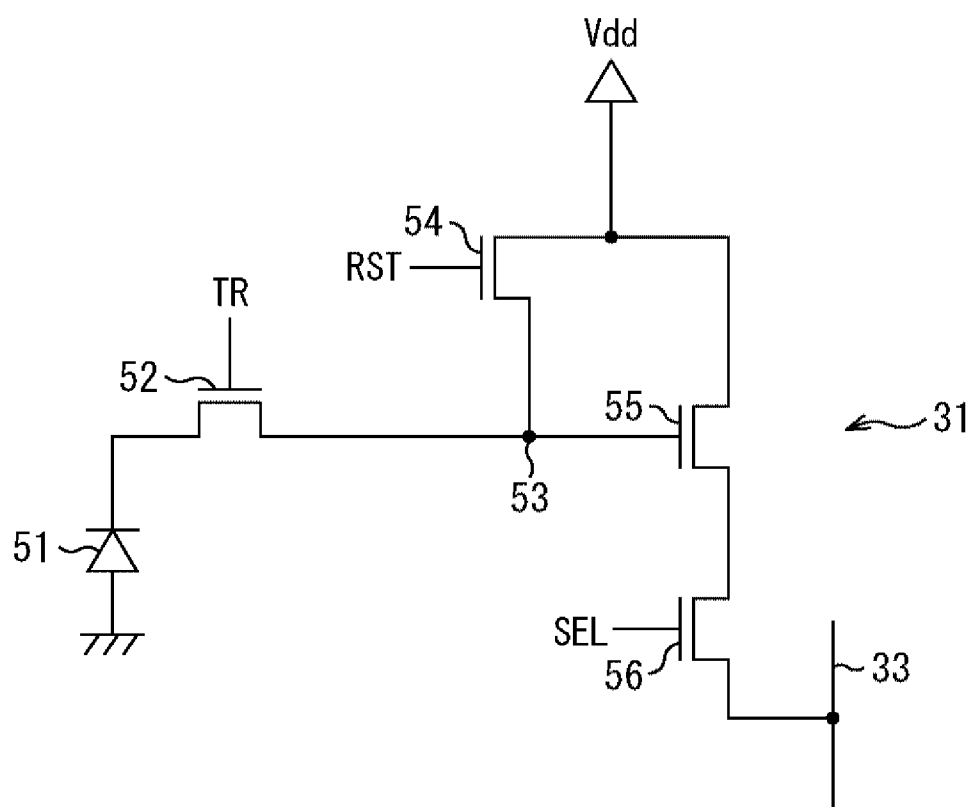
[図1]
FIG. 1



[図2]
FIG. 2

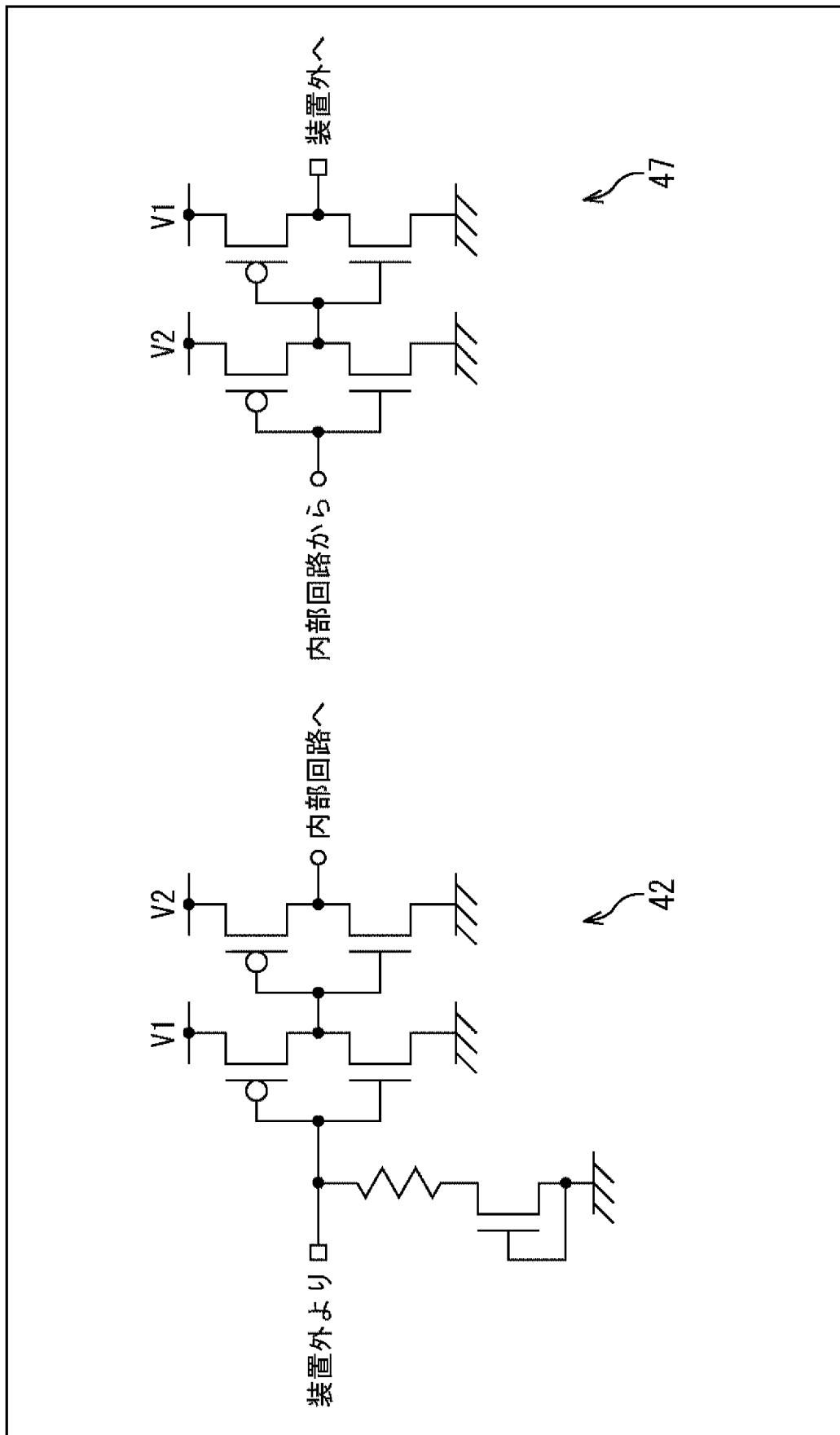


[図3]
FIG. 3

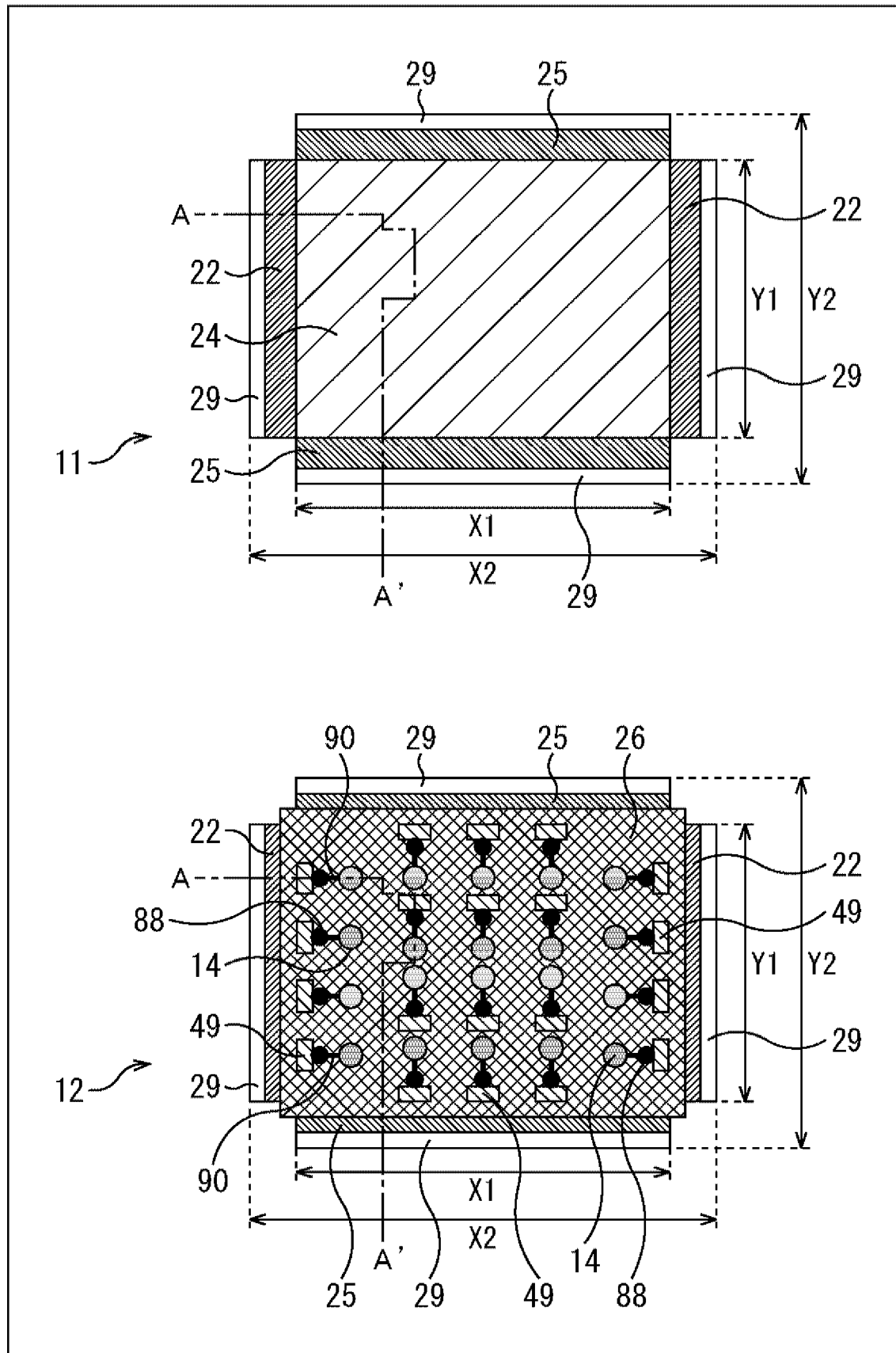


[図4]

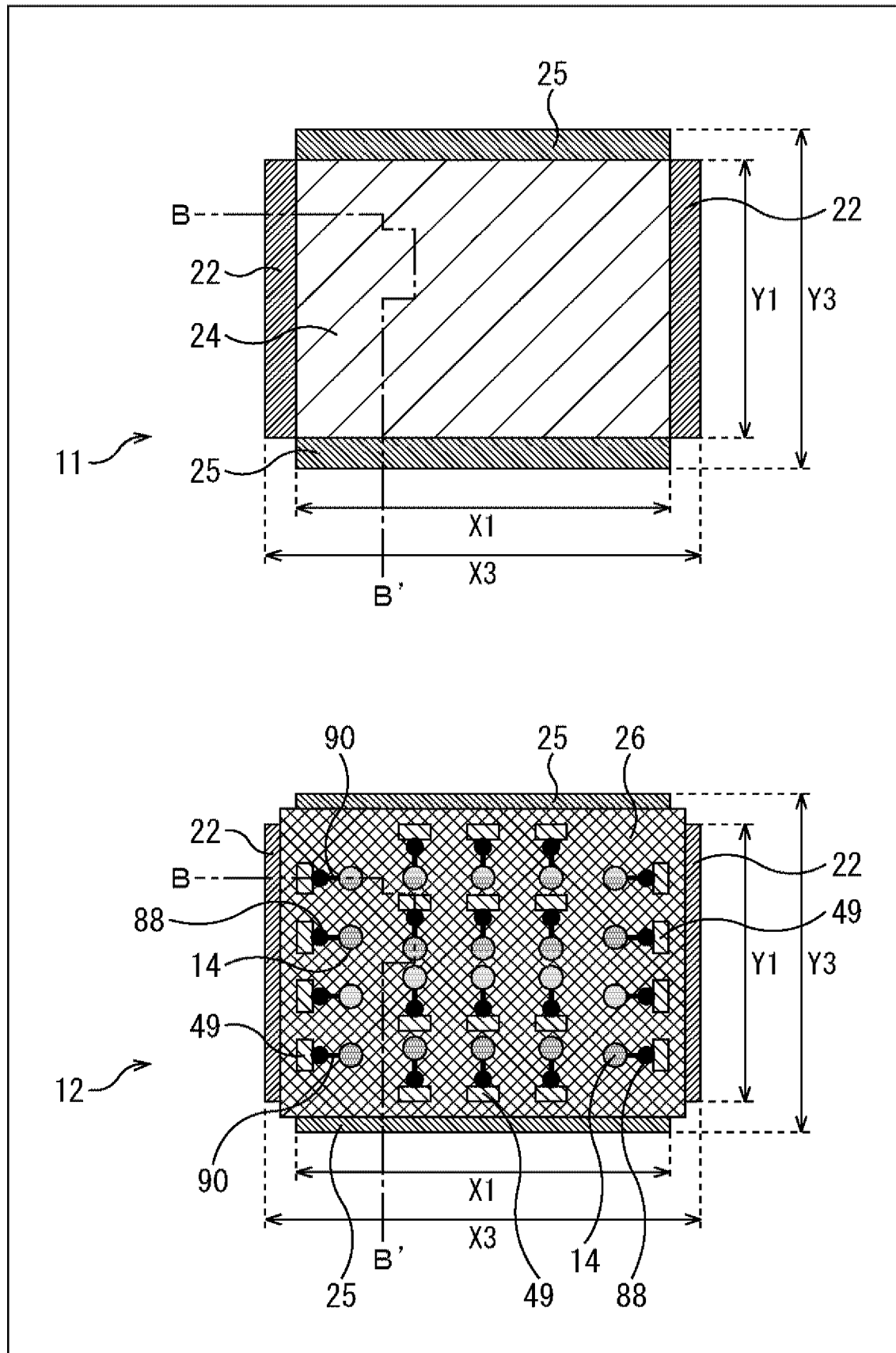
FIG. 4



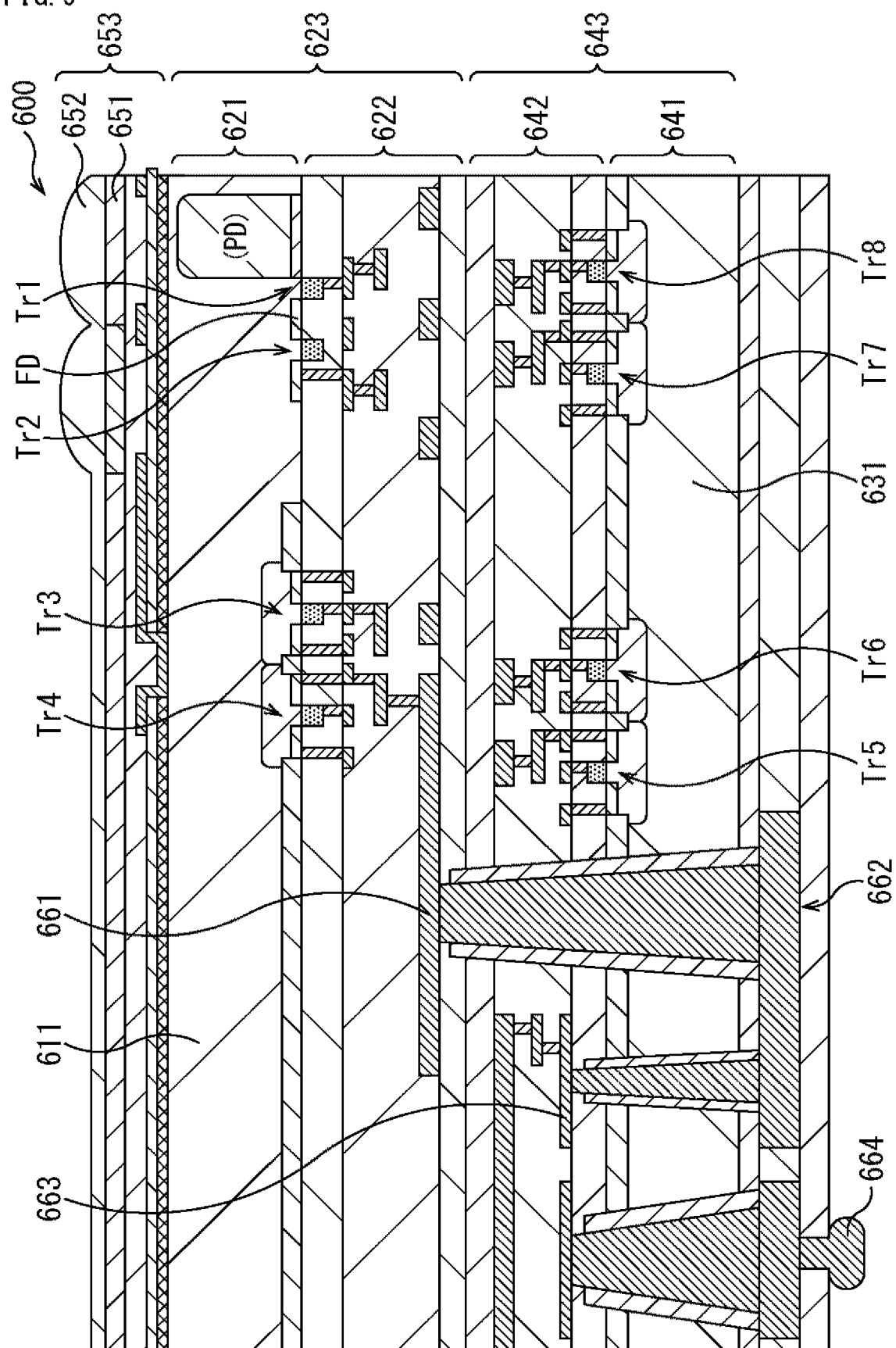
[図5]
FIG. 5



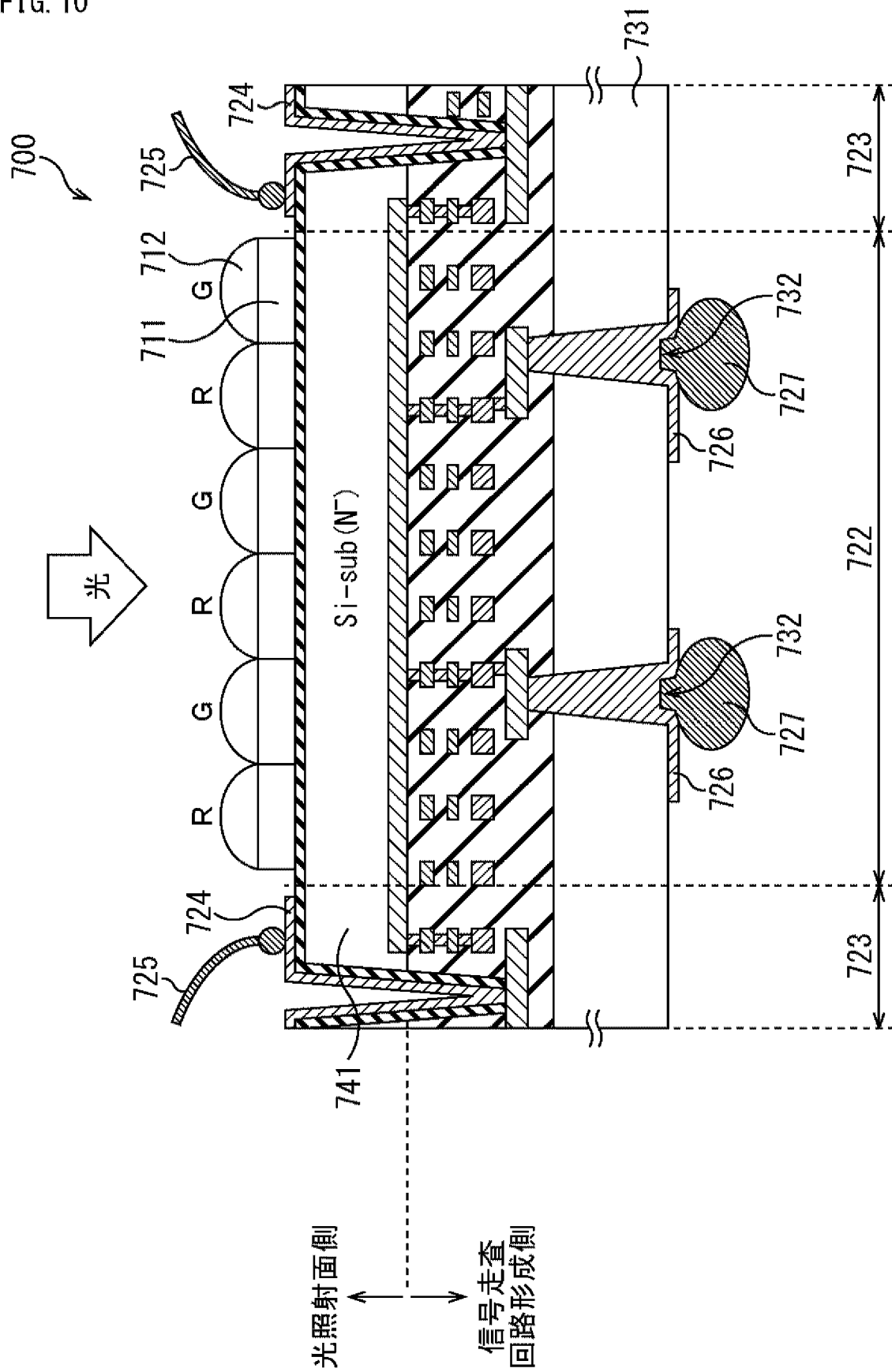
[図7]
FIG. 7



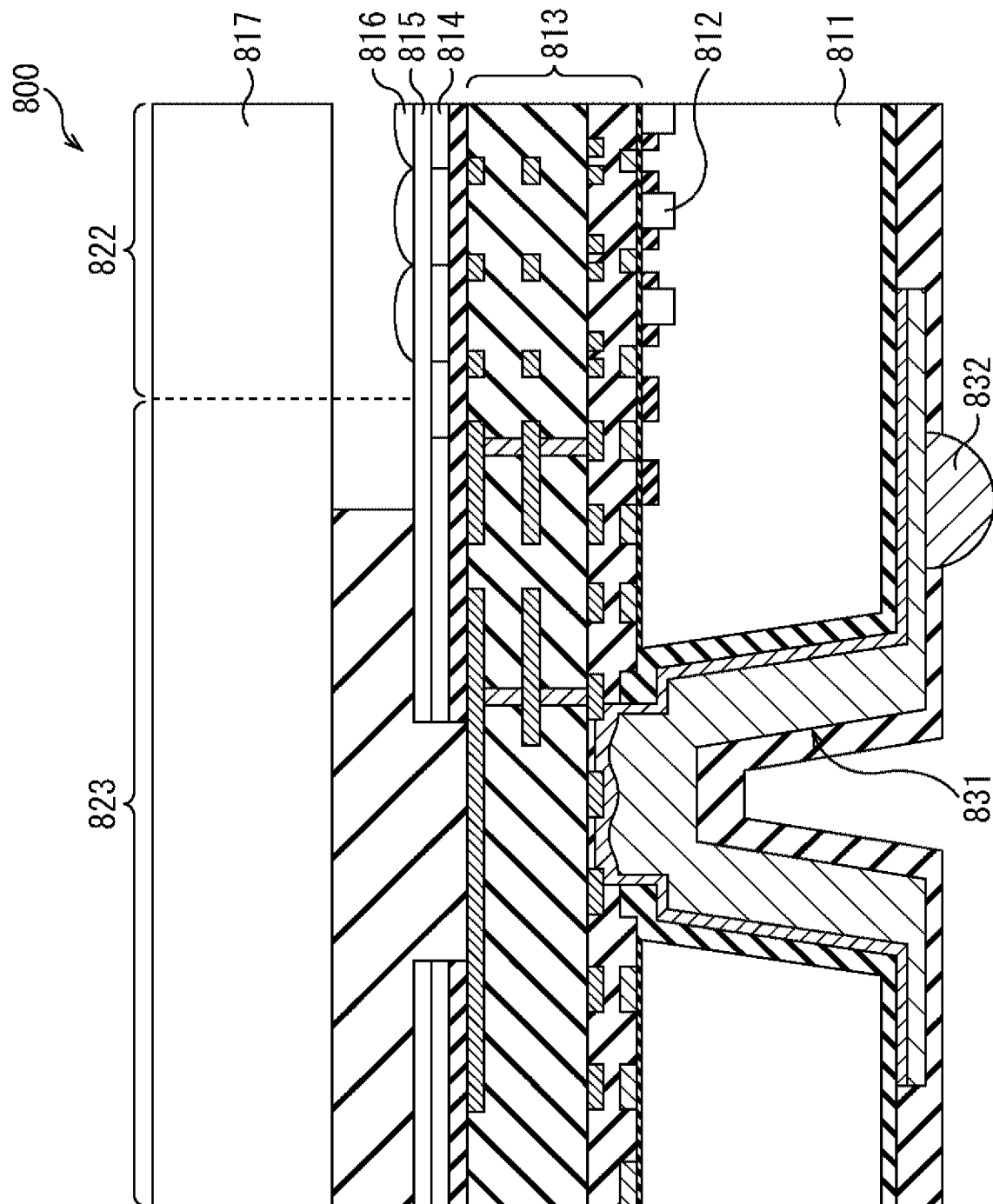
[図9]
FIG. 9



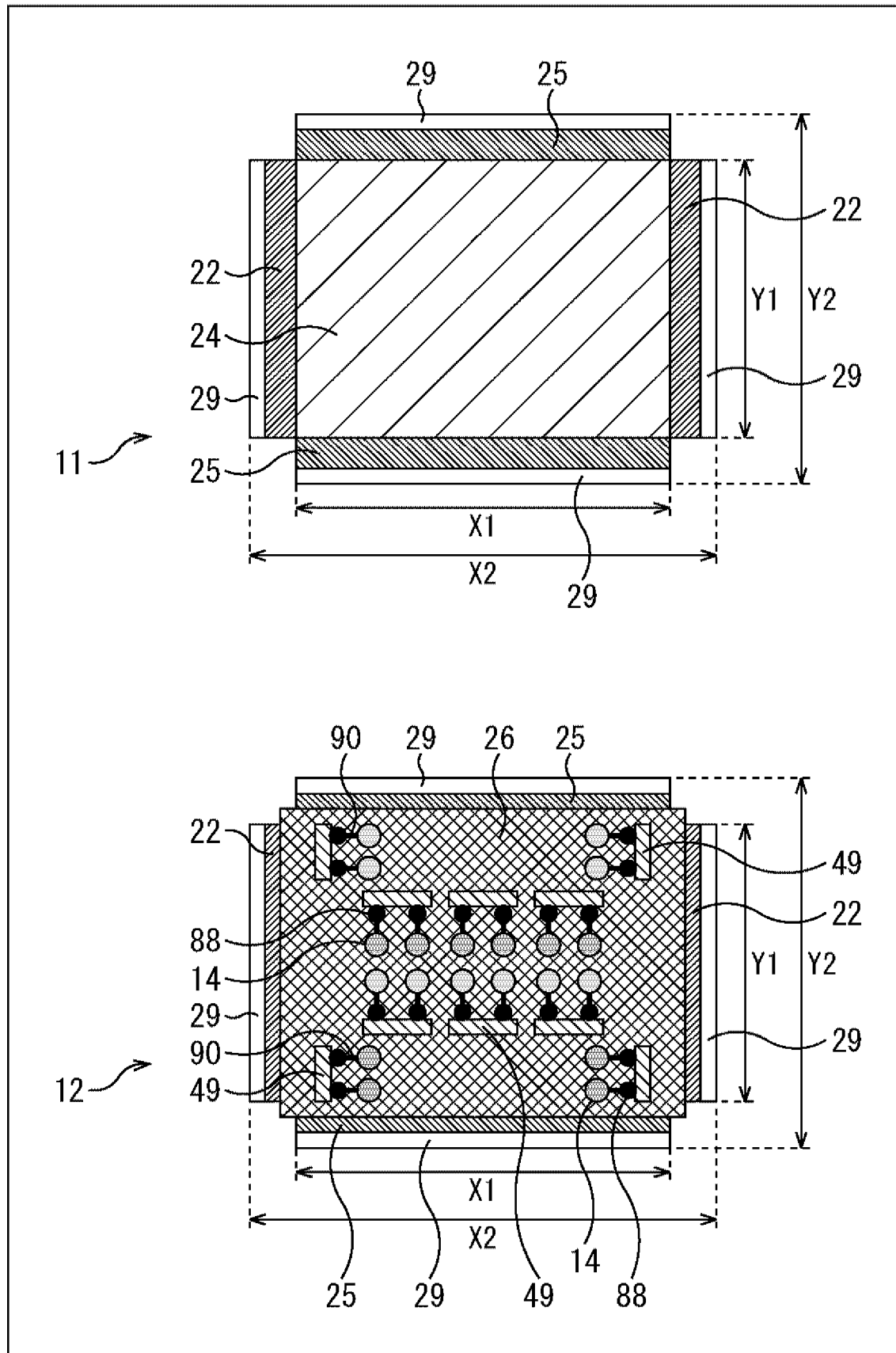
[図10]
FIG. 10



[図11]
FIG. 11



[図12]
FIG. 12



[図13]
FIG. 13

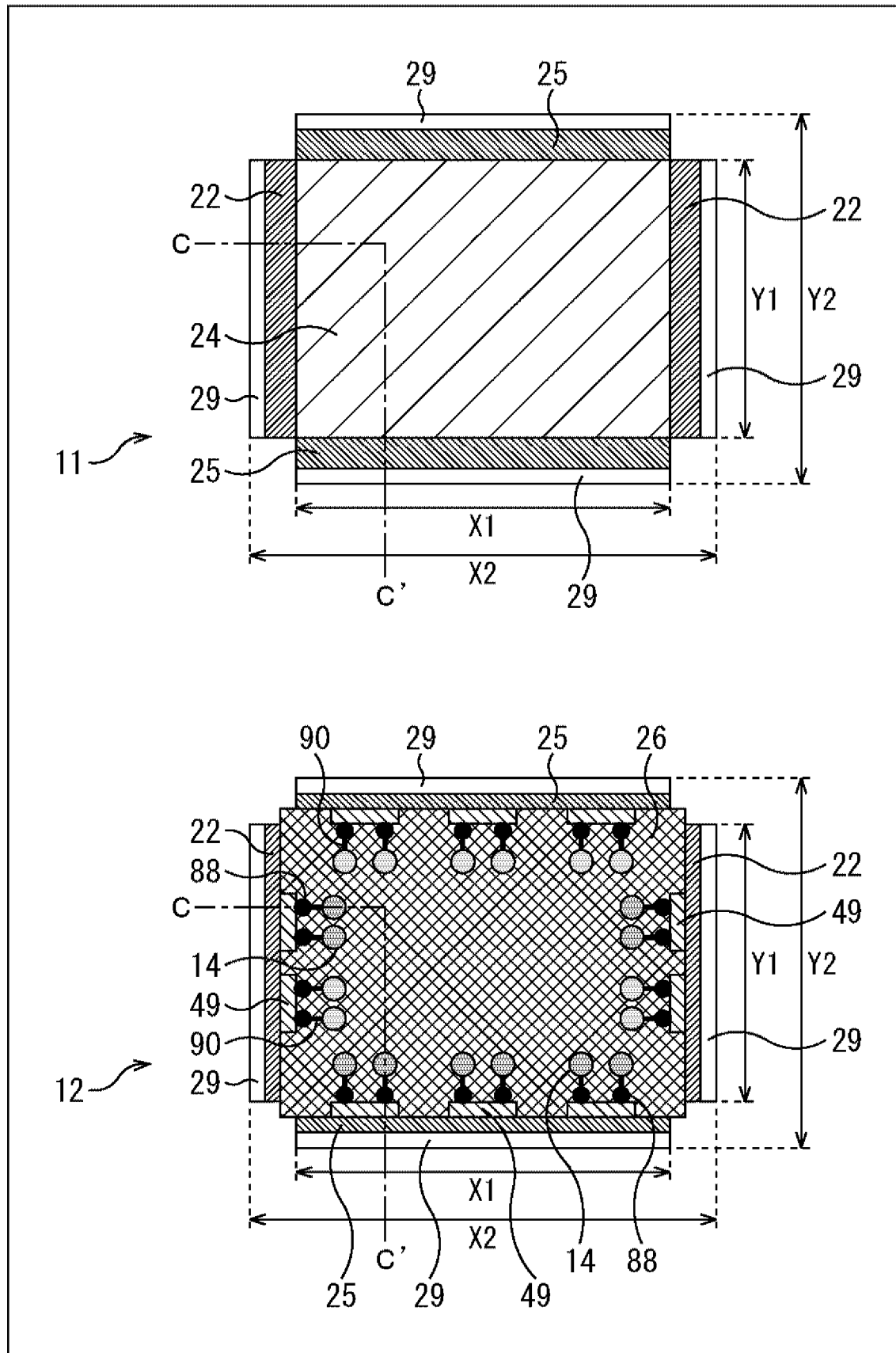
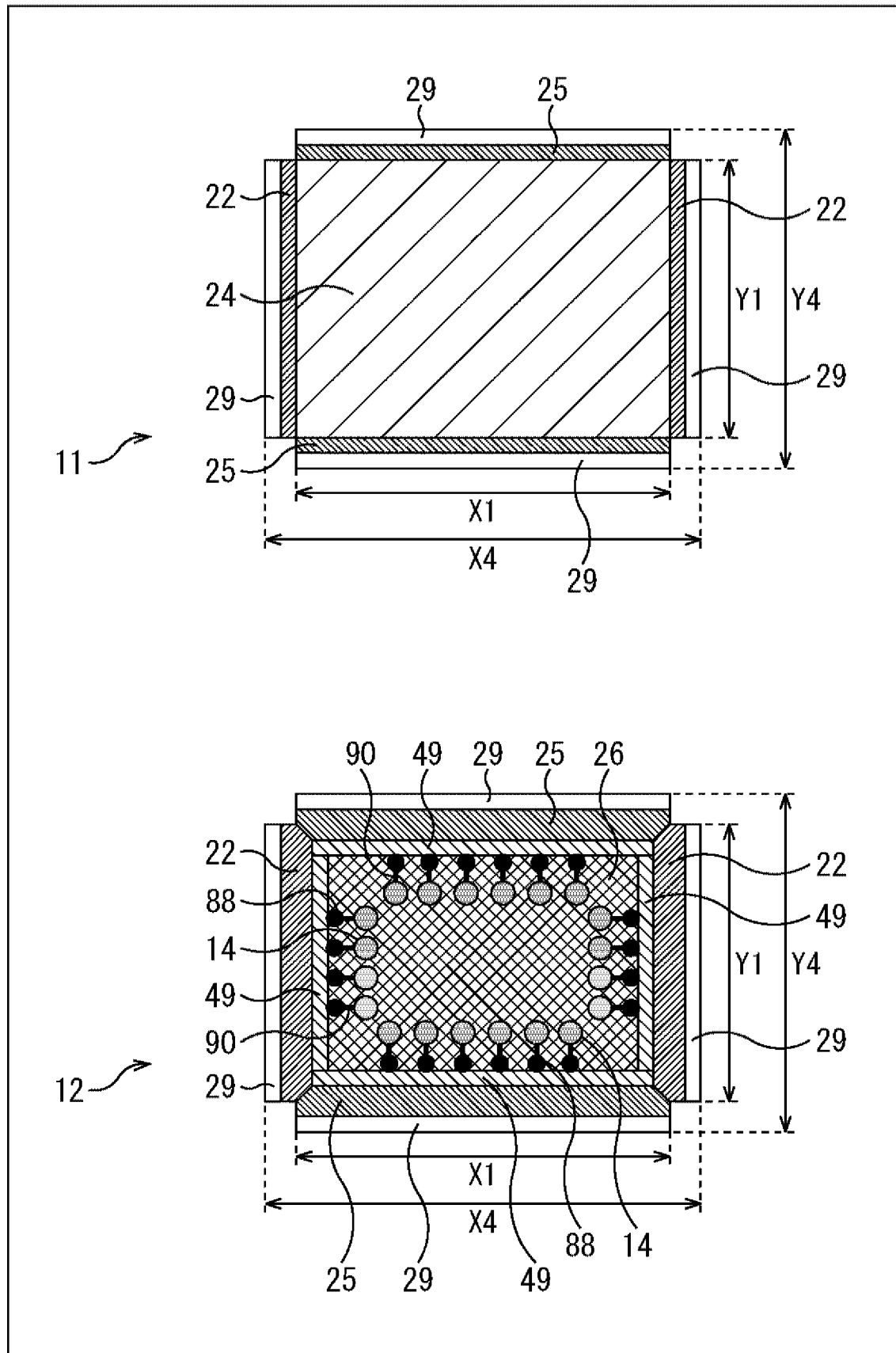
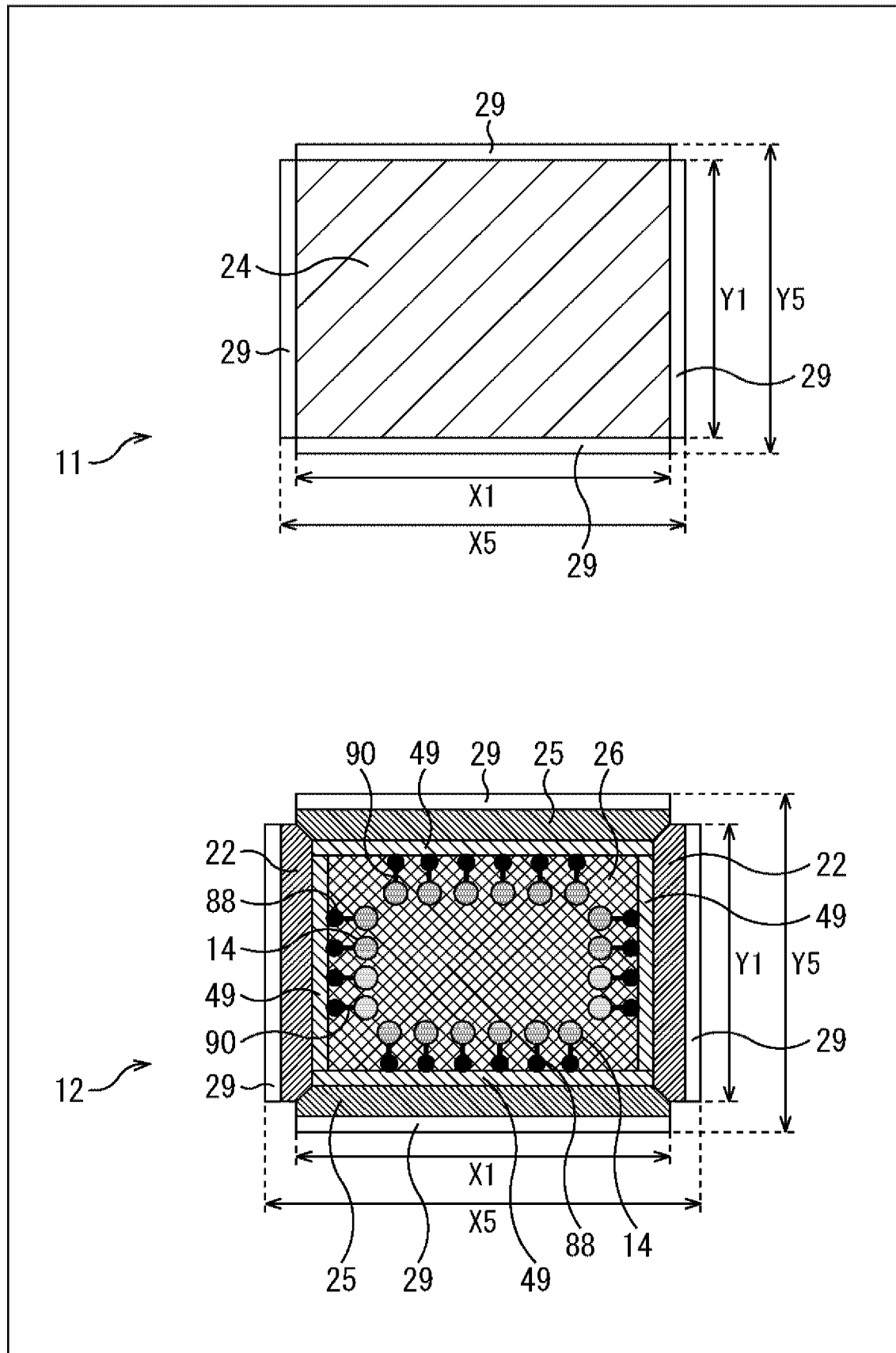


Figure 1 shows two cross-sectional views of semiconductor devices. The first device (11) consists of a substrate (29) with a top layer (25) and a central region (22) with diagonal hatching. The second device (12) consists of a substrate (29) with a top layer (25) and a central region (22) containing a grid of circular elements (90) and a cross-hatched pattern (49). Both devices have dimensions X1, X2, Y1, and Y2 indicated.

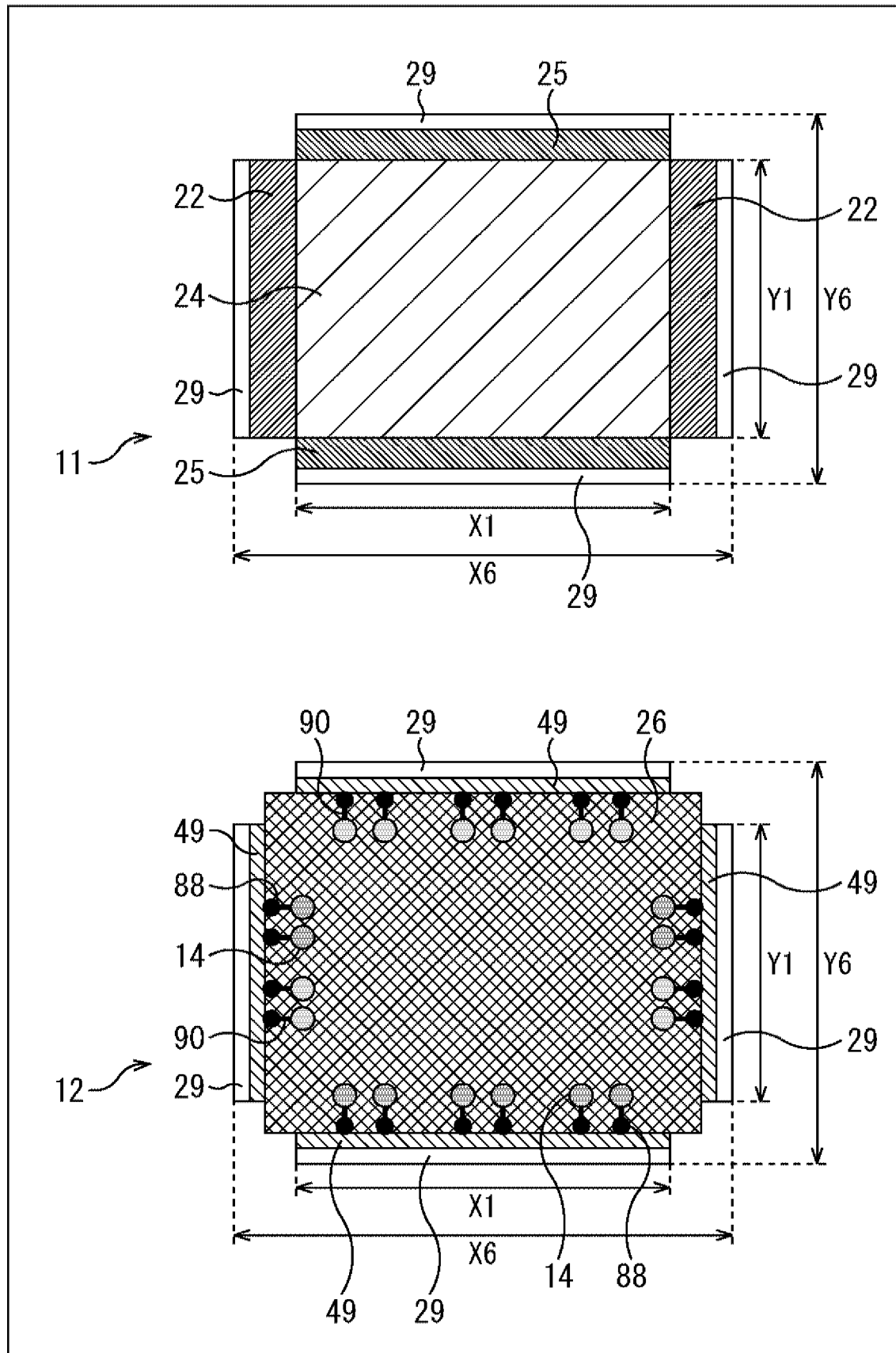
[図17]
FIG. 17



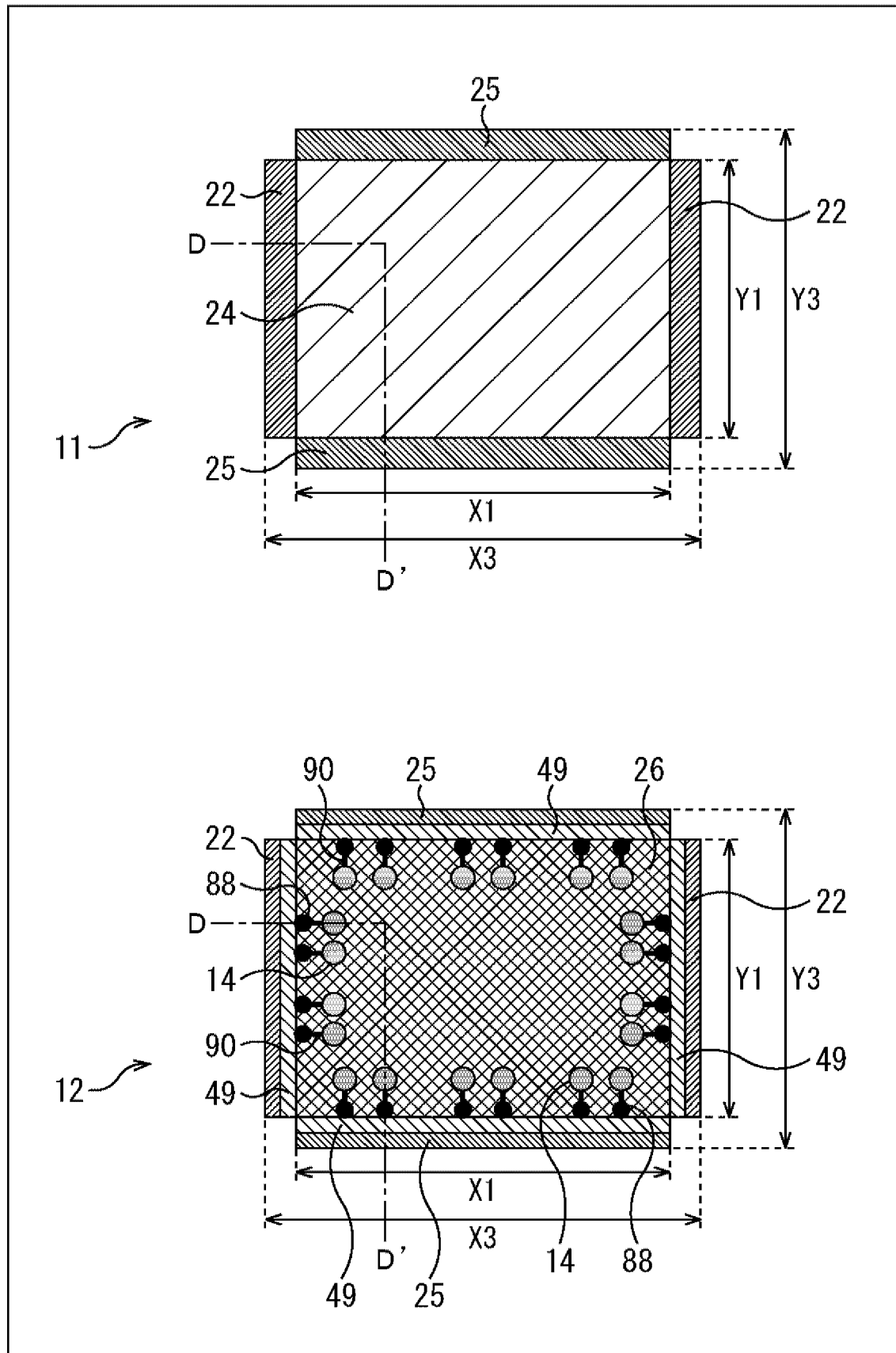
[図18]
FIG. 18



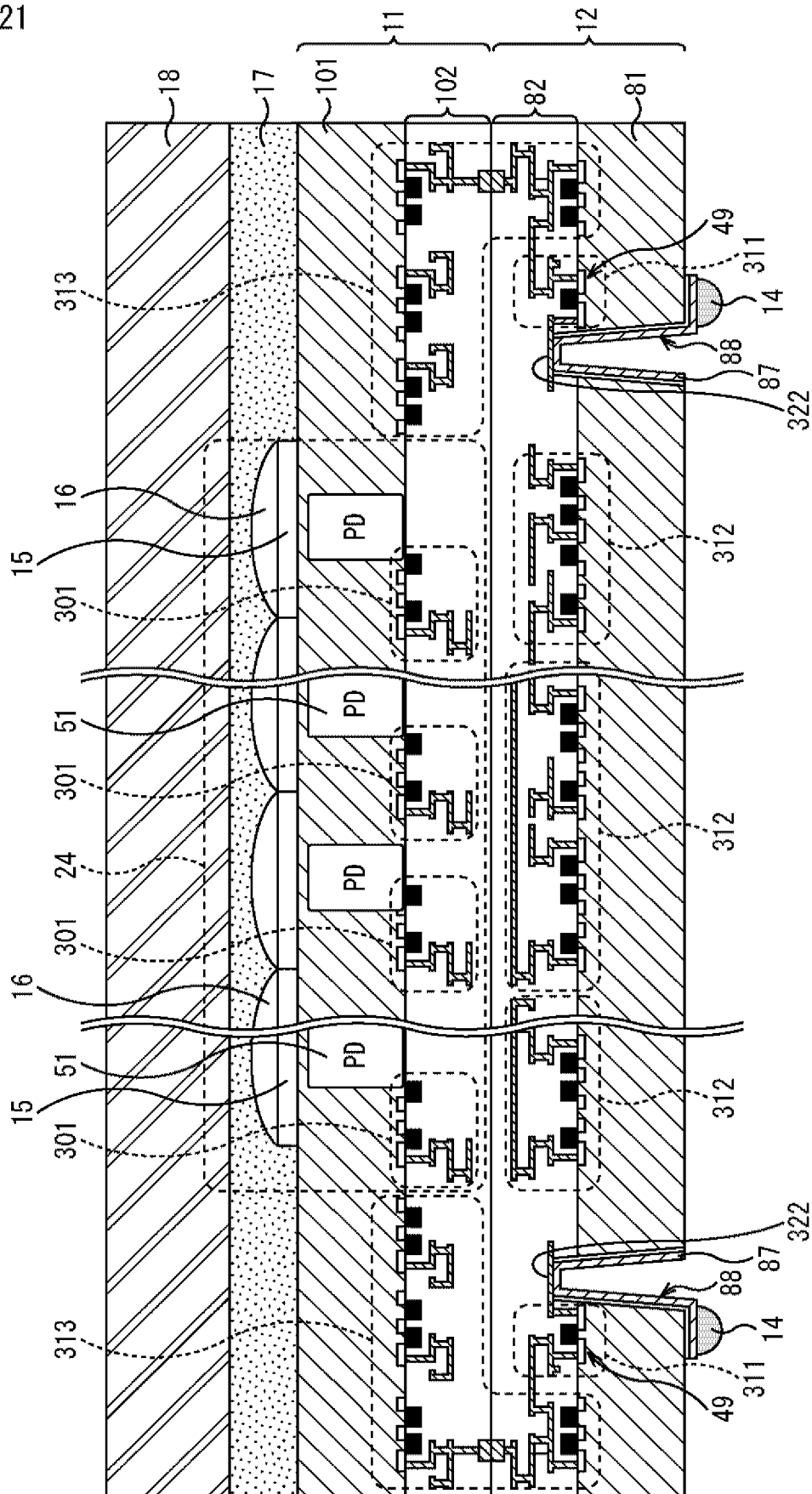
[図19]
FIG. 19



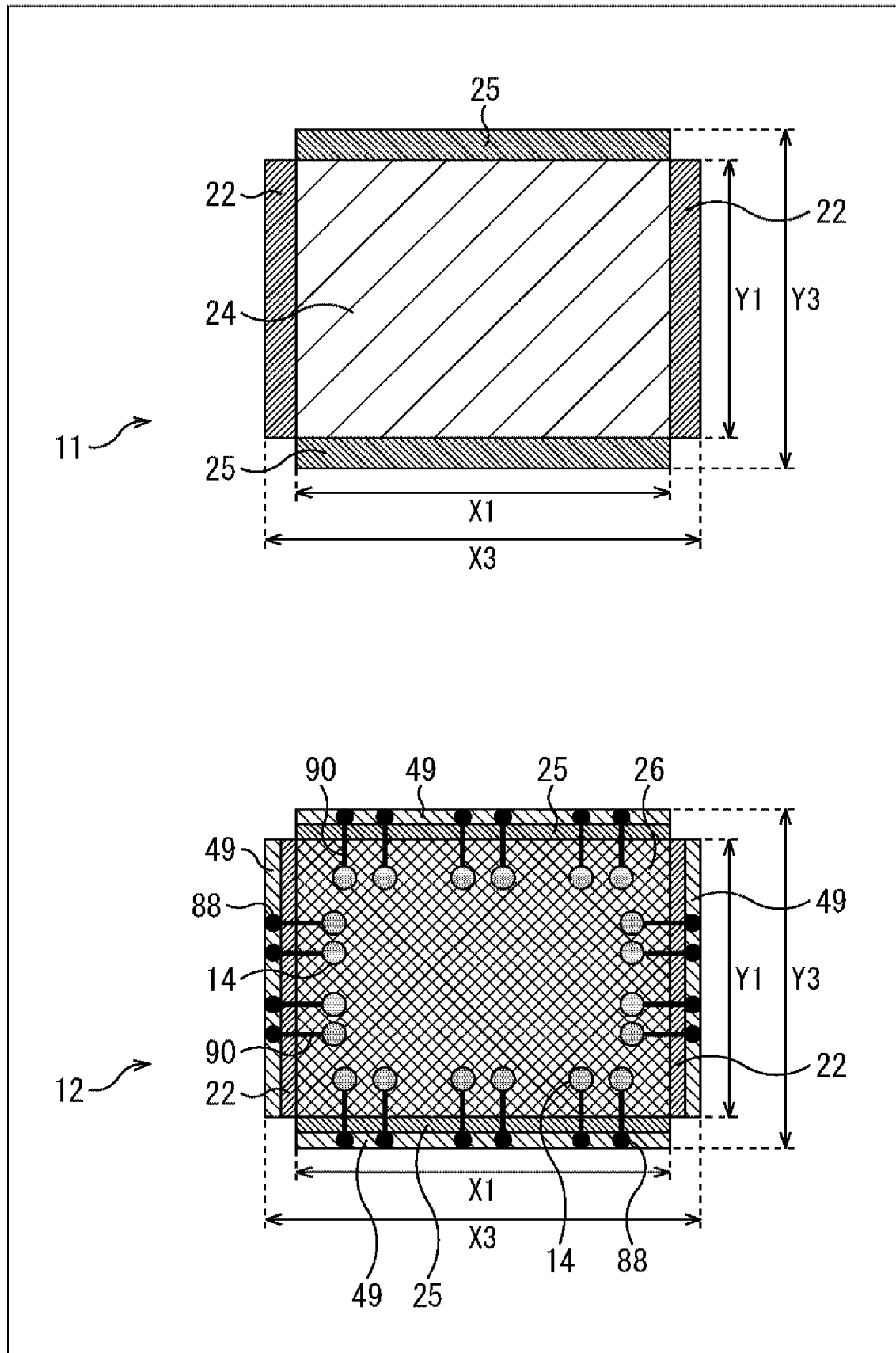
[図20]
FIG. 20



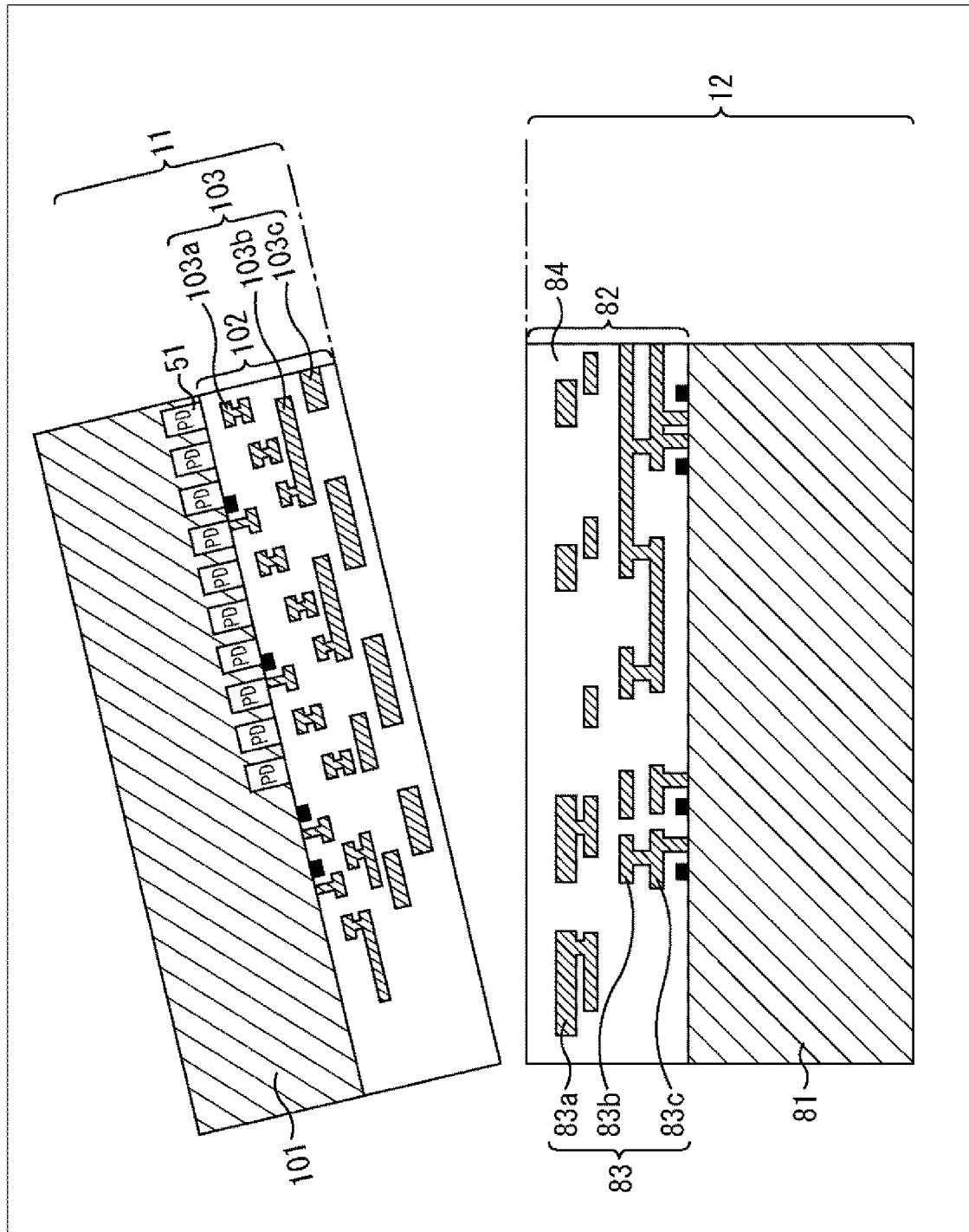
[図21]
FIG. 21



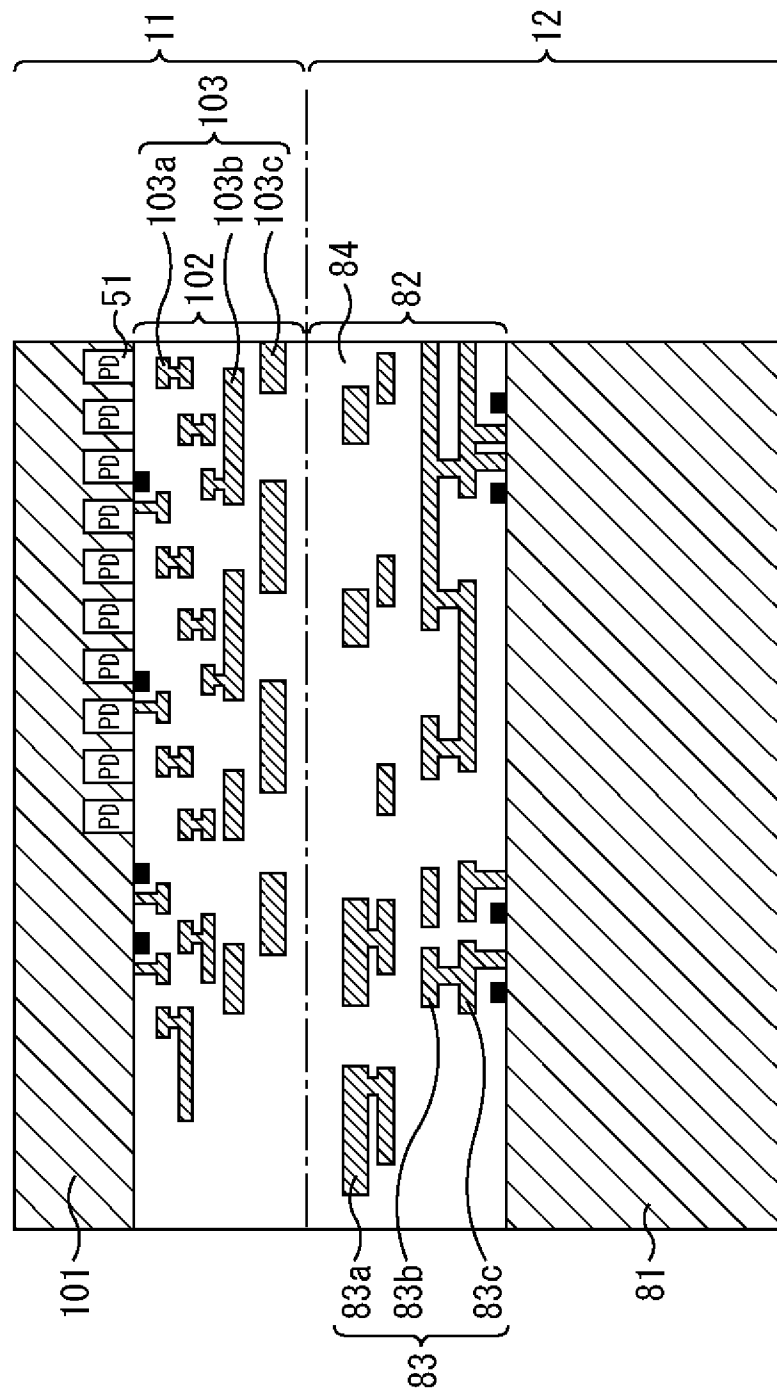
[図22]
FIG. 22



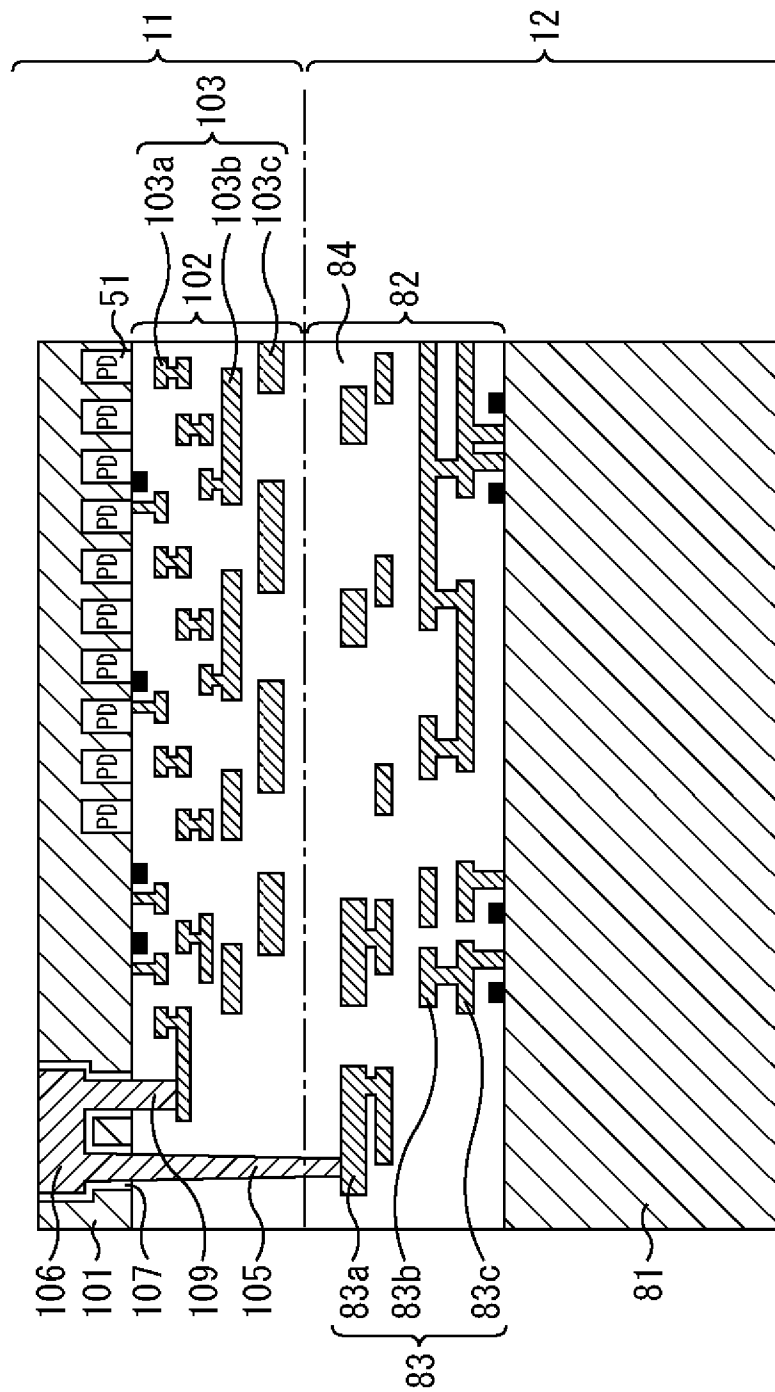
[図24]
FIG. 24



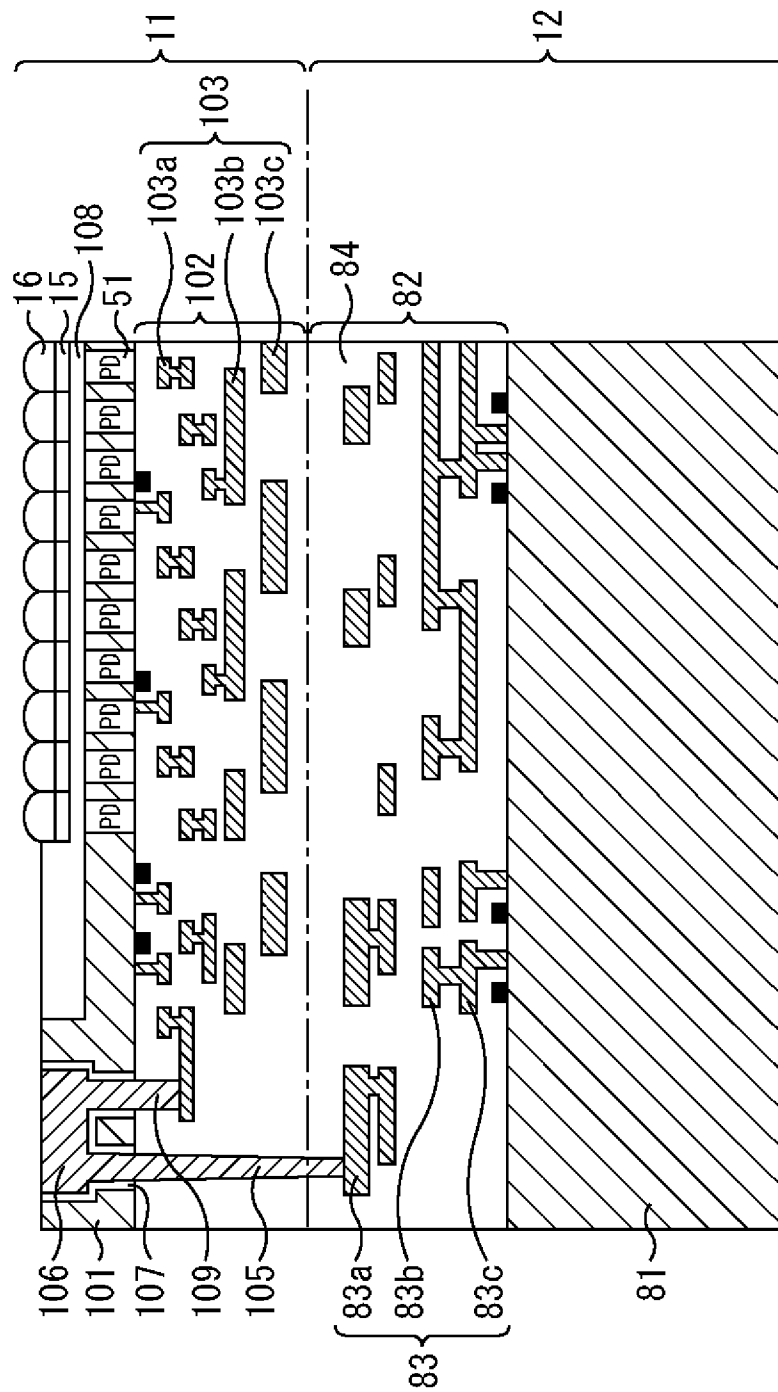
[図25]
FIG. 25



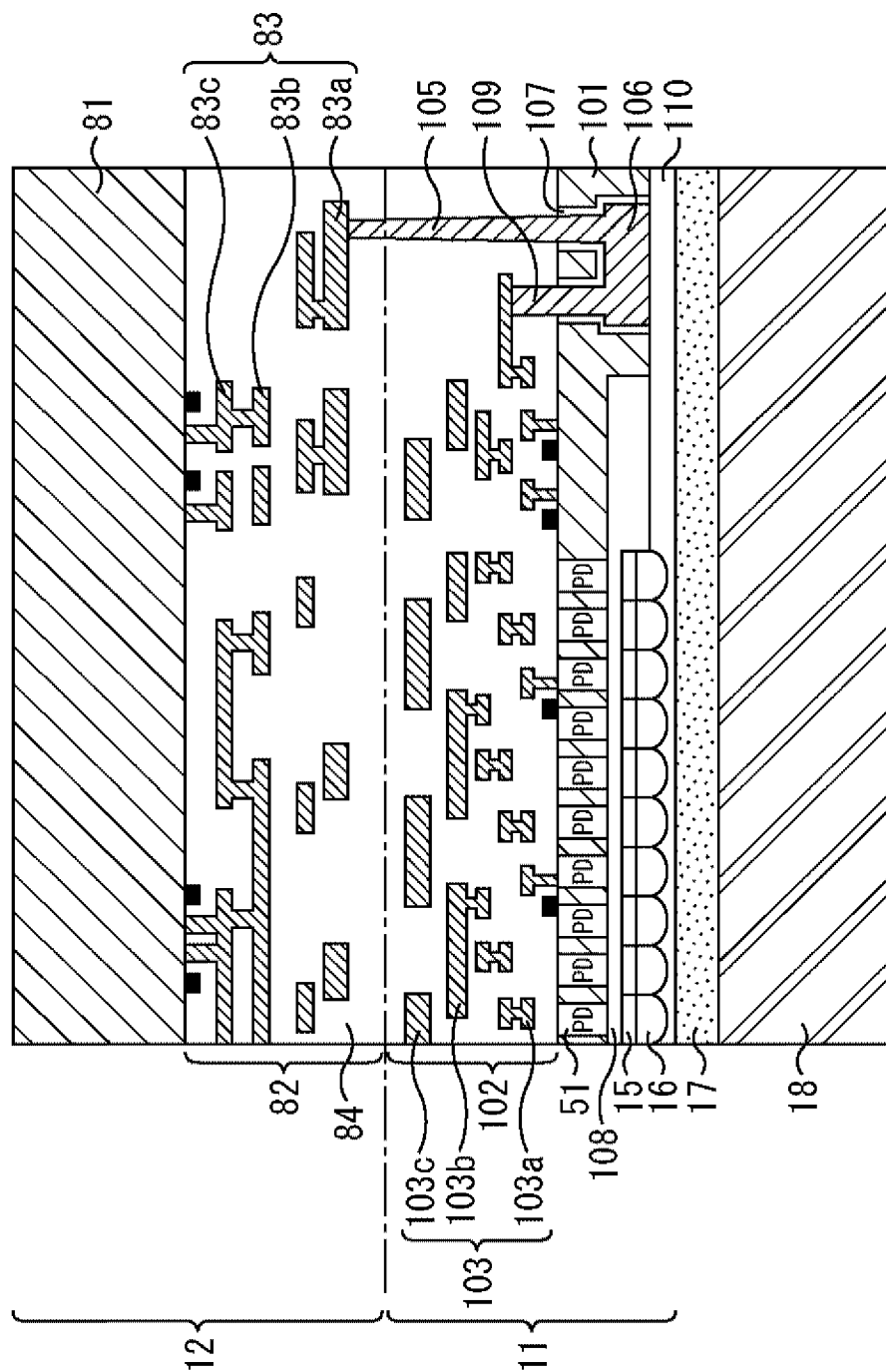
[図26]
FIG. 26



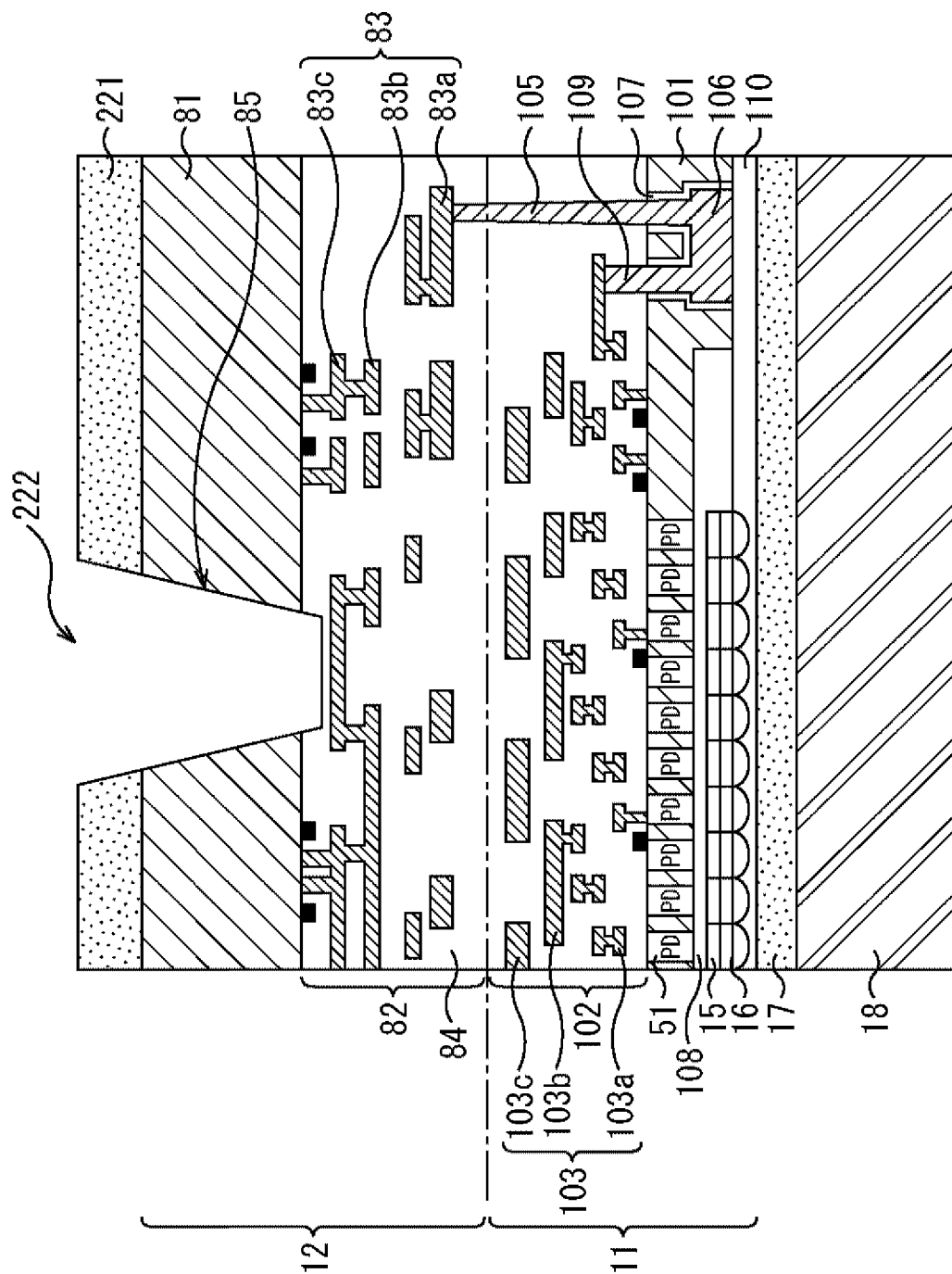
[図27]
FIG. 27



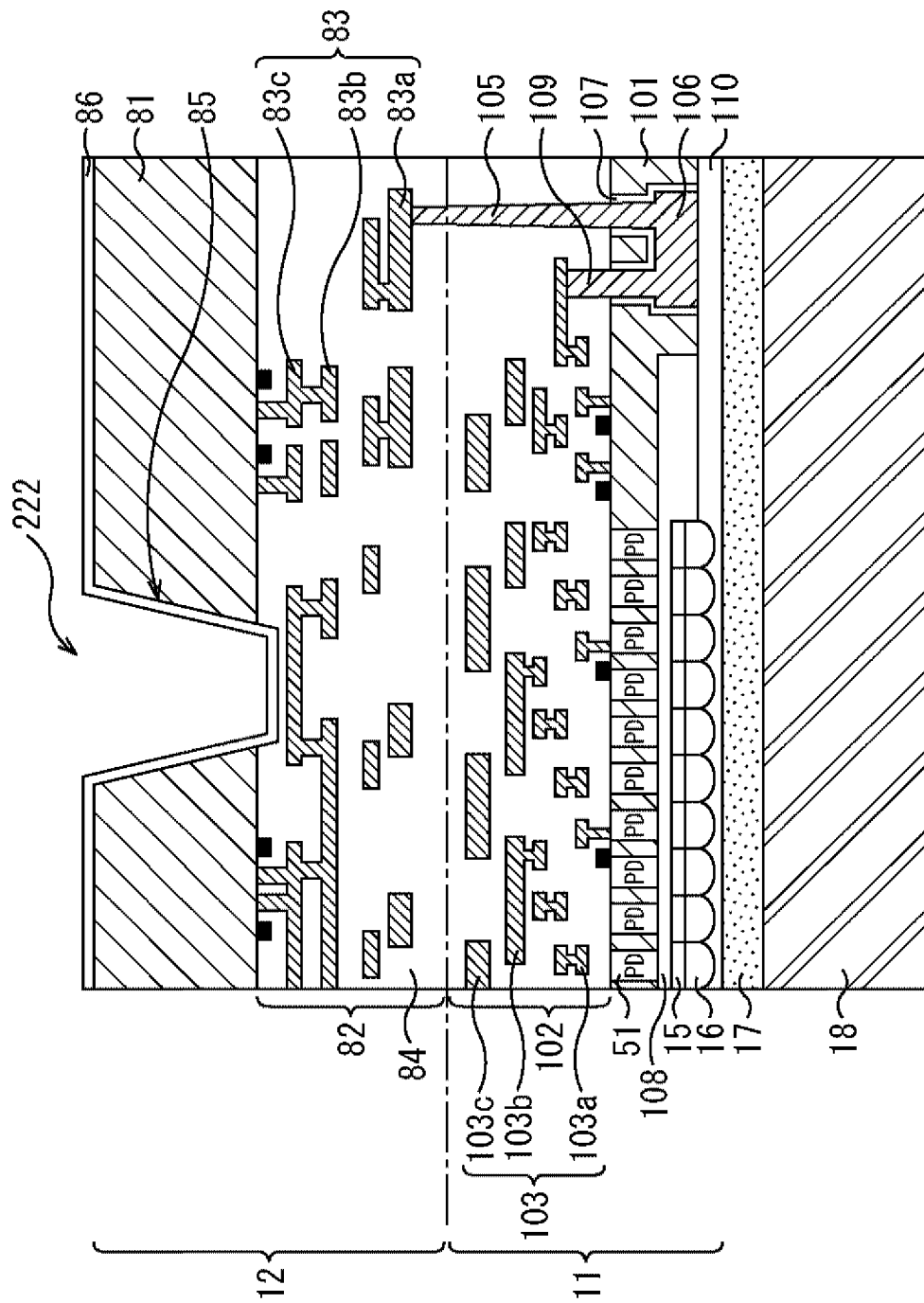
[図30]
FIG. 30



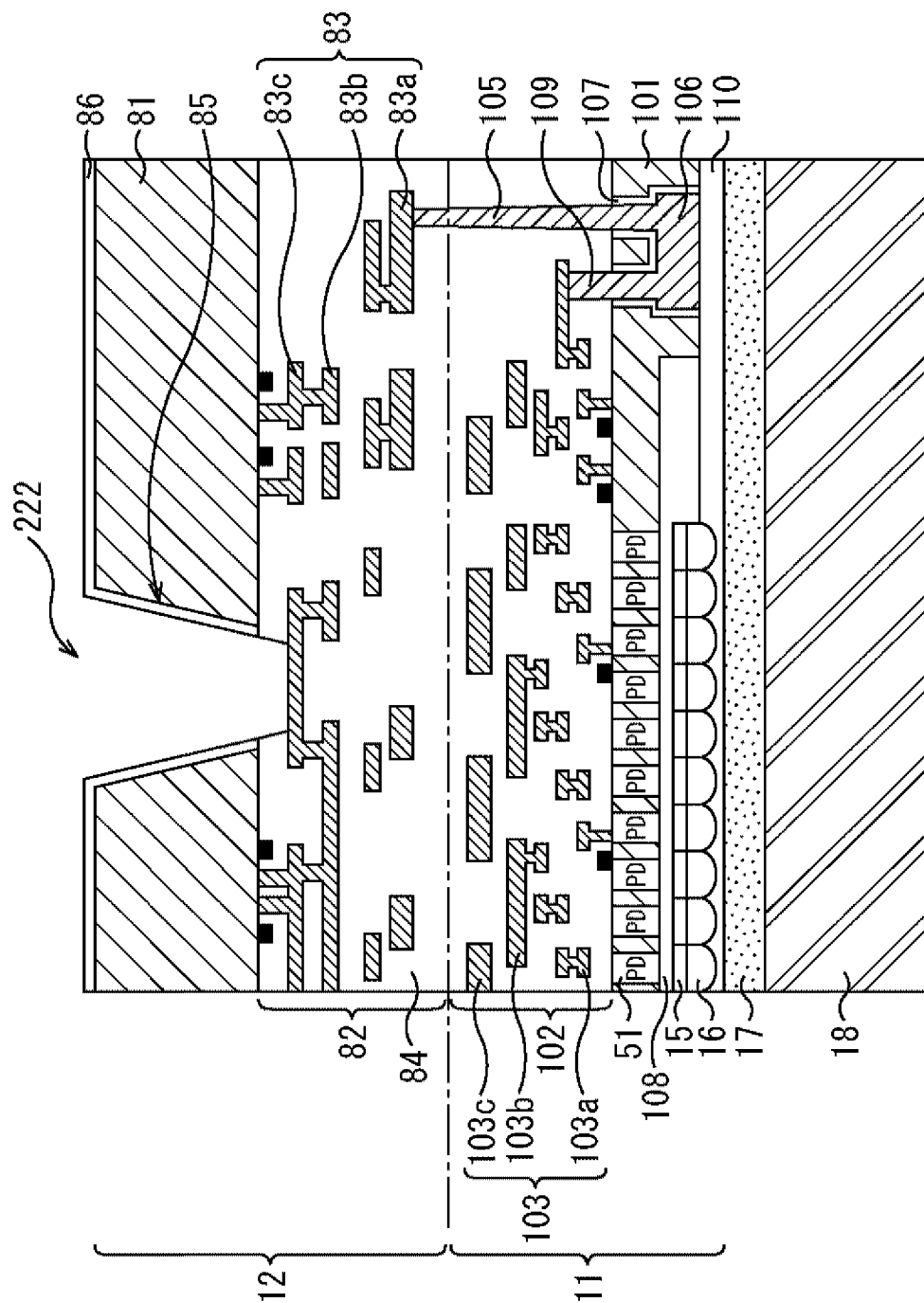
[図31]
FIG. 31



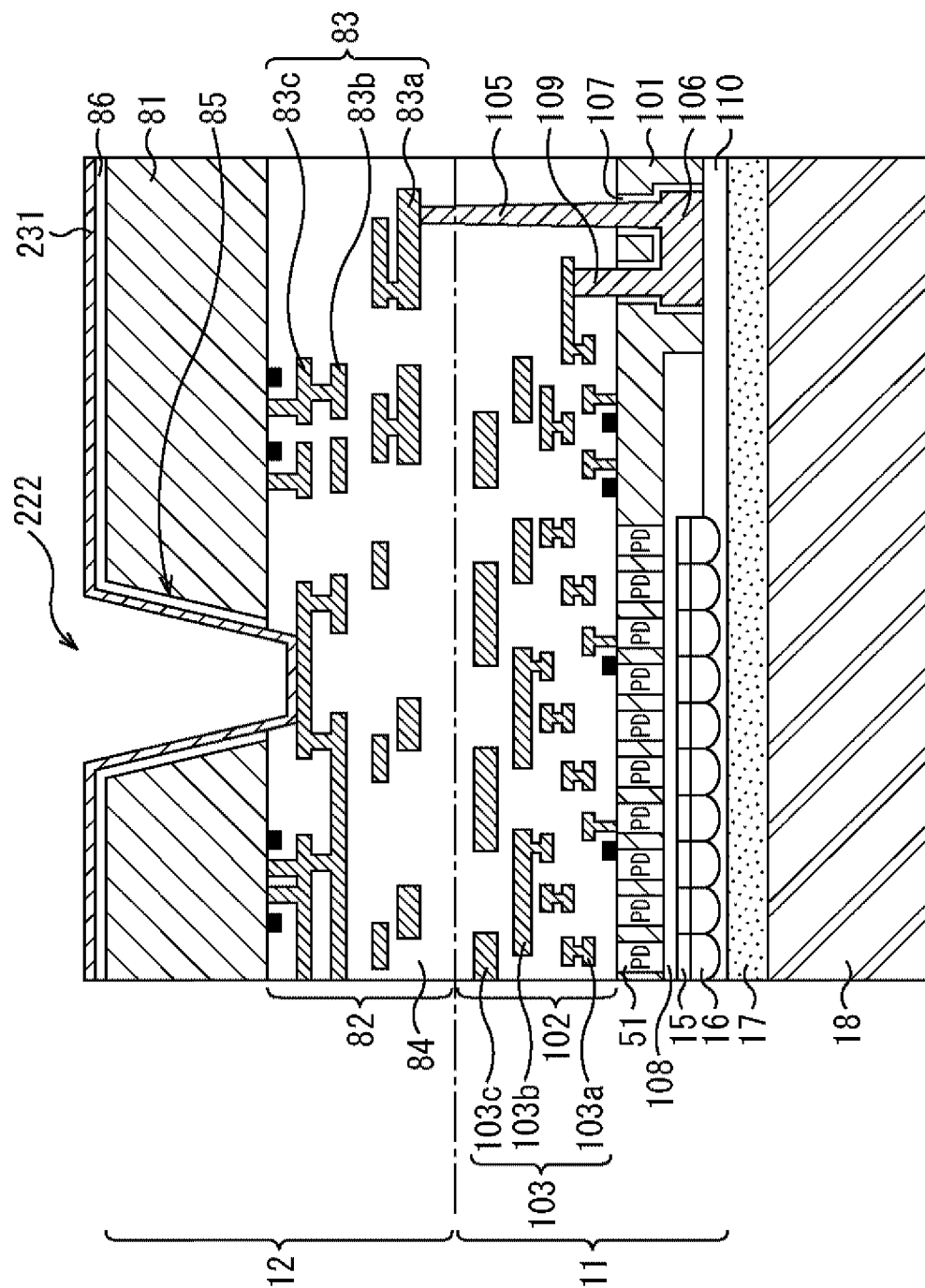
[図32]
FIG. 32



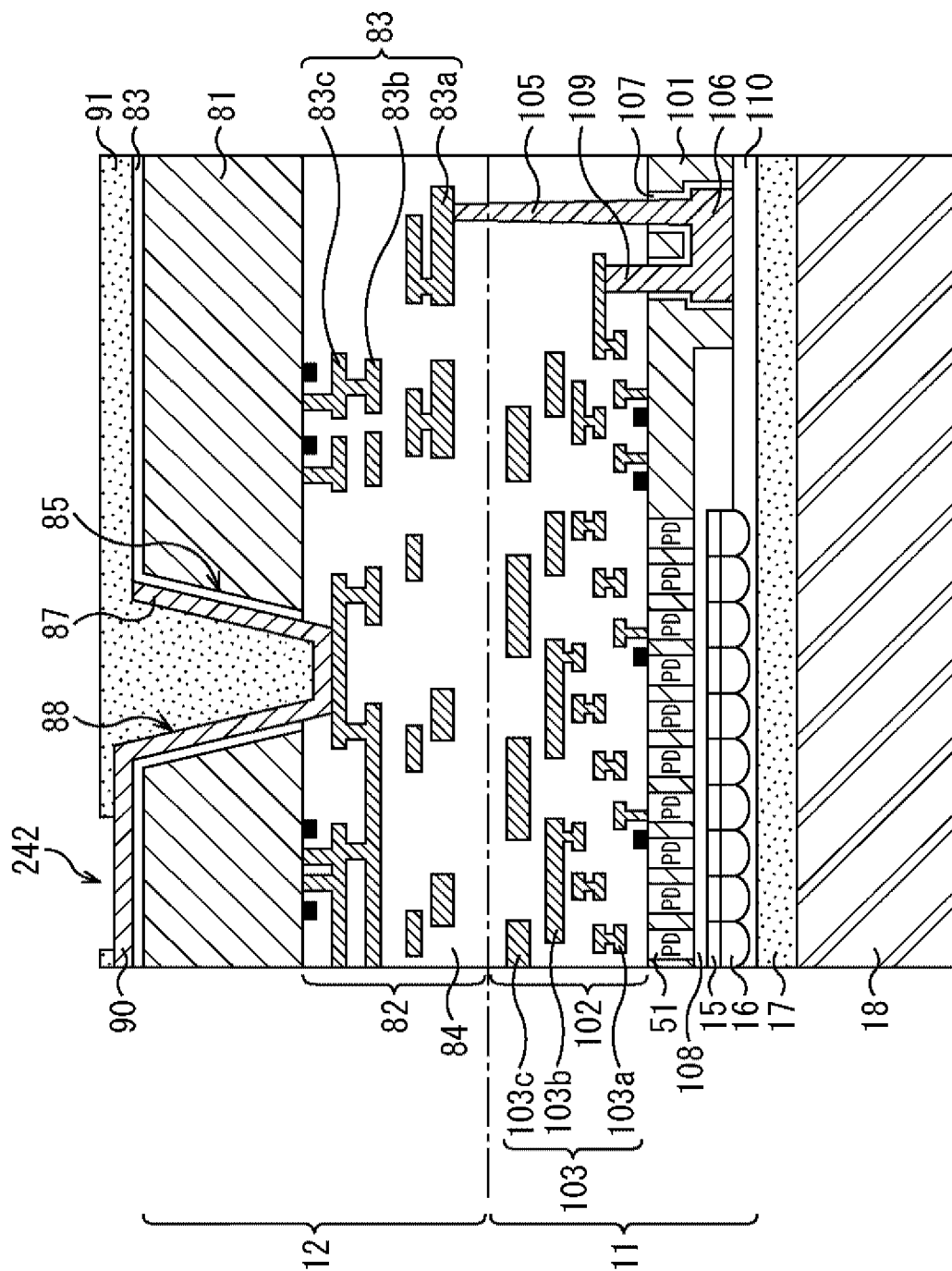
[図33]
FIG. 33



[図34]
FIG. 34

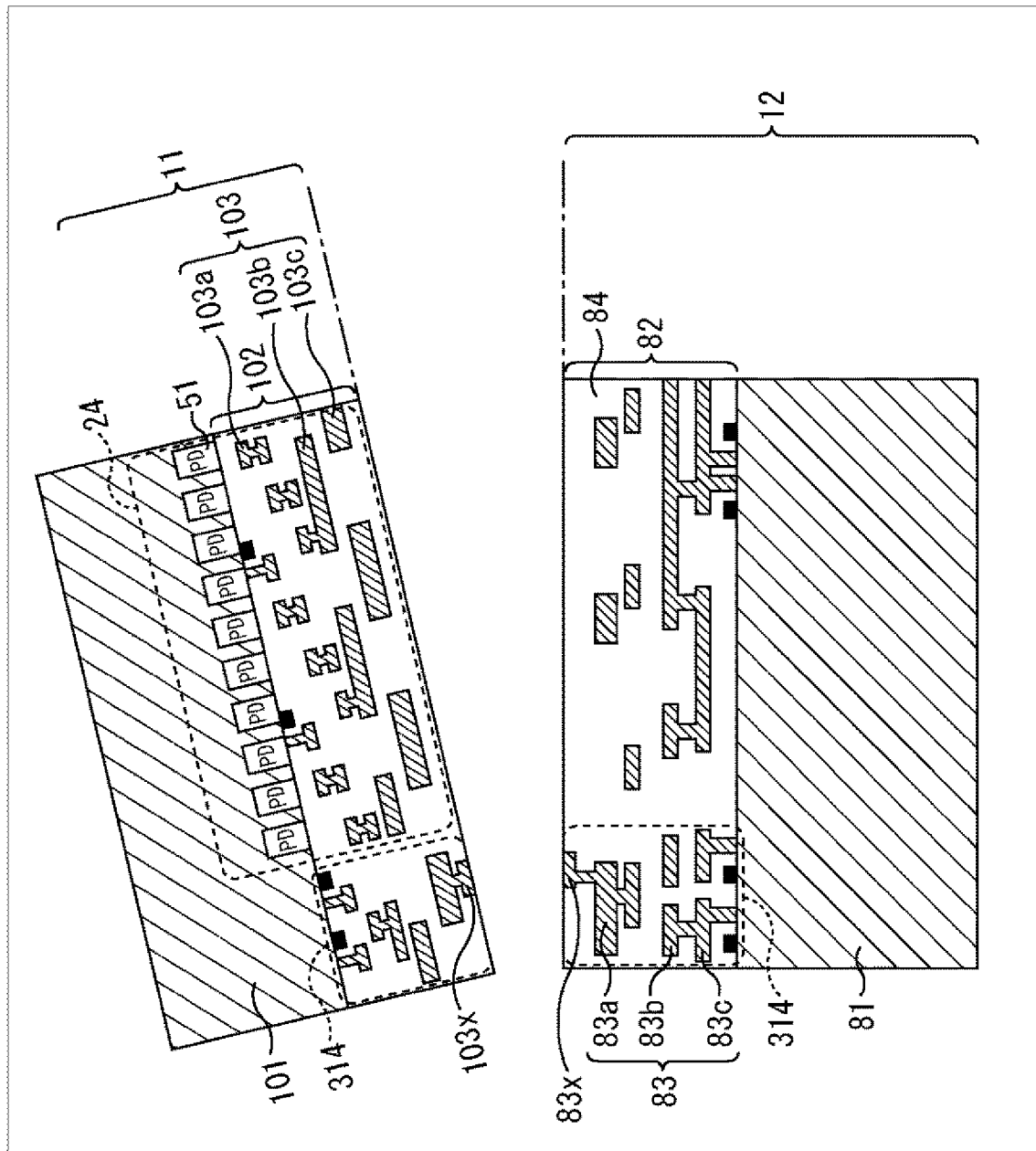


[図37]
FIG. 37

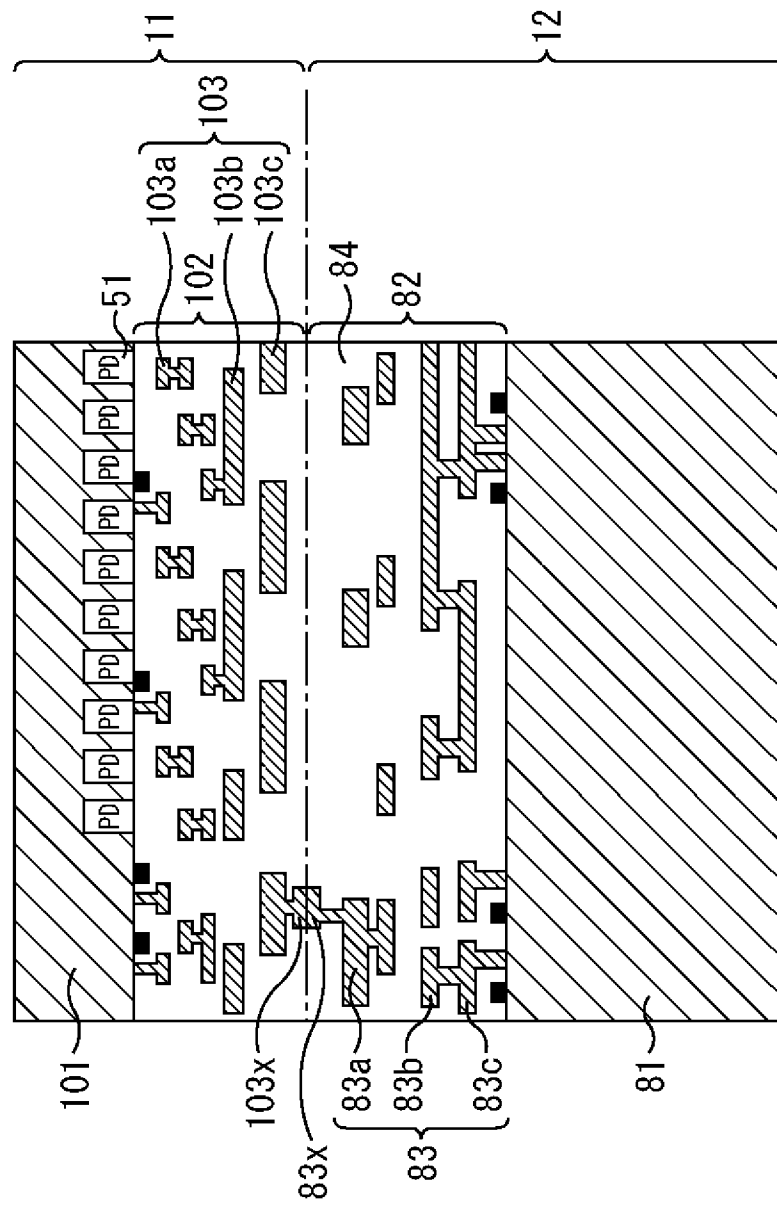


[illegible]

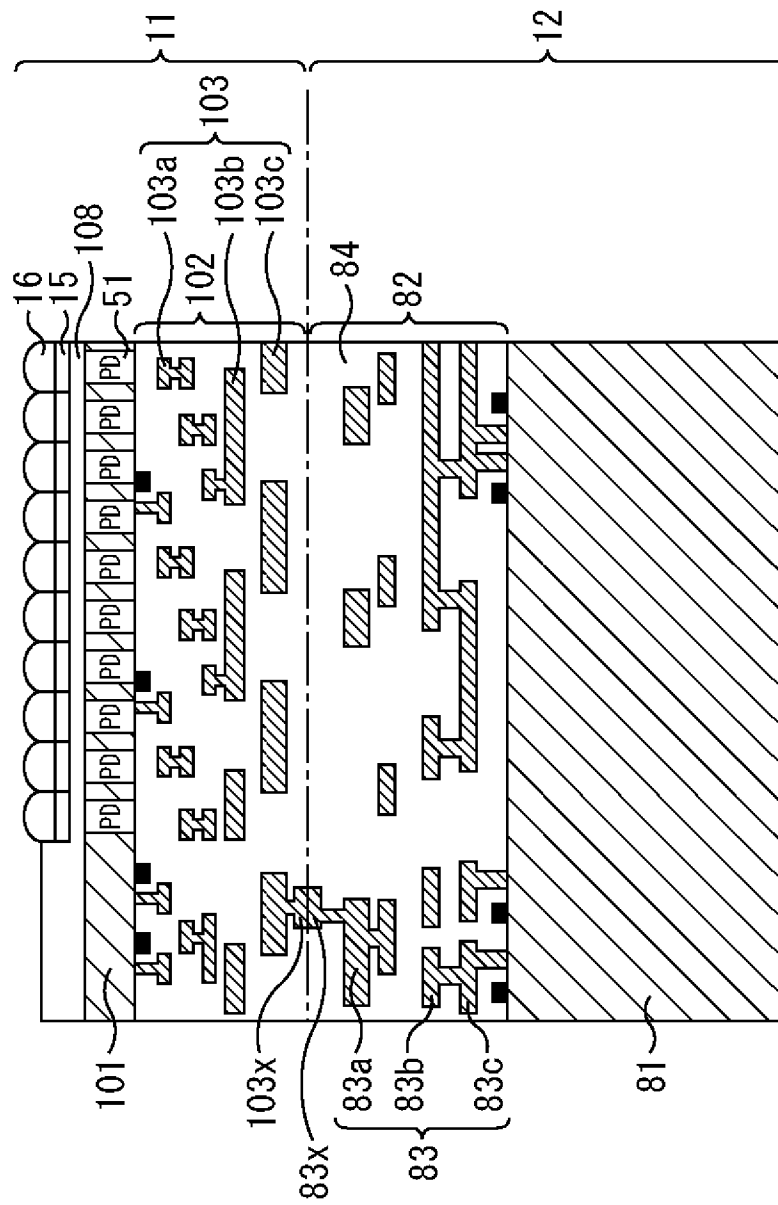
[図39]
FIG. 39



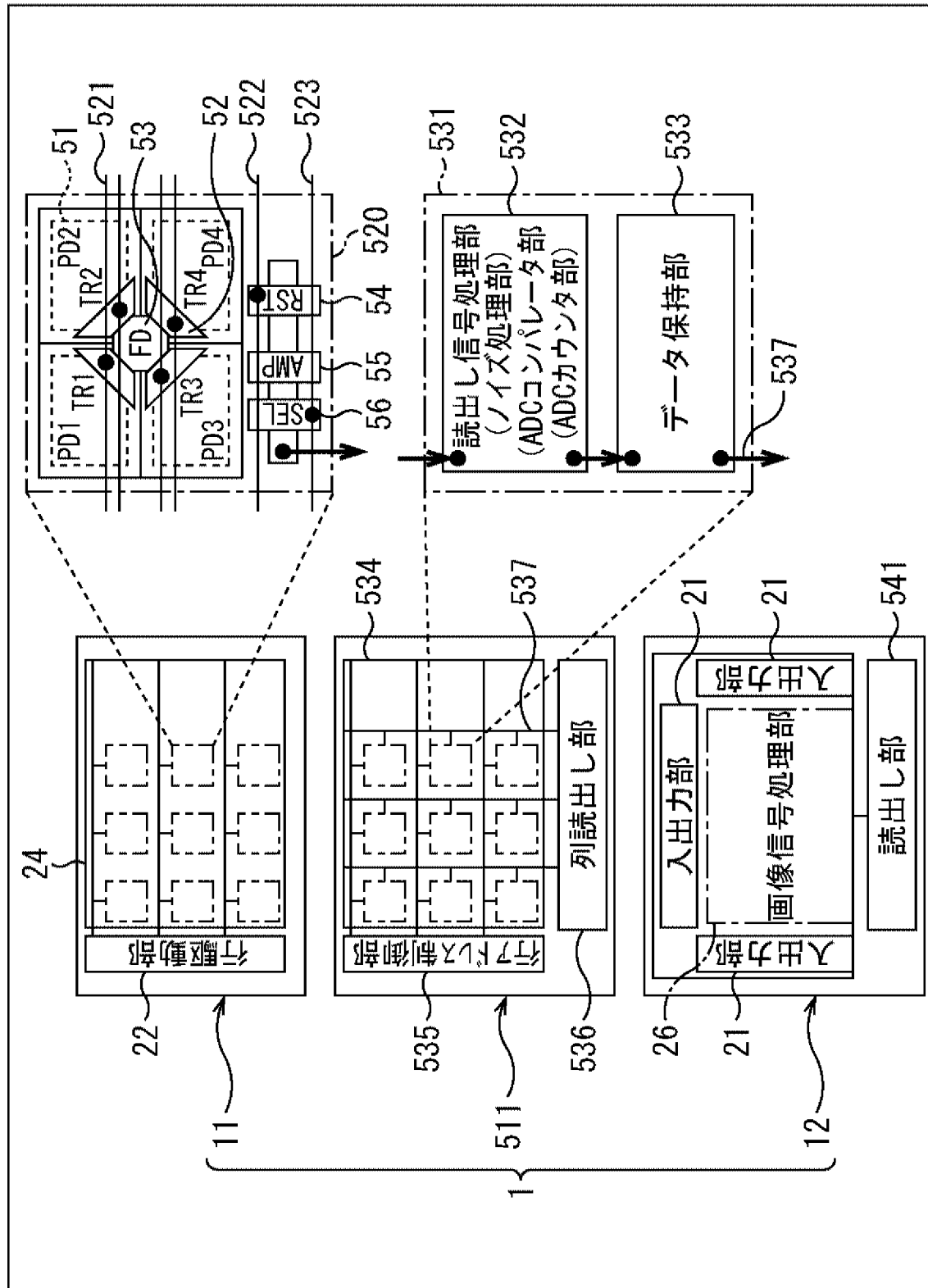
[図40]
FIG. 40



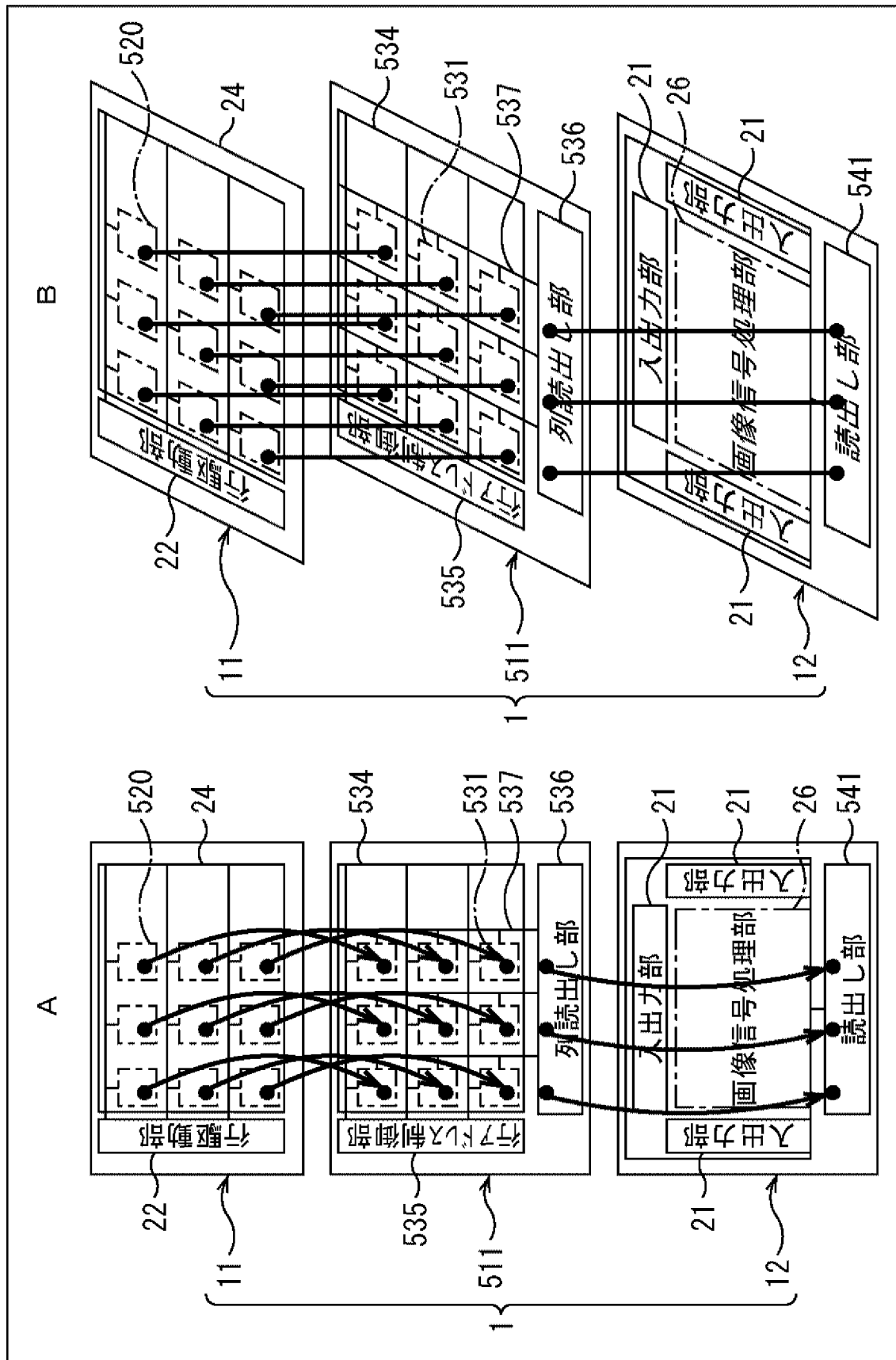
[図41]
FIG. 41



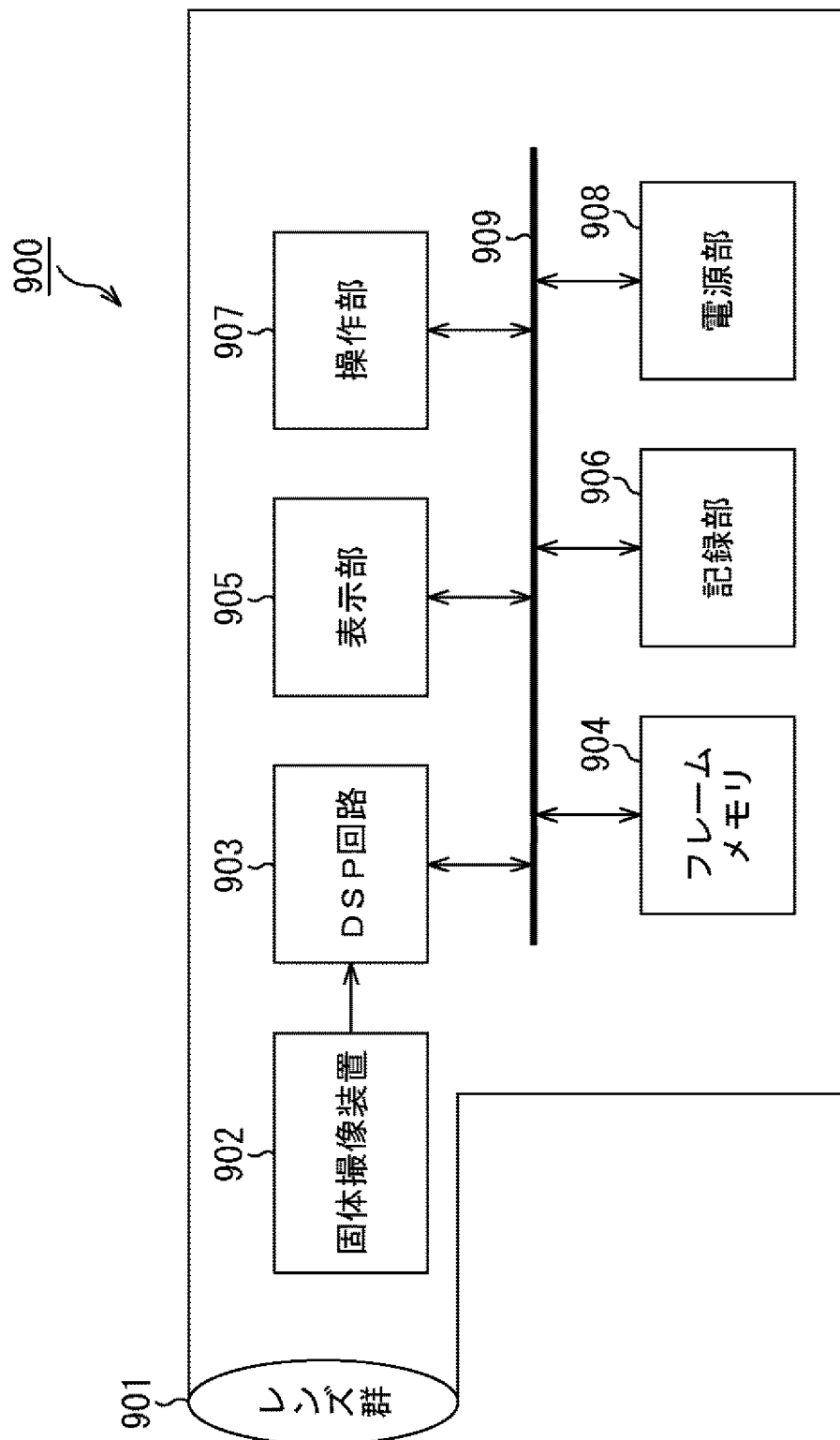
[図48]
FIG. 48



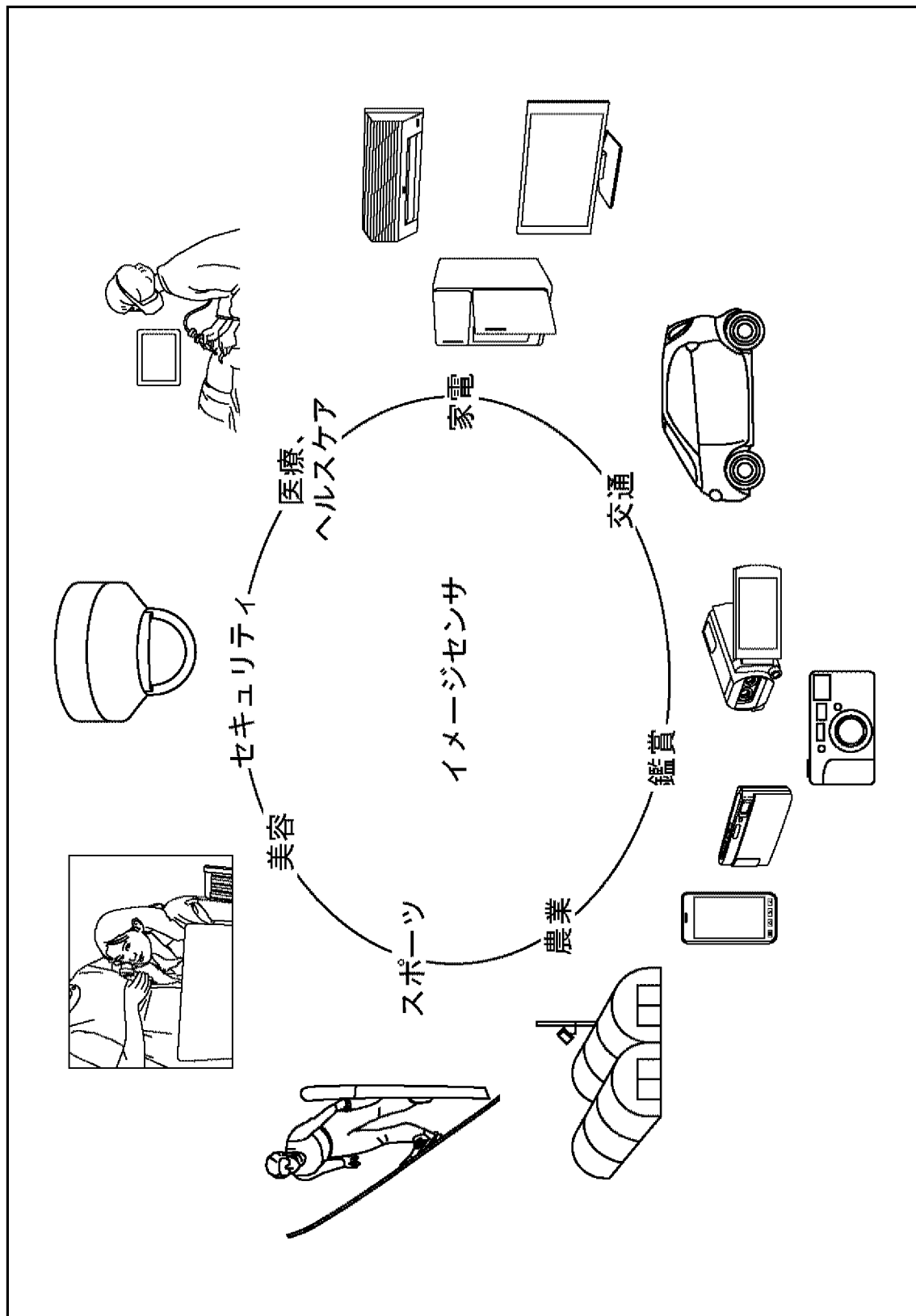
[図49]
FIG. 49



[図50]
FIG. 50



[図51]
FIG. 51



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/063534

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i,
H01L25/18(2006.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, H01L21/3205, H01L21/768, H01L23/522, H01L25/065, H01L25/07,
H01L25/18, H01L27/146, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-273757 A (ZyCube Co., Ltd.), 09 December 2010 (09.12.2010), paragraphs [0020], [0043] to [0047], [0064]; fig. 4(a) to (c), 11 (Family: none)	1-20
Y	JP 2014-220370 A (Makoto SHIZUKUISHI), 20 November 2014 (20.11.2014), paragraph [0019] & US 2014/0334601 A1 paragraphs [0019], [0020]	1-20
Y	JP 2008-048313 A (Sony Corp.), 28 February 2008 (28.02.2008), paragraph [0013] & US 2008/0042046 A1 paragraph [0025]	18

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 July 2016 (19.07.16)

Date of mailing of the international search report
02 August 2016 (02.08.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））															
Int.Cl. H01L27/14(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L27/146(2006.01)i, H04N5/374(2011.01)i															
B. 調査を行った分野															
調査を行った最小限資料（国際特許分類（I P C））															
Int.Cl. H01L27/14, H01L21/3205, H01L21/768, H01L23/522, H01L25/065, H01L25/07, H01L25/18, H01L27/146, H04N5/374															
最小限資料以外の資料で調査を行った分野に含まれるもの															
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1 9 2 2 - 1 9 9 6 年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1 9 7 1 - 2 0 1 6 年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1 9 9 6 - 2 0 1 6 年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1 9 9 4 - 2 0 1 6 年</td> </tr> </table>				日本国実用新案公報	1 9 2 2 - 1 9 9 6 年	日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年	日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年	日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年				
日本国実用新案公報	1 9 2 2 - 1 9 9 6 年														
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年														
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年														
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年														
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）															
C. 関連すると認められる文献															
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号													
Y	JP 2010-273757 A（株式会社ザイキューブ） 2010.12.09, 段落[0020], [0043]-[0047], [0064], 第4(a)-(c)図, 第11図 (ファミリーなし)	1-20													
Y	JP 2014-220370 A（雫石 誠） 2014.11.20, 段落[0019] & US 2014/0334601 A1, 段落[0019], [0020]	1-20													
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。															
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」口頭による開示、使用、展示等に言及する文献</td> <td>「&」同一パテントファミリー文献</td> </tr> <tr> <td>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>				* 引用文献のカテゴリー	の日の後に公表された文献	「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献	「P」国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献														
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの														
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの														
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの														
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献														
「P」国際出願日前で、かつ優先権の主張の基礎となる出願															
国際調査を完了した日 1 9 . 0 7 . 2 0 1 6		国際調査報告の発送日 0 2 . 0 8 . 2 0 1 6													
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 西出 隆二 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6	5 F 3 3 5 6												

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-048313 A (ソニー株式会社) 2008.02.28, 段落[0013] & US 2008/0042046 A1, 段落[0025]	18