



(12) 发明专利申请

(10) 申请公布号 CN 103681342 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201210361835. 0

(22) 申请日 2012. 09. 25

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 赵猛

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 牛峥 王丽琴

(51) Int. Cl.

H01L 21/336(2006. 01)

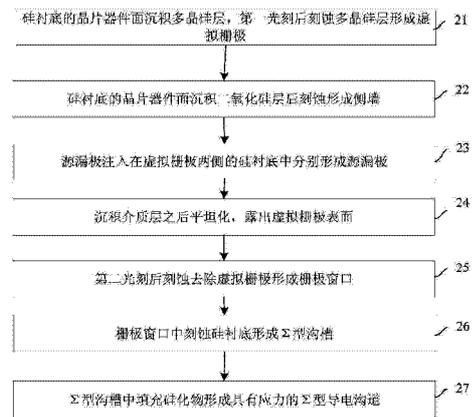
权利要求书1页 说明书6页 附图8页

(54) 发明名称

一种导电沟道制作方法

(57) 摘要

本申请公开了一种导电沟道制作方法, 在半导体基体中形成延伸到源极和漏极之中的 Σ 型导电沟道, 一方面, Σ 型导电沟道中多步外延生长锗化硅或碳化硅, 另一方面, Σ 型导电沟道边缘的非硅元素掺杂浓度小于中部的非硅元素掺杂浓度, 从而通过渐变的非硅元素掺杂浓度, 降低源漏极与导电沟道界面处的晶格适配形成了异质结, 增大了导电沟道中的应力, 两者都提高载流子的迁移率。



1. 一种导电沟道制作方法,应用于金属氧化物半导体场效应晶体管制作,该方法包括:

提供一半导体基体,所述半导体基体上具有虚拟栅极和环绕所述虚拟栅极的侧墙,以所述虚拟栅极和侧墙为遮蔽,在所述半导体基体中形成源极和漏极;

在所述半导体基体上沉积介质层,所述介质层覆盖所述虚拟栅极、侧墙以及源极和漏极表面;

化学机械研磨所述介质层直到露出所述虚拟栅极表面;

刻蚀去除所述虚拟栅极形成栅极窗口;栅极窗口中刻蚀硅衬底形成 Σ 型沟槽,所述 Σ 型沟槽的两边侧壁分别延伸至所述源极和漏极中;

在所述 Σ 型沟槽中填充硅化物形成 Σ 型导电沟道。

2. 如权利要求 1 所述的方法,其特征在于,所述半导体基体是硅衬底。

3. 如权利要求 1 所述的方法,其特征在于,所述半导体基体是位于半导体衬底上的鳍片,所述虚拟栅极是所述鳍片顶部的栅极。

4. 如权利要求 3 所述的方法,其特征在于,所述半导体衬底是体硅或者绝缘层上硅 SOI。

5. 如权利要求 1 所述的方法,其特征在于,所述 Σ 型沟槽的高度是 10 到 200 纳米。

6. 如权利要求 1 所述的方法,其特征在于,所述硅化物是碳化硅或锗化硅。

7. 如权利要求 1 所述的方法,其特征在于,所述填充硅化物的方法是多步外延, Σ 型导电沟道中非硅元素占所述硅化物的摩尔分数百分比范围是 5%~35%。

8. 如权利要求 1 所述的方法,其特征在于,所述 Σ 型导电沟道中非硅元素占所述硅化物的摩尔分数分布规律是中部大于边缘。

一种导电沟道制作方法

技术领域

[0001] 本发明涉及半导体器件的制作技术,特别涉及一种导电沟道制作方法。

背景技术

[0002] 目前,半导体制造工业主要在硅衬底的晶片(wafer)器件面上生长器件,例如,金属氧化物半导体场效应晶体管(Metal-Oxide Semiconductor Field Effect Transistor, MOS),MOS 器件结构包括有源区、源极、漏极和栅极,其中,所述有源区位于半导体硅衬底中,所述栅极位于有源区上方,所述栅极两侧的有源区中进行离子注入形成源极和漏极,栅极下方具有导电沟道,所述栅极和导电沟道之间有栅极电介质层,如图 1 所示。根据离子注入的不同类型,空穴型金属氧化物半导体场效应晶体管(PMOS)和电子型金属氧化物半导体场效应晶体管(NMOS)。

[0003] 多年以来,沿着摩尔定律提供的途径,人们一直采用对 MOSFET 进行等比例微缩来增加器件速度,然而随着 MOSFET 尺寸的缩小,常规的等比例微缩方法遇到了以短沟道效应为核心的一系列问题。为了解决上述问题,人们不断提出新的制造技术,例如应变工程技术。目前得到应用的应变工程技术主要有:沉积具拉应力或者压应力的氮化硅(SiN)覆盖层的应力记忆技术(Stress Memorization Technique, SMT);在浅沟槽隔离(STI)和金属化前电介质(PMD)结构中增加拉伸或压缩型应力的氧化物层,以及锗硅(SiGe)外延层填充刻蚀或升高的源漏极 204 区域,以及近年来提出的三维晶体管 FinFET。但是,如何提高 MOS 器件的性能,一直是个技术难点。

发明内容

[0004] 有鉴于此,本发明提供一种导电沟道形成方法,能够提高载流子迁移率。

[0005] 本发明的技术方案是这样实现的:

[0006] 一种导电沟道制作方法,应用于金属氧化物半导体场效应晶体管制作,该方法包括:

[0007] 提供一半导体基体,所述半导体基体上具有虚拟栅极和环绕所述虚拟栅极的侧墙,以所述虚拟栅极和侧墙为遮蔽,在所述半导体基体中形成源极和漏极;

[0008] 在所述半导体基体上沉积介质层,所述介质层覆盖所述虚拟栅极、侧墙以及源极和漏极表面;

[0009] 化学机械研磨所述介质层直到露出所述虚拟栅极表面;

[0010] 刻蚀去除所述虚拟栅极形成栅极窗口;栅极窗口中刻蚀硅衬底形成 Σ 型沟槽,所述 Σ 型沟槽的两边侧壁分别延伸至所述源极和漏极中;

[0011] 在所述 Σ 型沟槽中填充硅化物形成 Σ 型导电沟道。

[0012] 所述半导体基体是硅衬底。

[0013] 所述半导体基体是位于半导体衬底上的鳍片,所述虚拟栅极是所述鳍片顶部的栅极。

- [0014] 所述半导体衬底是体硅或者绝缘层上硅 SOI。
- [0015] 所述 Σ 型沟槽的高度是 10 到 200 纳米。
- [0016] 所述硅化物是碳化硅或锗化硅。
- [0017] 所述填充硅化物的方法是多步外延, Σ 型导电沟道中非硅元素占所述硅化物的摩尔分数百分比范围是 5% ~ 35%。
- [0018] 所述 Σ 型导电沟道中非硅元素占所述硅化物的摩尔分数分布规律是中部大于边缘。
- [0019] 从上述方案可以看出, 本发明提出一种导电沟道制作方法, 在半导体基体中形成延伸到源极和漏极之中的 Σ 型导电沟道, 一方面, Σ 型导电沟道中多步外延生长锗化硅或碳化硅, 另一方面, Σ 型导电沟道边缘的非硅元素掺杂浓度小于中部的非硅元素掺杂浓度, 从而通过渐变的非硅元素掺杂浓度, 降低源漏极与导电沟道界面处的晶格适配形成了异质结, 增大了导电沟道中的应力, 两者都提高载流子的迁移率。

附图说明

- [0020] 图 1 为现有技术 MOS 器件结构示意图。
- [0021] 图 2 为本发明实施例一 MOS 器件导电沟道制作工艺的方法流程示意图。
- [0022] 图 2a 至图 2g 为本发明实施例一 MOS 器件导电沟道制作工艺剖面结构示意图。
- [0023] 图 3 为本发明实施例二 FinFET 导电沟道制作工艺的方法流程示意图。
- [0024] 图 3a 至图 3g 为本发明实施例二 FinFET 导电沟道制作工艺剖面结构示意图。

具体实施方式

[0025] 为使本发明的目的、技术方案及优点更加清楚明白, 以下参照附图并举实施例, 对本发明作进一步详细说明。

[0026] 具体实施例一

[0027] 结合图 2a ~ 2g 说明如图 2 所示的本发明具体实施例一以 MOS 器件导电沟道制作工艺流程, 其具体步骤如下:

[0028] 步骤 21, 图 2a 为本发明 MOS 器件导电沟道制作步骤 21 的剖面结构示意图, 如图 2a 所示, 在硅衬底 200 的晶片器件面沉积多晶硅层, 第一光刻后刻蚀多晶硅层形成虚拟栅极(dummy gate) 201。

[0029] 本步骤中, 提供具有 p 型(或 n 型) 硅衬底 200, 所述硅衬底 200 中已经制作完成 STI 结构(图中未画出)和有源区, 后续在有源区上方制作 MOS 器件结构, 在硅衬底 200 晶片器件面沉积多晶硅层的步骤为现有技术, 不再赘述。

[0030] 本步骤中的第一光刻是指, 在多晶硅层上涂覆光刻胶, 经过曝光和显影工艺将光刻胶图案化形成第一光刻图案(图中未画出), 第一光刻图案用于定义栅极的位置和图形。以第一光刻图案为掩膜依次刻蚀去除没有被光刻图案遮蔽的多晶硅层形成 dummy gate 201, 露出部分硅衬底 200 表面。其中, 还包括光刻后剥离残留第一光刻图案的步骤。

[0031] 步骤 22, 图 2b 为本发明 MOS 器件导电沟道制作步骤 22 的剖面结构示意图, 如图 2b 所示, 硅衬底 200 的晶片器件面沉积二氧化硅层后刻蚀形成侧墙 202。

[0032] 本步骤中, 沉积的二氧化硅层同时覆盖露出的硅衬底 200 表面和整个 dummy gate

201 的表面;刻蚀为各向异性,在完全去除覆盖硅衬底 200 表面和 dummy gate 201 顶部的二氧化硅层时,会保留位于 dummy gate 201 侧壁的部分二氧化硅层,形成环绕 dummy gate 201 的侧墙 202。沉积和刻蚀二氧化硅层的具体方法为现有技术,不再赘述。

[0033] 步骤 23,图 2c 为本发明 MOS 器件导电沟道制作步骤 23 的剖面结构示意图,如图 2c 所示,以 dummy gate 201 和侧墙 202 作为遮蔽进行源漏极注入,在 dummy gate 201 两侧的硅衬底 200 中分别形成源漏极 204;

[0034] 本步骤中,实际形成的源漏极 204 可以是碳化硅 SiC 或者锗化硅 SiGe,源漏极注入的具体方法为现有技术,不再赘述。

[0035] 步骤 24,图 2d 为本发明 MOS 器件导电沟道制作步骤 24 的剖面结构示意图,如图 2d 所示,硅衬底 200 的晶片器件面沉积介质层 205 之后,介质层 205 平坦化,露出 dummy gate 201 表面。

[0036] 本步骤中,介质层 205 可以是二氧化硅或者氮化硅,介质层 205 完全覆盖有源区上方的 dummy gate 201、侧墙 202 和源漏极 204 表面,且在源漏极 204 表面的沉积厚度大于 dummy gate 的高度;采用化学机械研磨(CMP)对介质层 205 进行平坦化的具体方法为现有技术,不再赘述。

[0037] 步骤 25,图 2e 为本发明 MOS 器件导电沟道制作步骤 25 的剖面结构示意图,如图 2e 所示,第二光刻后刻蚀去除 dummy gate 201,形成栅极窗口;

[0038] 本步骤中,第二光刻是指,在 CMP 后 PMD 层和露出的 dummy gate 201 表面涂覆光刻胶,经过曝光和显影工艺将光刻胶图案化形成第二光刻图案(图中未画出),第二光刻图案用于在硅衬底 200 上方定义栅极窗口。以第二光刻图案为掩膜刻蚀去除没有被光刻图案遮蔽的 dummy gate 201,直到露出其下方的部分硅衬底 200 表面为止,在露出的部分硅衬底 200 上方形成栅极窗口,具体方法为现有技术,不再赘述。其中,还包括光刻后剥离残留第二光刻图案的步骤。

[0039] 需要注意的是,也可以省略步骤 24,直接进行步骤 25,也就是在 dummy gate 201、侧墙 202 以及源漏极 204 表面涂覆光刻胶,经过曝光和显影工艺将光刻胶图案化形成第二光刻图案并进行后续刻蚀去除 dummy gate 201 的步骤。

[0040] 步骤 26,图 2f 为本发明 MOS 器件导电沟道制作步骤 26 的剖面结构示意图,如图 2f 所示,在栅极窗口中刻蚀硅衬底 200 形成 Σ 型沟槽 206。

[0041] 本步骤中,刻蚀 Σ 型沟槽 206 的具体方法是先干法刻蚀再湿法刻蚀,为现有技术,不再赘述。 Σ 型沟槽 206 的高度范围是 10 到 200 纳米(nm),例如 10nm,100nm 或者 200nm。 Σ 型沟槽 206 侧壁横截面的轮廓为两条交叉斜边组成的尖角,且两边侧壁分别延伸至源极和漏极 204 中。

[0042] 步骤 27,图 2g 为本发明 MOS 器件导电沟道制作步骤 26 的剖面结构示意图,如图 2g 所示, Σ 型沟槽 206 中填充硅化物形成具有应力的 Σ 型导电沟道 207。

[0043] 本步骤中,填充硅化物可以是碳化硅或者锗化硅材料,根据 Σ 型沟槽 206 两侧的源漏极 204 的注入类型和注入剂量,改变填充硅化物的类型,例如,对于碳化硅材料的源漏极 204,填充锗化硅材料作为 Σ 型导电沟道 207;对于锗化硅材料的源漏极 204,填充碳化硅材料作为 Σ 型导电沟道 207。需要注意的是,为了减少源漏极 204 与 Σ 型导电沟道 207 界面的晶格失配,本发明采用多步外延生长硅化物的方法填充 Σ 型沟槽 206,从而调整填

充硅化物的组分和分布。 Σ 型导电沟道中非硅元素占硅化物的摩尔分数(mole fraction)分布规律为： Σ 型导电沟道中部的摩尔分数大于其边缘处的摩尔分数，也就是说， Σ 型导电沟道的两侧边缘到中部的摩尔分数变化规律为递增型变化，例如，一次线性递增，二次线性递增，或者阶梯性递增，本发明包括但不限于上述摩尔分数分布的变化方式。其中，锆元素占锆化硅材料的mole fraction范围是5%~35%，例如，5%、20%或者35%；同样，碳元素占碳化硅材料的mole fraction范围是5%~35%，例如，5%、20%或者35%。

[0044] 至此，本发明具有MOS器件导电沟道207制作完毕。

[0045] 后续还有在 Σ 型导电沟道207上方的栅极窗口中依次沉积高介电(High K)栅极电介质层和金属层，并CMP金属层，形成High K栅极电介质/金属层叠栅极的步骤。其中，沉积High K栅极电介质层同时覆盖 Σ 型导电沟道207表面和栅极窗口中侧墙表面，其步骤与现有技术相同，不再赘述。

[0046] 具体实施例二

[0047] 结合图3a~3g说明本发明如图3所示FinFET导电沟道制作的具体步骤如下：

[0048] 步骤31，图3a为本发明FinFET导电沟道制作步骤31沿鳍片的长度方向上的剖面结构示意图，如图10所示，在半导体衬底300表面形成鳍片301。

[0049] 本步骤中，提供的半导体衬底300是体硅或者绝缘层上硅SOI；鳍片301为长条状，业界普遍采用先在半导体衬底300的晶片器件面沉积硅Si层，光刻后干法刻蚀硅层的方法形成鳍片301。其中，光刻是指：在Si层上涂覆光刻胶，经过曝光和显影工艺将光刻胶图案化形成光刻图案(图中未画出)；刻蚀Si层采用干法刻蚀，以光刻图案为掩膜用各向异性的反应离子刻蚀(RIE)或者高密度等离子体(HDP)刻蚀去除没有被光刻图案覆盖的Si层部分，因为干法刻蚀各向异性的选择性，形成侧壁陡直的鳍片301，具体步骤为现有技术，不再赘述。

[0050] 步骤32，图3b为本发明FinFET导电沟道制作步骤32沿鳍片的长度方向上的剖面结构示意图，如图3b所示，形成包围鳍片301的栅氧化层和栅极后，在鳍片301两端进行浅漏极注入(LDD)。

[0051] 本步骤中，栅氧化层可以是硅的氧化层或高介电(High K)栅极电介质层，栅极可以是多晶硅栅极或者金属栅极，其中，位于鳍片301顶部的栅极部分作为虚拟栅极在后续工艺中去除，本实施例中以氧化层和多晶硅栅极为例，说明其形成过程：

[0052] 在鳍片301表面和露出的衬底表面依次沉积氧化层(例如，二氧化硅)和第一多晶硅层，并进行平坦化，然后图案化第一多晶硅层和氧化层，形成覆盖鳍片301的栅氧化层302和围绕栅氧化层表面的多晶硅栅极303，其中，多晶硅栅极303和栅氧化层302组成的栅极结构与鳍片301长度方向(y方向)上垂直，沿x方向上包围鳍片301，被栅极结构包围的鳍片301的一个顶面和两个垂直侧面所在区域称为导电沟道区域，具体步骤为现有技术，不再赘述。需要注意的是，位于鳍片301顶面部分栅氧化层302和多晶硅栅极303作为dummy gate将在后续步骤中去除。

[0053] 此外，本步骤中，LDD不是必须步骤，可以省略。

[0054] 步骤33，图3c为本发明FinFET导电沟道制作步骤33沿鳍片的长度方向上的剖面结构示意图，如图3c所示，形成包围栅极结构的侧墙，在鳍片301上形成源极和漏极304。

[0055] 本步骤中，侧墙(图中未画出)位于与鳍片301长度方向上垂直的栅极结构侧壁上，

以侧墙为遮蔽,采用离子注入的方法在沿导电沟道区域两侧延伸的鳍片 301 结构中形成碳化硅 SiC 或者锗化硅 SiGe,分别作为源极和漏极 304,具体步骤为现有技术,不再赘述。

[0056] 步骤 34,图 3d 为本发明 FinFET 导电沟道制作步骤 34 沿鳍片的长度方向上的剖面结构示意图,如图 3d 所示,半导体衬底的器件面沉积覆盖鳍片 301 和栅极结构的介质层 304 后,化学机械研磨(CMP),直到露出 dummy gate 表面,形成一个平面。

[0057] 本步骤中,CMP 首先去除覆盖在鳍片 301 顶面栅极结构上方的介质层 304,具体方法为现有技术,不再赘述。

[0058] 步骤 35,图 3e 为本发明 FinFET 导电沟道制作步骤 35 沿鳍片 301 的长度方向上的剖面结构示意图,如图 3e 所示,光刻后刻蚀去除 dummy gate,形成栅极窗口。

[0059] 本步骤中,光刻是指,在 CMP 后介质层 304 和露出的 dummy gate 表面涂覆光刻胶,经过曝光和显影工艺将光刻胶图案化形成光刻图案(图中未画出),光刻图案用于在鳍片 301 顶部上方定义栅极窗口,以光刻图案为遮蔽刻蚀除去鳍片 301 顶部的虚拟栅极,包括位于鳍片顶部的多晶硅栅极 303 和其下方的栅电介质层 302,直到露出鳍片 301 顶部为止,形成栅极窗口,具体方法为现有技术,不再赘述。其中,还包括光刻后剥离残留光刻图案的步骤。

[0060] 步骤 36,图 3f 为本发明 FinFET 导电沟道制作步骤 36 沿鳍片 301 的长度方向上的剖面结构示意图,如图 3f 所示,在栅极窗口中刻蚀鳍片 301 形成 Σ 型沟槽 206。

[0061] 本步骤中,刻蚀 Σ 型沟槽 206 的具体方法是先干法刻蚀再湿法刻蚀,为现有技术,不再赘述。 Σ 型沟槽 206 的高度范围是 10 到 200 纳米(nm),例如 10nm,100nm 或者 200nm。 Σ 型沟槽 206 侧壁横截面的轮廓为两条交叉斜边组成的尖角,且两边侧壁分别延伸至源极和漏极 304 中。

[0062] 步骤 37,图 3g 为本发明 FinFET 导电沟道制作步骤 37 沿鳍片 301 的长度方向上的剖面结构示意图,如图 3g 所示,在 Σ 型沟槽 206 中填充硅化物形成具有应力的 Σ 型导电沟道。

[0063] 本步骤中,填充硅化物可以是碳化硅或者锗化硅材料,根据 Σ 型沟槽 206 两侧的源极和漏极 304 的注入类型和注入剂量,改变填充硅化物的类型,例如,对于碳化硅材料的源漏极 304,填充锗化硅材料作为 Σ 型导电沟道;对于锗化硅材料的源漏极 304,填充碳化硅材料作为 Σ 型导电沟道。需要注意的是,为了减少源漏极 304 与 Σ 型导电沟道界面的晶格失配,本发明采用多阶段外延生长硅化物的方法填充 Σ 型沟槽 206,调整填充硅化物的组分和分布。 Σ 型导电沟道中非硅元素占硅化物的摩尔分数(mole fraction)分布规律为: Σ 型导电沟道中部的摩尔分数大于其边缘处的摩尔分数,也就是说, Σ 型导电沟道的两侧边缘到中部的摩尔分数变化规律为递增型变化,例如,一次线性递增,二次线性递增,或者阶梯性递增,本发明包括但不限于上述摩尔分数分布的变化方式。其中,锗元素占锗化硅材料的 mole fraction 范围是 5%~35%,例如 5%、20%或者 35%;同样,碳元素占碳化硅材料的 mole fraction 范围是 5%~35%,例如 5%、20%或者 35%。

[0064] 至此,本发明提出的 FinFET 导电沟道制作完毕。

[0065] 本发明制作 FinFET 导电沟道之后,FinFET 后续制作工艺还包括:在 Σ 型导电沟道上方的栅极窗口中依次沉积顶部栅极电介质层和第二多晶硅层,并 CMP 第二多晶硅层,形成位于鳍片顶部的栅极结构。本步骤的具体方法为现有技术,不再赘述。

[0066] 综上,本发明具体实施例一和二在MOS器件的硅衬底或者FinFET的鳍片中形成 Σ 型导电沟道,一方面,在 Σ 型导电沟道中多步外延生长锗化硅或碳化硅,相比于单晶硅来说,更能提高载流子,尤其是空穴的迁移率,另一方面,使得 Σ 型导电沟道边缘的非硅元素掺杂浓度小于其中部的非硅元素掺杂浓度,从而通过渐变的梯度式非硅元素掺杂浓度,降低源漏极与导电沟道界面处的晶格适配,同时增加导电沟道中的应力,提高载流子迁移率。

[0067] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明保护的范围之内。

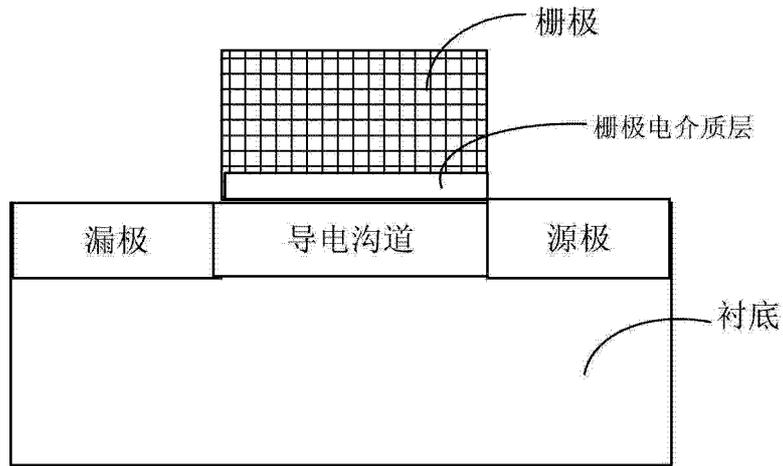


图 1



图 2

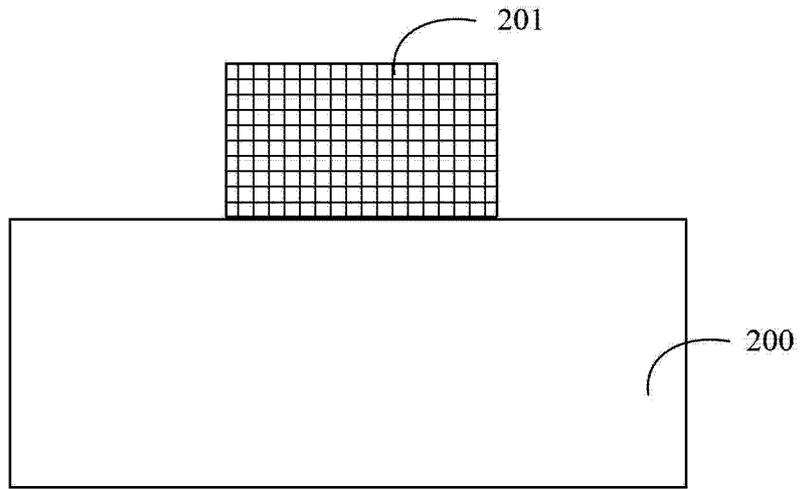


图 2a

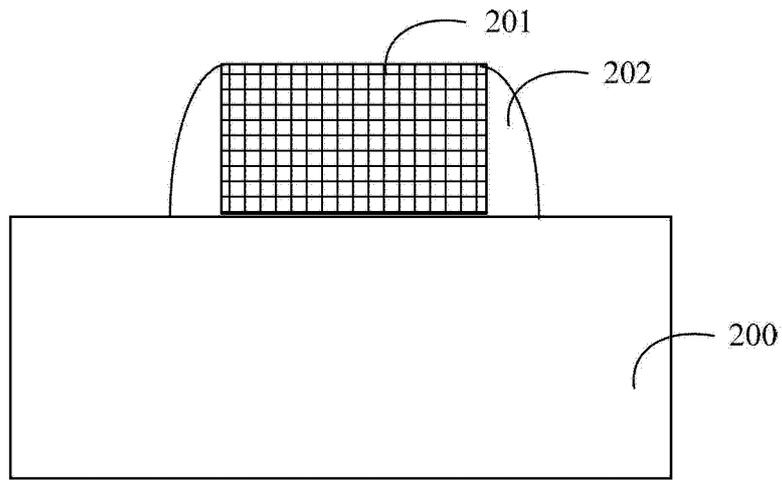


图 2b

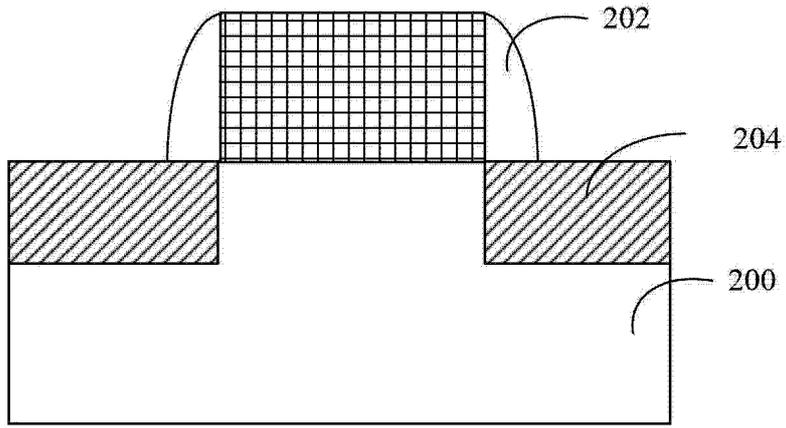


图 2c

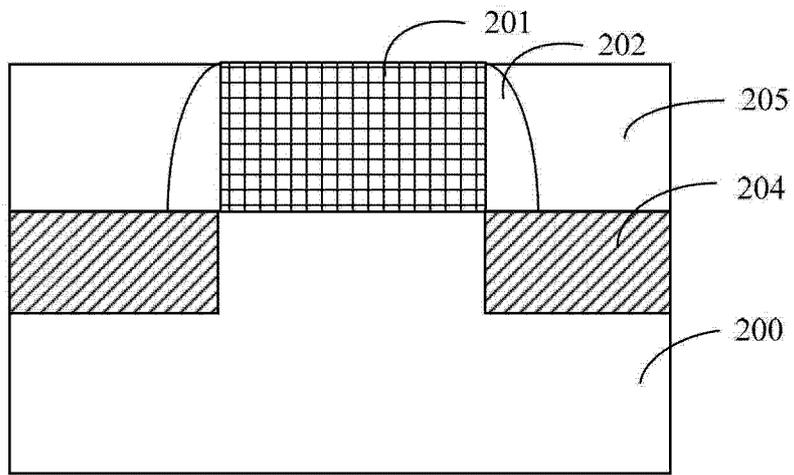


图 2d

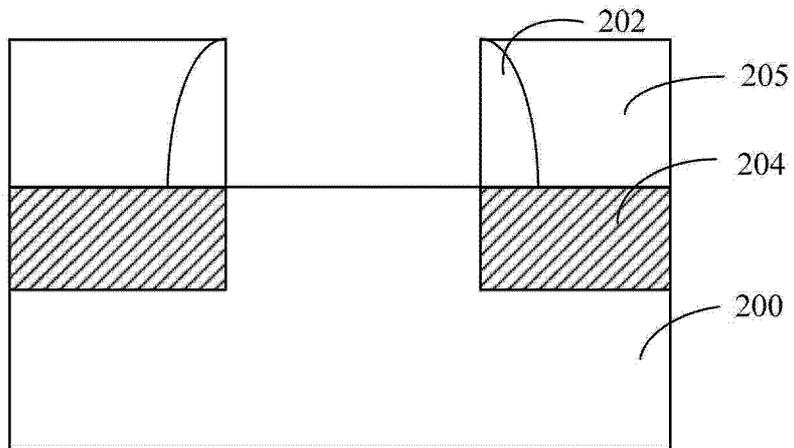


图 2e

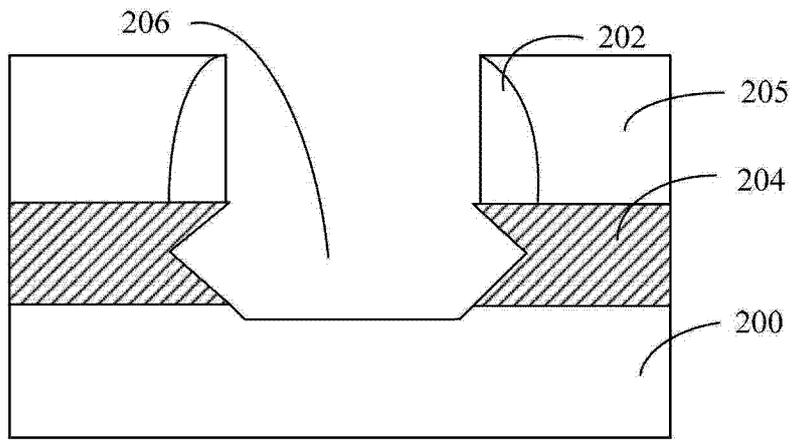


图 2f

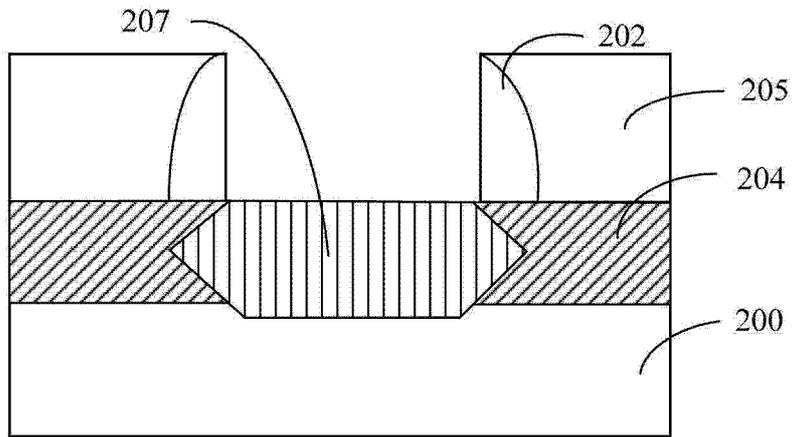


图 2g



图 3

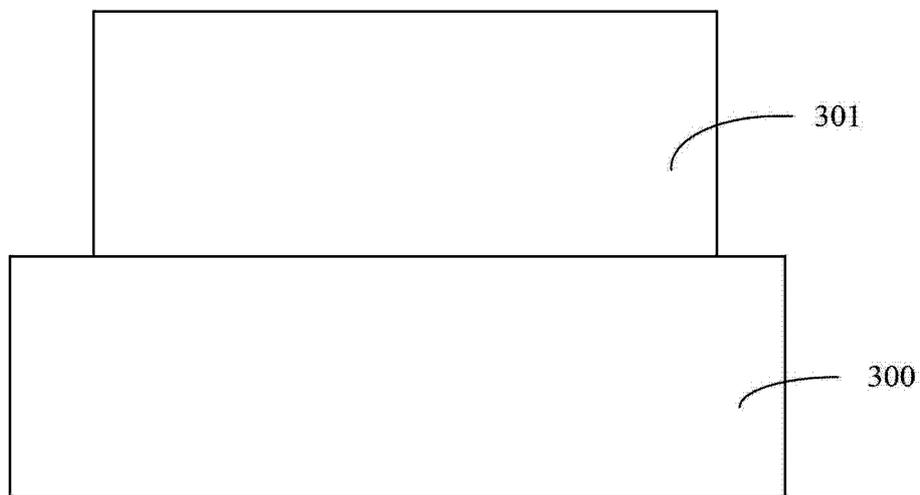


图 3a

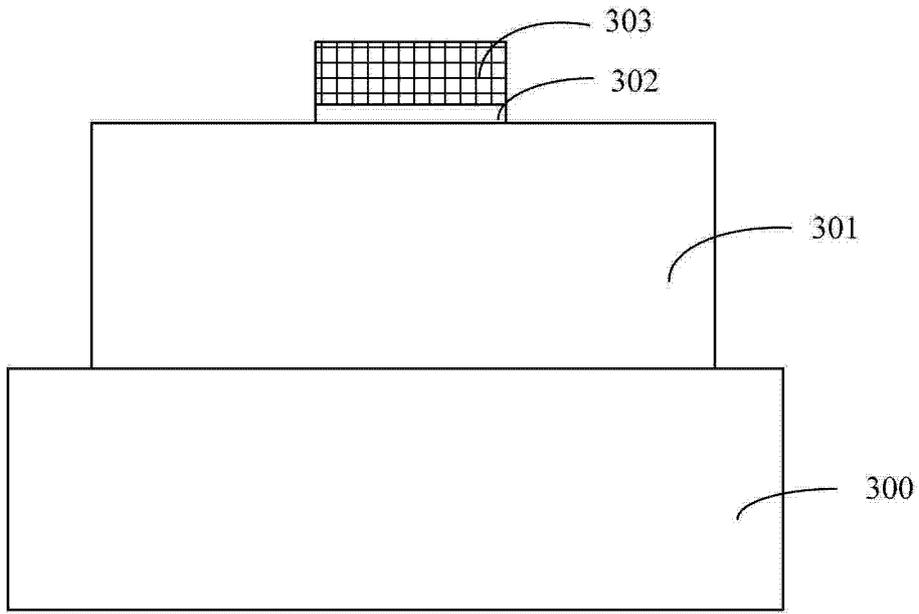


图 3b

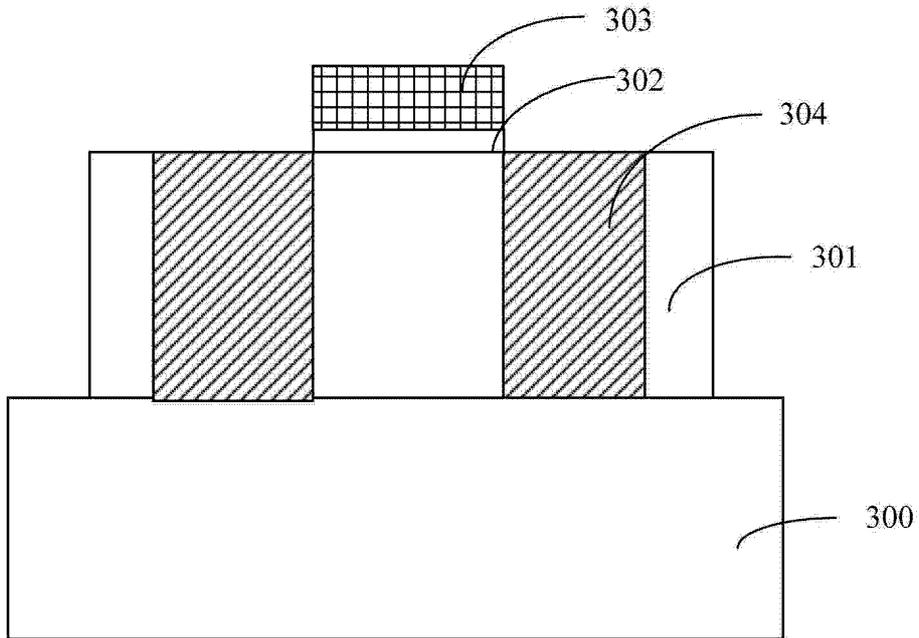


图 3c

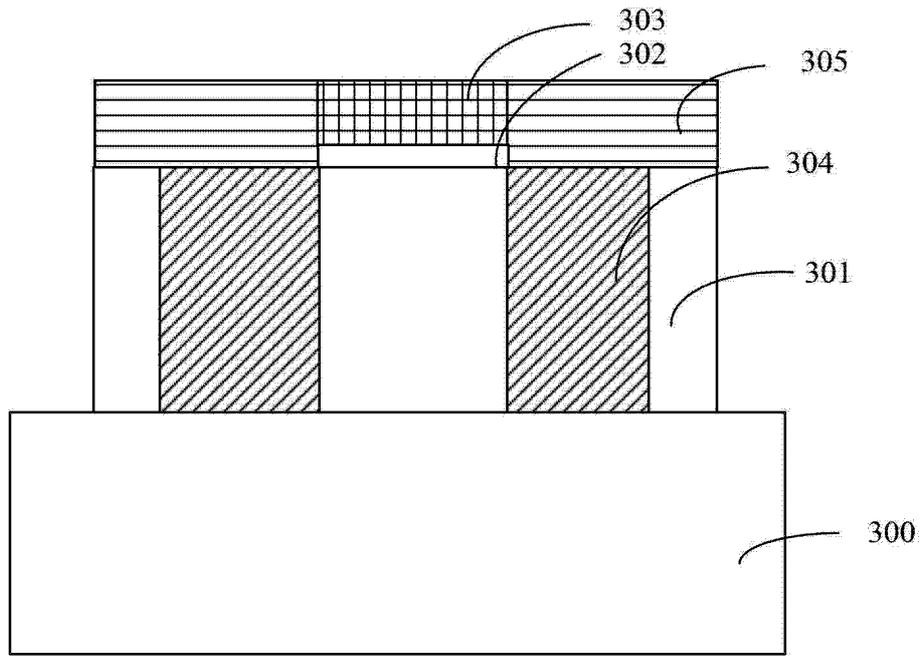


图 3d

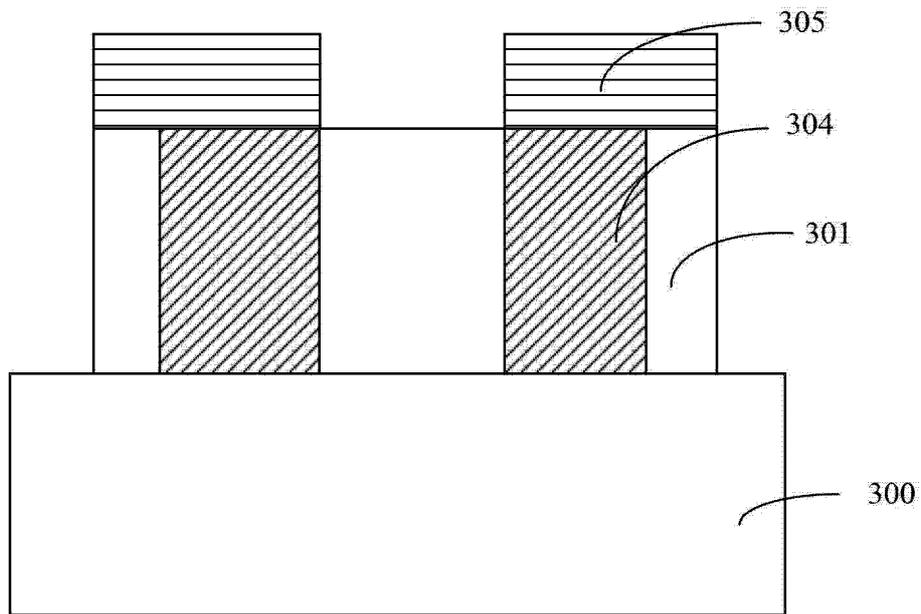


图 3e

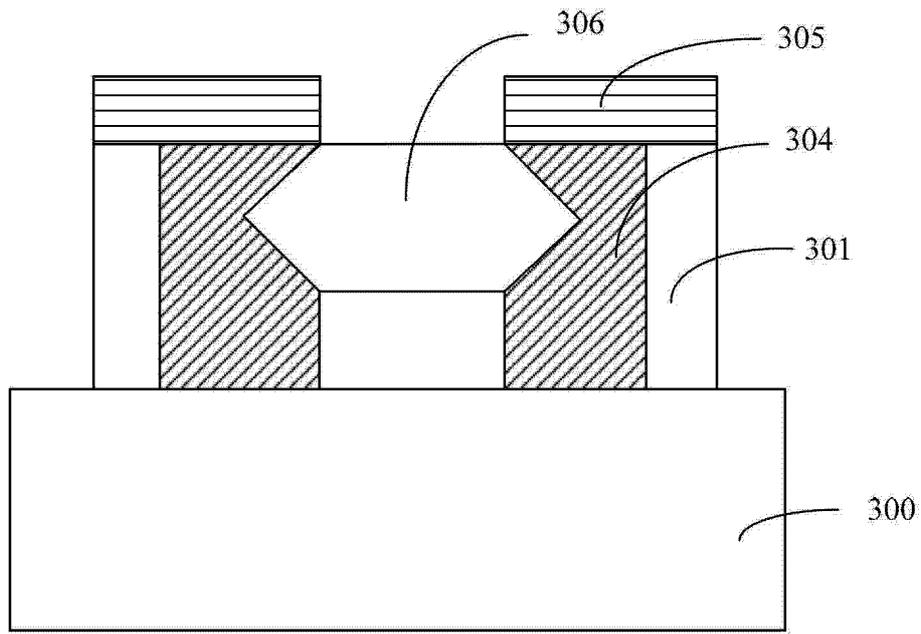


图 3f

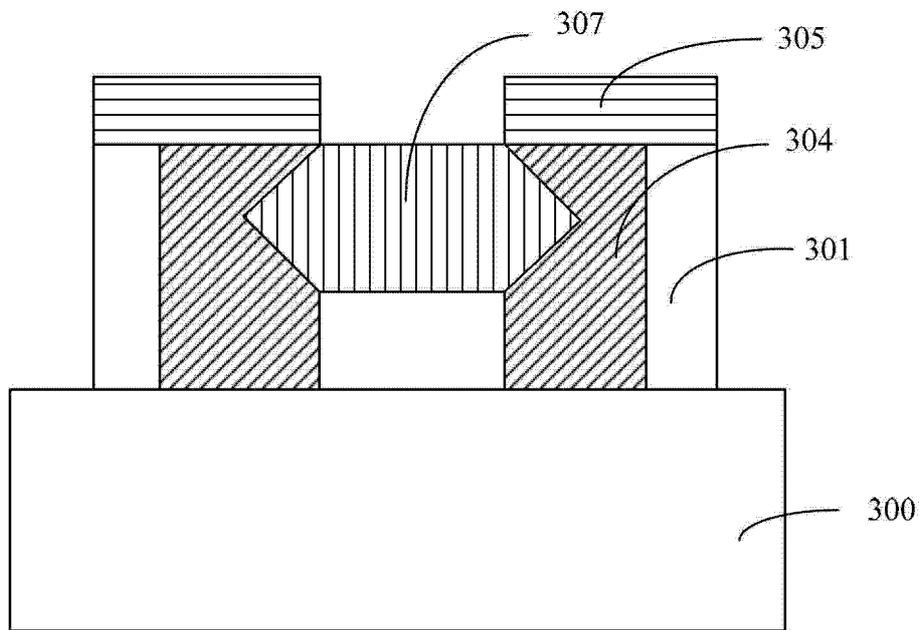


图 3g