(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-134480
(P2012-134480A)
(43)公開日　平成24年7月12日(2012.7.12)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/66	***(2006.01)***	H01L	29/66	T	4M119
H01L 29/786	***(2006.01)***	H01L	29/78	622	5F083
H01L 27/105	***(2006.01)***	H01L	27/10	447	5F110
H01L 21/8246	***(2006.01)***	H01L	27/10	448	5F140
H01L 29/78	***(2006.01)***	H01L	29/78	301J	

審査請求 未請求　請求項の数 20　ＯＬ　（全 10 頁）　最終頁に続く

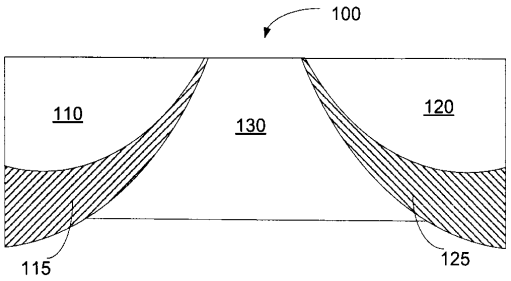
(21)出願番号　特願2011-268936 (P2011-268936)
(22)出願日　平成23年12月8日 (2011.12.8)
(31)優先権主張番号　12/971,393
(32)優先日　平成22年12月17日 (2010.12.17)
(33)優先権主張国　米国 (US)

(71)出願人　500373758
シーゲイト　テクノロジー　エルエルシー
アメリカ合衆国、９５０１４　カリフォルニア州、クパチーノ、サウス・デ・アンザ・ブールバード、１０２００
(74)代理人　110001195
特許業務法人深見特許事務所
(72)発明者　インシク・ジン
アメリカ合衆国、９５１２３－６２４３　カリフォルニア州、サン・ノゼ、レッド・メープル・コート、４３３９

最終頁に続く

(54)【発明の名称】トランジスタおよびメモリアレイ

(57)【要約】
【課題】大きな順方向－逆方向電流比を有するスイッチングデバイスを提供する。
【解決手段】トランジスタは、ソースと、ドレインと、ゲート領域と、ソースバリヤと、ドレインバリヤとを含む。ゲート領域は、ゲートと、アイランドと、ゲート酸化物とを含み、ゲート酸化物は、ゲートとアイランドとの間に配置される。ゲートおよびアイランドは、互いに、同時活性的に結合される。ソースバリヤはゲート領域からソースを分離し、ドレインバリヤはゲート領域からドレインを分離する。
【選択図】図１Ａ



【特許請求の範囲】
【請求項１】
トランジスタであって、
ソースと、
ドレインと、
ゲート領域とを備え、前記ゲート領域は、
ゲートと、
アイランドと、
ゲート酸化物とを含み、
前記ゲート酸化物は、前記ゲートと前記アイランドとの間に配置され、
前記ゲートおよび前記アイランドは、互いに、同時活性的に結合され、
前記トランジスタは、
ソースバリヤとドレインバリヤとをさらに備え、
前記ソースバリヤは、前記ゲート領域から前記ソースを分離し、前記ドレインバリヤは、前記ゲート領域から前記ドレインを分離する、トランジスタ。
【請求項２】
前記ソースバリヤおよび前記ドレインバリヤは、変化する厚みを有する、請求項１に記載のトランジスタ。
【請求項３】
前記ソースバリヤおよび前記ドレインバリヤは、それらが前記ゲートに近接するよりも、前記アイランドにより薄く近接する、請求項２に記載のトランジスタ。
【請求項４】
前記ソースおよび前記ドレインは、ｎタイプドープシリコンまたはｐタイプドープシリコンを含む、請求項１に記載のトランジスタ。
【請求項５】
前記ゲートは、金属、金属酸化物、またはポリシリコンを含む、請求項１に記載のトランジスタ。
【請求項６】
前記ゲート酸化物は、SiO_2または高誘電率を有する材料を含む、請求項１に記載のトランジスタ。
【請求項７】
前記ゲート酸化物は、ZrO_2、Y_2O_3、HfO_2、SiO_xN_y、またはその固溶体を含む、請求項６に記載のトランジスタ。
【請求項８】
前記ソースバリヤおよび前記ドレインバリヤは、SiO_2または高誘電率を有する材料を独立して含む、請求項１に記載のトランジスタ。
【請求項９】
前記ソースバリヤおよび前記ドレインバリヤは、ZrO_2、Y_2O_3、HfO_2、SiO_xN_y、またはその固溶体を独立して含む、請求項８に記載のトランジスタ。
【請求項１０】
前記アイランドは、ｎタイプまたはｐタイプのドープシリコンあるいは半導体酸化物を含む、請求項１に記載のトランジスタ。
【請求項１１】
前記アイランドは、ＳｎＯ、Sn_2O_3、In_2O_3、またはその固溶体を含む、請求項１０に記載のトランジスタ。
【請求項１２】
前記ソース、前記ソースバリヤ、前記アイランド、前記ドレインバリヤ、前記ドレインは、基板上に積層される、請求項１に記載のトランジスタ。
【請求項１３】
前記ソースバリヤは、前記ドレインバリヤよりも厚い、請求項１２に記載のトランジス

タ。
【請求項１４】
前記ゲート領域の少なくとも前記アイランドは、前記ソースバリヤおよび前記ドレインバリヤの双方に接する、請求項１２に記載のトランジスタ。
【請求項１５】
前記ゲートは、前記ゲート酸化物のみに接する、請求項１４に記載のトランジスタ。
【請求項１６】
メモリアレイであって、
複数のメモリユニットを含む第１のメモリアレイ層を備え、各メモリユニットは、メモリセルに電気的に結合されるトランジスタを含み、
前記メモリアレイは、
複数のメモリユニットを含む第２のメモリアレイ層をさらに備え、各メモリユニットは、メモリセルに電気的に結合されるトランジスタを含み、
前記トランジスタは、
ソースと、
ドレインと、
ゲート領域とを含み、前記ゲート領域は、
ゲートと、
アイランドと、
ゲート酸化物とを有し、
前記ゲート酸化物は、前記ゲートと前記アイランドとの間に配置され、
前記ゲートおよび前記アイランドは、互いに、同時活性的に結合され、
前記トランジスタは、
ソースバリヤとドレインバリヤとをさらに含み、
前記ソースバリヤは、前記ゲート領域から前記ソースを分離し、前記ドレインバリヤは、前記ゲート領域から前記ドレインを分離する、メモリアレイ。
【請求項１７】
前記ソースバリヤおよび前記ドレインバリヤは、それらが前記ゲートに近接するよりも、前記アイランドにより薄く近接する、請求項１６に記載のメモリアレイ。
【請求項１８】
前記第１のメモリアレイ層および前記第２のメモリアレイ層は、メモリユニットの複数の行および列を含む、請求項１６に記載のメモリアレイ。
【請求項１９】
連続的に積層されて前記メモリアレイを形成する３つまたはより多くのメモリアレイをさらに備える、請求項１６に記載のメモリアレイ。
【請求項２０】
トランジスタであって、
ソースと、
ドレインと、
ゲート領域とを備え、前記ゲート領域は、
ゲートと、
アイランドと、
ゲート酸化物とを含み、
前記ゲート酸化物は、前記ゲートと前記アイランドとの間に配置され、
前記ゲートおよび前記アイランドは、互いに、同時活性的に結合され、
前記トランジスタは、
ソースバリヤとドレインバリヤとをさらに備え、
前記ソースバリヤは、前記ゲート領域から前記ソースを分離し、前記ドレインバリヤは、前記ゲート領域から前記ドレインを分離し、
前記ソースバリヤおよび前記ドレインバリヤは、それらが前記ゲートに近接するよりも

、前記アイランドにより薄く近接する、トランジスタ。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、スイッチングデバイスのさまざまな実施形態に向けられ、より特定的には、トランジスタに向けられる。
【背景技術】
【０００２】
背景
不揮発性メモリ技術は着実に進歩しており、三次元（３Ｄ）アレイが、望まれる高密度を達成するための最良の選択肢であり得るというポイントまで到達した。大きな順方向－逆方向電流比を有するスイッチングデバイスは、より簡単にメモリセルの３Ｄ積層を可能にする。多くの標準的な半導体スイッチは、必要とされる比率を提供せず、かつ、メモリ装置製造には相容れない高温処理を必要とし得る。したがって、新しいスイッチングデバイスの必要性が残されている。
【発明の概要】
【課題を解決するための手段】
【０００３】
簡単な要約
本開示の１つの特定の実施形態は、ソースと、ドレインと、ゲート領域と、ソースバリヤと、ドレインバリヤとを含むトランジスタである。ゲート領域は、ゲートと、アイランドと、ゲート酸化物とを含み、ゲート酸化物は、ゲートとアイランドとの間に配置される。ゲートおよびアイランドは、互いに、同時活性的に結合される。ソースバリヤはゲート領域からソースを分離し、ドレインバリヤはゲート領域からドレインを分離する。
【０００４】
本開示のほかの特定の実施形態は、複数のメモリユニットを含む第１のメモリアレイ層を含み、各メモリユニットはメモリセルに電気的に結合されたトランジスタを有する。実施形態は、複数のメモリユニットを含む第２のメモリアレイ層を含み、各メモリユニットはメモリセルに電気的に結合されたトランジスタを有する。トランジスタは、ソースと、ドレインと、ゲート領域と、ソースバリヤと、ドレインバリヤとを含む。ゲート領域は、ゲートと、アイランドと、ゲート酸化物とを含み、ゲート酸化物は、ゲートとアイランドとの間に配置される。ゲートおよびアイランドは、互いに、同時活性的に結合される。ソースバリヤはゲート領域からソースを分離し、ドレインバリヤはゲート領域からドレインを分離する。
【０００５】
本開示のさらに他の特定の実施形態は、ソースと、ドレインと、ゲート領域と、ソースバリヤと、ドレインバリヤとを含むトランジスタである。ゲート領域は、ゲートと、アイランドと、ゲート酸化物とを含み、ゲート酸化物は、ゲートとアイランドとの間に配置される。ゲートおよびアイランドは、互いに、同時活性的に結合される。ソースバリヤはゲート領域からソースを分離し、ドレインバリヤはゲート領域からドレインを分離する。そして、ソースバリヤおよびドレインバリヤは、それらがゲートに近接するよりもアイランドにより薄く近接する。
【０００６】
これらのおよびさまざまな他の特徴および利点は、以下の詳細な説明を読むことによって明らかになるであろう。
【０００７】
本開示は、添付の図面に関連する本開示のさまざまな実施形態についての以下の詳細な説明を考慮して、より完全に理解され得る。
【図面の簡単な説明】
【０００８】

【図１Ａ】開示されるトランジスタの例示的な実施形態の概略図である。
【図１Ｂ】開示されるトランジスタの他の例示的な実施形態の概略図である。
【図２Ａ】バイアスがなく、かつゲート電位が印加されていない場合の、電気的バンド配列の概略図である。
【図２Ｂ】バイアスがあり、かつゲート電位が印加されていない場合の、電気的バンド配列の概略図である。
【図２Ｃ】バイアスがなく、かつゲート電位が印加されている場合の、電気的バンド配列の概略図である。
【図３】縦型構造を有する開示されたトランジスタの例示的な実施形態の概略図である。
【図４】例示的な３Ｄメモリアレイの分解斜視概略図である。
【発明を実施するための形態】
【０００９】
図は、必ずしも縮尺とおりではない。図において用いられる同じ符合は、同じ要素を参照する。しかしながら、所与の図において要素を参照するための符号の使用は、同じ符号で表示される他の図の要素を限定することを意図したものではないことが理解されるであろう。
【００１０】
詳細な説明
本開示は、スイッチングデバイスのさまざまな実施形態に向けられ、より特定的には、トランジスタに向けられる。
【００１１】
以下の説明においては、本明細書の一部を形成する一組の添付の図面が参照され、それにおいては、いくつかの特定の実施形態が例示として示される。他の実施形態が、本開示の範囲または精神から逸脱することなく予期され、かつなされることが理解されるべきである。したがって、以下の詳細な説明は、限定の意味で採用されるべきではない。本明細書で与えられる任意の定義は、本明細書で頻繁に用いられる特定の用語の理解を容易にするためのものであり、本開示の範囲を制限することを意図したものではない。
【００１２】
特にそうでないと示されない場合は、明細書および特許請求の範囲で用いられるフィーチャサイズ、量、および物理的特性を表現するすべての数値は、「約（about）」の語句によって、全ての事例において修正されるものとして理解されるべきである。したがって、反対であることが示されない場合には、先の明細書および添付の特許請求の範囲に記載される数値パラメータは、本明細書に開示される技術を利用して当業者が取得しようとする所望の特性に応じて変化し得る概算値である。
【００１３】
本明細書および添付の特許請求の範囲において用いられるように、単数形式の「a」、「an」および「the」は、そうでないと明確に示されていない場合は、複数の参照を有する実施形態を包含する。本明細書および添付の特許請求の範囲において用いられるように、用語「または（or）」は、そうでないと明確に示されていない場合は、一般的に「および／または（and/or）」を含む意味で採用される。
【００１４】
本開示はあまり限定されないが、本開示のさまざまな局面の用途は、以下に提供される例の議論を通して増加されるであろう。
【００１５】
図１Ａは、ソース１１０と、ドレイン１２０と、ゲート領域１３０と、ソースバリヤ１１５と、ドレインバリヤ１２５とを含む例示的なトランジスタ１００を示す。本明細書においては示されていないが、トランジスタ１００は、基板上または基板内に形成され得る。一般的に、ゲート領域１３０は、ソース１１０とドレイン１２０との間に配置される。開示されたトランジスタは、ソースバリヤ１１５およびドレインバリヤ１２５も含む。ソースバリヤ１１５はソースをゲート領域１３０から分離し、ドレインバリヤ１２５はドレ

インをゲート領域１３０から分離する。ソースバリヤ１１５およびドレインバリヤ１２５は、ソース１１０およびドレイン１２０をそれぞれゲート領域から物理的に分離し、ソース１１０およびドレイン１２０をそれぞれゲート領域から電気的に分離し、または、ソース１１０およびドレイン１２０をそれぞれゲート領域から物理的かつ電気的の双方に分離し得る。

【００１６】

図１Ｂは、ゲート領域１３０をより詳細に示す、他の例示的なトランジスタ１００を示す。ゲート領域１３０は、より具体的には、アイランド１４０と、ゲート酸化物１５０と、ゲート１６０とを含み得る。一般的に、ゲート酸化物１５０は、アイランド１４０とゲート１６０との間に配置される。ゲート酸化物１５０は、アイランド１４０をゲート１６０から物理的に分離し、アイランド１４０をゲート１６０から電気的に分離し、または、アイランド１４０をゲート１６０から物理的かつ電気的の双方に分離し得る。実施形態においては、ゲート１６０、ゲート酸化物１５０、およびアイランド１４０は、ゲート領域１３０に対するソース１１０およびドレイン１２０の相対位置に垂直な（または直交する）方向に積層され得る。

【００１７】

ゲート１６０およびアイランド１４０は、互いに同時活性的に結合される。実施形態においては、ゲート１６０は、ゲート酸化物１５０を通してアイランド１４０に同時活性的に結合される。「同時活性的に結合される」２つの構造は、概して、２つの構造がそれらの振る舞いにおいて接続されることを意味する。実施形態においては、（ゲート１６０およびアイランド１４０のような）２つの構造は、電気的に同時活性的に結合され、これは、２つの構造の電気的な振る舞いが接続されることを意味する。たとえば、正の電荷を一方の構造に印加することは、他方の構造に負の電荷を誘発し得る。実施形態においては、ゲート１６０への（正または負のいずれかの）電荷の印加は、ゲート１６０にもっとも近接しているアイランド１４０の領域に、反対の電荷（負または正のいずれか）を増大させる。実施形態においては、ゲート上に印加されたバイアスは、ゲート酸化物に近接する領域に、電荷キャリア（電子またはホール）の蓄積を生成し得る。電荷キャリアの蓄積は、反対の端部のアイランドの領域において電荷キャリアを枯渇させる。したがって、この枯渇した領域のバンド構造は変化し、エネルギバリヤの増加をもたらし得る。

【００１８】

ソース１１０およびドレイン１２０は、概して、ｎ型またはｐ型のいずれかにドープされたシリコン（Ｓｉ）で作られる。ソース１１０およびドレイン１２０は、概して、両方ｎ型、または両方ｐ型のいずれかにドープされたシリコンである。ゲート１６０は、概して、金属、金属酸化物、またはポリシリコンで作られ得る。ゲート１６０に用いられ得る例示的な金属は、タンタラム、タングステン、窒化タンタラム、および窒化チタンのような、適切なバンドギャップを有する金属を含む。ゲート１６０に用いられ得る例示的な金属酸化物は、ルテニウム酸化物、$SrRuO_3$、$CaRuO_3$、および（Ｓｒ，Ｃａ）RuO_3を含み得る。ポリシリコンがゲート１６０のために用いられる実施形態においては、そのポリシリコンは、高度にドープされたポリシリコンであり得る。ゲート酸化物１５０は、概して、二酸化ケイ素（SiO_2）、または（SiO_2に比べて）高い誘電率（ｋ）を有する材料で作られ得る。例示的な高ｋ材料は、二酸化ジルコニウム（ZrO_2）、酸化イットリウム（Y_2O_3）、二酸化ハフニウム（HfO_2）、およびシリコン酸窒化物（SiO_xN_y）を含み得る。（上記で列挙したもののような）高ｋ材料の固溶体も、ゲート酸化物のために利用され得る。ソースバリヤ１１５およびドレインバリヤ１２５は、概して、SiO_2、または（SiO_2に比べて）高い誘電率（ｋ）を有する材料で作られ得る。例示的な高ｋ材料は、ZrO_2、Y_2O_3）、HfO_2、およびSiO_xN_yを含み得る。（上記で列挙したもののような）高ｋ材料の固溶体も、ソースバリヤ１１５およびドレインバリヤ１２５のために利用され得る。アイランド１４０は、概して、特定レベルのキャリア集中を有する適切にドープされたシリコンで作られ、実施形態においては、シリコンは、縮退レベルまでドープされ得る。アイランド１４０は、概して、ｎ型またはｐ型のドープＳ

ｉ、または半導体酸化物で作られ得る。例示的な半導体酸化物は、酸化スズ（ＳｎＯ）、非化学量的（non-stoichiometric）酸化スズ（Sn_2O_3）、および酸化インジウム（In_2O_3）を含み得る。（上記で列挙したもののような）半導体酸化物の固溶体も、アイランド１４０のために利用され得る。

【００１９】

実施形態においては、ゲート１６０は縮退ポリシリコンで作られ得る。実施形態においては、ゲート酸化物１５０はSiO_2で作られ得る。実施形態においては、ソースバリヤ１１５およびドレインバリヤ１２５は、SiO_2で作られ得る。実施形態においては、アイランド１４０は、ドープＳｉで作られ得る。実施形態においては、ゲート１６０は、縮退ポリシリコンで作られ、ゲート酸化物１５０はSiO_2で作られ、ソースバリヤ１１５およびドレインバリヤ１２５はSiO_2で作られ、アイランド１４０はドープＳｉで作られ得る。

【００２０】

本明細書で開示されるトランジスタは、金属酸化物半導体電界効果（ＭＯＳＦＥＴ）を利用する。図２Ａは、バイアスが０Ｖでありゲート電位が０Ｖである場合の、例示的なトランジスタのエネルギバンド図を示す。ゲートへ印加される任意の電位（または、しきい値電圧未満）を用いないことによって、たとえ、アイランドのエネルギバリヤ（中間の領域）が低くても、（ポテンシャルエネルギの高さによって示されるように）電気バリヤが高いので、ソースとドレインとの間で、いずれの方向へもほとんどまたは全く導通しない。図２Ｂは、バイアスが０Ｖより大きく、かつゲート電位が０Ｖ（または、しきい値電圧未満）である場合の、例示的なトランジスタのエネルギバンド図を示す。ここで見られるように、ドレインバリヤの電気バリヤは、ドレインからソースへ、電気的に下り坂であるが、依然としてトンネリング電流を停止するように寄与する。

【００２１】

図２Ｃは、バイアスが０Ｖであり、かつゲート電位がしきい値電圧以上である場合の、例示的なトランジスタのエネルギバンド図を示す。正のゲート電位の印加は、同時活性的に結合されたゲートおよびアイランドであるので、アイランド内の電子をゲート酸化物に向かって引き込む。これは、次に、ソースからドレインへトンネリングする電子に対するバリヤを低減する。これは、図２Ｃにおいて、アイランドについての低減されたエネルギレベルによって示される。ゲート電位がしきい値電圧より大きい場合およびより小さい場合のバリヤの物理的厚さの大きな差は、順方向電流と逆方向電流との間の大きな比率を生成する。

【００２２】

実施形態においては、ソースバリヤおよびドレインバリヤは、変化する厚さを有する。実施形態においては、ソースバリヤおよびドレインバリヤは、それらがゲートと近接しているよりも、アイランドへより薄く近接し得る。図１Ｂに見られるように、（たとえば）ソースバリヤ１１５は、ソース１１０をアイランド１４０から分離するところが、ソース１１０をゲート１６０から分離するところよりも薄い。実施形態においては、ソースバリヤ１１５およびドレインバリヤ１２５は、２倍の係数で、ゲート１６０に近接するよりもアイランド１４０に薄く近接し得る厚さを有し得る。このような変化する厚さは、ソースバリヤおよびドレインバリヤを作りあげる前駆体物質の、たとえば、イオンミリングを通して生成され得る。ゲートよりもアイランドに薄く近接するソースバリヤおよびドレインバリヤを有することは、トンネリング電流が存在する、より薄いチャネルを生成し得る。これは、ゲート酸化物に近い領域を通した大きな漏れ電流を防止し得る。

【００２３】

図３は、開示されるトランジスタの他の例示的な実施形態を示す。この例示的なトランジスタ３００は、概して、上述と同じ構成要素を含み、ソース３１０と、ドレイン３２０と、ゲート酸化物３５０によって分離されるゲート３６０およびアイランド３４０を含むゲート領域３３０と、ソースバリヤ３１５と、ドレインバリヤ３２５とを含む。要素の材料および特性は、概して、上述のものと同じであり得る。ソース３１０、ソースバリヤ３

１５、アイランド３４０、ドレインバリヤ３２５、およびドレイン３２０は、積層されるものとして特徴付けられ得る。一実施形態においては、これらの要素は、基板上に縦型構造に積層され得る。ゲート領域３３０は、先に示した積層された要素の一部分上に積層され、それによって、ソースバリヤ３１５およびドレインバリヤ３２５は、それぞれソース３１０およびドレイン３２０を、ゲート領域３３０から分離する。例示的な一実施形態において、ゲート領域３３０の少なくともアイランド３４０が、ソースバリヤ３１５およびドレインバリヤ３２５に接する。他の例示的な実施形態においては、ゲート領域３３０のアイランド３４０のみが、ソースバリヤ３１５およびドレインバリヤ３２５に接する必要があり、ゲート酸化物３５０およびゲート３６０はスタックの残りの部分から変位され得る。このような実施形態においては、ゲート３６０は、ゲート酸化物３５０には接するが、ソースバリヤ３１５またはドレインバリヤ３２５には接しない。実施形態においては、ゲート３６０は、ゲート酸化物３５０には接するが、（もしあれば、基板を除く）トランジスタ３００の他の要素には接しない。

【００２４】

このような例示的なトランジスタは、（図１Ａおよび図１Ｂに示された実施形態よりも）より大きな接合表面および電流を産み出し、それは、より大きな順方向電流密度をもたらす。図３に示されるもののような実施形態においては、ソースバリヤは、ドレインバリヤよりも厚くすることができるが、それは必ずしも必要ではない。異なる厚みを有するソースバリヤおよびドレインバリヤを有することは、（図３に示される例示的な実施形態において、ドレインバリヤ３２５の面積をソースバリヤ３１５の面積と比較して）、存在し得る異なる接合面積を補償するように機能し得る。

【００２５】

図４は、例示的な３Ｄメモリアレイ２００の分解斜視概略図である。３Ｄメモリアレイ２００は、メモリアレイ２００を形成するために連続的に積層された複数のメモリアレイ層２１０，２１１，２１２，２１３を含み得る。３Ｄメモリアレイ２００は、ベース回路層２０２も任意的に含み得る。各メモリアレイ層２１０，２１１，２１２，２１３は、ベース回路層２０２に電気的に結合され得る。各メモリアレイ層２１０，２１１，２１２，２１３は、上述のように、メモリセル２２４に電気的に結合されるトランジスタ２２２を含む複数のメモリユニット２２０を含み得る。各メモリユニット２２０は、クロスポイント構造を形成する行ラインおよび列ラインの交点に配置され得る。

【００２６】

メモリセル２２４は、スピントルクトランスファランダムアクセスメモリ（ＳＴＲＡＭ）セル、または抵抗性ランダムアクセスメモリ（ＲＲＡＭ（登録商標））セルであり得る。複数のメモリアレイ層２１０，２１１，２１２，２１３は、層の各々が互いに電気的に絶縁された形態である、同一平面配列で積層され得る。複数のメモリアレイ層２１０，２１１，２１２，２１３の各々は、ベース回路層２０２に電気的に結合されるとともに、ベース回路層２０２によって動作され得る。

【００２７】

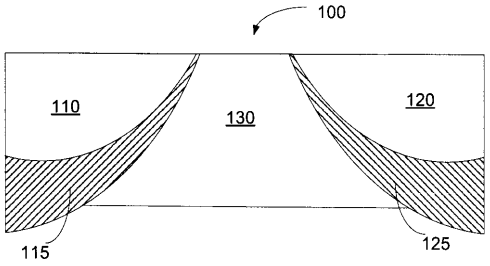
このように、「トンネリングトランジスタ」の実施形態が開示される。上記実行例および他の実行例は、以下の請求項の範囲内である。本開示は、これらの開示されたもの以外の実施形態によっても実現できることが、当業者は理解できるであろう。開示された実施形態は、例示の目的のために提示されており、限定ではなく、本開示は以下の特許請求の範囲によってのみ限定される。

【符号の説明】

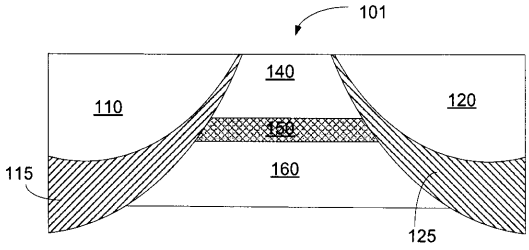
【００２８】

１００，３００　トランジスタ、１１０，３１０　ソース、１１５，３１５　ソースバリヤ、１２０，３２０　ドレイン、１２５，３２５　ドレインバリヤ、１３０，３３０　ゲート領　、１４０，３４０　アイランド、１５０，３５０　ゲート酸化物、１６０，３６０　ゲート、２００　メモリアレイ、２０２　ベース回路層、２１０，２１１，２１２，２１３　メモリアレイ層、２２０　メモリユニット、２２４　メモリセル。

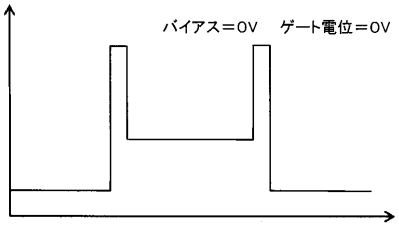
【図１Ａ】



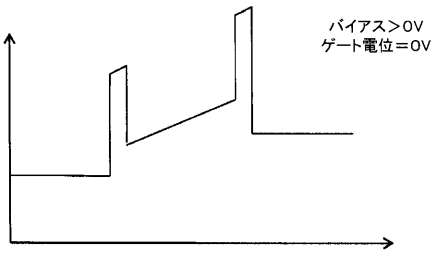
【図１Ｂ】



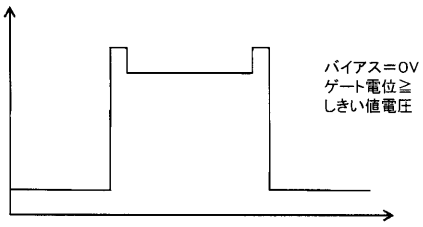
【図２Ａ】



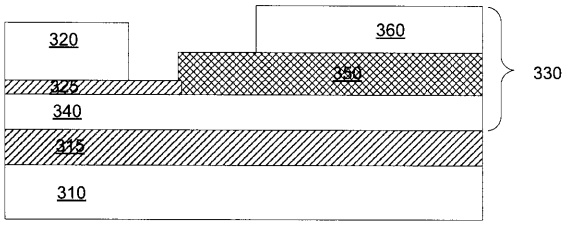
【図２Ｂ】



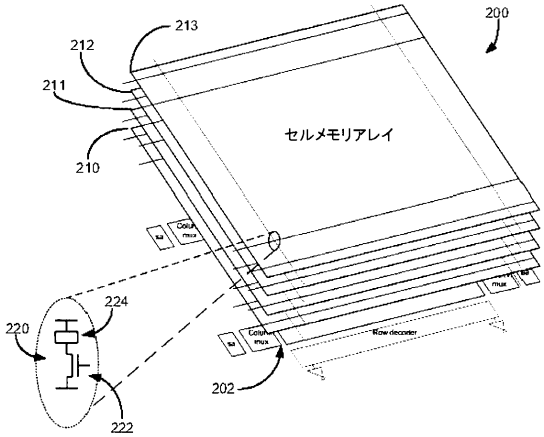
【図２Ｃ】



【図３】



【図４】



フロントページの続き

(51)Int.Cl.			FI			テーマコード（参考）
H01L	*21/336*	*(2006.01)*	H01L	29/78	652K	
H01L	*45/00*	*(2006.01)*	H01L	29/78	654Z	
H01L	*49/00*	*(2006.01)*	H01L	29/78	616V	
H01L	*27/10*	*(2006.01)*	H01L	29/78	617M	
			H01L	29/78	617T	
			H01L	29/78	618B	
			H01L	29/78	613B	
			H01L	29/78	616U	
			H01L	45/00	Z	
			H01L	49/00	Z	
			H01L	27/10	495	

(72)発明者 ティエン・ウェイ
アメリカ合衆国、５５４３７ ミネソタ州、ブルーミントン、ウェスト・ナインティエイトス・ストリート、４１０１、アパートメント・２０９
(72)発明者 ベヌゴーパラン・バイスヤナタン
アメリカ合衆国、５５４３７ ミネソタ州、ブルーミントン、ハリソン・ロード、９８５１、アパートメント・３０８
(72)発明者 セドリック・ベドヤ
アメリカ合衆国、５５４３６ ミネソタ州、エディナ、ビラ・ウェイ、５２９０、ナンバー・３１１
(72)発明者 マルクス・シーゲルト
アメリカ合衆国、５５４０９ ミネソタ州、ミネアポリス、コルファックス・アベニュ・サウス、４３３３

Ｆターム(参考) 4M119 AA20 CC05 DD32 DD34 DD35 DD45 DD52 EE22 EE27
5F083 FZ10 GA10 JA02 JA04 JA32 JA39 JA40 JA43 JA44
5F110 AA04 BB05 BB11 BB13 CC07 CC09 EE01 EE02 EE04 EE09
FF01 FF02 FF04 GG01 GG02 HK09 HK21
5F140 AA24 AC14 AC23 BA00 BA01 BD09 BD11 BF01 BF04 BF07
BF10 BH33 BH45