

【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板と、
前記基板の内部に設けられた第 2 導電型の第 1 半導体領域と、
前記基板の上で前記第 1 半導体領域の上方に設けられたシリコン酸化膜と、
前記シリコン酸化膜の上に設けられたシリコン窒化膜とを有し、
前記第 1 半導体領域の上方における前記シリコン酸化膜の膜厚と前記シリコン窒化膜の膜厚の合計が 60 nm より厚いことを特徴とする固体撮像装置。

【請求項 2】

第 1 導電型の半導体基板と、
前記基板の内部に設けられた第 2 導電型の第 1 半導体領域と、
前記基板より上方に設けられ、前記第 1 半導体領域の上方部分に凹面を有する酸化シリコン領域と、
前記酸化シリコン領域の上方に設けられ、前記酸化シリコン領域の前記凹面に一致する凸面を有する窒化シリコン領域と、
前記第 1 半導体領域の上方部分に設けられた前記酸化シリコン領域の側方に設けられる導電体を有することを特徴とする固体撮像装置。

10

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は固体撮像装置の画素の構造に関し、特に、画素が有するフォトダイオード及びその周辺の構造に関する。

【背景技術】

【0002】

固体撮像装置は、入射した光画像情報を電気信号に変換する画素アレーを有している。画素アレーは、画素を単位として構成されている。画素は、入射光を電気信号に変換し、この電気信号を一定期間蓄積するためのフォトダイオードを有している。フォトダイオードは、p 型半導体基板に形成される。フォトダイオードは、この基板内部に形成され電気信号である光電子を蓄積する n 型半導体層と、n 型半導体層の上方で基板の表面に設けられる p 型半導体層を有している。p 型半導体層は、基板表面で発生する暗電流を抑制する。

30

【0003】

また、画素は、蓄積された電気信号を読み出す転送トランジスタを有している。この転送トランジスタは、読み出しゲートと信号検出部を有している。

【0004】

信号読み出し時には、読み出しゲートに正電位が印加されることにより読み出しゲートの下のチャンネルのポテンシャルが高くなる。そのためフォトダイオードに蓄積された信号電子はこのチャンネルを通して信号検出部へと流出し読み出される。

【0005】

しかし、従来の固体撮像装置の構造では、熱雑音が発生する場合があった。それが故に再生画面の S/N が劣化するという問題があった。また、p 型半導体層があるにもかかわらず、暗電流雑音が発生する場合があるという問題があった。

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、上記問題に鑑みて為されたものであり、その目的とするところは、熱雑音と暗電流雑音の発生しにくく、再生画面の S/N が劣化しにくい固体撮像装置を提供することにある。

【課題を解決するための手段】

【0007】

50

上記課題を解決するために、本発明の第1の特徴は、第1導電型の半導体基板と、基板の内部に設けられた第2導電型の第1半導体領域と、基板の上で第1半導体領域の上方に設けられたシリコン酸化膜と、シリコン酸化膜の上に設けられたシリコン窒化膜とを有し、第1半導体領域の上方における前記シリコン酸化膜の膜厚とシリコン窒化膜の膜厚の合計が60nmより厚い固体撮像装置にある。

【0008】

本発明の第2の特徴は、第1導電型の半導体基板と、基板の内部に設けられた第2導電型の第1半導体領域と、基板より上方に設けられ第1半導体領域の上方部分に凹面を有する酸化シリコン領域と、酸化シリコン領域の上方に設けられ酸化シリコン領域の凹面に一致する凸面を有する窒化シリコン領域と、第1半導体領域の上方部分に設けられた酸化シリコン領域の側方に設けられる導電体を有する固体撮像装置にある。

10

【発明の効果】

【0009】

以上述べたように、本発明によれば、熱雑音と暗電流雑音の発生しにくく、再生画面のS/Nが劣化しにくい固体撮像装置を提供することができる。

【発明を実施するための最良の形態】

【0010】

以下図面を参照して、本発明の実施例を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、現実のものとは異なることに留意すべきである。また図面相互間においても互いの寸法の関係や比率の異なる部分が含まれるのはもちろんである。

20

【0011】

(第1の実施の形態)

第1の実施の形態に係る固体撮像装置は、図1(a)に示すように、入射した光画像情報を電気信号に変換する画素アレー2と、画素アレー2に蓄積された信号を順次読み出すための制御信号を画素アレー2に送る信号走査回路3と、画素アレー3から読み出された信号を順次固体撮像装置外へ読み出す信号読出し回路4を有している。画素アレー2は、2次元アレー状に配列された単位セルである画素5を有している。

【0012】

画素5は、図1(b)に示すように、入射光を電気信号に変換し、電気信号を一定期間蓄積するためのフォトダイオードPDを有している。さらに、フォトダイオードPDの電気信号を選択的に読み出すための行選択トランジスタFET4と、電気信号を増幅するための増幅トランジスタFET3と、電気信号をリセットするためのリセットトランジスタFET2と、フォトダイオードPDの電気信号を増幅トランジスタFET3の入力となるゲート電極に出力し電気信号を読み出すための転送トランジスタFET1からなる。フォトダイオードPDは、p型半導体基板11内に設けられた信号蓄積部13を有している。転送トランジスタFET1は、基板11の上方に設けられた読出しゲートを有している。

30

【0013】

画素5の構造は、より詳細には図2と図3(a)に示す。図3(a)は、図2のI-I方向の断面図である。画素5は、第1導電型の半導体基板11あるいは基板11上に設けられた第1導電型のウェル(well)を有している。第2導電型の第1半導体領域13は、基板11の表面から離れて、基板11の内部に設けられる。なお、第1導電型は、p型でもn型でもよい。第1導電型が、p型である場合は、第2導電型はn型である。第1導電型が、n型である場合は、第2導電型はp型である。絶縁膜15は、基板11の上に設けられる。導電体16は、絶縁膜15の上に設けられる。第1導電型の第3半導体領域18は、基板11の表面を含む基板11に設けられる。第3半導体領域18の下面が第1半導体領域13の上面と接する。第3半導体領域18と導電体16との距離は絶縁膜15の膜厚と等しい。第2導電型の第4半導体領域14は、基板11の表面を含む基板11に設けられ、導電体16との距離は絶縁膜15の膜厚と等しい。絶縁体12は、下面が基板11の表面より下に設けられ、側面と下面が第3半導体領域18に接する。基板11上に

40

50

p型ウェル(p-well)11が、設けられる。第1半導体領域13は、光電子を蓄積するn型半導体層である。第3半導体領域18はフォトダイオードPDの表面に設けられたp型半導体層である。第4半導体領域14は、フォトダイオードPDから読み出された信号電子を検出するn型半導体層である。第3半導体領域は、基板11の表面で発生する暗電流を抑制する。導電体16は、FET1のゲート電極である。導電体21は、FET2のゲート電極である。導電体20は、FET3のゲート電極である。導電体19は、FET4のゲート電極である。絶縁体12のない基板11の表面は活性領域17である。

【0014】

図3(b)は、図3(a)のI-I間の電気信号蓄積時の電位分布図である。図3(c)は、電気信号読出し時の電位分布図である。電気信号蓄積時には、図3(b)に示すように、読み出しゲート16には基準電位が印加され、読み出しゲート16の下のチャンネルのポテンシャルは低い。このためフォトダイオードPDの第1半導体領域13に信号電子24は漏れ出すことなく蓄積される。信号読出し時には、図3(c)に示すように、読み出しゲート16に正電位が印加されることにより、読み出しゲート16の下のチャンネルのポテンシャルは高くなる。そのためフォトダイオードPDの第1半導体領域13に蓄積された信号電子24は、読み出しゲート16のチャンネルを通して信号検出部である第4半導体領域14へと流出し、電気信号が読み出される。

10

【0015】

しかし図3(a)の画素5の構造では熱雑音と暗電流雑音が発生する場合がある。

【0016】

第3半導体領域18は、基準電圧に接続され、基準電位に固定される。このため、読み出しゲート16のフォトダイオードPDきわのチャンネルの電位は、読み出しゲート16がオン状態の時に上げにくい。さらに、画素5の微細化が進むとそれによって電源電圧が低くなるため、読み出しゲートに印加される電圧が低くなる。このことによっても、読み出しゲートがオン状態の時に、チャンネルの電位を十分に上げにくい。読み出し時にチャンネルの電位を十分に上げることができないので、フォトダイオードPD内に電子24が残留する。残留電子24は熱雑音の原因であると考えられる。そして、この熱雑音により再生画面のS/N比が劣化すると考えられる。このことは、画素の微細化に従い、低暗電流と低熱雑音を両立することが困難になることを示している。

20

【0017】

また、読み出しゲート16は、多結晶シリコンあるいはシリサイド材料で作られる。このことにより、読み出しゲート16の端部においては、局所的な応力が発生する。この応力によりシリコン基板11の表面に暗電流の発生源となるキャリア発生準位が誘発される場合がある。このキャリア発生準位から発生した電子は、信号蓄積期間中に信号蓄積部である第1半導体領域13に流入する。この電子の流入により暗電流雑音が発生していると考えられる。

30

【0018】

(第1の実施の形態の実施例1)

第1の実施の形態の実施例1に係る画素5の構造は、図4と図5(a)に示す。図5(a)は、図4のI-I方向の断面図である。画素5は、第1導電型の半導体基板11を有している。第2導電型の第1半導体領域13は、基板11の表面から離れて、基板11の内部に設けられる。第2導電型の第2半導体領域22は、基板11の表面を含む基板11に設けられ、第1半導体領域13の上方に離れて設けられる。絶縁膜15は、第2半導体領域22の上に設けられる。導電体16は、絶縁膜15の上に設けられる。第1導電型の第3半導体領域18は、基板11の表面を含む基板11に設けられる。第3半導体領域18の下面が第1半導体領域13の上面と接し、第3半導体領域18の側面が第2半導体領域22の側面と接する。第3半導体領域18と導電体16との距離は絶縁膜15の膜厚より大きい。第2導電型の第4半導体領域14は、基板11の表面を含む基板11に設けられる。第4半導体領域14の側面が第2半導体領域22の側面と接する。第4半導体領域14と導電体16との距離は絶縁膜15の膜厚と等しい。絶縁体12の下面が基板11の

40

50

表面より下に設けられる。絶縁体 12 の側面と下面が第 3 半導体領域 18 に接する。第 1 半導体領域 13 は、光電変換により得られた信号電荷を蓄積するフォトダイオード PD の信号蓄積部である。導電体 16 は、信号蓄積部から信号電荷を排出する電界効果トランジスタ FET 1 のゲート電極である。第 2 半導体領域 22 は、トランジスタ FET 1 のチャネル領域である。第 4 半導体領域 14 は、FET 1 のドレイン領域であり、信号電荷を検出する信号検出部である。

【0019】

第 2 半導体領域 22 は、読出しゲート 16 のチャネル領域に設けられた n 型拡散層である。また、第 3 半導体領域 18 と読出しゲート 16 はオフセット距離 X だけオフセットされている。オフセットが設けられているのは以下の理由による。多結晶シリコンあるいはシリサイド材料からなる読出しゲート 16 の端部においては、局所的な応力が発生する。この応力によりシリコン基板 11 界面に暗電流の発生源となるキャリア発生準位が誘発されやすい。読出しゲート 16 下に設けられた第 2 半導体領域 22 は読出しゲート 16 から第 3 半導体領域 18 側へ距離 X だけ伸長している。その発生準位から発生した暗電流電子は、信号蓄積期間中にフォトダイオード PD の信号蓄積層 13 に流入しない。暗電流電子は第 2 半導体領域を通して信号検出部 14 に流出する。このため再生画面上で雑音が発生することがない。

10

【0020】

図 5 (b) は、図 5 (a) の I - I 間の電気信号蓄積時の電位分布図である。図 5 (c) は、電気信号読出し時の電位分布図である。電気信号蓄積時には、図 5 (b) に示すように、信号電子は、蓄積層 13 と読出しチャネル 22 とにはさまれた p 型半導体基板 11 の領域の電位が障壁となり蓄積層 13 に溜められる。

20

【0021】

信号読出し時には、図 5 (c) に示すように、読み出しゲート 16 に正電位が印加されることにより、読出しゲート 16 の下のチャネル 22 のポテンシャルは高くなる。領域 13 と領域 22 にはさまれた p 型半導体基板 11 の領域の電位がそれにつれて高くなり、信号蓄積部 13 の信号電子は信号検出部 14 へ全て読み出される。従って残留電子が無く、熱雑音や残像等の雑音が発生しない。

【0022】

以上のように、信号蓄積部 13 とそれと同一導電型の読出しチャネル 22 が、読出しゲート 16 の下において、異なる導電型の基板 11 の領域を挟む形で深さ方向に重なるように形成されている。このことにより、読出しゲート 16 がオン状態の時に容易に領域 13 と 22 に挟まれた基板 11 の電位変調が行える。従来よりも低い読出し電圧で信号読みだしができる。そのため画素が微細化されて電源電圧が低下しても従来あったような熱雑音や残像のような雑音が発生することがない。再生画面上で雑音の少ない鮮明な画像を得ることができる。また、読出しゲート 16 のチャネル 22 が、読出しゲート電極 16 から所定距離 X 離れた位置まで伸長しているため、信号蓄積期間中にゲート 16 きわで発生する暗電流が信号蓄積部 13 へ流入することが無い。従って、暗電流雑音が大幅に抑圧され、再生画面上で雑音の少ない鮮明な画像が得られる。

30

【0023】

(第 1 の実施の形態の実施例 1 の変形例 1)

第 1 の実施の形態の実施例 1 の変形例 1 に係る固体撮像装置 1 の画素 5 は、図 6 (a) に示すように、図 5 (a) と同様な構造を有するだけでなく、さらに、基板 11 の表面から第 1 半導体領域 13 の上面までの深さは、基板 11 の表面から絶縁体 12 の下面までの深さより深い。基板 11 の表面から第 1 半導体領域 13 の上面と接する第 3 半導体領域 18 の下面までの深さは、基板 11 の表面から絶縁体 12 の下面までの深さより深い。フォトダイオード PD の表面の p 型半導体層である第 3 半導体領域 18 の形成深さが素子分離領域である酸化シリコン (SiO₂) 層の絶縁体 12 の下端を被うようさらに深く形成されている。このことにより、基板 11 の表面で発生する暗電流が、第 1 半導体領域 13 に注入されるのをより確実に防ぐことができる。

40

50

【0024】

また、第2半導体領域22の厚さも厚く変更する。厚くすることで、第2半導体領域22の下面と第1半導体領域13の上面の距離を、図5(a)と図6(a)とで同等にする。このことにより、ゲート16に印可する変調電位を高くする必要がない。

【0025】

(第1の実施の形態の実施例1の変形例2)

第1の実施の形態の実施例1の変形例2に係る固体撮像装置1の画素5は、図6(b)に示すように、図5(a)、図6(a)と同様な構造を有するだけでなく、さらに、絶縁体12の下方に第1半導体領域13が設けられている。信号蓄積層であるn型半導体層の第1半導体領域13が、素子分離領域の絶縁体12の下方に形成されている。このことにより、フォトダイオードPDの受光面積を広げることができ、フォトダイオードPDの感度が向上する。

10

【0026】

(第1の実施の形態の実施例2)

第1の実施の形態の実施例2に係る固体撮像装置1の画素5は、図7(a)に示すように、図5(a)と同様な構造を有するだけでなく、さらに、第1導電型の第5半導体領域26が、第1半導体領域13の上で、第2半導体領域22の下に設けられている。読み出しゲート16のチャンネルとなるn型半導体層の第2半導体領域22の下で、信号蓄積領域の第1半導体領域13の上の領域にp型半導体層の第5半導体領域26が設けられている。なお、基板11の不純物濃度は、 $10^{15} \sim 10^{16} \text{ cm}^{-3}$ 程度である。第1半導体領域13の不純物濃度は、 $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度である。第1半導体領域13の不純物濃度は、 $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度である。第2半導体領域22の不純物濃度は、 $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度である。第3半導体領域18の不純物濃度は、 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度である。第4半導体領域14の不純物濃度は、 $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 程度である。第5半導体領域26の不純物濃度は、 $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度である。

20

【0027】

このような構造により、信号蓄積領域13と読み出しチャンネル22との間の電位障壁が高くなり、信号蓄積領域13に溜められる電子数を増やすことができる。図7(b)は、図7(a)のI-I間の経路の電位分布図である。図7(c)は、図7(a)のII-II間の経路の電位分布図である。図7(b)に示すように、読み出しゲート16のきわで発生した暗電流27は、読み出しチャンネル22を通して信号検出部14へ排出される。信号蓄積期間にゲート16のきわで発生した暗電流27は、図7(c)に示すように、信号蓄積領域13とチャンネル22に挟まれたp型半導体層の第5半導体領域26の電位が信号電子に対する電位障壁となり、信号蓄積領域13へ流入することはない。

30

【0028】

(第1の実施の形態の実施例2の変形例1)

第1の実施の形態の実施例2の変形例1に係る固体撮像装置1の画素5は、図8(a)に示すように、図7(a)と同様な構造を有するだけでなく、さらに、基板11の表面から第1半導体領域13の上面までの深さは、基板11の表面から絶縁体12の下面までの深さより深い。このことにより、基板11の表面で発生する暗電流が、第1半導体領域13に注入されるのをより確実に防ぐことができる。

40

【0029】

(第1の実施の形態の実施例2の変形例2)

第1の実施の形態の実施例2の変形例2に係る固体撮像装置1の画素5は、図8(b)に示すように、図7(a)、図8(a)と同様な構造を有するだけでなく、さらに、絶縁体12の下方に第1半導体領域13が設けられている。このことにより、フォトダイオードPDの受光面積を広げることができる。

【0030】

(第1の実施の形態の実施例3)

50

第1の実施の形態の実施例3に係る固体撮像装置1の画素5の構造は、図9(a)と図9(b)に示す。図9(b)は、図9(a)のI-I方向の断面図である。第1の実施の形態の実施例3に係る固体撮像装置1の画素5は、第3半導体領域18と導電体16との距離が、絶縁膜15の膜厚と等しい点で、第1の実施の形態の実施例1と異なっている。p型半導体層である第3半導体領域18が、読み出しゲート16に対してオフセットなく自己整合的に形成されている。このことによっても、ゲート16のきわで発生した暗電流は、図7(b)に示すような第3半導体領域18のp型半導体領域の電位分布の勾配により、信号検出部14に注入される。

【0031】

(第1の実施の形態の実施例3の変形例1)

第1の実施の形態の実施例3の変形例1に係る固体撮像装置1の画素5は、図10(a)に示すように、図9(b)と同様な構造を有するだけでなく、さらに、基板11の表面から第1半導体領域13の上面までの深さは、基板11の表面から絶縁体12の下面までの深さより深い。このことにより、基板11の表面で発生する暗電流が、第1半導体領域13に注入されるのをより確実に防ぐことができる。

【0032】

(第1の実施の形態の実施例3の変形例2)

第1の実施の形態の実施例3の変形例2に係る固体撮像装置1の画素5は、図10(b)に示すように、図9(b)、図10(a)と同様な構造を有するだけでなく、さらに、絶縁体12の下方に第1半導体領域13が設けられている。このことにより、フォトダイオードPDの受光面積を広げることができる。

【0033】

(第1の実施の形態の実施例4)

第1の実施の形態の実施例4に係る固体撮像装置1の画素5の構造は、図11(a)と図11(b)に示す。図11(b)は、図11(a)のI-I方向の断面図である。第1の実施の形態の実施例4に係る固体撮像装置1の画素5は、第3半導体領域18に対する第1半導体領域13のオフセットのオフセット距離Yが、オフセット距離Xより短い点で、第1の実施の形態の実施例1と異なっている。このことによっても、信号電子のチャネル22への注入は容易にできると考えられる。

【0034】

(第1の実施の形態の実施例4の変形例1)

第1の実施の形態の実施例4の変形例1に係る固体撮像装置1の画素5は、図12(a)に示すように、図11(b)と同様な構造を有するだけでなく、さらに、基板11の表面から第1半導体領域13の上面までの深さは、基板11の表面から絶縁体12の下面までの深さより深い。このことにより、基板11の表面で発生する暗電流が、第1半導体領域13に注入されるのをより確実に防ぐことができる。

【0035】

(第1の実施の形態の実施例4の変形例2)

第1の実施の形態の実施例4の変形例2に係る固体撮像装置1の画素5は、図12(b)に示すように、図11(b)、図12(a)と同様な構造を有するだけでなく、さらに、絶縁体12の下方に第1半導体領域13が設けられている。このことにより、フォトダイオードPDの受光面積を広げることができる。

【0036】

(第2の実施の形態)

固体撮像装置1の多画素化や、撮像システムの小型化、撮像モジュール等の小型化が進められている。画素5のサイズの小型化が益々求められている。今後、より面積が縮小される画素において、効果的に光電変換を行うためには、光の入射経路中に、光を遮ったり、反射させたりする構造物ができるだけ存在しないことが求められる。更に、信号/雑音(S/N)比を良くするため、入射光が存在しないときでも、シリコン(Si)基板11中で発生する電子を極力少なくする必要がある。この電子の発生は時間的にばらつくため、

10

20

30

40

50

画像にムラが生じる雑音成分となる。更に、低電圧での残像の低減も求められている。

【0037】

第1の実施の形態では、信号電荷の転送を司る転送トランジスタFET1のゲート16の形状では、ゲート長は一定であった。このことにより、信号電荷の蓄積・転送に必ずしも寄与しない部分にも、光が照射されている。

【0038】

第2の実施の形態では、S/N比を改善し、低電圧で完全転送を可能とし、更に、光入射経路を拡大する。低電圧で、電荷転送・蓄積を行うには、適当な長さのゲート長が必要である。すなわち、電荷蓄積部13のポテンシャル分布に着目し、電荷蓄積・転送に必要なゲート16の部位のみ突起状の凸部を設ける。その他のゲート16の部位はできるだけゲート長を短くする。これらのごとで、光入射経路が拡大できる。 10

【0039】

(第2の実施の形態の実施例1)

第2の実施の形態の実施例1に係る固体撮像装置1の画素5の構造は、図13と図14(a)乃至(d)に示す。図14(b)は、図13と図14(a)のI-I方向の断面図である。図14(c)は、図13と図14(a)のII-II方向の断面図である。図14(d)は、図14(a)のIII-III方向の断面図である。画素5は、第1導電型の半導体基板11を有している。第2導電型の第1半導体領域13は、基板11の表面から離れて、基板11の内部に設けられる。絶縁膜15は、基板11の表面の上に設けられる。導電体16は、絶縁膜15の上に設けられる。導電体16の凸部28が第1半導体領域13の上方に設けられる。第1導電型の第3半導体領域18は、基板11の表面を含み基板11に設けられる。第3半導体領域18は、第1半導体領域13の上方に設けられる。第3半導体領域18は、第1半導体領域13の側面に接する。第3半導体領域18は、導電体16の下方に設けられる。第2導電型の第4半導体領域14は、基板11の表面を含む基板11に設けられる。第4半導体領域14と導電体16との距離は絶縁膜15の膜厚と等しい。第6半導体領域29は、第4半導体領域14の下に設けられる。第6半導体領域29は、パンチスルーを防止する。第2導電型の第2半導体領域39は、基板11の表面を含む基板11に設けられる。第2半導体領域39は、導電体16の下方に設けられ、特に、導電体16の凸部28の下方に設けられる。第2半導体領域39は、第3半導体領域18の側面と接し第4の半導体領域の側面とも接する。絶縁体12の下面が、基板11の表面より下に設けられる。絶縁体12の側面と下面が、第3半導体領域18に接する。第1半導体領域13は、光電変換により得られた信号電子24を蓄積する信号蓄積部である。導電体16は、信号蓄積部13から信号電子を排出する電界効果トランジスタFET1のゲート電極である。第2半導体領域39は、トランジスタFET1のチャネル領域である。ゲート電極である導電体16において、凸部28でゲート長が最大である。凸部28は突起である。ゲート電極である導電体16において、ゲート幅を規定する区間の中央に、導電体16の凸部28が設けられる。凸部28の下方に第3半導体領域18が設けられる。なお、凸部28の側面の下方に第3半導体領域18の側面が配置されていてもよい。 20 30

【0040】

図14(e)は、図14(d)のIV-IV間の電気信号蓄積時の電位分布図である。第1半導体領域13の第3半導体領域18と接合する周辺部では電位23は勾配を有する。この勾配により、信号電子31は、矢印36の方向に移動する。信号電子31は、第1半導体領域の中央に集められる。 40

【0041】

第2の実施の形態の実施例1に係る固体撮像装置1の画素5では、フォトダイオードPDの表面シールド層(PDp)となる第3半導体領域18が、ゲート電極16と、特に、ゲート電極16の凸部28の下方に設けられている。このことにより、ゲート電極16の形成時等のドライエッチング工程での反応性イオンエッチング(RIE)等で生じたダメージ層に、信号蓄積部(PDn)の第1半導体領域13の空乏層が接することがなくなる。ダメージ層 50

に起因する局所的なリーク電流の増大いわゆる白傷の発生を防止することができる。更に、暗時のムラの発生を低減できる。

【0042】

なお、信号電荷の読出しに関しては、凸部28の下方において、信号蓄積部13と表面シールド層18がオフセットされ、信号蓄積部13の上方に表面シールド層18を介することなくゲート電極16、28が存在するため、信号電子の信号検出部14への完全転送が可能である。

【0043】

第2の実施の形態の実施例1に係る固体撮像装置1の製造方法を説明する。図15(a)は、固体撮像装置1の画素5の一部の上面図である。図15(b)乃至(f)は、図15(a)のI-I方向の断面図である。 10

【0044】

まず、図15(b)に示すように、シリコン基板11の内部に素子分離用のLOCOSやSTIの絶縁体12を形成する。次に、素子分離用のp型半導体層33を形成する。イオン注入により信号蓄積領域13を形成する。

【0045】

次に、図15(c)に示すように、表面シールド層34を形成する。p型半導体層33と表面シールド層34が形成されることにより、第3半導体領域18が完成する。この後、アニール等の工程を入れてもよい。更に、チャンネルインプラ層39を形成する。併行して、周辺回路のトランジスタを構成する素子分離領域、トランジスタの閾値を制御するイオン注入を行う。 20

【0046】

図15(d)に示すように、ゲート絶縁膜15とゲート電極16、あるいはゲート配線などを形成する。

【0047】

図15(e)に示すように、検出部14と周辺回路のソース・ドレイン領域を形成する。

【0048】

図15(f)に示すように、パンチスルー防止領域29を形成する。

【0049】

この製造方法により、ゲート電極16下に、信号蓄積・転送領域13、39が形成できる。更に、ゲート電極16下に、シリコン表面の空乏化を防止する表面シールド層34を形成できる。 30

【0050】

尚、ゲート電極16には、ゲート電極16の形成時に、凸部28の突起も形成する。この凸部28は、信号電子の読み出しの移動経路上に形成する。そして、この凸部28は、信号電子の読み出しの移動方向に向かうに従って太く形成してもよい。

【0051】

表面シールド層34は、凸部28が形成される領域を除いて形成してもよい。表面シールド層34は、信号電子の読み出しの移動経路となる領域を除いて形成してもよい。表面シールド層34は、読出しパスの電荷転送経路方向に向かうに従って、形成しない幅を増やし、検出部14方向に開口面積が大きくなるように形成してもよい。 40

【0052】

(第2の実施の形態の実施例1の変形例)

第2の実施の形態の実施例1の変形例に係る固体撮像装置1の画素5は、図16(a)(b)に示すように、図14(a)乃至(c)と同様な構造を有するだけでなく、さらに、レンズ35が設けられている。レンズ35の光軸は、第1半導体領域13から凸部28の下方の領域を除いた領域の中心C点を通る基板表面に対する垂線L7と一致する。レンズ35は、第3半導体領域33、34(18)の上方に設けられる。このことにより、光入射経路をさらに拡大することができる。 50

【 0 0 5 3 】

(第 2 の実施の形態の実施例 2)

第 2 の実施の形態の実施例 2 に係る固体撮像装置 1 の画素 5 の構造は、図 1 7 (a) 乃至 (c) に示す。図 1 7 (b) は、図 1 7 (a) の I - I 方向の断面図である。図 1 7 (c) は、図 1 7 (a) の I I - I I 方向の断面図である。第 2 の実施の形態の実施例 2 に係る固体撮像装置 1 の画素 5 は、ゲート 1 6 の凸部 2 8 と第 3 半導体領域 1 8 の距離が絶縁膜 1 5 の膜厚より大きい点で、第 2 の実施の形態の実施例 1 と異なっている。このことによって、信号電子のチャネル 3 9 への注入は容易にできると考えられる。

【 0 0 5 4 】

第 2 の実施の形態の実施例 2 の画素 5 は、表面シールド層 1 8 とゲート電極 1 6 との間にはオフセットが設けられている。このオフセットが存在する領域には、読出しトランジスタ F E T 1 の閾値を制御する第 2 半導体領域 3 9 が設けられている。第 2 半導体領域 3 9 は、オフセットが存在する領域のシリコン基板表面の空乏化を防ぐ。このオフセットにより、信号電荷の読出しの際の移動パスが形成し易くなる。ゲート 1 6 に印可電圧をより低電圧にしても信号電荷の完全読出しが可能である。矢印 3 6 に沿って集められた信号電子は、矢印 3 7 に沿って領域 3 9 を経由して信号検出部 1 4 に移動する。

【 0 0 5 5 】

信号蓄積領域 1 3 の不純物濃度は、望ましくは、 $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度である。信号蓄積領域 1 3 の拡散層深さは、 $0.3 \sim 1.0 \mu\text{m}$ 程度が好ましい。表面シールド層 1 8 の不純物濃度は、 10^{18} cm^{-3} 程度が好ましい。表面シールド層 1 8 の拡散層深さは、 $0.1 \sim 0.2 \mu\text{m}$ 程度が好ましい。チャネル形成部 3 9 の不純物濃度は、 10^{17} cm^{-3} 程度が好ましい。絶縁膜 1 5 のシリコン酸化膜の膜厚は、好ましくは 80 nm 程度である。表面シールド層 1 8 と読出しトランジスタ F E T 1 のゲート電極 1 6、2 8 の端のオフセット距離は、信号転送経路方向 3 7 で、好ましくは $0.1 \sim 0.3 \mu\text{m}$ 程度であり、信号転送経路に垂直方向に、 $0.1 \sim 0.3 \mu\text{m}$ である。読出しトランジスタ F E T 1 の凸部 2 8 の長さは、好ましくは $0.3 \mu\text{m}$ 程度である。凸部 2 8 の幅は $0.4 \mu\text{m}$ 程度である。表面シールド層 1 8 の開口端部と、読出しトランジスタ F E T 1 のゲート電極 1 6、2 8 の端とは、上方からの平面距離で、好ましくは、 $0.1 \sim 0.3 \mu\text{m}$ 程度である。信号蓄積部 1 3 のイオン注入は、例えば、不純物が燐 (P) で、加速電圧を 320 kV 、ドーズ量を $1.35 \times 10^{12} \text{ cm}^{-2}$ 程度とする。表面シールド層 1 8 の領域 3 4 のイオン注入は、例えば、不純物が硼素 (B) で、加速電圧を 15 kV 、ドーズ量を $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度として行われる。チャネルの閾値を決める領域 3 9 のイオン注入は、例えば、不純物が硼素で、加速電圧を 15 kV 、ドーズ量を $2.0 \times 10^{12} \text{ cm}^{-2}$ 程度である。表面シールド層 1 8 の素子分離用領域 3 3 のイオン注入は、例えば、不純物が硼素で、加速電圧を 140 kV 、ドーズ量を $5.0 \times 10^{12} \text{ cm}^{-2}$ 程度、更に、不純物が硼素で、加速電圧を 80 kV 、ドーズ量を $7.0 \times 10^{12} \text{ cm}^{-2}$ 程度である。

【 0 0 5 6 】

図 1 8 (a) は、図 1 7 (b) の I I I - I I I 間の電気信号蓄積時の電位分布図である。図 1 8 (b) は、図 1 7 (b) の I I I - I I I 間の電気信号読出し時の電位分布図である。図 1 8 (c) は、図 1 7 (c) の I V - I V 間の電気信号蓄積時の電位分布図である。図 1 8 (d) は、図 1 7 (c) の I V - I V 間の電気信号読出し時の電位分布図である。

【 0 0 5 7 】

信号蓄積時には、図 1 8 (a) に示すように、信号電子は、蓄積層 1 3 と読出しチャネル 3 9 とにはさまれた p 型半導体基板 1 1 の領域の電位が障壁となり蓄積層 1 3 に溜められる。なお、図 1 8 (c) に示すように、蓄積層 1 3 の周辺部で発生した信号電子は、蓄積層 1 3 の中央部に移動して蓄積される。信号電子は周辺部には存在しにくい。

【 0 0 5 8 】

信号読出し時には、図 1 8 (b) に示すように、読み出しゲート 1 6 に正電位が印加されることにより、読出しゲート 1 6 の下のチャネル 3 9 のポテンシャルは高くなる。領域

13と領域39には含まれたp型半導体基板11の領域の電位がそれにつれて高くなり、信号蓄積部13の信号電子は矢印37方向の信号検出部14へ全て読み出される。信号電子の読み出し経路が生じる。残留電子が無いので、熱雑音や残像等の雑音が発生しない。なお、図18(d)に示すように、蓄積層13の周辺部で発生した信号電子は、蓄積層13の中央部に移動しており、信号電子は周辺部には存在しにくいので、信号電子の読み出し経路は存在しにくい。

【0059】

(第2の実施の形態の実施例2の変形例1)

第2の実施の形態の実施例2の変形例1に係る固体撮像装置1の画素5は、図17(a)乃至(c)と同様な構造を有するが、図19(a)に示すように、第3半導体領域18と第2半導体領域39の形状が異なる。 10

【0060】

第2の実施の形態の実施例2の変形例1に係る固体撮像装置1の画素5は、信号読出し経路37の方向に、信号蓄積領域13からゲート電極16の方向に向けて、表面シールド層18の開口の幅が広がっている。読出し経路37に沿って表面シールド層18の開口幅が広がるために、信号検出部14に近くなるに従い、信号読出し経路37のポテンシャルが深くなり、低いゲート電圧での信号電荷の完全転送が可能である。

【0061】

(第2の実施の形態の実施例2の変形例2)

第2の実施の形態の実施例2の変形例2に係る固体撮像装置1の画素5は、図17(a)乃至(c)と同様な構造を有するが、図19(b)に示すように、凸部28の形状が異なる。 20

【0062】

第2の実施の形態の実施例2の変形例2に係る固体撮像装置1の画素5は、信号読出し経路37の方向で、信号蓄積領域13からゲート電極16の方向に向けて、読出しトランジスタFET1の凸部28の幅が広がっている。信号読出し経路37に沿ってゲート幅が広がるために、検出部14に近くなるに従い、信号読出し経路37にゲート電極16からの変調が効き易くなる。低いゲート電圧での信号電荷の完全転送が可能となる。

【0063】

(第2の実施の形態の実施例2の変形例3) 30

第2の実施の形態の実施例2の変形例3に係る固体撮像装置1の画素5は、図17(a)乃至(c)と同様な構造を有するが、図19(c)に示すように、凸部28、第3半導体領域18と第2半導体領域39の形状が異なる。

【0064】

第2の実施の形態の実施例2の変形例3に係る固体撮像装置1の画素5は、信号読出し経路37の方向で、信号蓄積領域13からゲート電極16の方向に向けて、表面シールド層18の開口の幅が広がり、読出しトランジスタFET1の凸部28の幅が広がっている。このことにより、第2の実施の形態の実施例2の変形例1と2の効果をあわせて得ることができる。一層低いゲート電圧での信号電荷の完全転送が可能となる。

【0065】 40

(第2の実施の形態の実施例2の変形例4)

第2の実施の形態の実施例2の変形例4に係る固体撮像装置1の画素5は、図19(a)と同様な構造を有するが、図20(a)に示すように、第3半導体領域18と第2半導体領域39の形状が異なり半円形を有する。

【0066】

第2の実施の形態の実施例2の変形例1に係る固体撮像装置1の画素5は、信号読出し経路37の方向に、信号蓄積領域13からゲート電極16の方向に向けて、表面シールド層18の開口の幅が広がり、開口が半円を描いている。このことにより、第2の実施の形態の実施例2の変形例1と同様な効果が得られる。さらに開口付近の電界分布が均一になり、白傷の発生を低減することができる。 50

【0067】

(第2の実施の形態の実施例2の変形例5)

第2の実施の形態の実施例2の変形例5に係る固体撮像装置1の画素5は、図19(b)と同様な構造を有するが、図20(b)に示すように、凸部28の形状が異なり半円形を有する。

【0068】

第2の実施の形態の実施例2の変形例5に係る固体撮像装置1の画素5は、信号読出し経路37の方向で、信号蓄積領域13からゲート電極16の方向に向けて、読出しトランジスタFET1の凸部28の幅が広がり、凸部28が半円形を有している。このことにより、第2の実施の形態の実施例2の変形例2と同様な効果が得られる。さらに開口付近の電界分布が均一になり、白傷の発生を低減することができる。

10

【0069】

(第2の実施の形態の実施例2の変形例6)

第2の実施の形態の実施例2の変形例6に係る固体撮像装置1の画素5は、図19(c)と同様な構造を有するが、図20(c)に示すように、凸部28、第3半導体領域18と第2半導体領域39の形状が異なり半円形をそれぞれ有する。

【0070】

第2の実施の形態の実施例2の変形例6に係る固体撮像装置1の画素5は、信号読出し経路37の方向で、信号蓄積領域13からゲート電極16の方向に向けて、表面シールド層18の開口の幅が広がり開口が半円を描いている。読出しトランジスタFET1の凸部28の幅が広がり凸部28が半円形を有している。このことにより、第2の実施の形態の実施例2の変形例3と同様な効果が得られる。さらに開口付近の電界分布が均一になり、白傷の発生を低減することができる。

20

【0071】

(第2の実施の形態の実施例2の変形例7)

第2の実施の形態の実施例2の変形例7に係る固体撮像装置1の画素5は、図17(a)乃至(c)と図21(a)と同様な構造を有するが、図21(b)に示すように、第1半導体領域13に対する、第3半導体領域18の開口の位置が異なる。同様に第2半導体領域39の凸部の位置が異なる。同様に導電体16の凸部28の位置が異なる。このことによっても、第2の実施の形態の実施例2と同様な効果が得られる。

30

【0072】

(第2の実施の形態の実施例2の変形例8)

第2の実施の形態の実施例2の変形例8に係る固体撮像装置1の画素5は、図17(a)乃至(c)と図21(a)と同様な構造を有するが、図21(c)に示すように、第1半導体領域13に対する、第3半導体領域18の開口の位置が異なる。同様に第2半導体領域39の凸部の位置が異なる。同様に導電体16の凸部28の位置が異なる。このことによっても、第2の実施の形態の実施例2と同様な効果が得られる。

【0073】

図22(a)は、第2の実施の形態の実施例2及び変形例1乃至6に係る固体撮像装置1について、凸部28のゲートの周辺長に対する白傷の発生した画素5の個数である。これより、凸部28のゲートの周辺長が小さいほど白傷は発生しにくいことがわかる。なお、凸部28のゲートの周辺長をゼロに設定すると固体撮像装置1は動作しない。

40

【0074】

図22(b)も、第2の実施の形態の実施例2及び変形例1乃至6に係る固体撮像装置1について、凸部28のゲート面積に対する白傷の発生した画素5の個数である。これより、凸部28のゲート面積が小さいほど白傷は発生しにくいことがわかる。なお、凸部28のゲート面積をゼロに設定すると固体撮像装置1は動作しない。以上の結果から、白傷の発生しにくい凸部28の形状は、ゲートの周辺長が小さく、ゲート面積が小さい形状であることがわかった。すなわち、凸部28の形状は、図20(b)(c)に示すような半円形が望ましい。

50

【0075】

(第2の実施の形態の実施例3)

第2の実施の形態の実施例3に係る固体撮像装置1の画素5の構造は、図23(a)乃至(c)に示す。図23(b)は、図23(a)のI-I方向の断面図である。図23(c)は、図23(a)のII-II方向の断面図である。第2の実施の形態の実施例3に係る固体撮像装置1の画素5は、第1半導体領域13と38の構造において、第2の実施の形態の実施例2と異なっている。このことによって、信号電子のチャネル39への注入は同様に容易にでき、さらに、暗電流を低減することができる。

【0076】

第2の実施の形態の実施例3の画素5は、ゲート電極16の下方に信号蓄積部13、38の一部を成す凸部38を有する。凸部38を設けることで、信号蓄積部13の深さをより基板11の深くにできる。従って、信号蓄積部13から伸びる空乏層位置を、より基板11の深くに形成できる。このことは、図23(d)に示すように、pn接合の位置を深さd1から深さd2にふかくできることから明らかである。ゲート加工工程のDry工程のダメージに起因する発生電荷が、信号蓄積領域13の空乏層に取り込まれにくくなるため、雑音発生が抑えられる。一方、凸部38の周辺では、第2の実施の形態の実施例2と同じ電位分布を有するので、同様の低いゲート電圧で信号電子の読み出しができる。

【0077】

(第3の実施の形態)

CMOSセンサーを含む固体撮像装置1においては、光電変換を行うフォトダイオードPDを構成するn型拡散層の第1半導体領域13及びp型拡散層の第3半導体領域18を有する。領域13と18は、図24に示すように、フォトダイオードPDに隣接する読出しMOSトランジスタFET1のゲート電極16に対して自己整合的なイオン注入46により形成される。これらの拡散層13、18のシリコン基板11の表面からの深さは、通常のCMOS素子のソース/ドレイン(S/D)拡散層よりはるかに深い位置に形成される。ところがCMOSセンサーのように標準CMOS製造プロセスに準拠してCMOSセンサーを製造する場合には、CMOSセンサーの微細化と共にCMOSセンサーのゲート電極の厚さが薄くなる。このことにより、読み出しゲート電極16の厚さも薄くする。拡散層13、18を、薄くなった読出しゲート電極16に自己整合的に形成しようとする、イオン注入46の際にゲート電極16を突き抜けてイオン種が読み出しゲート16のチャネル部分45にまで侵入してしまう。読出しトランジスタFET1の閾値が変化してしまう。

【0078】

第3の実施の形態に係る固体撮像装置1が有する画素5は、図25(a)(b)に示すように、ゲート電極16の厚さが薄くても、第1半導体領域13を深く、かつ、ゲート電極16に対して自己整合的に設けることができる。また、第4半導体領域14は、浅く、かつ、ゲート電極16に対して自己整合的に設けることができる。図25(b)は、図25(a)のI-I方向の断面図である。

【0079】

従来は、ゲート電極の厚さを、厚く300~400nmにしても、第1半導体領域13の深さは、高々200~300nmであった。第3の実施の形態では、ゲート電極の厚さを、薄く200~300nmにしても、第1半導体領域13の深さは、400~700nmであった。なお、この第1半導体領域13の深さは、イオン注入の際に使用するレジストの性能に左右され、ゲート電極16の厚さに左右されない。レジストの形成条件によってはより深くすることができる。

【0080】

第3の実施の形態の固体撮像装置1の製造方法を説明する。第3の実施の形態では、読出しゲート電極16のパターン形成を二回のパターンエッチングで行う。1回目のパターンエッチングでは、ゲート電極16のパターンと、フォトダイオードPDのパターンとを合わせたパターンを用いる。2回目のパターンエッチングのパターンをフォトダイオードPDのパターンにする。2回目のパターンエッチングを行う。フォトレジストを剥離せず

に、フォトリソをマスクに、イオン注入を行う。このイオン注入により、フォトダイオードPDを構成するn型拡散層13またはp型拡散層18を形成する。

【0081】

すなわち、図26(a)(b)に示すように、基板11上にゲート絶縁膜15を形成する。図26(b)は、図26(a)のI-I方向の断面図である。ゲート絶縁膜15の上に、ゲート電極16となる多結晶シリコン膜47を堆積する。多結晶シリコン膜47の上に、フォトリソのパターン48、49、50を形成する。パターン48は、フォトダイオードPDのパターンである。パターン49、50は、ゲート電極16、19乃至21のパターンである。パターン48と49は一体化している。次に、1回目のパターンエッチングを行う。多結晶シリコン膜47をエッチングする。1回目のパターンエッチングにより、多結晶シリコン膜の一体化したパターン47、16とゲート電極19乃至21が形成される。レジスト49を剥離する。

10

【0082】

図27(a)(b)に示すように、パターン47、16とゲート電極19乃至21をマスクにイオン注入を行い、第4半導体領域14と第6半導体領域29を形成する。多結晶シリコンのパターン16とゲート電極19乃至21と基板11上にレジスト膜52を形成する。レジスト膜52によって、パターン47の上にパターン47に重なる開口51が形成される。開口51のパターンはフォトダイオードPDのパターンとおなじである。図27(b)(c)は、図27(a)のI-I方向の断面図である。

【0083】

図27(c)に示すように、2回目のパターンエッチングを行う。多結晶シリコン膜47をエッチングする。2回目のパターンエッチングにより、ゲート電極16が形成される。レジスト膜52をマスクにイオン注入53を行う。第1半導体領域13と第3半導体領域18を形成する。レジスト膜52を剥離する。ゲート電極16、18乃至21の露出した多結晶シリコン表面を酸化する。

20

【0084】

第3の実施の形態の製造方法によれば、2回目のパターンエッチングに使用したレジスト膜52を残し、このレジスト膜52をマスクとしてフォトダイオードPDのイオン注入をする。レジスト膜52をマスクとするので、通常よりも深い位置にイオン注入を行っても、イオンがゲート電極16を突き抜けてシリコン基板11に到達することはない。

30

【0085】

(第4の実施の形態)

固体撮像装置においては、光感度の向上を目的として、反射防止膜を形成する。固体撮像装置として、CMOSセンサーは、最近、低消費電力、単一電源駆動で注目されている。CMOSセンサーは、照射光の開口を規定する金属膜の高さが高いため、金属膜で照射光を規定しても、照射光がフォトダイオードPDに到達するまでに、光路が広がりやすい。このことにより、光感度が上がりにくい。CMOSセンサーは、ポリシリコンなどによる配線で信号電荷を転送するため、この配線の上方に開口を規定する金属膜構造が形成されることになる。そして、開口を規定する金属膜は高い位置に配置されることになる。

【0086】

第4の実施の形態では、照射光をフォトダイオードPDへ集光させる手段を具備する増幅型固体撮像装置について説明する。そして、光感度を向上させた固体撮像装置を提供する。

40

【0087】

(第4の実施の形態の実施例1)

第4の実施の形態に係る固体撮像装置1は、図28(a)乃至(d)に示すように、画素CB、CR、CGを有している。図28(b)は、図28(a)のI-I方向の断面図である。図28(c)は、図28(a)のII-II方向の断面図である。図28(d)は、図28(a)のIII-III方向の断面図である。画素CB、CR、CGは、図1の画素アレ-2を構成する。画素CB、CR、CGは、第1導電型の半導体基板11を有

50

する。絶縁体 12 の下面が基板 11 の表面 11 より下に設けられる。絶縁体 12 の側面が基板 11 に接する。第 2 導電型の第 1 半導体領域 13 は、11 基板の表面から離れて、基板 11 の内部に設けられる。第 1 半導体領域 13 の側面が基板 11 を介して絶縁体 12 の側面に対向する。シリコン酸化膜 52 乃至 54 は、基板 11 の上で第 1 半導体領域 13 の上方に設けられる。シリコン窒化膜 55 乃至 57 (反射防止膜: Si_3N_4) は、シリコン酸化膜 52 乃至 54 の上に設けられる。第 1 半導体領域 13 の上方におけるシリコン窒化膜 55 乃至 57 の膜厚とシリコン酸化膜 52 乃至 54 の膜厚の合計が 600 より厚い。シリコン窒化膜 55 乃至 57 は、シリコン酸化膜 52 乃至 54 と屈折率が異なる。

【0088】

画素 CB は、図 28 (b) に示すように、第 1 半導体領域 13 の上方におけるシリコン窒化膜 55 の膜厚 T2B とシリコン酸化膜 52 の膜厚 T1B の合計が 600 より厚い。

10

【0089】

画素 CR は、図 28 (c) に示すように、第 1 半導体領域 13 の上方におけるシリコン窒化膜 56 の膜厚 T2R とシリコン酸化膜 53 の膜厚 T1R の合計が 700 より厚い。

【0090】

画素 CG は、図 28 (d) に示すように、第 1 半導体領域 13 の上方におけるシリコン窒化膜 57 の膜厚 T2G とシリコン酸化膜 54 の膜厚 T1G の合計が 650 より厚い。

【0091】

シリコン基板 11 上にゲート電極 16、19 乃至 21 が設けられる。フォトダイオード PD の信号蓄積部となる第 1 半導体領域は、レジストを用いたパターンニングと、リン (P) イオンを加速器などで打ち込むことにより形成される。

20

【0092】

フォトダイオード PD を保護するために、シリコン酸化膜 52 乃至 54 を、膜厚 100 ~ 200 程度堆積する。好ましい膜厚は 150 ~ 200 程度である。このことにより、シリコン窒化膜 55 乃至 57 の積層構造において、光感度を向上させることができる。シリコン酸化膜 52 乃至 54 の堆積は、化学気相成長 (CVD) 法などで行う。反射防止膜として、例えば、シリコン窒化膜 (Si_3N_4) 膜 55 乃至 57 を、膜厚 400 ~ 700 程度 CVD 方で堆積する。そして、フォトダイオード PD の領域よりも例えば、0.2 μm 幅広い領域にレジストが残るようにパターンニングする。ケミカルドライエッチング (CDE: Chemical Dry Etching) 法などで、露出したシリコン窒化膜 55 乃至 57 を除去し、所望の反射防止膜パターンを形成する。このとき、フォトダイオード PD 上の酸化膜厚、および反射防止膜の膜厚の合計として、600 以上にするのが好ましい。この理由は、反射防止膜 55 乃至 57 の膜厚は、緑 (G) 光の波長 550 nm に対して最適膜厚 500 ~ 600 程度であること、及び、フォトダイオード PD 上の酸化膜 52 乃至 54 の膜厚が 100 以上必要であるためである。この PD 上の酸化膜厚 52 乃至 54 が 100 以上必要である理由は、CDE で反射防止膜 55 乃至 57 をパターンニングする際、反射防止膜 55 乃至 57 とフォトダイオード PD 上の酸化膜 52 乃至 54 とのエッチング選択比が十分に (1 桁以上) 確保できない条件で加工しても酸化膜 52 乃至 54 の下へのダメージを防ぐことができるためである。

30

【0093】

また、この反射防止膜 55 乃至 57 を形成する際には、画素 CB、CR、CG 毎に反射防止膜 55 乃至 57 の膜厚を変えて、各 RGB 画素 CB、CR、CG において感度が高くなる反射防止膜厚 T2B、T2R、T2G になるようにすることも可能である。形成方法としては、シリコン窒化膜を膜厚 400 ~ 500 程度、好ましくは 450 程度堆積する。そして、青色 (B) 画素 CB について、窒化シリコン膜のパターンニングを、CDE 法により行う。再び、シリコン窒化膜を膜厚 500 ~ 600 程度、好ましくは 550 程度堆積する。そして、緑色 (G) 画素 CG について、窒化シリコン膜のパターンニングを、CDE 法により行う。さらに、シリコン窒化膜を膜厚 600 ~ 700 程度、好ましくは 650 程度堆積する。そして、赤色 (R) 画素 CR について、窒化シリコン膜のパターンニングを、CDE 法により行う。これらのことにより RGB それぞれの画素につ

40

50

いて、反射防止膜 55 乃至 57 の膜厚を変えて形成することができる。反射防止膜 55 乃至 57 を形成することで、RGB の光感度を向上することができるので、各画素 CB、CR、CG において他の色の光がフォトダイオード PD へ照射されなくなるので、混色を低減することもできる。

【0094】

(第4の実施の形態の実施例2)

第4の実施の形態の実施例2に係る固体撮像装置1の画素5は、図29(a)乃至(d)に示すように、第4の実施の形態の実施例1の図28(a)乃至(d)と同様な構造を有するだけでなく、さらに、シリコン窒化膜58乃至60の幅は、絶縁体12の側面の間隔より狭い。そして、シリコン窒化膜58乃至60の幅は、第1半導体領域13の幅より広い。反射防止膜58乃至60を形成する領域を第1半導体領域13の端よりも広く、素子分離領域12の端よりも狭くする。

10

【0095】

第4の実施の形態の実施例2では、第4の実施の形態の実施例1と同様にフォトダイオードPDまでを形成する。この後、シリコン酸化膜52乃至54とシリコン窒化膜55乃至57を、図30(a)乃至(c)に示すように、第4の実施の形態の実施例1と同様に形成する。シリコン窒化膜55乃至57の上に、レジストパターン61乃至63を形成する。図30(d)乃至(f)に示すように、シリコン窒化膜55乃至57を、フォトダイオードPD(第1半導体領域13)よりも片側で幅およそ0.1 μ m以上広い領域になるようにパターンエッチングする。反射防止膜58乃至60が形成される。フォトダイオードPDよりも広い領域に反射防止膜58乃至60を形成する理由は、CDE法による加工の際にサイドエッチングが入るためである。このため、反射防止膜58乃至60をパターンニングで残す際には、膜厚T2B、T2R、T2Gに対して、2倍以上の幅を設けることが必要である。この幅により、CDE法によるサイドエッチングだけでなく、空乏層の広がりや光の屈折を加味した広範囲の照射光の入射が可能になる。また、この幅によりパターンニングにおける合わせずれが発生しにくい。

20

【0096】

また、反射防止膜58乃至60が、フォトダイオードPDよりも広い領域に形成する上限については、最大でも素子分離領域12の境界までとすることが好ましい。この理由は、素子分離領域(LOCOS)の形成の際に、素子分離領域12の端に応力が発生しやすい。この素子分離領域12の端の応力とシリコン窒化膜58乃至60の応力で基板11内に結晶欠陥が生じるのを防ぐためである。

30

【0097】

(第4の実施の形態の実施例3)

第4の実施の形態の実施例3に係る固体撮像装置1は、図31(a)に示すように、画素C1、C2を有している。図31(b)は、図31(a)のI-I方向の断面図である。画素C1、C2は、図1の画素アレ-2を構成する。画素アレ-2は、第1導電型の半導体基板11を有する。絶縁体12の下面が、基板11の表面より下に設けられる。絶縁体12の側面が、基板11に接する。第2導電型の第1半導体領域13は、基板11の表面から離れて、基板11の内部に設けられる。第1半導体領域13の側面が、基板11を介して絶縁体12の側面に対向する。酸化シリコン領域66は、第1半導体領域13の上方に設けられる。酸化シリコン領域66は、第1半導体領域13の上方に凹面を有する。窒化シリコン領域67は、第1半導体領域13の上方に設けられる。窒化シリコン領域67は、第1半導体領域13の上方に酸化シリコン領域66の凹面に一致する凸面を有する。導電体65、64は、酸化シリコン領域66と窒化シリコン領域67の側方に設けられる。導電体65、64は、アルミニウム合金等の金属膜である。窒化シリコン領域67は、層間膜となる酸化シリコン領域66、30と異なる屈折率を有する。このことにより、窒化シリコン領域67に凸レンズ効果を持たせることができる。導電体65、64により、導電体65と64の間が照射光の開口と規定される。この開口とほぼ同じ高さに凸レンズ効果を有する窒化シリコン領域67が形成される。

40

50

【0098】

第4の実施の形態の実施例3では、照射光の開口を規定する金属膜とフォトダイオードPDの間に集光を目的として層間膜材料30、66と屈折率の異なる材料67により凸レンズを形成する。すなわち、ゲート電極16、19乃至21、フォトダイオードPDを形成する。減圧(LP)-CVD法などにより層間絶縁膜30を4000程度堆積する。次に、導電体65、66を、スパッタリング法で堆積し、RIE法でパターンエッチングして形成する。いわゆる埋め込み性のあるシリコン酸化膜66を1000程度堆積する。CVD法などでシリコン窒化膜67を例えば15000堆積する。この後、ケミカルメカニカルポリッシング(CMP)法やレジストエッチバック法などで、シリコン窒化膜67表面を平坦化する。このことで、フォトダイオードPD上には、シリコン窒化膜67の膜厚が厚く、導電体64等の上などでは、薄くなるため、下に凸の凸レンズを形成することができる。

10

【0099】

(第4の実施の形態の実施例4)

第4の実施の形態の実施例4に係る固体撮像装置1は、図32(a)に示すように、画素C1、C2を有している。図32(b)は、図32(a)のI-I方向の断面図である。第4の実施の形態の実施例4に係る固体撮像装置1は、図32(b)に示すように、第4の実施の形態の実施例3の図31(b)と同様な構造を有する。しかし、一部異なる構造を有している。すなわち、酸化シリコン領域69は、第1半導体領域13の上方に設けられる。酸化シリコン領域69は、第1半導体領域13の上方に凹面を有する。窒化シリコン領域68は、第1半導体領域13の上方に設けられる。窒化シリコン領域68は、第1半導体領域13の上方に酸化シリコン領域69の凹面に一致する凸面を有する。導電体65、64は、酸化シリコン領域69と窒化シリコン領域68の側方に設けられる。このことにより、窒化シリコン領域68に凸レンズ効果を持たせることができる。導電体65、64により、導電体65と64の間が照射光の開口と規定される。この開口とほぼ同じ高さに凸レンズ効果をもつ窒化シリコン領域68が形成される。

20

【0100】

第4の実施の形態の実施例4では、開口を規定する導電体64、65とほぼ同じ高さかあるいは、それよりも低い高さに層内レンズを形成する。第4の実施の形態の実施例4の形成方法は、第4の実施の形態の実施例3と同様に、ゲート電極16等、フォトダイオードPD、さらには、必要に応じて反射防止膜を形成する。シリコン酸化膜などの層間膜30をたとえばLP-CVD法などにより堆積する。層間膜30をCMP法や、レジストエッチバック(EB)法などにより平坦化する。開口を規定する導電体64、65として、たとえば金属膜のアルミニウム(Al)などをスパッタリング法などにより、たとえば膜厚4000程度堆積する。レジスト塗布、レジストパターンニング、RIE法などによる金属膜のパターンニングを行う。所望の領域の金属膜を除去し、開口領域を確保し、開口を規定する導電体64、65を形成する。このとき、導電体64、65の厚さ分だけ表面上には段差が生じている。ここで、たとえば、LP-CVD法などでシリコン窒化膜68を導電体64、65の段差よりも少ない膜厚に相当する分、たとえば、2000程度堆積する。この結果、導電体64、65上では2000の厚さでシリコン窒化膜68が堆積する。しかしながら、導電体64、65の開口部では、シリコン窒化膜68の膜堆積時におけるシャドウイングなどにより、導電体64、65の開口の端部では、ほとんどシリコン窒化膜68が堆積しないか、膜厚が薄くなる。また、導電体64、65の開口の中央部近傍では、ほぼ2000程度の膜厚になる。この結果、導電体64、65の開口部で、シリコン窒化膜68の凸レンズを形成することができる。このうち、LP-CVD法などにより、シリコン酸化膜69を堆積し、CMP法やレジストEB法による平坦化を行う。

30

40

【0101】

(第4の実施の形態の実施例5)

第4の実施の形態の実施例5に係る固体撮像装置1は、図33(a)に示すように、画

50

素 C 1、C 2 を有している。図 3 3 (b) は、図 3 3 (a) の I - I 方向の断面図である。第 4 の実施の形態の実施例 5 に係る固体撮像装置 1 は、図 3 3 (b) に示すように、第 4 の実施の形態の実施例 4 の図 3 2 (b) と同様な構造を有する。しかし、一部異なる構造を有している。すなわち、酸化シリコン領域 7 1 は、第 1 半導体領域 1 3 の上方に設けられる。酸化シリコン領域 7 1 は、第 1 半導体領域 1 3 の上方に凹面を有する。窒化シリコン領域 7 0 は、第 1 半導体領域 1 3 の上方に設けられる。窒化シリコン領域 7 0 は、第 1 半導体領域 1 3 の上方に酸化シリコン領域 7 1 の凹面に一致する凸面を有する。導電体 1 6 は、酸化シリコン領域 7 1 と窒化シリコン領域 7 0 の側方に設けられる。このことにより、窒化シリコン領域 7 0 に凸レンズ効果を持たせることができる。導電体 6 5、6 4 により、導電体 6 5 と 6 4 の間が照射光の開口と規定される。この開口より低いところに凸レンズ効果を有する窒化シリコン領域 7 0 が形成される。

【 0 1 0 2 】

第 4 の実施の形態の実施例 5 では、開口を規定する導電体 6 4、6 5 よりも低い高さに層内レンズを形成する。第 4 の実施の形態の実施例 5 の形成方法は、第 4 の実施の形態の実施例 3 と同様に、ゲート電極 1 6 等、フォトダイオード P D、さらには、必要に応じて反射防止膜を形成する。このとき、ゲート電極 1 6、絶縁体 1 2 により表面上には段差が生じている。ここで、シリコン窒化膜 7 0 を、2 0 0 0 程度堆積する。この結果、第 4 の実施の形態の実施例 4 と同様に、シリコン窒化膜 7 0 の凸レンズを形成することができる。こののち、L P - C V D 法などにより、シリコン酸化膜 7 1 を堆積し、C M P 法やレジスト E B 法による平坦化を行う。開口を規定する導電体 6 4、6 5 を膜厚 4 0 0 0 程度堆積する。導電体 6 4、6 5 のパターニングを行い、開口を規定する導電体 6 4、6 5 を形成する。こののち、L P - C V D 法などにより、シリコン酸化膜 7 2 を堆積し、C M P 法やレジスト E B 法による平坦化を行う。

【 図面の簡単な説明 】

【 0 1 0 3 】

【 図 1 】 第 1 の実施の形態に係る固体撮像装置の上面図と、その固体撮像装置が有する画素の模式図である。

【 図 2 】 第 1 の実施の形態に係る固体撮像装置が有する画素の上面図である。

【 図 3 】 第 1 の実施の形態に係る固体撮像装置が有する画素の断面図と基本的な動作を説明するためのエネルギー準位図である。

【 図 4 】 第 1 の実施の形態の実施例 1 に係る固体撮像装置が有する画素の上面図である。

【 図 5 】 第 1 の実施の形態の実施例 1 に係る固体撮像装置が有する画素の断面図と基本的な動作を説明するためのエネルギー準位図である。

【 図 6 】 第 1 の実施の形態の実施例 1 の変形例 1 と変形例 2 に係る固体撮像装置が有する画素の断面図である。

【 図 7 】 第 1 の実施の形態の実施例 2 に係る固体撮像装置が有する画素の断面図と基本的な動作を説明するためのエネルギー準位図である。

【 図 8 】 第 1 の実施の形態の実施例 2 の変形例 1 と変形例 2 に係る固体撮像装置が有する画素の断面図である。

【 図 9 】 第 1 の実施の形態の実施例 3 に係る固体撮像装置が有する画素の上面図と断面図である。

【 図 1 0 】 第 1 の実施の形態の実施例 3 の変形例 1 と変形例 2 に係る固体撮像装置が有する画素の断面図である。

【 図 1 1 】 第 1 の実施の形態の実施例 4 に係る固体撮像装置が有する画素の上面図と断面図である。

【 図 1 2 】 第 1 の実施の形態の実施例 4 の変形例 1 と変形例 2 に係る固体撮像装置が有する画素の断面図である。

【 図 1 3 】 第 2 の実施の形態の実施例 1 に係る固体撮像装置が有する画素の上面図である。

【 図 1 4 】 第 2 の実施の形態の実施例 1 に係る固体撮像装置が有する画素の詳細な上面図

、断面図とエネルギー準位図である。

【図 15】第 2 の実施の形態の実施例 1 に係る固体撮像装置が有する画素の製造方法を説明するための上面図と断面図である。

【図 16】第 2 の実施の形態の実施例 1 の変形例に係る固体撮像装置が有する画素の詳細な断面図である。

【図 17】第 2 の実施の形態の実施例 2 に係る固体撮像装置が有する画素の詳細な上面図と断面図である。

【図 18】第 2 の実施の形態の実施例 2 に係る固体撮像装置が有する画素のエネルギー準位図である。

【図 19】第 2 の実施の形態の実施例 2 の変形例 1 乃至 3 に係る固体撮像装置が有する画素の詳細な上面図である。 10

【図 20】第 2 の実施の形態の実施例 2 の変形例 4 乃至 6 に係る固体撮像装置が有する画素の詳細な上面図である。

【図 21】第 2 の実施の形態の実施例 2 の変形例 7 及び変形例 8 に係る固体撮像装置が有する画素の詳細な上面図である。

【図 22】第 2 の実施の形態の実施例 2 に係る固体撮像装置において白傷が観察された画素の個数のゲート電極の凸部の形状依存性を表すグラフである。

【図 23】第 2 の実施の形態の実施例 3 に係る固体撮像装置が有する画素の詳細な上面図、断面図と不純物濃度分布図である。

【図 24】第 3 の実施の形態の比較例の固体撮像装置が有する画素の断面図である。 20

【図 25】第 3 の実施の形態に係る固体撮像装置が有する画素の上面図と断面図である。

【図 26】第 3 の実施の形態に係る固体撮像装置が有する画素の製造方法を説明するための上面図と断面図（その 1）である。

【図 27】第 3 の実施の形態に係る固体撮像装置が有する画素の製造方法を説明するための上面図と断面図（その 2）である。

【図 28】第 4 の実施の形態の実施例 1 に係る固体撮像装置が有する画素の上面図と断面図である。

【図 29】第 4 の実施の形態の実施例 2 に係る固体撮像装置が有する画素の上面図と断面図である。

【図 30】第 4 の実施の形態の実施例 2 に係る固体撮像装置が有する画素の製造方法を説明するための断面図である。 30

【図 31】第 4 の実施の形態の実施例 3 に係る固体撮像装置が有する画素の上面図と断面図である。

【図 32】第 4 の実施の形態の実施例 4 に係る固体撮像装置が有する画素の上面図と断面図である。

【図 33】第 4 の実施の形態の実施例 5 に係る固体撮像装置が有する画素の上面図と断面図である。

【符号の説明】

【0104】

1 固体撮像装置 40

2 画素アレー

3 信号走査回路

4 信号読み出し回路

5 画素

11 p 型半導体基板

12 素子分離領域

13 フォトダイオード (PD) の信号蓄積部

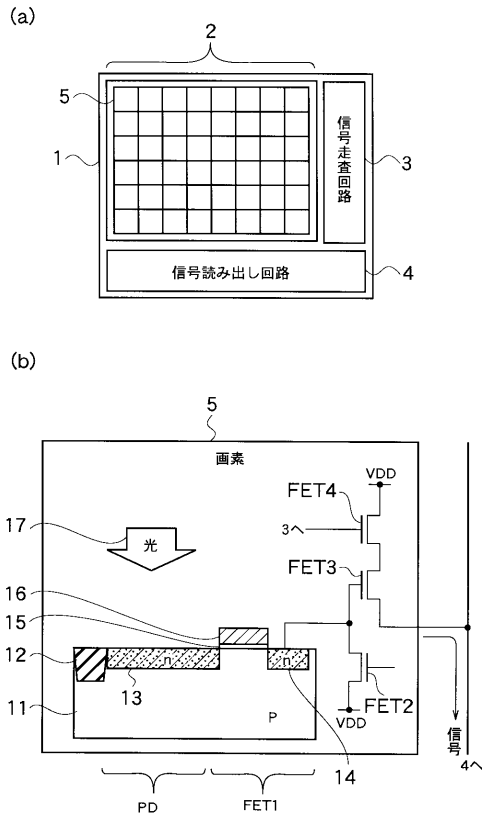
14 検出部 (ディテクトノード、FET1 のドレイン領域)

15 FET1 のゲート絶縁膜

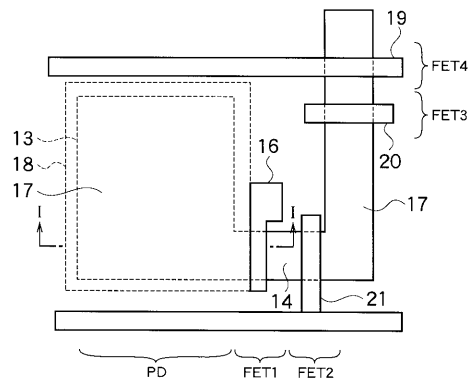
16 FET1 のゲート電極 50

1 7	活性領域	
1 8	チャンネルストッパー兼暗電流抑制領域	
1 9	F E T 4 のゲート電極	
2 0	F E T 3 のゲート電極	
2 1	F E T 2 のゲート電極	
2 2	n 型半導体領域	
2 3	コンダクションバンド	
2 4	蓄積された信号電子	
2 5	移動した信号電子	
2 6	p 型半導体領域	10
2 7	ゲート電極の際で発生し暗電流となる電子の分布	
2 8	突起部 (凸部)	
2 9	パンチスルー防止領域	
3 0	層間絶縁膜	
3 1	電子	
3 2	素子分離領域	
3 3	チャンネルストッパー領域	
3 4	暗電流抑制領域	
3 5	マイクロレンズ	
3 6、3 7	電子の移動する方向	20
3 8	凸部	
3 9	不純物領域	
4 0	P D p の不純物濃度分布	
4 1	P D n (1 3) の不純物濃度分布	
4 2	P D n (1 3 と 3 8) の不純物濃度分布	
4 3	P D n (3 8) の不純物濃度分布	
4 4	レジスト	
4 5	不純物拡散層	
4 6、5 3	イオンビーム	
4 7	ポリシリコン膜	30
4 8、4 9、5 0、5 2	レジスト	
5 1	レジストの開口	
5 2 乃至 5 4	シリコン酸化膜	
5 5 乃至 6 0	シリコン窒化膜	
6 1 乃至 6 3	レジスト	
6 4、6 5	メタル配線	
6 6、6 9、7 1、7 2	シリコン酸化膜	
6 7、6 8、7 0	シリコン窒化膜	
F E T 1	読み出しトランジスタ (転送トランジスタ)	
F E T 2	リセットトランジスタ	40
F E T 3	増幅トランジスタ	
F E T 4	行選択トランジスタ	

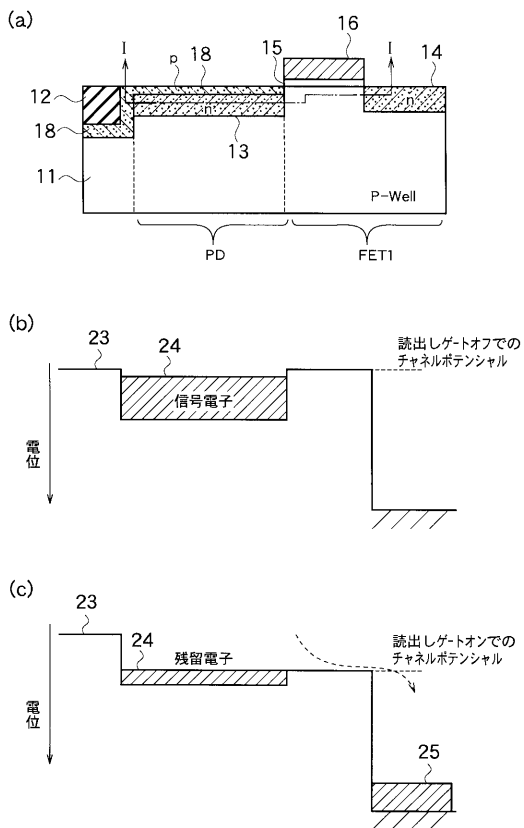
【図1】



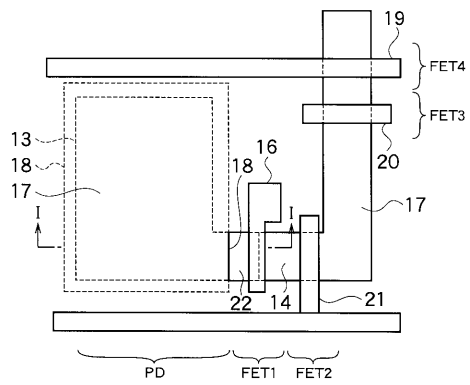
【図2】



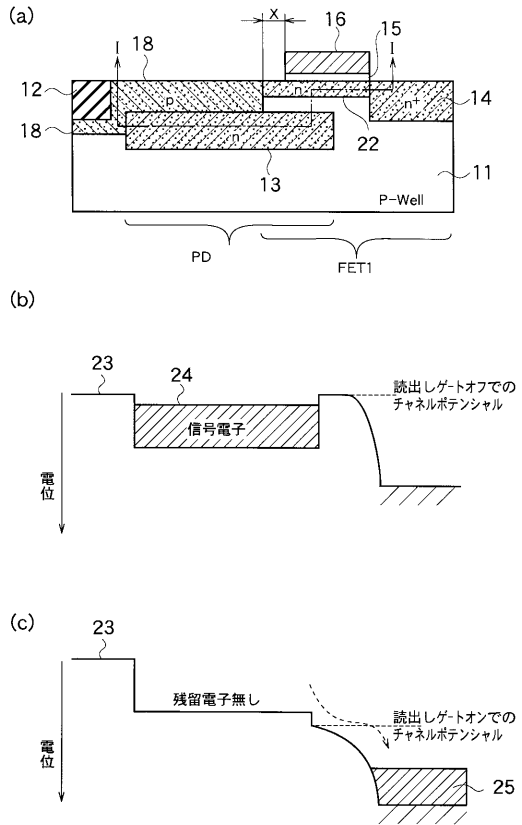
【図3】



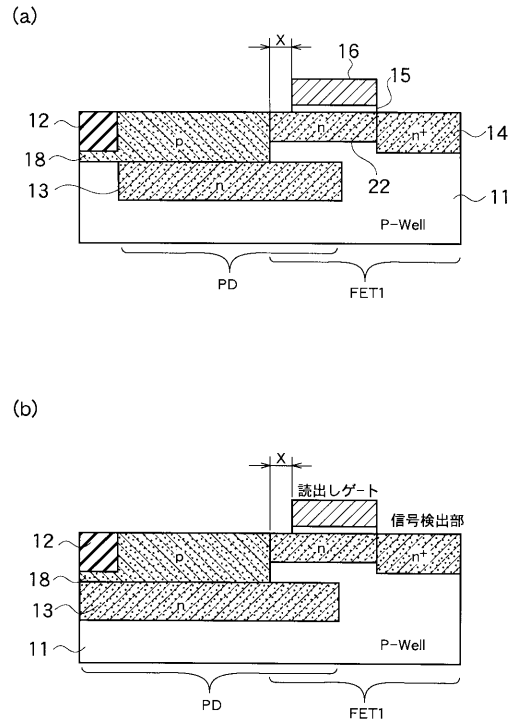
【図4】



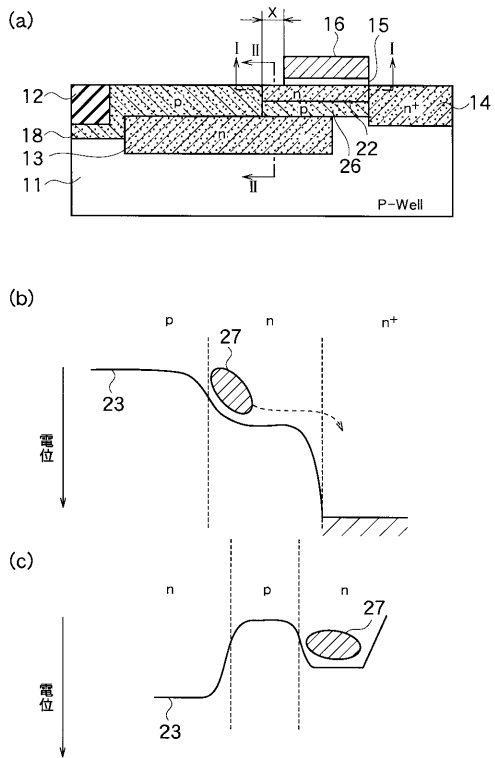
【 図 5 】



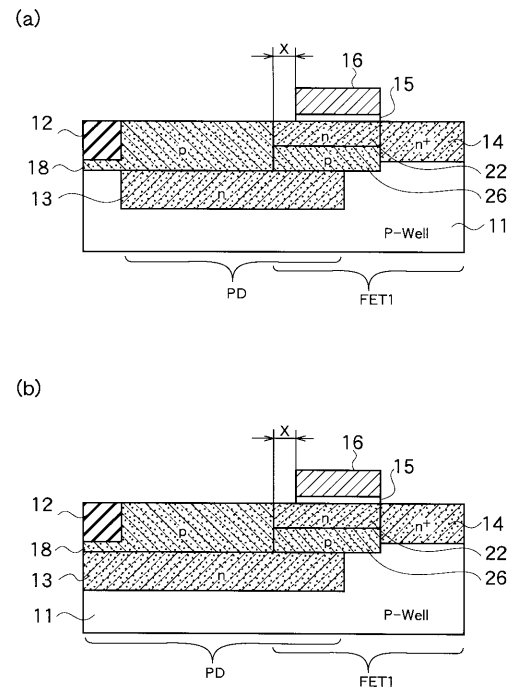
【 図 6 】



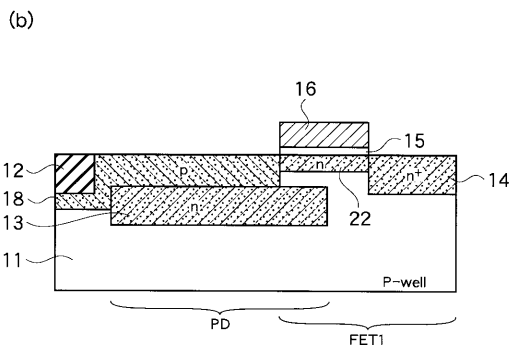
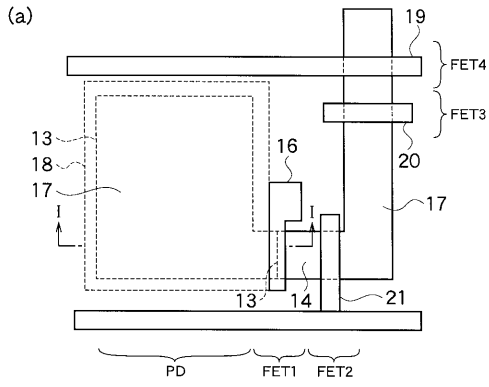
【 図 7 】



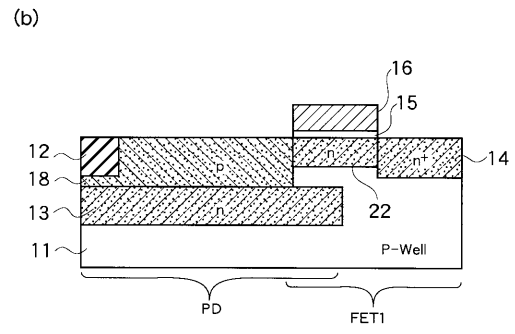
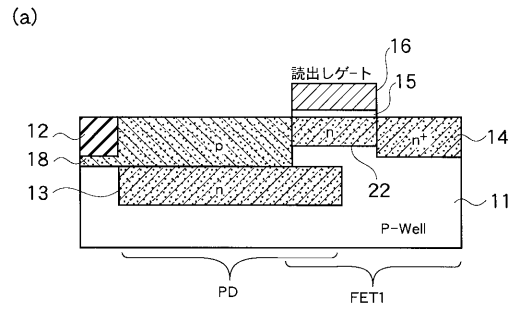
【 図 8 】



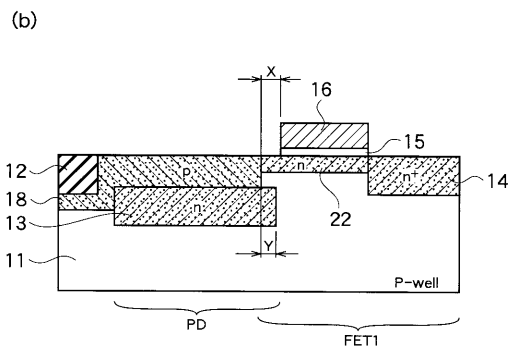
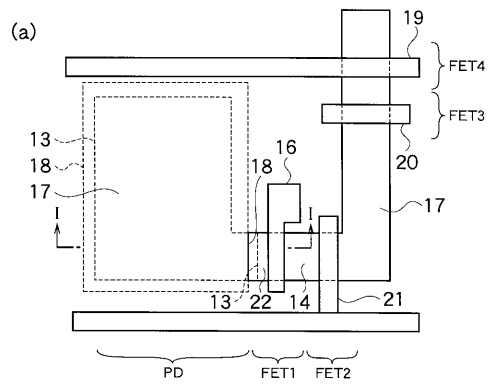
【図 9】



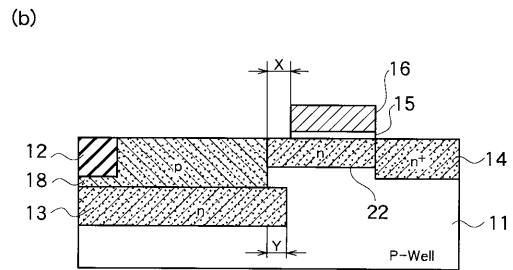
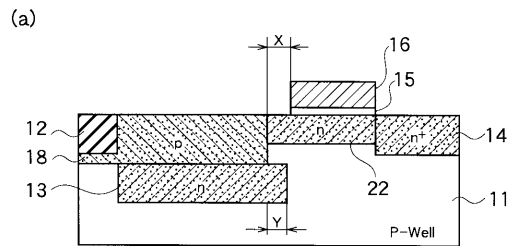
【図 10】



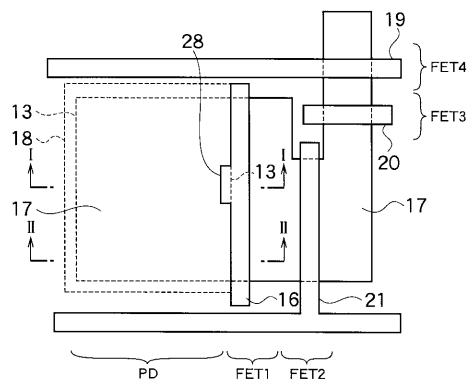
【図 11】



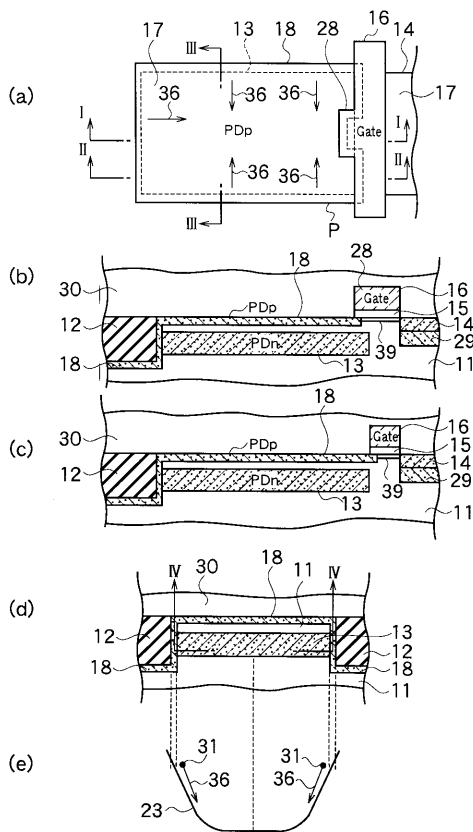
【図 12】



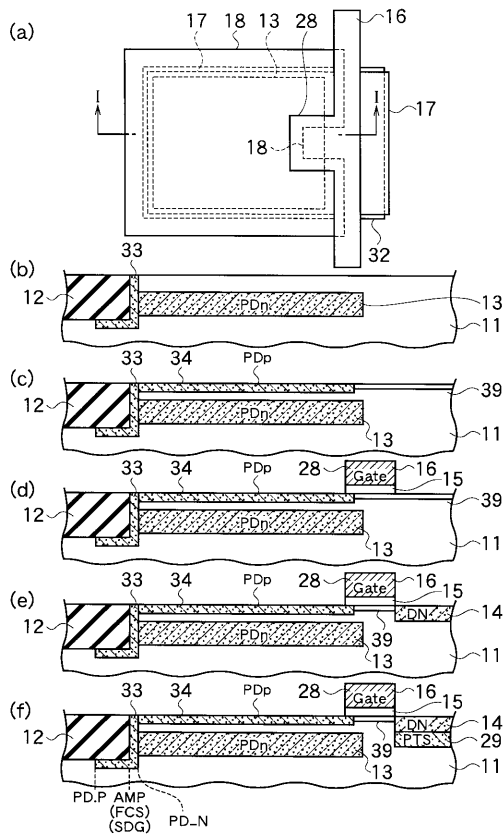
【 図 1 3 】



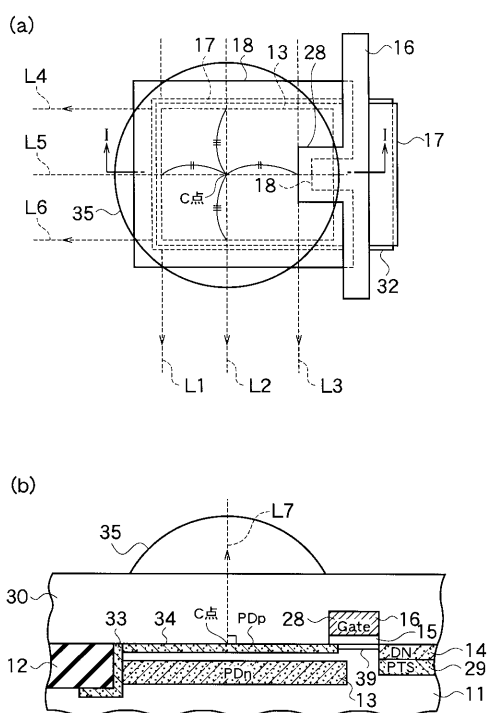
【 図 1 4 】



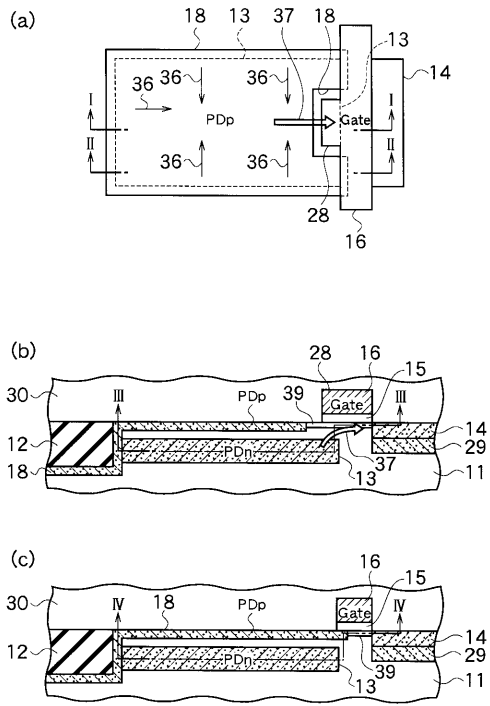
【 図 1 5 】



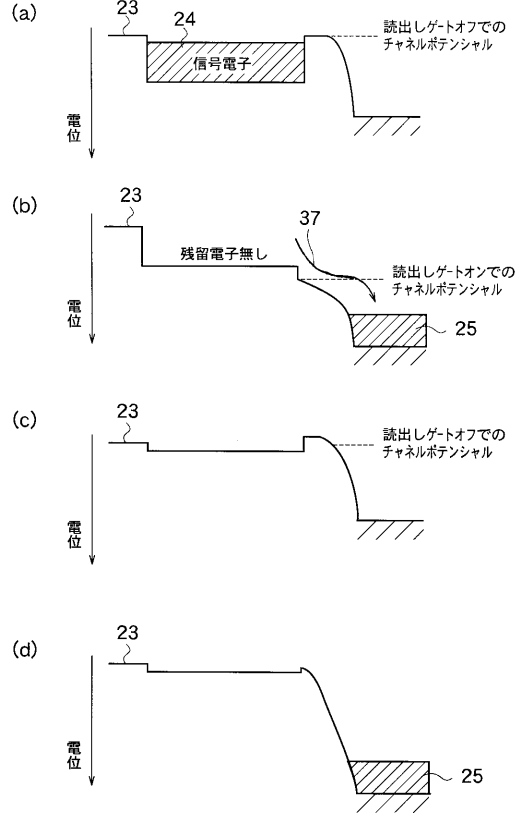
【 図 1 6 】



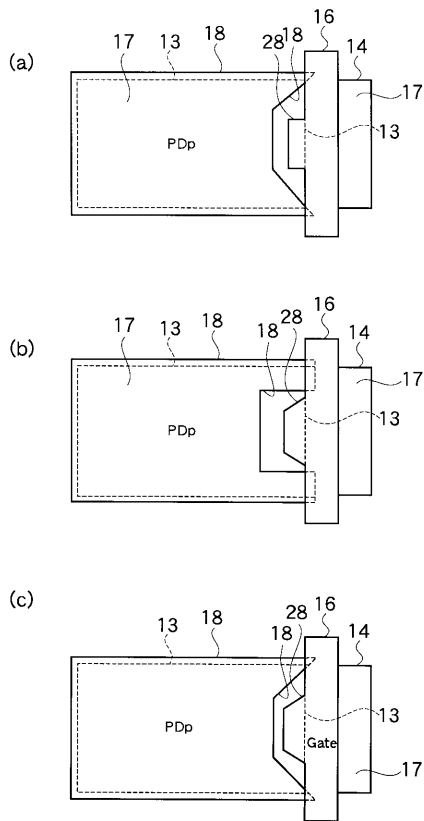
【図 17】



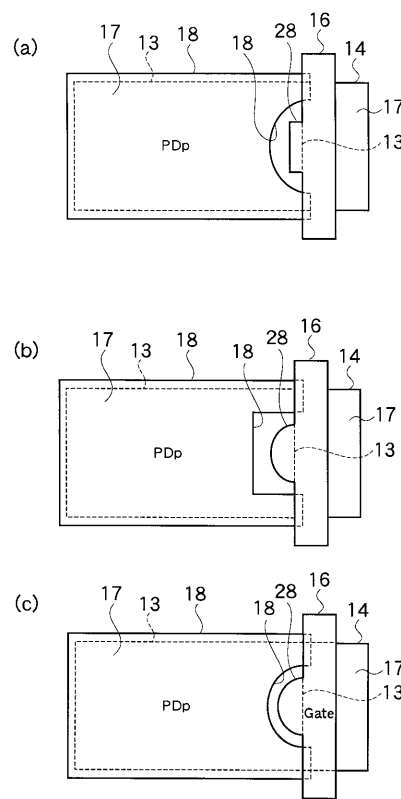
【図 18】



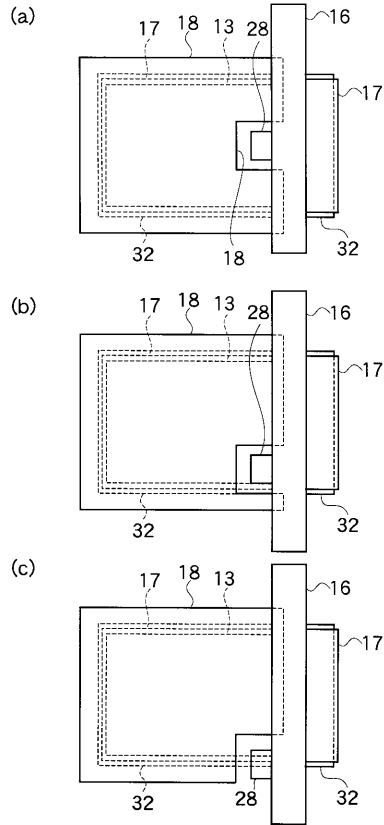
【図 19】



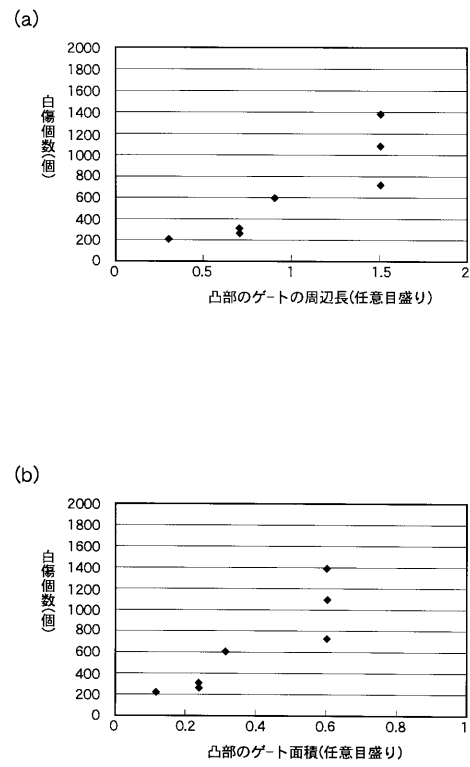
【図 20】



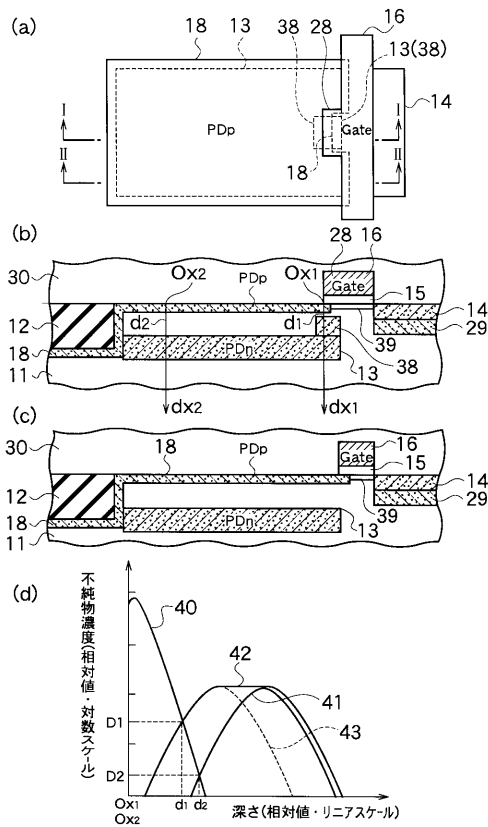
【 図 2 1 】



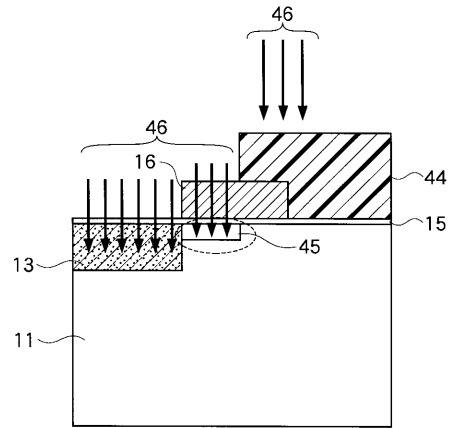
【 図 2 2 】



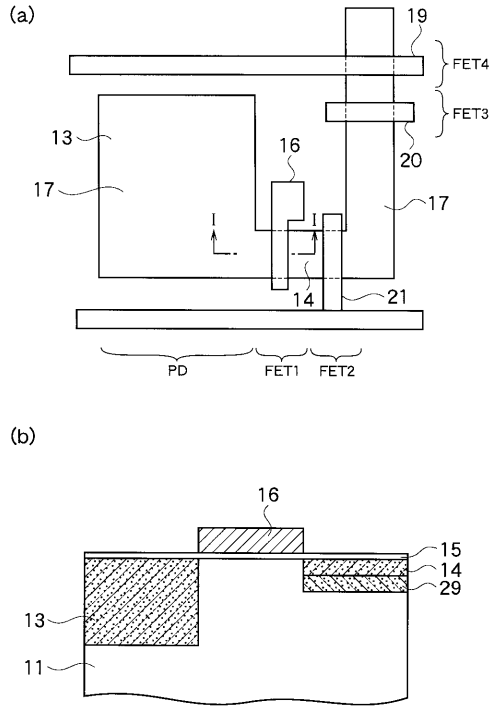
【 図 2 3 】



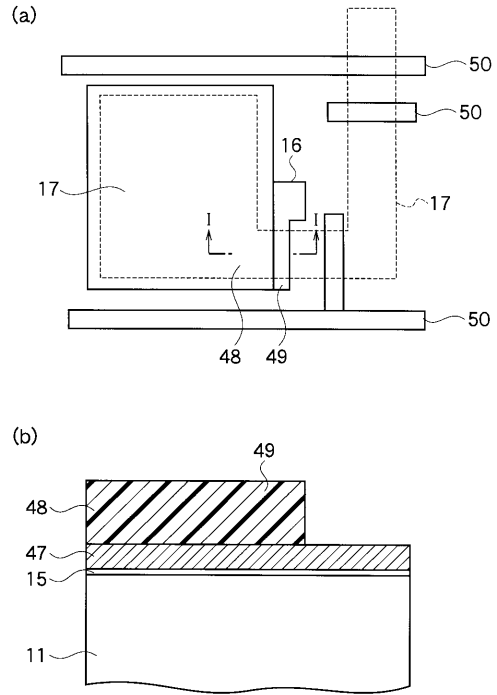
【 図 2 4 】



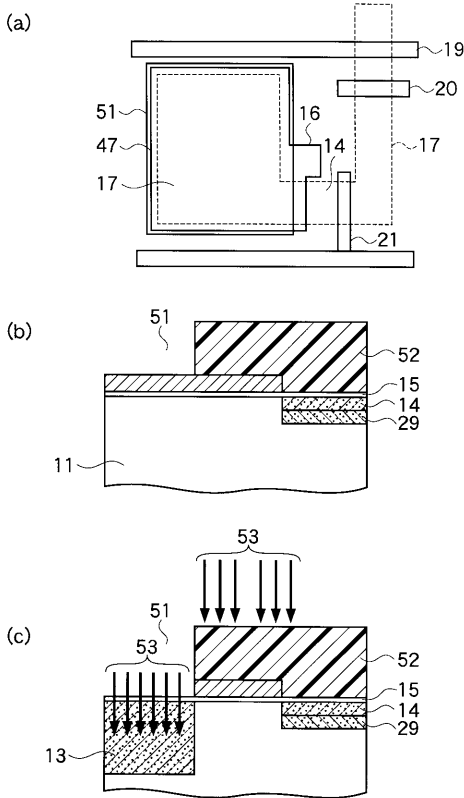
【 図 2 5 】



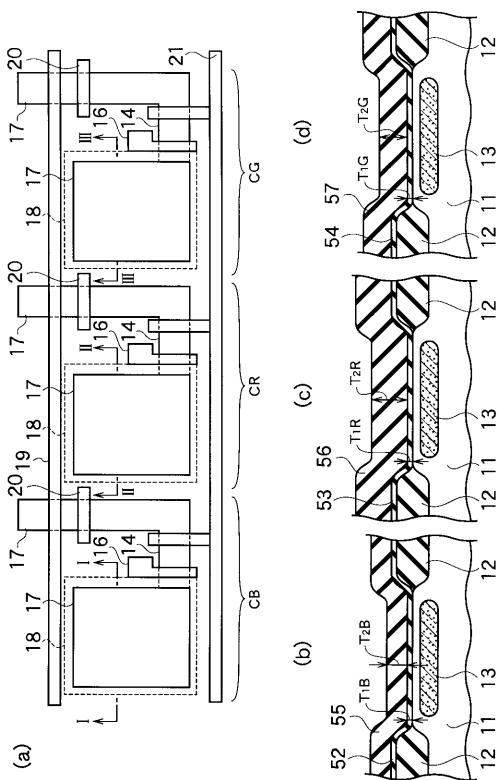
【 図 2 6 】



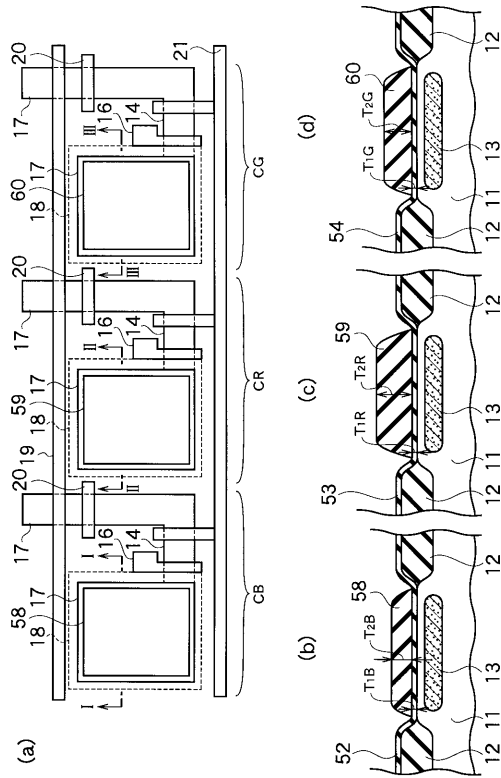
【 図 2 7 】



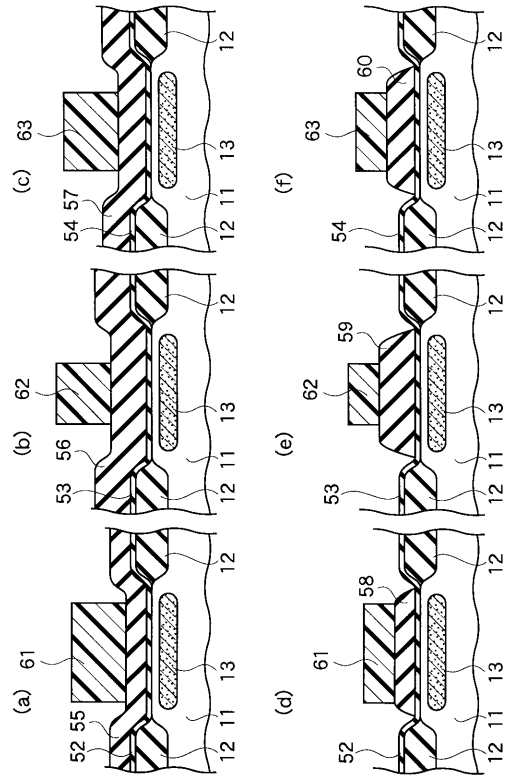
【 図 2 8 】



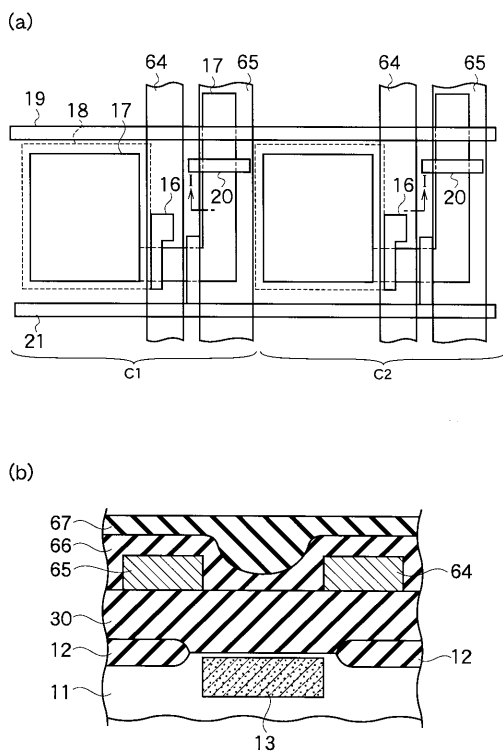
【 図 2 9 】



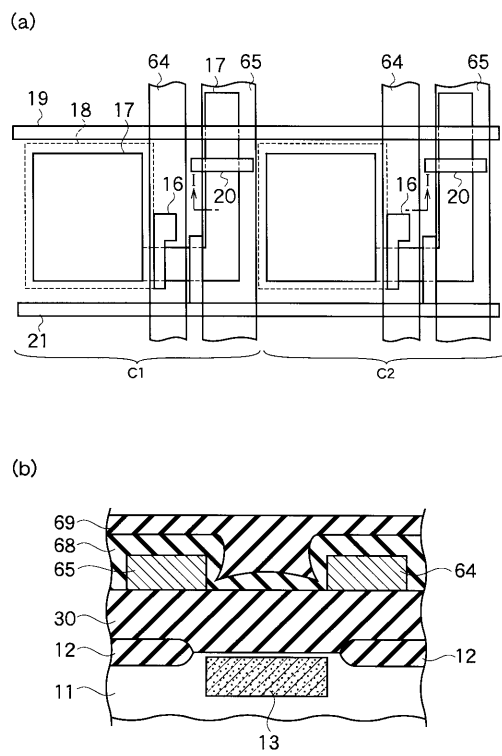
【 図 3 0 】



【 図 3 1 】

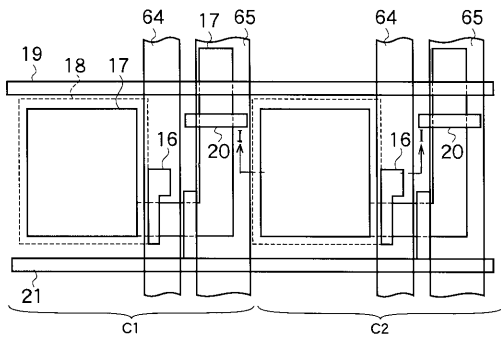


【 図 3 2 】

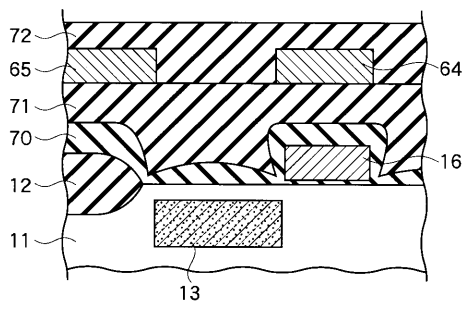


【 図 3 3 】

(a)



(b)



フロントページの続き

- (74)代理人 100098327
弁理士 高松 俊雄
- (72)発明者 石渡 宏明
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 山下 浩史
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 山口 鉄也
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 野崎 秀俊
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 井原 久典
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 田中 長孝
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 江木 雄一郎
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 織部 昌之
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 遠藤 幸雄
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 真鍋 宗平
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 4M118 AA05 AB01 BA14 CA03 CA04 CA32 FA06 FA08 FA28 FA33
GD04 GD07
5C024 CX03 CX32 GX03 GX16 GY31 HX01 HX40 HX41
5F049 MA02 MB02 NA04 NA05 NB05 QA03 RA02 SS03 SZ03 SZ13
TA12