

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7523926号
(P7523926)

(45)発行日 令和6年7月29日(2024.7.29)

(24)登録日 令和6年7月19日(2024.7.19)

(51)国際特許分類	F I
G 0 9 F 9/00 (2006.01)	G 0 9 F 9/00 3 3 8
G 0 9 F 9/30 (2006.01)	G 0 9 F 9/30 3 3 0
	G 0 9 F 9/30 3 3 8
	G 0 9 F 9/30 3 1 0

請求項の数 19 (全26頁)

(21)出願番号	特願2020-48674(P2020-48674)	(73)特許権者	512187343
(22)出願日	令和2年3月19日(2020.3.19)		三星ディスプレイ株式會社
(65)公開番号	特開2020-160445(P2020-160445 A)		S a m s u n g D i s p l a y C o . , L t d .
(43)公開日	令和2年10月1日(2020.10.1)		大韓民国京畿道龍仁市器興区三星路 1
審査請求日	令和5年3月1日(2023.3.1)		1 , S a m s u n g - r o , G i h e u n g - g u , Y o n g i n - s i , G y e o n g g i - d o , R e p u b l i c o f K o r e a
(31)優先権主張番号	10-2019-0033686	(74)代理人	100121382
(32)優先日	平成31年3月25日(2019.3.25)		弁理士 山下 託嗣
(33)優先権主張国・地域又は機関	韓国(KR)	(72)発明者	劉 俊 優
			大韓民国京畿道城南市盆唐区美金路 2 3 , 1 0 5 棟 1 1 0 3 号
		(72)発明者	李 東 ▲ヒョン▼

最終頁に続く

(54)【発明の名称】 表示装置およびその製造方法

(57)【特許請求の範囲】

【請求項 1】

第 1 基板上に剥離層を積層する段階と、
前記剥離層上に導電体パターンを形成する段階と、
前記導電体パターン上に犠牲層を形成する段階と、
前記犠牲層上にポリマー層を含む第 2 基板を形成する段階と、
前記第 2 基板上に導電体を含む電子素子を形成する段階と、
前記導電体パターンに対応する受入パターンを前記犠牲層に形成する段階と、
前記導電体パターンを前記犠牲層の前記受入パターンを通じて前記第 2 基板の背面に転写する段階と、
前記第 1 基板、前記剥離層および前記犠牲層を除去する段階とを含む表示装置の製造方法。

【請求項 2】

前記剥離層は、動的剥離層である、請求項 1 に記載の表示装置の製造方法。

【請求項 3】

前記犠牲層の前記受入パターンは、陰刻パターンであり、
前記陰刻パターンを前記犠牲層に形成する段階は、
前記導電体パターンにレーザを照射して、前記犠牲層における前記導電体パターンと重なる部分を、除去する段階を含む、請求項 1 に記載の表示装置の製造方法。

【請求項 4】

前記犠牲層における前記導電体パターンと重なる部分を除去する段階は、前記犠牲層における前記導電体パターンと重なる部分を、気化させる段階を含む、請求項 3 に記載の表示装置の製造方法。

【請求項 5】

前記導電体パターンを前記第 2 基板の背面に転写する段階は、

前記導電体パターンにレーザを照射して、前記導電体パターンを溶融させることで、前記犠牲層の前記受入パターンに前記溶融した導電体パターンを浸入させる段階を含む、請求項 1 に記載の表示装置の製造方法。

【請求項 6】

前記導電体パターンを形成した後、前記犠牲層を形成する前に、前記導電体パターンを覆うオーバーコート層を形成する段階をさらに含む、請求項 1 に記載の表示装置の製造方法。

10

【請求項 7】

前記導電体パターンと、前記電子素子の導電体とを電氣的に連結する段階をさらに含む、請求項 1 に記載の表示装置の製造方法。

【請求項 8】

前記第 1 基板、前記剥離層および前記犠牲層を除去する段階は、前記第 1 基板および前記剥離層を同時に前記犠牲層から分離した後、前記犠牲層を除去する段階を含む、請求項 1 に記載の表示装置の製造方法。

【請求項 9】

前記電子素子は、トランジスタおよび発光素子をさらに含む、請求項 1 に記載の表示装置の製造方法。

20

【請求項 10】

前記導電体は、電源供給線またはデータ線を含む、請求項 1 に記載の表示装置の製造方法。

【請求項 11】

前記導電体パターンは、パッド、電源供給線、データ線の少なくとも 1 つを含む、請求項 1 に記載の表示装置の製造方法。

【請求項 12】

前記犠牲層は、多孔性ポリマーを含む、請求項 1 に記載の表示装置の製造方法。

30

【請求項 13】

前記犠牲層の前記受入パターンは、多孔性パターンであり、

前記多孔性パターンを前記犠牲層に形成する段階は、

前記導電体パターンにレーザを照射して、前記犠牲層における前記導電体パターンに対応する部分を、さらに多孔性にする段階を含む、請求項 12 に記載の表示装置の製造方法。

【請求項 14】

前記導電体パターンを前記第 2 基板の背面に転写する段階は、

前記導電体パターンにレーザを照射して、前記導電体パターンを溶融させることで、前記犠牲層の前記受入パターンに前記溶融した導電体パターンを浸入させる段階を含む、請求項 12 に記載の表示装置の製造方法。

40

【請求項 15】

基板と、

前記基板上に位置し、導電体を含む電子素子と、

前記基板の下に位置する導電体パターンと、

前記基板を貫通し、前記電子素子の導電体と、前記導電体パターンとを電氣的に連結するコネクタとを含み、

前記導電体パターンは、パッド、電源供給線およびデータ線の少なくとも 1 つを含み、

前記導電体パターンは、前記基板のすぐ下に位置し、前記基板の背面と接しており、

前記コネクタは、前記基板を貫通するホール内に形成された導電体で形成されており、

前記導電体パターンは、多孔性ポリマー、及び前記多孔性ポリマーの連通気泡をなす空

50

隙に充填された導電物質から形成されており、前記コネクタと直接に接触している表示装置。

【請求項 16】

前記多孔性ポリマーは、トリアゼン (triazene) 系のポリマー、または、アクリレート系 (メタクリレートを含む) のポリマーを含む、請求項 15 に記載の表示装置。

【請求項 17】

前記基板は、100 マイクロメートル未満の厚さを有するポリマー層である、請求項 15 に記載の表示装置。

【請求項 18】

前記電子素子は、回路素子および発光素子を含み、

10

前記回路素子は、前記電子素子の導電体を含み、

前記電子素子の導電体は、電源供給線またはデータ線を含む、請求項 15 に記載の表示装置。

【請求項 19】

前記基板は、映像を表示する表示領域と、前記表示領域の周辺にある非表示領域とを含み、

前記導電体パターンは、表示領域と重なる部分を含む、請求項 15 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、表示装置およびその製造方法に関する。

【背景技術】

【0002】

有機発光表示装置のような表示装置は、基板上に、画素と、これを駆動するための回路素子とを形成して製造された表示パネルを含む。

【0003】

表示パネルは、大部分の領域が画面 (スクリーン) を形成する表示領域であり得るが、表示パネルの特定の領域、例えば、周縁領域は、駆動回路、信号線などが配置される非表示領域であり得る。非表示領域には、信号の入出力のためのパッドが位置するパッド部が位置し、パッド部には、フレキシブルプリント回路フィルム (flexible circuit film) が接合される。

30

【0004】

スクリーン対ボディ比 (screen - to - body ratio) が高い電子装置 (例えば、スマートフォン、タブレット PC、ノートパソコン、テレビ、モニタなど) へのニーズがますます高まっている。通常、表示パネルの非表示領域は、電子装置のスクリーン対ボディ比を増加させる上で制約になる。非表示領域が狭いほどより広い画面 (スクリーン) を提供できるため、非表示領域を低減するための努力が続いている。しかし、非表示領域を低減するためには、非表示領域に配置される要素をさらにコンパクト (compact) に設計するか、または省略しなければならないので、これによって表示装置の信頼性が低下しうる。

40

【0005】

高解像度の表示装置へのニーズが常に存在しているが、高解像度に対応するためには、表示パネルに伝達される信号の個数が増加しなければならないので、パッドの個数も増加しなければならない。限られたパッド部領域でパッドの個数を増加させるためにはパッドのピッチ (pad pitch) を低減することが必要になるが、公差限界 (tolerance limit) や接合信頼性 (bonding reliability) の側面から困難がある。また、表示領域および / または非表示領域に、より多くの配線を配置しなければならないので、配線抵抗が増加して、表示品質が低下したり消費電力が増加したりしうる。

【発明の概要】

50

【発明が解決しようとする課題】**【0006】**

実施形態は、スクリーン対ボディ比および信頼性が改善された表示装置およびこれを製造する方法を提供する。

【課題を解決するための手段】**【0007】**

一実施形態による表示装置の製造方法は、キャリア基板上に剥離層を積層する段階と、前記剥離層上に導電体パターンを形成する段階と、前記導電体パターン上に犠牲層を形成する段階と、前記犠牲層上にポリマー層を含む基板を形成する段階と、前記基板上に導電体を含む電子素子を形成する段階と、前記導電体パターンに対応する受入パターンを前記犠牲層に形成する段階と、前記犠牲層の前記受入パターンに前記導電体パターンを浸入させることで、前記導電体パターンを前記基板の背面に転写する段階と、前記キャリア基板、前記剥離層および前記犠牲層を除去する段階とを含む。

10

【0008】

前記犠牲層は、多孔性ポリマーを含むことができる。

【0009】

前記剥離層は、動的剥離層であってもよい。

【0010】

前記犠牲層の前記受入パターンは、陰刻パターンであってもよく、前記陰刻パターンを前記犠牲層に形成する段階は、前記導電体パターンにレーザを照射して、前記犠牲層における前記導電体パターンと重なる部分を、除去する段階を含むことができる。

20

【0011】

前記犠牲層における前記導電体パターンと重なる部分を除去する段階は、前記犠牲層における前記導電体パターンと重なる部分を、気化させる段階を含むことができる。

【0012】

前記犠牲層の前記パターンは、多孔性パターンであってもよく、前記多孔性パターンを前記犠牲層に形成する段階は、前記導電体パターンにレーザを照射して、前記犠牲層における前記導電体パターンに対応する部分を、さらに多孔性にする段階を含むことができる。

【0013】

前記導電体パターンを前記基板の背面に転写する段階は、前記導電体パターンにレーザを照射して、前記導電体パターンを溶融させることで、前記犠牲層の前記受入パターンに前記溶融した導電体パターンを浸入させる段階を含むことができる。

30

【0014】

前記方法は、前記導電体パターンを形成した後、前記犠牲層を形成する前に、前記導電体パターンを覆うオーバーコート層を形成する段階をさらに含んでもよい。

【0015】

前記方法は、前記導電体パターンと、前記電子素子の導電体とを電氣的に連結する段階をさらに含んでもよい。

【0016】

前記キャリア基板、前記剥離層および前記犠牲層を除去する段階は、前記キャリア基板および前記剥離層を同時に前記犠牲層から分離した後、前記犠牲層を除去する段階を含むことができる。

40

【0017】

前記電子素子は、トランジスタおよび発光素子をさらに含んでもよい。

【0018】

前記電子素子の導電体は、電源供給線またはデータ線を含むことができる。

【0019】

前記導電体パターンは、パッド、電源供給線、データ線の少なくとも1つを含むことができる。

【0020】

50

一実施形態による表示装置は、基板と、前記基板上に位置し、導電体を含む電子素子と、前記基板の下に位置する導電体パターンと、前記基板を貫通し、前記導電体と前記導電体パターンとを電気的に連結するコネクタとを含み、前記導電体パターンは、パッド、電源供給線およびデータ線の少なくとも1つを含むことができる。

【0021】

前記導電体パターンは、前記基板のすぐ下に位置することができ、前記基板の背面と接することができる。

【0022】

前記基板は、約100マイクロメートル未満の厚さを有してもよい。

【0023】

前記導電体パターンは、導電物質およびポリマーを含むことができる。

【0024】

前記導電体パターンは、多孔性ポリマーに導電物質が充填されていてもよい。

【0025】

前記電子素子は、回路素子および発光素子を含むことができ、前記回路素子は、前記導電体を含むことができ、前記導電体は、電源供給線またはデータ線を含むことができる。

【0026】

前記基板は、映像を表示する表示領域と、前記表示領域の周辺にある非表示領域とを含むことができ、前記導電体パターンは、表示領域と重なる部分を含むことができる。

【発明の効果】

【0027】

実施形態によれば、表示装置の非表示領域を低減してスクリーン対ボディ比を増加させることができ、パッド部といった導電体パターンの設計自由度、および信号線の抵抗特性を改善することができる。

【図面の簡単な説明】

【0028】

【図1】一実施形態による表示装置の正面を概略的に示す図である。

【図2】図1に示された表示装置の背面を概略的に示す図である。

【図3】一実施形態による表示装置を概略的に示す断面図である。

【図4】図3に示された表示装置の製造過程を示す工程断面図である。

【図5】図3に示された表示装置の製造過程を示す工程断面図である。

【図6】図3に示された表示装置の製造過程を示す工程断面図である。

【図7】図3に示された表示装置の製造過程を示す工程断面図である。

【図8】図3に示された表示装置の製造過程を示す工程断面図である。

【図9】図3に示された表示装置の製造過程を示す工程断面図である。

【図10】図3に示された表示装置の製造過程を示す工程断面図である。

【図11】図3に示された表示装置の製造過程を示す工程断面図である。

【図12】図3に示された表示装置の製造過程を示す工程断面図である。

【図13】図3に示された表示装置の製造過程を示す工程断面図である。

【図14】図3に示された表示装置の製造過程を示す工程断面図である。

【図15】図3に示された表示装置の製造過程を示す工程断面図である。

【図16】一実施形態による表示装置を概略的に示す断面図である。

【図17】図16に示された表示装置の製造過程を示す工程断面図である。

【図18】図16に示された表示装置の製造過程を示す工程断面図である。

【図19】図16に示された表示装置の製造過程を示す工程断面図である。

【図20】図16に示された表示装置の製造過程を示す工程断面図である。

【図21】図16に示された表示装置の製造過程を示す工程断面図である。

【図22】一実施形態による表示装置における1つの画素の等価回路図である。

【図23】一実施形態による表示装置における表示領域の断面図である。

【図24】一実施形態による表示装置におけるパッド部領域の断面図である。

10

20

30

40

50

【発明を実施するための形態】

【0029】

添付した図面を参照して、本発明の実施例について、本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳しく説明する。本発明は種々の異なる形態で実現可能であり、ここで説明する実施例に限定されない。

【0030】

本発明を明確に説明するために説明上不必要な部分は省略し、明細書全体にわたって同一または類似の構成要素については同一の参照符号を付す。

【0031】

図面に示された各構成の大きさおよび厚さは説明の便宜のために任意に示したので、本発明が必ずしも図示のところに限定されない。図面において、様々な層および領域を明確に表現するために厚さを拡大して示した。そして、図面において、説明の便宜のために、一部の層および領域の厚さを誇張して示した。

10

【0032】

層、膜、領域、板などの部分が他の部分の「上」にあるとする時、これは、他の部分の「直上」にある場合のみならず、その中間にさらに他の部分がある場合も含む。逆に、ある部分が他の部分の「直上」にあるとする時には、中間に他の部分がないことを意味する。

【0033】

明細書全体において、ある部分がある構成要素を「含む」とする時、これは、特に反対の記載がない限り、他の構成要素を除くのではなく、他の構成要素をさらに包含できることを意味する。

20

【0034】

明細書全体において、「平面上」とする時、これは、対象部分を上から見た時を意味し、「断面上」とする時、これは、対象部分を垂直に切断した断面を横から見た時を意味する。

【0035】

図面において、方向を示すのに使用される符号 x は、第1方向であり、 y は、第1方向と垂直な第2方向であり、 z は、第1方向および第2方向と垂直な第3方向である。第1方向(x)、第2方向(y)および第3方向(z)は、それぞれ、表示装置の横方向、縦方向および厚さ方向に対応しうる。

30

【0036】

一実施形態による表示装置について、図面を参照して詳しく説明する。

【0037】

図1は、一実施形態による表示装置の正面を概略的に示す図であり、図2は、図1に示された表示装置の背面を概略的に示す図である。ここで、表示装置の正面と背面とは、表示パネル10の基板を基準として、基板の一面の側が正面であり、基板の他面の側が背面である。

【0038】

図1を参照すれば、表示装置は、表示パネル10を含み、表示パネル10は、点線で示された境界線BLを基準として、その内部の表示領域($display\ area$)DAと、その外部の非表示領域($non-display\ area$)NAとを含む。表示パネル10において、表示領域DAは、映像が表示される画面(スクリーン)に相当し、アクティブ領域($active\ area$)とも呼ばれる。表示領域DAの周辺にある非表示領域NAには、表示領域DAに印加される各種信号を生成および/または伝達するための回路および/または信号線が配置されている。非表示領域NAは、表示領域DAを取り囲むことができる。

40

【0039】

表示パネル10の表示領域DAには、画素PXが、例えば、行列に配置されている。表示装置が有機発光表示装置の場合、表示領域DAには、ゲート線GL、データ線DL、駆動電圧線DVLといった信号線がさらに配置されている。ゲート線GL、データ線DLお

50

よび駆動電圧線 D V L は非表示領域 N A まで延びている。表示領域 D A において、ゲート線 G L は、略第 1 方向 x に延び、データ線 D L と駆動電圧線 D V L は、略第 2 方向 y に延びることができる。非表示領域 D A には、共通電圧を伝達する共通電圧線 C V L が位置することができる。

【 0 0 4 0 】

それぞれの画素 P X には、ゲート線 G L、データ線 D L および駆動電圧線 D V L が連結されており、これらの信号線からゲート信号、データ信号および駆動電圧が印加される。それぞれの画素 P X は、有機発光ダイオードであり得る発光素子を含むことができる。表示領域 D A には、画素 P X と連結されるセンシング線や発光制御線といった信号線、または前述のものと異なる信号を伝達する信号線が、さらに配置されてもよい。表示領域 D A には、使用者による接触または非接触のタッチを検知するためのタッチセンサ層が位置してもよい。

10

【 0 0 4 1 】

図 2 を参照すれば、表示パネル 1 0 の背面には、表示パネル 1 0 の外部から信号が伝達されるようにするためのパッド P を含むパッド部 (pad portion) P P が位置する。図示しないが、表示装置は、パッド部 P P に接合 (bonding) されるフレキシブルプリント回路フィルムを含むことができる。フレキシブルプリント回路フィルムのパッドは、異方性導電膜などを介してパッド部 P P のパッド P に電氣的に連結される。

【 0 0 4 2 】

通常、パッド部 P P は、表示パネル 1 0 の前面の非表示領域 N A に位置する。フレキシブルプリント回路フィルムの接合のために、パッド部 P P は所定の面積を必要とするので、パッド部 P P は、非表示領域 N A を増加させる。本実施形態のように、パッド部 P P を表示パネル 1 0 の背面に形成することによって、非表示領域 N A を低減することができる。表示装置のスクリーン対ボディ比を増加させることができる。パッド部 P P のパッド P は、基板を貫通して形成されたコネクタ (connectors) によって、表示パネル 1 0 の正面に位置するデータ線 D L、駆動電圧線 D V L、共通電圧線 C V L といった信号線と電氣的に連結される。コネクタは、金属、金属合金といった導電性物質で形成される。

20

【 0 0 4 3 】

パッド部 P P は、表示パネル 1 0 の背面における 1 つの周縁付近に沿って、例えば、第 1 方向 x に長く位置することができる。表示パネル 1 0 が前面発光型有機発光表示パネルの場合、表示パネル 1 0 の背面には映像が表示されない。したがって、表示パネル 1 0 の背面は、全体が非表示領域に相当し、パッド部 P P が表示パネル 1 0 の背面のどこに位置しても良く、表示パネル 1 0 の正面の表示領域 D A と重なって位置することができる。したがって、高解像度によってパッド P の個数が増加したとしても、パッド P を配置するにあたっての設計マージンが増加しうる。したがって、パッド部 P P のパッド P の大きさやピッチをより余裕あるように設計し、フレキシブルプリント回路フィルムとの接合信頼性を増加させることができる。

30

【 0 0 4 4 】

表示パネル 1 0 の背面には、駆動電圧線 D V L '、共通電圧線 C V L ' といった電源供給線が位置することができる。表示パネル 1 0 の背面には、データ線 D L ' が位置することができる。駆動電圧線 D V L '、共通電圧線 C V L ' およびデータ線 D L ' は、基板 S B を貫通して形成されたコネクタによって、それぞれ、表示パネル 1 0 の正面に位置する駆動電圧線 D V L、共通電圧線 C V L およびデータ線 D L と、基板を貫通して電氣的に連結される。このように、表示パネル 1 0 の背面にも信号線を形成し、表示パネル 1 0 の正面に形成された信号線と電氣的に連結することによって、信号線の抵抗および負荷効果 (load effect) を低減することができる。したがって、表示品質、例えば、表示領域 D A の輝度均一性、R G B 混色 (cross talk) などを改善することができる。

40

【 0 0 4 5 】

以下、表示パネル 1 0 の背面に形成されるパッド P、駆動電圧線 D V L '、共通電圧線 C V L '、データ線 D L ' などを導電体パターン (conductor pattern) とし

50

、表示パネル１０の前面に位置し、導電体パターンとコネクタを介して電氣的に連結されるデータ線ＤＬ、駆動電圧線ＤＶＬ、共通電圧線ＣＶＬなどを導電体とする。

【００４６】

表示装置は、駆動装置（driving unit）を含む。駆動装置は、表示パネル１０を駆動するための各種信号を生成および／または処理することができる。駆動装置は、データ線ＤＬにデータ信号を印加するデータ駆動部（data driver）と、ゲート線ＧＬにゲート信号を印加するゲート駆動部（gate driver）と、データ駆動部およびゲート駆動部を制御する信号制御部（signal controller）とを含むことができる。ゲート駆動部、データ駆動部および／または信号制御部は、表示パネル１０の非表示領域ＮＡに位置したり、フレキシブル印刷回路膜に位置したり、フレキシブル印刷回路膜と電氣的に連結された印刷回路基板などに位置したりすることができる。例えば、ゲート駆動部は、表示パネル１０の非表示領域ＮＡに集積されていてもよく、データ駆動部および信号制御部は、集積回路チップの形態でフレキシブルプリント回路フィルムに実装されていてもよい。

10

【００４７】

図３は、一実施形態による表示装置を概略的に示す断面図である。

【００４８】

図３は、図１および図２に示されるような表示装置における構成要素の断面上の位置関係を説明するために断面構造を概略的に示す。したがって、図３は、図１および図２に示されたものと異なる方式で構成要素を示しており、平面上の位置が図１および図２に示されたものと必ずしも対応しない。

20

【００４９】

図３を参照すれば、表示パネル１０は、基板ＳＢと、基板ＳＢ上に位置する電子素子（electric elements）ＥＥとを含み、基板ＳＢの下に位置する転写された導電体パターン（transferred conductor pattern）ＴＣＰを含む。基板ＳＢは、約１００マイクロメートル未満の厚さを有するポリマー層であってもよい。電子素子ＥＥが位置する基板ＳＢの上側が表示パネル１０または基板ＳＢの正面、つまり、画面（スクリーン）のある領域に相当し、転写された導電体パターンＴＣＰが位置する基板ＳＢの下側が表示パネル１０または基板ＳＢの背面に相当する。

【００５０】

30

電子素子ＥＥは、表示パネル１０の画素および画素を駆動するために基板ＳＢ上に形成または配置される電氣的および／または電子的な素子を意味する。電子素子ＥＥは、トランジスタ、キャパシタ、信号線といった回路素子を含む。表示パネル１０が有機発光表示パネルである場合、電子素子ＥＥは、有機発光ダイオードのといった発光素子を含む。電子素子ＥＥの回路素子は、基板ＳＢ上に導電層を形成して、パターンングすることで形成されるのであり、上下の導電層間の絶縁のために、これら導電層の間には絶縁層が形成される。電子素子ＥＥの回路素子は、導電体パターンＴＣＰにコネクタＣＮを介して電氣的に連結される、導電体ＣＴを含む。導電体ＣＴは、前述のように、データ線ＤＬ、駆動電圧線ＤＶＬおよび／または共通電圧線ＣＶＬを含むことができる。この他にも、導電体ＣＴは、電子素子ＥＥに含まれて電氣的信号を伝達できる構成であれば良いのであり、例えば、トランジスタの１つの電極であってもよい。

40

【００５１】

表示パネル１０は、電子素子ＥＥを密封する封止層ＥＣを含むことができる。封止層ＥＣは、表示領域ＤＡを密封して表示パネル１０の内部、特に表示領域ＤＡに水分や酸素が浸入するのを防止する役割を果たす。

【００５２】

基板ＳＢの下側であって、基板ＳＢの背面に接するように位置する導電体パターンＴＣＰは、前述したパッドＰ、駆動電圧線ＤＶＬ'、共通電圧線ＣＶＬ'、データ線ＤＬ'の少なくとも１つを含むことができる。導電体パターンＴＣＰは、最初から基板ＳＢの背面に形成されるのではなく、転写シート上または転写ドラム上などの、転写媒体の上に形成された

50

後、基板 S B の背面に転写されたものである。導電体パターン T C P は、レーザ転写技術 (l a s e r t r a n s f e r t e c h n o l o g i e s) を適用して形成されうる。導電体パターン T C P は、金属、金属合金、透明導電性酸化物、導電性高分子などの多様な導電性物質で形成されうる。例えば、導電体パターン T C P は、銅、銅合金、アルミニウム、アルミニウム合金などで形成されうる。

【 0 0 5 3 】

表示パネル 1 0 の電子素子 E E が基板 S B の上側に形成されているので、基板 S B の下側に位置する導電体パターン T C P に入力される信号や電圧を電子素子 E E に伝達するために、基板 S B には、基板 S B を貫通して導電体パターン T C P と導電体 C T とを電氣的に連結するコネクタ C N が位置する。つまり、コネクタ C N は、基板 S B のホール内に位置し、一端及び他端が、それぞれ導電体パターン T C P 及び導電体 C T に接続されている。基板 S B のホールおよびコネクタ C N は、基板 S B の平面に略垂直な方向 z に延びるように形成されうる。

10

【 0 0 5 4 】

これまでいくつかの実施形態による表示装置の構造的な特徴について説明した。以下、図 3 に示されるような表示装置を製造する方法について説明する。

【 0 0 5 5 】

図 4 ~ 図 1 5 は、図 3 に示された表示装置の製造過程を示す工程断面図である。

【 0 0 5 6 】

図 4 を参照すれば、キャリア基板 C S 上に、動的剥離層 (d y n a m i c r e l e a s e l a y e r) といった剥離層 R L を積層する。剥離層 R L は、UV 分解性フォトリマー (U V g r a d a b l e p h o t o p o l y m e r) といった物質をキャリア基板 C S にコーティングすることで形成されうるものであり、このような物質のフィルムを粘着剤によってキャリア基板 C S に貼り付けるのであってもよい。紫外線分解性フォトリマーとしてトリアゼンポリマー (t r i a z e n e p o l y m e r) などが使用可能である。剥離層は、光熱変換層 (l i g h t t o h e a t c o n v e r s i o n l a y e r) として機能することができる。

20

【 0 0 5 7 】

キャリア基板 C S としては、ガラス基板といった透明な基板が使用可能である。キャリア基板 C S は、レーザエネルギーがキャリア基板 C S を通って伝達されうるように、レーザが透過可能な特性を有することができる。

30

【 0 0 5 8 】

図 5 を参照すれば、剥離層 R L に導電層を形成してからパターンニングすることで、導電体パターン C P を形成する。導電層は、材料の種類や特性に応じて、スパッタリング、蒸着、コーティングなどの多様な方式で形成されうる。パターンニングは、フォトリソグラフィ工程で行われうる。

【 0 0 5 9 】

図 6 を参照すれば、導電体パターン C P が形成された剥離層 R L 上にオーバーコート層 (o v e r c o a t l a y e r) O C を形成する。オーバーコート層 O C は、導電体パターン C P によって生じた不均一な表面を平坦化する役割を果たす。オーバーコート層 O C は省略されてもよい。

40

【 0 0 6 0 】

図 7 を参照すれば、オーバーコート層 O C 上に犠牲層 (s a c r i f i c i a l l a y e r) S L を形成する。犠牲層 S L としては、多孔性ポリマー (p o r o u s p o l y m e r) が使用可能である。多孔性ポリマーは、湿った状態 (h u m i d c o n d i t i o n) で疎水性ポリマー溶液をコーティングし、疎水性ポリマー溶液内の水滴を蒸発させることで形成されうる。多孔性ポリマーの空隙は、湿度、温度、移動速度などを調節することで調節可能であり、空隙の大きさは、約 1 0 0 ナノメートル ~ 数十マイクロメートルであってよい。

【 0 0 6 1 】

50

図 8 を参照すれば、犠牲層 S L 上に基板 S B を積層する。基板 S B は、犠牲層 S L 上にポリイミド (P I)、ポリアミド (P A)、ポリエチレンテレフタレート (P E T) などのポリマーをコーティングして形成されたフレキシブル基板であってもよい。基板 S B は、薄い厚さ、例えば、約 1 0 0 マイクロメートル未満、約 5 0 マイクロメートル未満、約 3 0 マイクロメートル未満、または約 1 5 マイクロメートル未満の厚さを有してもよい。

【 0 0 6 2 】

図 9 を参照すれば、基板 S B 上に電子素子 E E を形成する。電子素子 E E の形成は、基板 S B 上に信号線、トランジスタ、キャパシタなどの導電体 C T を形成し、信号線、トランジスタおよび / またはキャパシタに電氣的に連結される発光素子 (例えば、有機発光ダイオードまたは発光ダイオード) を形成することを含むことができる。電子素子 E E 上には、これを覆って密封する封止層 E C を形成することができる。

10

【 0 0 6 3 】

図 1 0 を参照すれば、キャリア基板 C S の背面からレーザを導電体パターン C P に照射して、オーバーコート層 O C および犠牲層 S L において導電体パターン C P と重なる部分を除去する。レーザは、導電体パターン C P にフォーカスされる。導電体パターン C P と重なるオーバーコート層 O C および犠牲層 S L の部分は、レーザエネルギーによって加熱された導電体パターン C P の熱によって気化して除去される。犠牲層 S L が多孔性であるので、気化した物質は犠牲層 S L の空隙を通して抜け出ることができる。このようなレーザ照射によって、犠牲層 S L には、導電体パターン C P に対応する陰刻パターンが形成される。犠牲層 S L に形成された陰刻パターンは、犠牲層 S L における導電体パターン C P に対応する部分が除去されて形成されたものである。犠牲層 S L の陰刻パターンは、犠牲層 S L を貫通して形成される。したがって、基板 S B における導電体パターン C P に対応する部分が、犠牲層 S L によって覆われていない状態でありうる。

20

【 0 0 6 4 】

図 1 1 を参照すれば、キャリア基板 C S の背面からレーザを導電体パターン C P に照射して、導電体パターン C P を犠牲層 S L の陰刻パターンに浸入させる。レーザは、導電体パターン C P にフォーカスされる。レーザエネルギーによって導電体パターン C P は溶融されうる。また、剥離層 R L とキャリア基板 C S との間の界面には、導電体パターン C P と重なる領域にて、局部的加熱による気泡 (b l i s t e r) が生成される。剥離層 R L は、光 (レーザ) を受けて熱を発生する光熱変換層でありうるものであり、発生した熱によって気泡が膨張しうる。気泡が膨張すれば、剥離層 R L が溶融した導電体パターン M C P を押し出して、溶融した導電体パターン M C P が犠牲層 S L の陰刻パターンに正確に浸入することができる。これにより、剥離層 R L に形成されていた導電体パターン C P は、図 1 2 に示されるように、基板 S B の背面に転写されることで、転写された導電体パターン T C P を形成する。

30

【 0 0 6 5 】

その後、図 1 3 を参照すれば、レーザリフトオフ (l a s e r l i f t o f f) 方法で、剥離層 R L を、キャリア基板 C S と共にオーバーコート層 O C から分離する。次に、図 1 4 を参照すれば、基板 S B の背面に残っているオーバーコート層 O C と犠牲層 S L を除去する。基板 S B と犠牲層 S L との間にレーザを照射するレーザリフトオフ方法により、オーバーコート層 O C と犠牲層 S L は、基板 S B から共に分離されうる。

40

【 0 0 6 6 】

図 1 5 を参照すれば、基板 S B を貫通するホール内に形成されたコネクタ C N によって、基板 S B の正面に位置する導電体 C T と、基板 S B の背面に位置する転写された導電体パターン T C P とが、電氣的に連結される。これにより、転写された導電体パターン T C P に印加される信号および電圧が、基板 S B の上側に位置する電子素子 E E に転送されうるものであり、逆に、電子素子 E E からの信号が、転写された導電体パターン T C P に転送されうる。基板 S B のホールおよびコネクタ C N は、T S V (t h r o u g h s i l i c o n v i a)、T G V (t h r o u g h g l a s s v i a) といった方式で形成されうる。基板 S B のホールおよびコネクタ C N は、基板 S B の平面に垂直に形成されうる

50

。コネクタＣＮは、金属や、金属合金といった導電体で形成されうる。コネクタＣＮは、基板ＳＢ上に電子素子ＥＥを形成する前に、または電子素子ＥＥを形成する際に形成されてもよく、電子素子ＥＥを形成した後に形成されてもよい。転写された導電体パターンＴＣＰにおける、前述したパッドＰを形成する部分以外の部分は、酸化防止などのために絶縁層などの保護層で覆われてもよい。

【００６７】

図１６は、一実施形態による表示装置を概略的に示す断面図である。

【００６８】

図１６に示された表示装置は、図３に示された表示装置と、転写された導電体パターンＴＣＰにおいて相違がある。つまり、図３の転写された導電体パターンＴＣＰは、導電物質のみからなるが、図１６の転写された導電体パターンＴＣＰは、犠牲層の多孔性パターンに導電物質が浸入した（interfused）状態である。したがって、図１６の転写された導電体パターンＴＣＰは、導電物質とポリマーをすべて含むことができ、多孔性ポリマーに導電物質が浸入した構造であり得る。このような転写された導電体パターンＴＣＰを形成する方法について、図１７～図２１を参照して説明する。

【００６９】

図１７～図２１は、図１６に示された表示装置の製造過程を示す工程断面図である。

【００７０】

図１６に示された表示装置の工程段階において、キャリア基板ＣＳ上に剥離層ＲＬを積層する段階から、基板ＳＢ上に電子素子ＥＥおよび封止層ＥＣを形成する段階は、図４～図９を参照して説明したものと同一である。

【００７１】

その後、図１７を参照すれば、キャリア基板ＣＳの背面からレーザを導電体パターンＣＰに照射して、オーバーコート層ＯＣにおいて導電体パターンＣＰと重なる部分を除去し、犠牲層ＳＬにおける導電体パターンＣＰと重なる部分を、さらに多孔性（more porous）にする。レーザは、導電体パターンＣＰにフォーカスされる。図１０を参照して説明した工程とは異なり、犠牲層ＳＬにおける導電体パターンＣＰと重なる部分を完全には除去しないのであり、レーザエネルギーにより、犠牲層ＳＬにおける導電体パターンＣＰと重なる部分を、部分的に気化させることで、空隙の容積、例えば、空隙の大きさおよび／または空隙の個数を増加させることができる。これによって、犠牲層ＳＬには、導電体パターンＣＰに対応する多孔性パターンが形成されうる。犠牲層ＳＬの多孔性パターンは、犠牲層ＳＬの他の部分よりもさらに多孔性であるので、犠牲層ＳＬの他の部分、つまり、導電体パターンＣＰと重ならない部分と区分される。導電体パターンＣＰと重なる犠牲層ＳＬの部分を完全に除去せずに、さらに多孔性にすることは、例えば、犠牲層ＳＬを形成する材料やレーザエネルギーを適切に調節して行われる。

【００７２】

図１８を参照すれば、キャリア基板ＣＳの背面から、レーザを導電体パターンＣＰに照射することで、導電体パターンＣＰを犠牲層ＳＬの多孔性パターンに浸入させる。レーザは、導電体パターンＣＰにフォーカスされる。レーザエネルギーによって導電体パターンＣＰは熔融されうるのであり、剥離層ＲＬとキャリア基板ＣＳとの間の界面には、導電体パターンＣＰと重なる領域にて、局部的加熱による気泡が生成される。レーザエネルギーによって気泡が膨張すれば、剥離層ＲＬが熔融した導電体パターンＭＣＰを押し出して、熔融した導電体パターンＭＣＰが、犠牲層ＳＬの多孔性パターンに正確に浸入して基板ＳＢの背面にて凝固しうる。これにより、剥離層ＲＬに形成されていた導電体パターンＣＰは、図１９に示されるように、基板ＳＢの背面に転写されることで、転写された導電体パターンＴＣＰを形成する。転写された導電体パターンＴＣＰは、犠牲層ＳＬの多孔性パターンに、導電体パターンＴＣＰを構成していた導電物質が浸入した状態からなる。したがって、犠牲層ＳＬの多孔性パターンの空隙に導電物質が満たされた状態でありうる。

【００７３】

図２０および図２１を参照すれば、剥離層ＲＬとオーバーコート層ＯＣとの間にレーザ

を照射することで、剥離層 R L を、キャリア基板 C S と共にオーバーコート層 O C から分離し、基板 S B の背面に残っているオーバーコート層 O C と犠牲層 S L を、同一の工程で同時に、または別個の工程でそれぞれ除去する。次に、図 1 6 を参照すれば、基板 S B を貫通するホールを形成し、ホール内にコンネクタ C N を形成することで、基板 S B の正面に位置する導電体 C T と、基板 S B の背面に位置する転写された導電体パターン T C P とを、電氣的に連結する。

【 0 0 7 4 】

これまで、いくつかの実施形態による表示装置およびその製造方法について説明した。以下、一実施形態による表示装置が含む画素の一例に係る画素回路および積層構造について詳細に説明する。

10

【 0 0 7 5 】

図 2 2 は、一実施形態による表示装置における 1 つの画素の等価回路図である。図 2 2 に示される画素回路は、図 1、図 3 および図 1 6 の表示装置が含む 1 つの画素回路であってもよく、画素回路は、多様に変更可能である。

【 0 0 7 6 】

図 2 2 を参照すれば、画素 P X は、複数のトランジスタ T 1、T 2、T 3 と、ストレージキャパシタ S C と、発光素子 L D とを含む。画素 P X には、複数の信号線 D L、G L、C L、S S L、D V L、C V L が連結されている。画素 P X が 3 つのトランジスタ T 1、T 2、T 3 と、1 つのキャパシタ S C とからなる構造を示しているが、トランジスタおよびキャパシタの数は、多様に変更可能である。画素 P X に 6 つの信号線 D L、G L、C L、S S L、D V L、C V L が連結されている構造を示しているが、信号線の種類と数は、多様に変形可能である。

20

【 0 0 7 7 】

信号線 D L、G L、C L、S S L、D V L、C V L は、データ線 D L、ゲート線 G L、センシング線 S S L、駆動電圧線 D V L および共通電圧線 C V L を含むことができる。ゲート線 G L は、第 2 トランジスタ T 2 にゲート信号 G W を伝達することができる。データ線 D L は、データ信号 D S を伝達し、駆動電圧線 D V L は、駆動電圧 E L V D D を伝達することができる。共通電圧線 C V L は、共通電圧 E L V S S を伝達することができる。センシング制御線 C L は、センシング信号 S S を伝達することができる。センシング線 S S L は、センシング部と連結される。前述した転写された導電体パターン T C P は、これらの信号線 D L、G L、C L、S S L、D V L、C V L と電氣的に連結された信号線、例えば、前述したパッド P、駆動電圧線 D V L'、共通電圧線 C V L' および / またはデータ線 D L' を含むことができ、これらの信号線 D L、G L、C L、S S L、D V L、C V L の少なくとも 1 つを含むこともできる。

30

【 0 0 7 8 】

トランジスタ T 1、T 2、T 3 は、駆動トランジスタの第 1 トランジスタ T 1 と、スイッチングトランジスタの第 2 トランジスタ T 2 と、センシングトランジスタの第 3 トランジスタ T 3 とを含む。それぞれのトランジスタ T 1、T 2、T 3 は、ゲート電極 G 1、G 2、G 3 と、ソース電極 S 1、S 2、S 3 と、ドレイン電極 D 1、D 2、D 3 とを含む 3 端子素子である。ソース電極とドレイン電極は固定されたものではなく、トランジスタの 3 端子においてゲート電極を除いた 2 端子のうち、1 つはソース電極と、他の 1 つはドレイン電極と、呼ばれてもよい。

40

【 0 0 7 9 】

第 1 トランジスタ T 1 のゲート電極 G 1 は、ストレージキャパシタ S C の第 1 電極 C 1 および第 2 トランジスタ T 2 のドレイン電極 D 2 と連結されており、第 1 トランジスタ T 1 のソース電極 S 1 は、第 3 トランジスタ T 3 のドレイン電極 D 3 と連結されており、第 1 トランジスタ T 1 のドレイン電極 D 1 は、発光素子 L D のアノードと連結されている。第 1 トランジスタ T 1 は、第 2 トランジスタ T 2 を介して伝達されるデータ信号 D S の大きさに応じて変化する駆動電流 I D を、発光素子 L D に供給することができるのであり、発光素子 L D は、駆動電流 I D の大きさに応じて変化する輝度でもって発光することがで

50

きる。したがって、画素 P X は、データ信号 D S の大きさに応じて、第 1 トランジスタ T 1 を介して流れる電流量を調節することにより、階調を表示することができる。駆動電流 I_D は、第 1 トランジスタ T 1 のゲート電極 G 1 とソース電極 S 1 との間の電圧である、ゲート - ソース電圧 V_{GS} に関連付けられる。つまり、第 1 トランジスタ T 1 の V_{GS} が大きいほど駆動電流 I_D が大きくなる。第 1 トランジスタ T 1 の半導体層と重なる光遮断層 L B が、第 1 トランジスタ T 1 のドレイン電極 D 1 と連結されることによって、出力飽和特性といった第 1 トランジスタ T 1 の特性を向上させることができる。

【 0 0 8 0 】

第 2 トランジスタ T 2 のゲート電極 G 2 は、ゲート線 G L と連結されており、第 2 トランジスタ T 2 のソース電極 S 2 は、データ線 D L と連結されており、第 2 トランジスタ T 2 のドレイン電極 D 2 は、第 1 トランジスタ T 1 のゲート電極 G 1 およびストレージキャパシタ S C の第 1 電極 C 1 と連結されている。第 2 トランジスタ T 2 は、ゲート線 G L を介して伝達されたゲート信号 G W に応じてターンオンされて、データ線 D L を介して伝達されるデータ信号 D S を、第 1 トランジスタ T 1 のゲート電極 G 1 およびストレージキャパシタ S C の第 1 電極 C 1 に伝達する、スイッチング動作を行うことができる。

【 0 0 8 1 】

第 3 トランジスタ T 3 のゲート電極 G 3 は、センシング制御線 C L と連結されており、第 3 トランジスタ T 3 のソース電極 S 3 は、第 1 トランジスタ T 1 のドレイン電極 D 1 および発光素子 L D のアノードと連結されており、第 3 トランジスタ T 3 のドレイン電極 D 3 は、センシング線 S S L と連結されている。第 3 トランジスタ T 3 は、画質低下の原因になる第 1 トランジスタ T 1 の閾値電圧 V_{th} といった特性をセンシングするためのトランジスタである。第 3 トランジスタ T 3 は、センシング制御線 C L を介して伝達されたセンシング信号 S S に応じてターンオンされて、第 1 トランジスタ T 1 とセンシング線 S S L とを電氣的に接続させるのであり、センシング線 S S L と連結されたセンシング部は、センシング期間の間中、第 1 トランジスタ T 1 の特性情報をセンシングすることができる。センシング期間の間に第 3 トランジスタ T 3 を介してセンシングした特性情報を反映して、補償されたデータ信号を生成することによって、画素 P X ごとに異なりうる第 1 トランジスタ T 1 の特性偏差を、外部的に補償することができる。

【 0 0 8 2 】

ストレージキャパシタ S C の第 1 電極 C 1 は、第 1 トランジスタ T 1 のゲート電極 G 1 および第 2 トランジスタ T 2 のドレイン電極 D 2 と連結されており、ストレージキャパシタ S C の第 2 電極 C 2 は、第 1 トランジスタ T 1 のドレイン電極 D 1 および発光素子 L D のアノードと連結されている。ストレージキャパシタ S C は、充電されたデータ信号 D S を第 1 トランジスタ T 1 に印加し続けることで、発光期間の間中、持続的に発光素子 L D を発光させるようにすることができる。発光素子 L D のカソードは、共通電圧 E L V S S を伝達する共通電圧線 C V L と連結される。

【 0 0 8 3 】

転写された導電体パターン T C P は、トランジスタ T 1、T 2、T 3 およびストレージキャパシタ S C の少なくとも 1 つの電極と電氣的に連結された部分を含むこともできる。

【 0 0 8 4 】

一実施形態による表示装置が含む表示パネル 1 0 の構成について、図 2 3 を参照して説明する。

【 0 0 8 5 】

図 2 3 は、一実施形態による表示パネル 1 0 の積層構造の一例を示すための断面図である。図 2 3 に示された断面は、略 1 つの画素領域、例えば、図 1 における略 A - A ' 線に沿った断面に対応できる。

【 0 0 8 6 】

表示パネル 1 0 は、基本的に、基板 S B と、基板 S B 上に形成されたトランジスタ T と、トランジスタ T に連結されている有機発光ダイオード O L E D とを含む。トランジスタ T は、図 2 2 に示された駆動トランジスタ T 1 であってもよい。

【 0 0 8 7 】

基板 S B は、ポリイミド (P I)、ポリアミド (P A)、ポリエチレンテレフタレート (P E T) などのポリマーからなるフレキシブル基板であってもよい。基板 S B は、外部から水分、酸素などが浸入するのを防止するバリア層を含むことができる。例えば、基板 S B は、1 つ以上のポリマー層と、1 つ以上のバリア層とを含むことができ、ポリマー層とバリア層が交互に積層されていてもよい。

【 0 0 8 8 】

基板 S B 上には、第 1 絶縁層 I N 1 が位置する。第 1 絶縁層 I N 1 は、バッファ層と呼ばれてもよいのであり、半導体層 A を形成する過程で基板 S B から半導体層 A に拡散する不純物を遮断し、基板 S B の受けるストレスを低減する役割を果たすことができる。バリア層および第 1 絶縁層 I N 1 は、酸化ケイ素、窒化ケイ素などの無機絶縁物質を含むことができる。

10

【 0 0 8 9 】

第 1 絶縁層 I N 1 上には、トランジスタ T の半導体層 A が位置し、半導体層 A 上には、第 2 絶縁層 I N 2 が位置する。半導体層 A は、ソース領域と、ドレイン領域と、これらの領域の間のチャネル領域とを含む。半導体層 A は、多結晶シリコン、酸化物半導体、非晶質シリコンなどの半導体物質を含むことができる。第 2 絶縁層 I N 2 は、ゲート絶縁層と呼ばれてもよく、無機絶縁物質を含むことができる。

【 0 0 9 0 】

第 2 絶縁層 I N 2 上には、トランジスタ T のゲート電極 G、ゲート線を含むゲート導電体が位置する。ゲート導電体は、モリブデン (M o)、銅 (C u)、アルミニウム (A l)、銀 (A g)、クロム (C r)、タンタル (T a)、及びチタン (T i) といった金属、または、これら金属の合金を含むことができる。

20

【 0 0 9 1 】

ゲート導電体上には、第 3 絶縁層 I N 3 が位置する。第 3 絶縁層 I N 3 は、層間絶縁層と呼ばれてもよく、無機絶縁物質を含むことができる。

【 0 0 9 2 】

第 3 絶縁層 I N 3 上には、トランジスタ T のソース電極 S およびドレイン電極 D、駆動電圧線 D V L およびデータ線 D L を含むデータ導電体が位置する。ソース電極 S およびドレイン電極 D は、第 3 絶縁層 I N 3 および第 2 絶縁層 I N 2 に形成されたコンタクトホールを介して半導体層 A のソース領域およびドレイン電極とそれぞれ連結されている。データ導電体は、アルミニウム (A l)、銅 (C u)、銀 (A g)、モリブデン (M o)、クロム (C r)、金 (A u)、白金 (P t)、パラジウム (P d)、タンタル (T a)、タングステン (W)、チタン (T i)、ニッケル (N i) などの金属や、これらの金属の合金を含むことができる。

30

【 0 0 9 3 】

データ導電体上には、第 4 絶縁層 I N 4 が位置する。第 4 絶縁層 I N 4 は、平坦化層 (p l a n a r i z a t i o n l a y e r) または保護層 (p a s s i v a t i o n l a y e r) と呼ばれてもよく、有機絶縁物質を含むことができる。

【 0 0 9 4 】

第 4 絶縁層 I N 4 上には、第 1 電極 E 1 が位置する。第 1 電極 E 1 は、画素電極と呼ばれてもよい。第 1 電極 E 1 は、第 4 絶縁層 I N 4 に形成されたコンタクトホールを介してドレイン電極 D と連結され、有機発光ダイオード O L E D の輝度を制御するデータ信号が印加される。

40

【 0 0 9 5 】

第 4 絶縁層 I N 4 上には、第 5 絶縁層 I N 5 が位置する。第 5 絶縁層 I N 5 は、画素区画層 (バンプ) と呼ばれてもよく、第 1 電極 E 1 とそれぞれ重なり合う開口を有する。第 5 絶縁層 I N 5 の開口には、第 1 電極 E 1 上に発光層 E L が位置し、発光層 E L 上には、第 2 電極 E 2 が位置する。第 2 電極 E 2 は、共通電極 C E と呼ばれてもよい。

【 0 0 9 6 】

50

第1電極E1、発光層ELおよび第2電極E2は、組み合わさって、発光素子を、例えば、有機発光ダイオードOLEDを構成する。第1電極E1は有機発光ダイオードOLEDのアノード(anode)で、第2電極E2は有機発光ダイオードOLEDのカソード(cathode)であってもよい。

【0097】

第2電極E2上には、封止層(encapsulation layer)ECが位置する。封止層ECは、有機発光ダイオードOLEDを封止して、外部から水分や酸素が浸入するのを防止することができる。封止層ECは、1つ以上の無機物質層と1つ以上の有機物質層とを含むことができ、無機物質層と有機物質層が交互に積層されていてもよい。

【0098】

封止層EC上には、タッチセンサ層TSが位置することができる。タッチセンサ層TSは、ITO、IZOといった透明な導電物質や、メタルメッシュ(metal mesh)などで形成されたタッチ電極を含むことができ、各タッチ電極は、単一層または複数層を有するように形成されうる。タッチセンサ層TSは、封止層EC上に、直接に、成膜及びパターンングなどにより形成されるか、または別途に形成してから、封止層EC上に取り付けることができる。

【0099】

タッチセンサ層TS上には、外光反射を低減するための反射防止層ARが位置することができる。反射防止層ARは、偏光層を含むことができる。反射防止層ARを別途に形成せず、封止層ECおよび/またはタッチセンサ層TSを、屈折率整合(refractive index-matching)構造をなすように形成することで反射防止効果を得ることもできる。

【0100】

基板SBの下には、駆動電圧線DVL'といった電源電圧線や、データ線DL'などを含む転写された導電体パターンが位置する。これらの駆動電圧線DVL'およびデータ線DL'は、基板SBおよび絶縁層IN1、IN2、IN3に形成されたコネクタCNによって、基板SBの上側に位置する駆動電圧線DVLおよびデータ線DLと、それぞれ電氣的に連結される。

【0101】

転写された導電体パターンの下には、転写された導電体パターンを覆う保護層PLが位置することができる。保護層PLの下には、表示パネル10を保護するための、PETなどで形成される保護フィルムが位置することができ、保護フィルムの下には、クッション層、放熱シート、遮光シート、防水テープといった機能性シートが位置してもよい。

【0102】

表示パネル10が有機発光表示パネルの場合を例に挙げて説明したが、表示パネル10は、例えば、発光ダイオード(LED)を含む表示パネル、液晶層を含む表示パネルなど多様な表示パネルであってもよい。

【0103】

図24は、一実施形態による表示装置におけるパッド部領域の断面図である。図24は、図1における略B-B'線に沿った断面に対応しうる。

【0104】

図24を参照すれば、表示パネル10は、基板SBの背面に位置するパッドPが配列されているパッド部PPを含む。パッドPは、前述した転写された導電体パターンTCP、または転写された導電体パターンTCPの一部であってもよい。パッドPは、基板SBの上面(正面)に位置する、データ線DL、駆動電圧線DVL、共通電圧線CVLといった導電体に、基板SB、第1絶縁層IL1および第2絶縁層IL2を貫通して形成されたコネクタCNを通じて、電氣的に連結される。図23に示されるものとは異なっても良く、パッドPに連結されるデータ線DL、駆動電圧線DVL、共通電圧線CVLなどの導電体は、ゲート線と同様に第2絶縁層IL2と第3絶縁層IL3との間に位置することができる。しかし、これに限らず、導電体パターンTCPに、コネクタCNを介して電氣的に連結される基板SB上の導電体は、基板SBと第1絶縁層IL1との間、第1絶縁層IL

10

20

30

40

50

1と第2絶縁層IL2との間、第2絶縁層IL2と第3絶縁層IL3との間、第3絶縁層IL3の上など、多様に位置することができる。

【0105】

このように、パッド部PPを基板SBの背面に形成することによって、表示パネル10の非表示領域を低減し、パッド部PPの設計自由度を増加させることができる。パッド部PPは、表示パネル10の非表示領域NAと重なるように位置してもよく、表示領域DAと重なるように位置してもよいのであり、表示領域DAと非表示領域NAの両方に重なるように位置してもよい。

【0106】

以上、本発明の実施例について詳しく説明したが、本発明の権利範囲はこれに限定されるものではなく、以下の特許請求の範囲で定義している本発明の基本概念を利用した当業者の様々な変形および改良形態も本発明の権利範囲に属する。

【0107】

好ましい実施形態によると、本件の課題は下記(i)～(iv)のとおりである。

【0108】

(i) スマートホンやタブレットPCなどの携帯端末では、表示画面の周囲の画像非表示領域を少なくするか、または実質上なくすること(bezel-less)が求められている。

すなわち、携帯端末の正面の面積に対する表示画面の面積の比率(スクリーン対ボディ比; screen-to-body ratio)について、例えば、75%以上、80%以上、または85%以上、特に90%以上または95%以上とすることが求められている。

【0109】

(ii) 一方では高解像度化が求められており、そのため、表示パネルの接続パッド(入出力パッド)の個数を増やす必要がある。配置面積を大きくしないためには、接続パッドの配置密度を高くする必要があるが、それには限界がある。

【0110】

(iii) 高解像度化のためには、表示画面(画素配列領域)中の配線の配列密度も増加させる必要があり、配線の幅や厚みを充分に取りにくいこともある。

【0111】

(iv) 特に、有機発光表示装置の場合、駆動電圧線DVLや共通電圧線信号線CVLを含むことから、信号線の種類が多く、それだけ、配線密度が高くなる。また、各画素に少なくとも、OLED素子へと駆動電流を供給する駆動TFT、及び、データ線から駆動TFTの側へとデータ入力を行なうためのスイッチング素子が配置されている。

【0112】

好ましい実施形態によると、上記課題を解決すべく、表示パネル10は、下記A1～A3の構造を有している。好ましくは下記A4～A6のとおりである。

【0113】

A1 表示パネル10の基板SBは、ポリイミド(PI)などのポリマーのフィルムであり、このフィルムには、所定箇所ごとに貫通孔(ホール)が開けられている。

【0114】

A2 有機発光ダイオードOLEDなどの、画素PXごとの画像表示素子(電子素子EE)が、基板SBの正面(表側の面)に形成されており、基板SBの背面(裏面)に、接続パッド、または、接続パッドと、冗長配線または補助配線が形成されている。

【0115】

A3 基板SBの正面(表側の面)の側にある配線または電極が、貫通孔(ホール)を通じて、基板SBの背面(裏面)の側にある、接続パッドまたは冗長・補助配線と接続される。貫通孔(ホール)の内部は、導電材料からなるコネクタCNが充填されている。

【0116】

A4 基板SBをなすポリマーフィルムは、厚みが、通常3～100μmまたは5～50μmであり、例えば10～30μmまたは10～15μmである。

【0117】

10

20

30

40

50

A 5 基板 S B をなすポリマーフィルムは、その表面または内部に、酸化ケイ素、窒化ケイ素、酸化・窒化ケイ素などからなるバリアー層を含む。

貫通孔（ホール）の箇所で、バリアー機能が損なわれないように、コネクタ C N は、貫通孔（ホール）を密封するように配置される。

【 0 1 1 8 】

A 6 基板 S B の背面（裏面）の側にて、接続パッドや冗長・補助配線をなす導電体パターン C P は、同一の材料により同時に形成される、一つの配線パターンであり、金属、または、溶融した金属が樹脂の連通多孔体に含浸して形成された金属-樹脂複合体からなる。

【 0 1 1 9 】

好ましい実施形態によると、上記 A 1 ~ A 3 などの構造を、下記 B 1 ~ B 9 のステップにより、効率よく製造することができる。また、下記 B 1 0 ~ 1 3 のとおりとすることができる。

【 0 1 2 0 】

B 1 ガラスなどの透明材料からなるキャリア基板 C S の上に、剥離層 R L を形成する（図 4）。

【 0 1 2 1 】

・ B 1 - 1 剥離層 R L は、この上に形成される導電体パターン C P が、転写の際に容易に剥離するようにするものである。

【 0 1 2 2 】

・ B 1 - 2 剥離層 R L は、特には、動的剥離層である。すなわち、レーザ照射などにより局所的に、光または熱を受けた際に、分解などによりガスを生成することで、導電体パターン C P を押し出すことができるようにするものである。

【 0 1 2 3 】

B 2 剥離層 R L の上に、転写前の導電体パターン C P が形成される（図 5）。
また、必要に応じて、転写前の導電体パターン C P を覆う平坦化膜（オーバーコート層 O C）が形成される（図 6）。

【 0 1 2 4 】

B 3 転写前の導電体パターン C P または平坦化膜（オーバーコート層 O C）を被覆するように全面に、犠牲層 S L が形成される（図 7）。

【 0 1 2 5 】

・ B 3 - 1 ここでの、犠牲層 S L は、レーザ照射による局所的な除去（photoablation）が可能なポリマー材料からなる。

【 0 1 2 6 】

・ B 3 - 2 犠牲層 S L は、レーザ切除（photoablation）の際に生成した分解ガスが抜け出ることができるように、連通多孔体の層（open-cell porous layer）をなす。

【 0 1 2 7 】

・ B 3 - 3 犠牲層 S L は、局所的なレーザ照射により、空隙率（全体積中の空孔体積の比率）を大幅に増大させることが出来るものであってもよい。

【 0 1 2 8 】

B 4 犠牲層 S L を覆うように、基板 S B のフィルムが形成される（図 8）。

【 0 1 2 9 】

・ B 4 - 1 この基板 S B は、例えば、「ポリイミドワニス」などと呼ばれるポリアミック酸溶液を、スリットコーティングなどにより塗布した後、加熱による閉環イミド化を行うことにより得られる、ポリイミド、またはポリアミド・イミドのフィルムである。

【 0 1 3 0 】

B 5 基板 S B のフィルムには、レーザ照射などにより、所定箇所に、貫通孔（ホール）を形成しておく。また、この貫通孔（ホール）を充填するように金属材料または導電材料を充填することで、コネクタ C N を形成する（図 1 5 または図 1 6、並びに図 2 3 ~ 2 4）。

10

20

30

40

50

【 0 1 3 1 】

このような貫通孔（ホール）及びコネクタ C N の形成は、画像表示素子（電子素子 E E ）を形成した後、または、その最中であっても良い。

【 0 1 3 2 】

B 6 基板 S B の上に、多数の成膜及びパターニングの工程を経て、画素ごとの画像表示素子（電子素子 E E ）及び各種の信号配線が形成され、次いで、これらが封止層 E C により覆われて密封される（図 9 ）。

【 0 1 3 3 】

B 7 キャリア基板 C S を通じて、転写前の導電体パターン C P にフォーカスされるように、レーザ照射が行なわれる（図 1 0 ～ 1 2 、または図 1 7 ～ 1 9 ）。

10

【 0 1 3 4 】

・ B 7 - 1 レーザ照射により、導電体パターン C P が加熱され、これに重なる箇所にて、犠牲層 S L に熱分解が生じる。

【 0 1 3 5 】

・ B 7 - 2 局所的に、熱分解により、犠牲層 S L が除去されるか、または、空隙率が大幅に上昇する（例えば、3 0 ～ 5 0 % から 9 0 ～ 9 5 % に上昇する）。

【 0 1 3 6 】

・ B 7 - 3 このようにして、犠牲層 S L は、局所的に、除去されるか、または、空隙率が大幅に増大することによって、導電体パターン C P の熔融金属を受け入れる受入パターン（凹部または空隙率増大部のパターン）を形成する。

20

【 0 1 3 7 】

・ B 7 - 4 導電体パターン C P に重なる箇所にて、剥離層 R L は、光分解または熱分解により、ガスを生成することで、熔融した導電体パターン C P を、犠牲層 S L の受入パターン中に押し込む。

【 0 1 3 8 】

B 8 剥離層 R L の基板 S B 側の界面で剥離が生じるように、この界面の箇所または剥離層 R L へのレーザ照射を行なうことで、剥離層 R L 及びキャリア基板 C S を分離して除去する（図 1 3 または図 2 0 ）。

【 0 1 3 9 】

B 9 同様のレーザ照射（レーザリフトオフ方法）により、犠牲層 S L 、または、犠牲層 S L 及び平坦化膜（オーバーコート層 O C ）を分離して除去する（図 1 4 ～ 1 5 または図 2 1 ）。

30

【 0 1 4 0 】

B 1 0 上記の各レーザ照射には、例えば、エキシマレーザまたはダイオード励起固体レーザ（DPSS、Diode Pumping Solid-State）を用いることができる。特に、波長 3 8 0 - 2 0 0 nm 程度の近紫外線（near UV）のレーザを用いることができ、エキシマレーザの場合、ArF（193 nm）、KrF（248 nm）、XeCl（308 nm）、XeF（351 nm）などのレーザを用いることができる。

【 0 1 4 1 】

B 1 1 剥離層 R L は、好ましくは、上記のレーザ照射により、レーザ誘起前方転写（Laser-induced Forward Transfer）を実現できる動的剥離層である。

40

特に好ましくは、近紫外線（near UV）のレーザ照射により容易に分解されてガスを生成することのできるトリアゼン（triazene）またはこの誘導体から構成されたポリマーを用いることができる。

【 0 1 4 2 】

B 1 2 犠牲層 S L は、上記のレーザ照射により容易に分解可能なものであって、かつ連通気泡を有するものである。上記のトリアゼン（triazene）系のポリマーや、アクリレート系（メタクリレートを含む）のポリマーを、必要に応じてドーピングして UV 光の吸収性や分解性を高めたものを用いることができる。

【 0 1 4 3 】

50

B 1 3 コネクタ C N の形成のためには、例えば、レーザ C V D 法や、導電ペーストのインクジェット塗布を行なうことができる。

なお、貫通孔（ホール）及びコネクタ C N の径は、表示パネル中に通常用いられているコンタクトホールと同程度、または、これより大きくすることができる。例えば、100nm～1μmとすることができる。

【符号の説明】

【 0 1 4 4 】

- 1 0 : 表示パネル
- C N : コネクタ
- C S : キャリア基板
- C T : 導電体
- C V L、C V L' : 共通電圧線
- D A : 表示領域
- D L、D L' : データ線
- D V L、D V L' : 駆動電圧線
- E C : 封止層
- E E : 電子素子
- N A : 非表示領域
- O C : オーバーコート層
- P : パッド
- P P : パッド部
- P X : 画素
- R L : 剥離層
- S B : 基板
- S L : 犠牲層
- T C P : 転写された導電体パターン

10

20

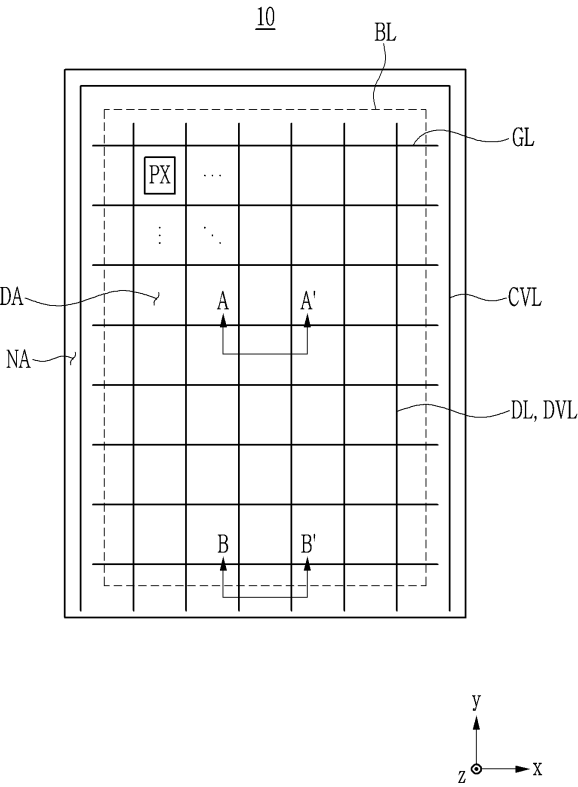
30

40

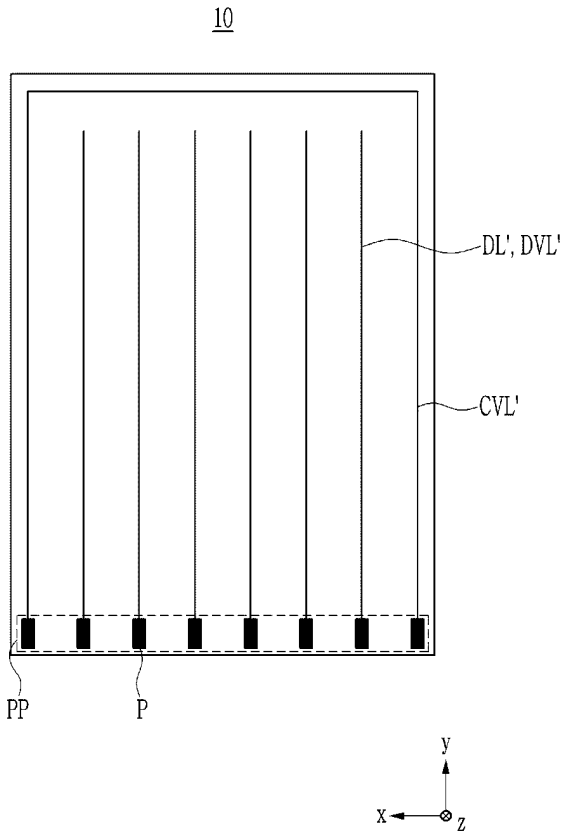
50

【図面】

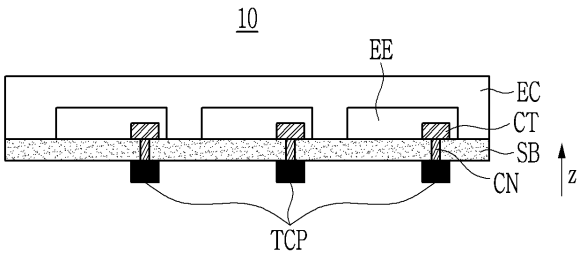
【図 1】



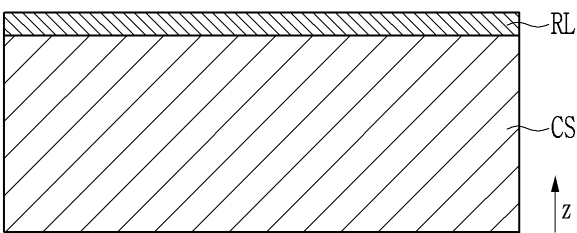
【図 2】



【図 3】



【図 4】



10

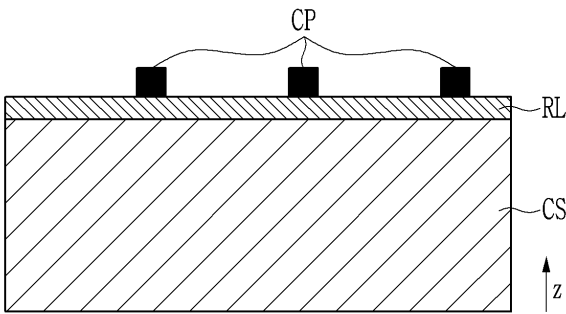
20

30

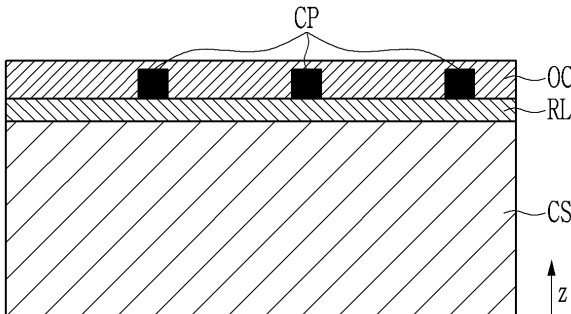
40

50

【 図 5 】

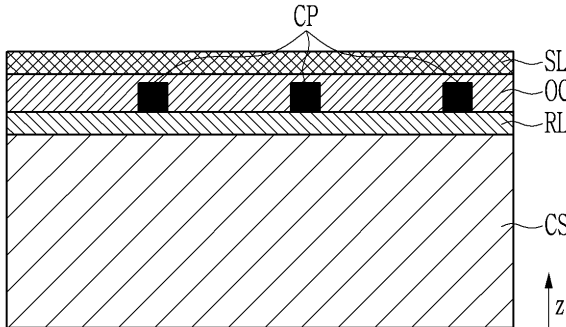


【 図 6 】

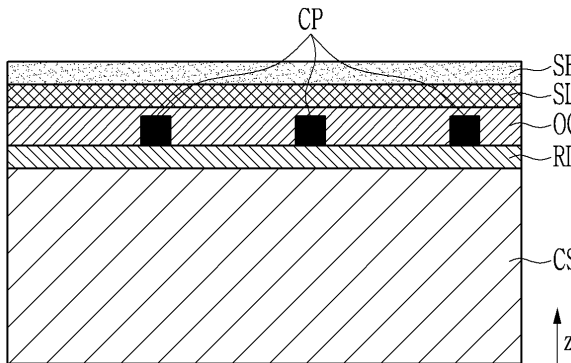


10

【 図 7 】



【 図 8 】



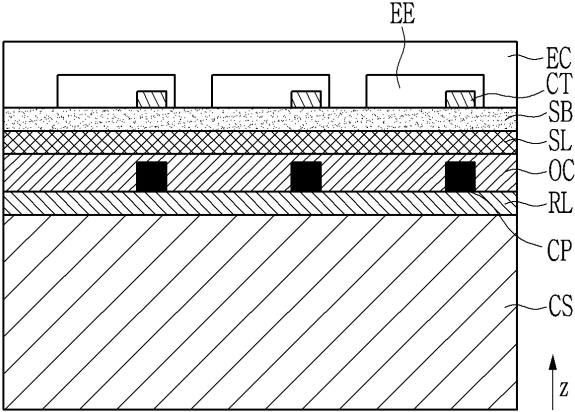
20

30

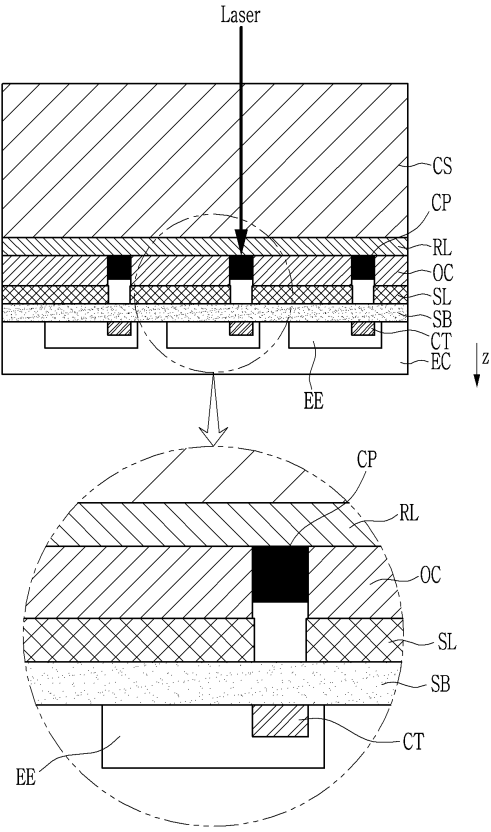
40

50

【図 9】



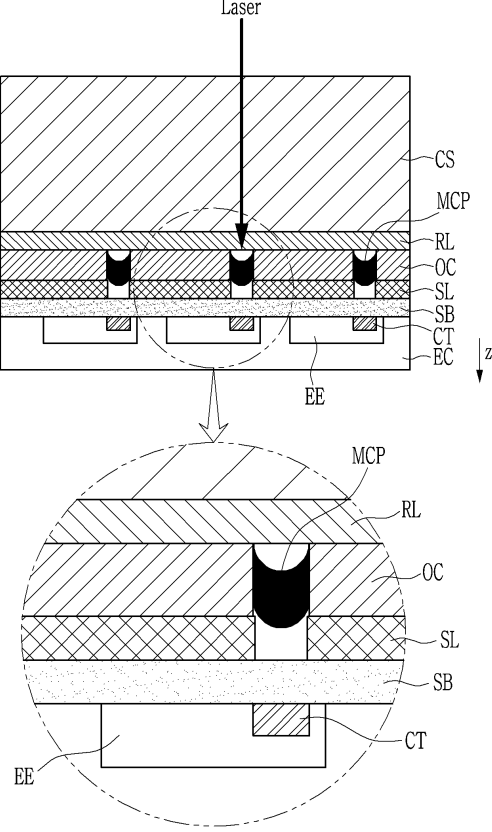
【図 10】



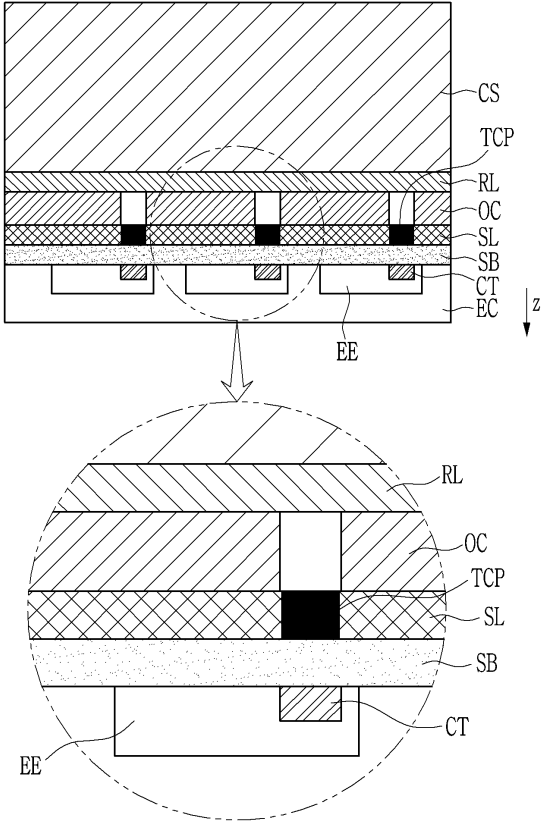
10

20

【図 11】



【図 12】

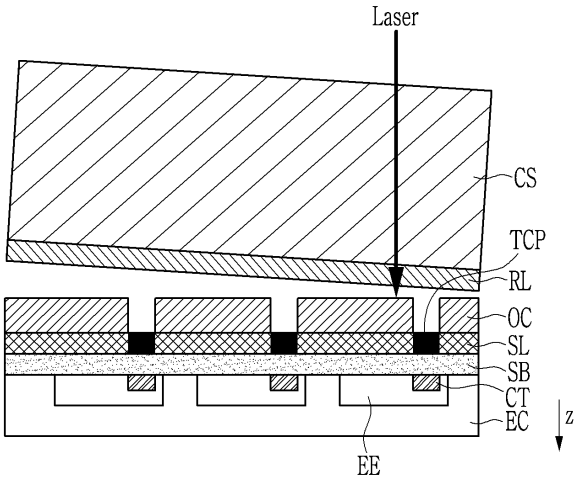


30

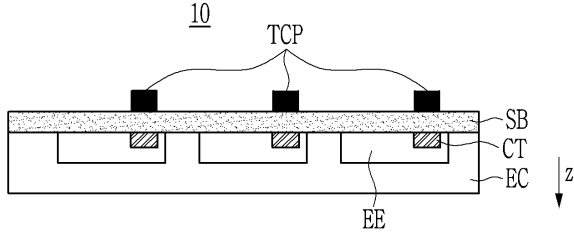
40

50

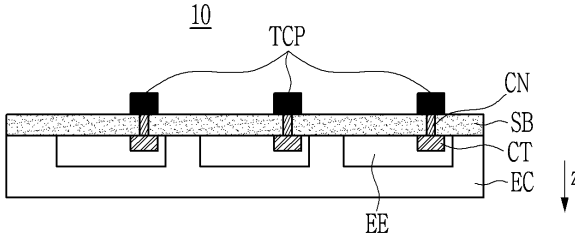
【図 1 3】



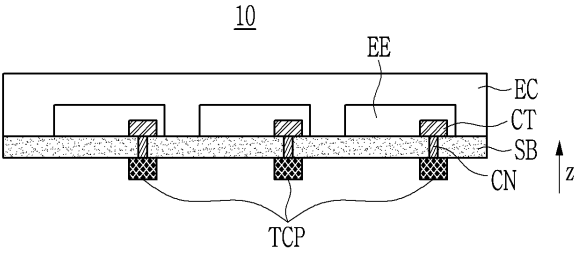
【図 1 4】



【図 1 5】



【図 1 6】



10

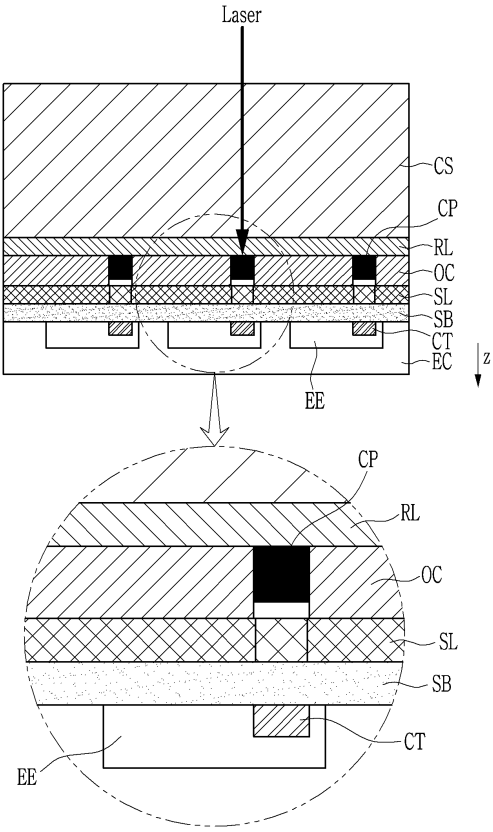
20

30

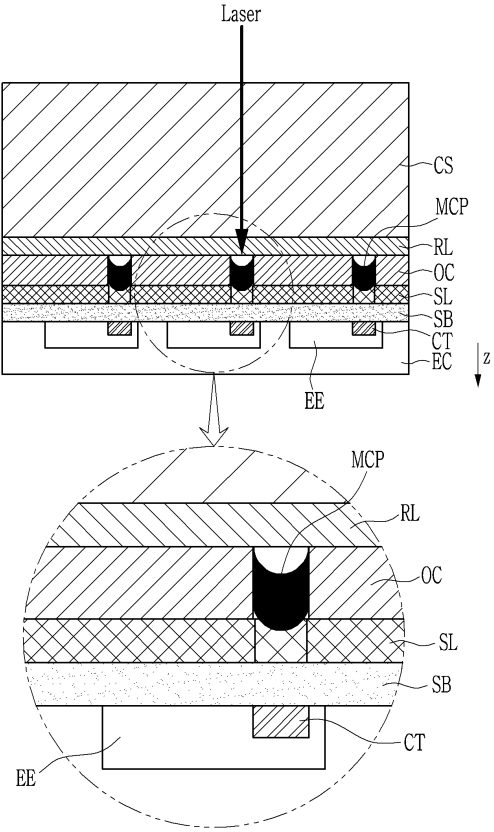
40

50

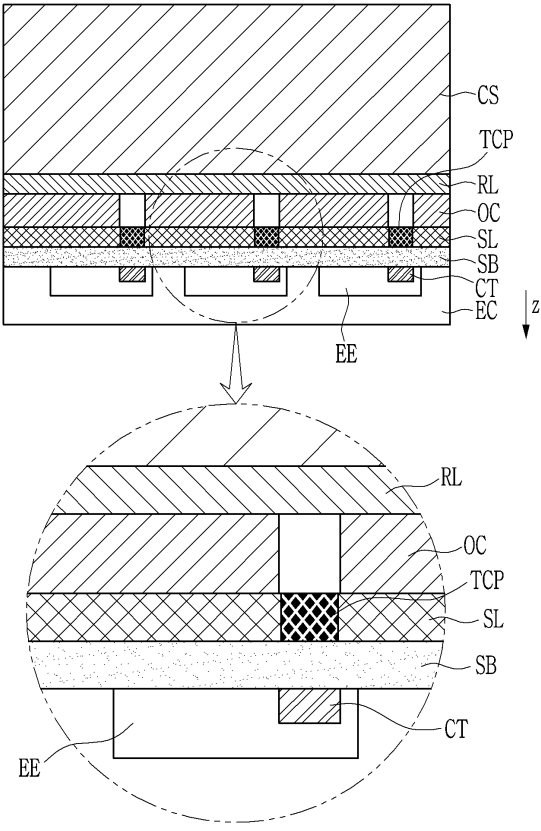
【図 17】



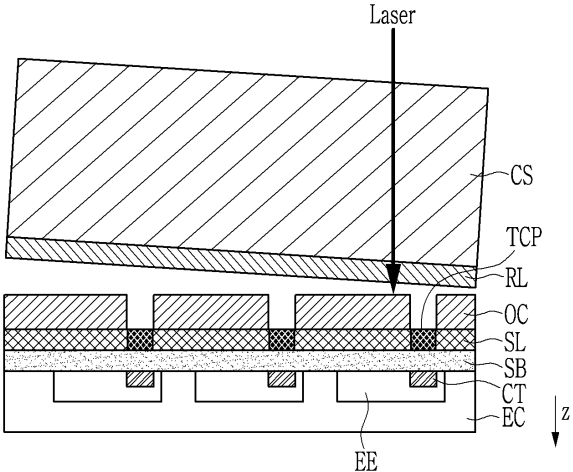
【図 18】



【図 19】



【図 20】



10

20

30

40

50

フロントページの続き

- 大韓民国ソウル市陽川区木洞東路 1 3 0 , 1 4 2 2 棟 5 0 3 号
- (72)発明者 姜 龍 奎
大韓民国京畿道城南市京畿大路 9 9 0 , 1 0 1 棟 5 0 1 号
- (72)発明者 李 泰 浩
大韓民国京畿道華城市東灘盤石路 1 9 3 , 2 2 2 棟 3 0 3 号
- 審査官 西田 光宏
- (56)参考文献 特開 2 0 1 7 - 1 1 2 2 9 5 (J P , A)
国際公開第 2 0 1 6 / 1 3 6 5 1 9 (W O , A 1)
特開 2 0 0 5 - 1 1 6 8 4 6 (J P , A)
特開 2 0 1 5 - 1 0 3 6 3 2 (J P , A)
特開 2 0 0 7 - 0 8 8 4 0 9 (J P , A)
特開 2 0 1 3 - 0 9 8 5 5 3 (J P , A)
米国特許出願公開第 2 0 1 6 / 0 0 3 5 9 3 5 (U S , A 1)
国際公開第 2 0 1 7 / 0 3 3 8 9 0 (W O , A 1)
特開 2 0 0 8 - 1 6 6 4 6 2 (J P , A)
特開 2 0 1 8 - 1 1 3 4 4 6 (J P , A)
特開 2 0 1 4 - 2 0 9 1 9 8 (J P , A)
特開 2 0 1 4 - 1 5 0 0 5 7 (J P , A)
特開 2 0 1 3 - 2 5 8 0 2 0 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
- A 6 1 N 5 / 0 0 - 5 / 1 0
G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5
G 0 2 F 1 / 1 3 5
G 0 9 F 9 / 0 0 - 9 / 4 6
H 0 1 L 2 1 / 3 2 0 5 - 2 1 / 3 2 1 3
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 2 2
H 0 1 L 2 3 / 5 3 2
H 0 1 L 2 9 / 7 8 6
H 0 1 L 3 3 / 0 0
H 0 1 L 3 3 / 4 8 - 3 3 / 6 4
H 0 5 K 3 / 4 6
H 1 0 K 5 0 / 0 0 - 9 9 / 0 0