

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月20日(20.09.2018)



(10) 国際公開番号

WO 2018/167871 A1

(51) 国際特許分類:
H01L 29/74 (2006.01)

(21) 国際出願番号: PCT/JP2017/010389

(22) 国際出願日: 2017年3月15日(15.03.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 新 電 元 工 業 株 式 会 社 (SHIN-DENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).

(72) 発明者: 高橋 功(TAKAHASHI Isao); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 石山 勝好

(ISHIYAMA Katsuyoshi); 〒9993701 山形県東根市大字東根甲5600番地の1 株式会社東根新電元工場内 Yamagata (JP).

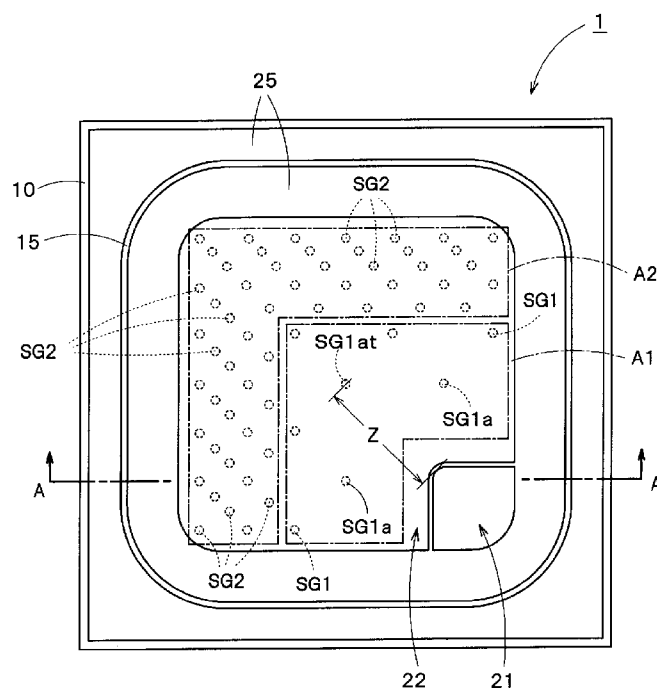
(74) 代理人: 永井 浩之, 外(NAGAI Hiroshi et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: [Problem] To increase dv/dt withstand capability without significantly affecting ON characteristics of a semiconductor device. [Solution] In a semiconductor 1, in a plane parallel to a main surface 10a, a main electrode 22 includes: an electrode region A1 adjacent to a gate electrode 21; and an electrode region A2 located on the side opposite the gate electrode 21, with the electrode region A1 therebetween. A plurality of short gates SG1 are provided in the electrode region A1, and a plurality of short gates SG2 are provided in the electrode region A2. A distance Z between a trigger short

MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

gate SG1at and the gate electrode 21 is within a distance range based on a reference value. The disposition density of the second short gates SG2 is higher than the disposition density of the first short gates SG1.

(57) 要約：【課題】半導体装置のオン特性に大きな影響を与えることなく、 d_v/d_t 耐量を増加させる。【解決手段】半導体装置 1 では、主面 10a に平行な平面において、主電極 22 は、ゲート電極 21 と隣り合う電極領域 A1 と、電極領域 A1 を挟んでゲート電極 21 の反対側に位置する電極領域 A2 と、を有し、電極領域 A1 には複数のショートゲート SG1 が設けられ、電極領域 A2 には複数のショートゲート SG2 が設けられており、トリガショートゲート SG1at とゲート電極 21 との間の距離 Z が基準値に基づく距離範囲内にあり、かつ第 2 のショートゲート SG2 の配置密度が第 1 のショートゲート SG1 の配置密度よりも高い。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、より詳しくは、ゲート電極に電流を流すことによりアノード電極とカソード電極間を導通させる半導体装置に関する。

背景技術

[0002] 従来、サイリスタの一種として、矩形状の半導体領域のコーナー部にゲート電極が形成されたコーナーゲート型サイリスタが知られている（特許文献1 参照）。

[0003] サイリスタの特性の一つに dv/dt 耐量がある。 dv/dt 耐量はサイリスタの誤動作のし易さを表しており、この値が小さいとサイリスタが誤ってオンするおそれがある。 dv/dt 耐量を増加させるために、特許文献1 に記載のサイリスタのように、P型ベース領域内に形成されたN型エミッタ領域を貫通するP型半導体領域（以下、本願では「ショートゲート」（Short Gate : SG）という。）が設けられる。ショートゲートはN型エミッタ領域と並列に設けられた抵抗である。

[0004] 上記ショートゲートを設けることにより、逆バイアスが印加された半導体装置内の接合容量を充電する電流（充電電流）がショートゲートを通してカソード電極に流れるようになる。このため、N型エミッタ領域からP型ベース領域への電子の注入量が減少し、急峻な電圧が印加されてもサイリスタはオフ状態を維持することができるようになる。この結果、 dv/dt 耐量が向上する。

先行技術文献

特許文献

[0005] 特許文献1：特開2011-151063号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、 $d v / d t$ 耐量とゲートトリガ電流 (I_{GT}) とは正の相関関係にある。このため、ショートゲートの数を増やして $d v / d t$ 耐量を大きくした場合、ゲートトリガ電流 (I_{GT}) も大きくなる（すなわち、オン特性が大きく変化する）という課題があった。

[0007] そこで、本発明は、オン特性に大きな影響を与えることなく、 $d v / d t$ 耐量を増加させることが可能な半導体装置を提供することを目的とする。

課題を解決するための手段

[0008] 本発明に係る半導体装置は、

第1の主面、および前記第1の主面の反対側の第2の主面を有する第1導電型の半導体基板と、

前記半導体基板の前記第1の主面に形成された第2導電型の第1の半導体領域と、

前記第1半導体領域内に形成された第1導電型の第2の半導体領域と、

前記半導体基板の前記第2の主面に形成された第2導電型の第3の半導体領域と、

前記第1の半導体領域に電氣的に接続するように前記第1の主面上に形成されたゲート電極と、

前記第2の半導体領域に電氣的に接続するように前記第1の主面上に形成された第1の主電極と、

前記第3の半導体領域に電氣的に接続するように前記第2の主面上に形成された第2の主電極と、を備え、

前記第1の主面に平行な平面において、前記第1の主電極は、前記ゲート電極と隣り合う第1の電極領域と、前記第1の電極領域を挟んで前記ゲート電極の反対側に位置する第2の電極領域と、を有しており、

前記第1の電極領域には、前記第2の半導体領域を貫通し且つ前記第1の主電極および前記第1の半導体領域に接続する第2導電型の複数の第1のショートゲートが設けられ、

前記第2の電極領域には、前記第2の半導体領域を貫通し且つ前記第1の

主電極および前記第 1 の半導体領域に接続する第 2 導電型の複数の第 2 のショートゲートが設けられ、

前記複数の第 1 のショートゲートのうち前記ゲート電極から見て最前列に位置する最近傍ショートゲートであって前記ゲート電極から最も離れているトリガショートゲートと、前記ゲート電極との間の距離は、基準値に基づく距離範囲内にあり、かつ

前記第 2 のショートゲートの配置密度は、前記第 1 のショートゲートの配置密度よりも高いことを特徴とする。

[0009] また、前記半導体装置において、

前記最近傍ショートゲートと前記ゲート電極との間の距離は全て、前記基準値に基づく距離範囲内にあるようにしてもよい。

[0010] また、前記半導体装置において、

前記第 2 のショートゲートの配置密度は、前記ゲート電極から遠ざかるほど高くなるようにしてもよい。

[0011] また、前記半導体装置において、

前記第 1 の主電極と前記ゲート電極は、平面視して前記ゲート電極が一隅を占める略正形状に形成されており、

前記第 1 のショートゲートおよび前記第 2 のショートゲートは、前記トリガショートゲートと前記ゲート電極とを最短距離で結ぶ対角線、および前記対角線に平行な線に配置されているようにしてもよい。

[0012] 本発明の半導体装置は、

第 1 の主面、および前記第 1 の主面の反対側の第 2 の主面を有する第 1 導電型の半導体基板と、

前記半導体基板の前記第 1 の主面に形成された第 2 導電型の第 1 の半導体領域と、

前記第 1 半導体領域内に形成された第 1 導電型の第 2 の半導体領域と、

前記半導体基板の前記第 2 の主面に形成された第 2 導電型の第 3 の半導体領域と、

前記第 1 の半導体領域に電氣的に接続するように前記第 1 の主面上に形成されたゲート電極と、

前記第 2 の半導体領域に電氣的に接続するように前記第 1 の主面上に形成された第 1 の主電極と、

前記第 3 の半導体領域に電氣的に接続するように前記第 2 の主面上に形成された第 2 の主電極と、を備え、

前記第 1 の主面に平行な平面において、前記第 1 の主電極は、前記ゲート電極と隣り合う第 1 の電極領域と、前記第 1 の電極領域を挟んで前記ゲート電極の反対側に位置する第 2 の電極領域と、を有しており、

前記第 1 の電極領域には、前記第 2 の半導体領域を貫通し且つ前記第 1 の主電極および前記第 1 の半導体領域に接続する第 2 導電型の複数の第 1 のショートゲートが設けられ、

前記第 2 の電極領域には、前記第 2 の半導体領域を貫通し且つ前記第 1 の主電極および前記第 1 の半導体領域に接続する第 2 導電型の複数の第 2 のショートゲートが設けられ、

前記複数の第 1 のショートゲートのうち前記ゲート電極から見て最前列に位置する最近傍ショートゲートであって前記ゲート電極から最も離れているトリガショートゲートと、前記ゲート電極との間の距離は、基準値に基づく距離範囲内にあり、かつ

前記第 2 のショートゲートの大きさは、前記第 1 のショートゲートよりも大きいことを特徴とする。

[0013] また、前記半導体装置において、

前記最近傍ショートゲートと前記ゲート電極との間の距離は全て、前記基準値に基づく距離範囲内にあるようにしてもよい。

[0014] また、前記半導体装置において、

前記第 2 のショートゲートの大きさは、前記ゲート電極から遠ざかるほど大きくなるようにしてもよい。

[0015] また、前記半導体装置において、

前記第 1 の主電極と前記ゲート電極は、平面視して前記ゲート電極が一隅を占める略正形状に形成されており、

前記第 1 のショートゲートおよび前記第 2 のショートゲートは、前記トリガショートゲートと前記ゲート電極とを最短距離で結ぶ対角線、および前記対角線に平行な線に配置されているようにしてもよい。

[0016] 本発明に係る半導体装置は、

第 1 の主面、および前記第 1 の主面の反対側の第 2 の主面を有する第 1 導電型の半導体基板と、

前記半導体基板の前記第 1 の主面に形成された第 2 導電型の第 1 の半導体領域と、

前記第 1 半導体領域内に形成された第 1 導電型の第 2 の半導体領域と、

前記半導体基板の前記第 2 の主面に形成された第 2 導電型の第 3 の半導体領域と、

前記第 1 の半導体領域に電氣的に接続するように前記第 1 の主面上に形成されたゲート電極と、

前記第 2 の半導体領域に電氣的に接続するように前記第 1 の主面上に形成された第 1 の主電極と、

前記第 3 の半導体領域に電氣的に接続するように前記第 2 の主面上に形成された第 2 の主電極と、

前記第 2 の半導体領域を貫通するように設けられ、前記第 1 の主電極および前記第 1 の半導体領域に接続する第 2 導電型の複数のショートゲートと、を備え、

前記複数のショートゲートのうち前記ゲート電極から見て最前列に位置する最近傍ショートゲートであって前記ゲート電極から最も離れているトリガショートゲートと、前記ゲート電極との間の距離は、基準値に基づく距離範囲内にあり、

前記ショートゲート同士間の距離は、前記最近傍ショートゲートと前記ゲート電極との間の最短距離よりも短いことを特徴とする。

- [0017] また、前記半導体装置において、
前記最近傍ショートゲートと前記ゲート電極との間の距離は全て、前記基準値に基づく距離範囲内にあるようにしてもよい。
- [0018] また、前記半導体装置において、
前記ショートゲート同士間の距離は、0.1 mm以上0.8 mm以下であるようにしてもよい。
- [0019] また、前記半導体装置において、
前記ショートゲート同士間の距離は、0.1 mm以上0.5 mm以下であるようにしてもよい。
- [0020] また、前記半導体装置において、
前記複数のショートゲートは、均等に配置されているようにしてもよい。

発明の効果

- [0021] 本発明によれば、オン特性に大きな影響を与えることなく、 dv/dt 耐量を増加させることが可能な半導体装置を提供することができる。

図面の簡単な説明

- [0022] [図1]本発明の第1の実施形態に係る半導体装置の平面図である。
[図2]図1のA-A線に沿う断面図である。
[図3]ショートゲートの個数と dv/dt 耐量との関係を示すグラフである。
[図4]本発明の第2の実施形態に係る半導体装置の平面図である。
[図5]本発明の第3の実施形態に係る半導体装置の平面図である。

発明を実施するための形態

- [0023] 以下、図面を参照しつつ本発明の実施形態に係る半導体装置について説明する。なお、各図において同等の機能を有する構成要素には同一の符号を付し、同一符号の構成要素の詳しい説明は繰り返さない。
- [0024] (第1の実施形態)
本発明の第1の実施形態に係る半導体装置について、図1および図2を参照して説明する。本実施形態に係る半導体装置1はサイリスタである。
- [0025] 半導体装置1は、図1および図2に示すように、第1導電型の半導体基板

10と、第2導電型の第1の半導体領域11と、第1導電型の第2の半導体領域12と、第2導電型の第3の半導体領域13と、第2導電型の第4の半導体領域14と、第1導電型のバルク領域17と、ゲート電極21と、第1の主電極22と、第2の主電極23と、を備えている。

[0026] 本実施形態において、第1導電型はN型であり、第2導電型はP型である。第1の主電極22がカソード電極であり、第2の主電極23がアノード電極である。第1の半導体領域11および第3の半導体領域13はP型ベース領域とも呼ばれ、第2の半導体領域12はN型エミッタ領域とも呼ばれる。なお、第1導電型がP型であり、第2導電型がN型であってもよい。

[0027] 半導体装置1では、図2に示すように、第3の半導体領域13、バルク領域17、第1の半導体領域11および第2の半導体領域12からなるP-N-P-N構造を有している。

[0028] 半導体装置1では、第1の主電極22と第2の主電極23間に逆バイアスが印加された状態でゲート電極21にゲート電流を流すことにより第1の主電極22と第2の主電極23間が導通する。図2の境界線D1、D2は、半導体装置1に逆バイアスが印加された時に半導体基板10内に形成される空乏層の境界を示している。

[0029] 次に、半導体装置1の各構成要素について詳しく説明する。

[0030] 半導体基板10は、図2に示すように、主面10a（第1の主面）、および主面10aの反対側の主面10b（第2の主面）を有する。図2では、主面10aは半導体基板10の上面であり、主面10bは半導体基板10の下面である。半導体基板10は、例えばシリコン基板であるが、その他の半導体基板（SiC基板、GaN基板等）であってもよい。なお、半導体基板10は、本実施形態ではN型であるが、P型の半導体基板であってもよい。

[0031] 図2に示すように、第1の半導体領域11は、半導体基板10の主面10aに形成されている。第1の半導体領域11の不純物濃度は、例えば $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。第1の半導体領域11の厚みは、例えば $40 \mu\text{m}$ である。

- [0032] 第2の半導体領域12は、第1の半導体領域11内に形成されている。第2の半導体領域12の不純物濃度は、例えば $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。第2の半導体領域12の厚みは、例えば $20 \mu\text{m}$ である。
- [0033] 第3の半導体領域13は、半導体基板10の主面10bに形成されている。第3の半導体領域13の不純物濃度は、例えば $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。第3の半導体領域13の厚みは、例えば $30 \mu\text{m} \sim 40 \mu\text{m}$ である。
- [0034] 第4の半導体領域14は、第1の半導体領域11内に形成されている。第4の半導体領域14は、第1の半導体領域11よりも高濃度の領域（P+領域）である。第4の半導体領域14の不純物濃度は、例えば $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。第4の半導体領域14の厚みは、例えば $10 \mu\text{m}$ である。
- [0035] バルク領域17は、半導体基板10内の領域のうち拡散領域（第1～第4の半導体領域11～14、アイソレーション領域16等）以外の領域である。バルク領域17の不純物濃度は、例えば $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ である。バルク領域17の厚みは、例えば $120 \mu\text{m}$ である。
- [0036] 第2の半導体領域12には、第2の半導体領域12を貫通する複数のショートゲート（後述の第1のショートゲートSG1および第2のショートゲートSG2）が設けられている。ショートゲートを設けることで、第1の主電極22と第2の主電極23間に急峻な電圧が印加される際、半導体基板10内の接合容量に充電される電流がショートゲートを通して第1の主電極22に抜けるため、半導体装置1はオフ状態を維持することができる。なお、ショートゲートの直径は、例えば 0.1 mm 以下である。
- [0037] ここで、ショートゲートの個数が dv/dt 耐量に与える影響について説明する。図3は、ショートゲートの個数と dv/dt 耐量との関係をシミュレーションした結果を示すグラフである。ここでは、ショートゲートは均等に配置されている。図3から分かるように、半導体装置1の dv/dt 耐量はショートゲートの個数にほぼ比例して向上する。ただし、ショートゲート

が過度に不均等に配置される場合、半導体装置 1 の d_v / d_t 耐量はショートゲートの個数に比例しないことがある。

[0038] ゲート電極 21 は、図 2 に示すように、第 1 の半導体領域 11 に電氣的に接続するように主面 10a 上に形成されている。より詳しくは、ゲート電極 21 は、オーミック接触するように第 4 の半導体領域 14 上に形成されている。

[0039] 第 1 の主電極 22 は、図 2 に示すように、第 2 の半導体領域 12 に電氣的に接続するように主面 10a 上に形成されている。より詳しくは、第 1 の主電極 22 は、オーミック接触するように第 2 の半導体領域 12 上に形成されている。第 1 の主電極 22 とゲート電極 21 は、図 1 に示すように、平面視してゲート電極 21 が一隅を占める、角が丸められた略正形状に形成されている。なお、略正形状に限らず、第 1 の主電極 22 とゲート電極 21 は略長形状に形成されてもよい。

[0040] 第 2 の主電極 23 は、図 2 に示すように、第 3 の半導体領域 13 に電氣的に接続するように主面 10b 上に形成されている。より詳しくは、第 2 の主電極 23 は、オーミック接触するように第 3 の半導体領域 13 上に形成されている。

[0041] 半導体装置 1 は、第 1 導電型のチャネルストッパー 15 と、半導体装置 1 の端部に設けられた第 2 導電型のアイソレーション領域 16 と、半導体装置 1 の上面を保護する保護膜 25 とをさらに備えている。

[0042] チャネルストッパー 15 は、図 1 に示すように、半導体装置 1 を平面視してゲート電極 21 および主電極 22 を囲うように環状に形成されている。このチャネルストッパー 15 は、バルク領域 17 よりも高濃度の領域（N+領域）である。チャネルストッパー 15 の不純物濃度は、例えば $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。アイソレーション領域 16 は、第 3 の半導体領域 13 よりも高濃度の領域（P+領域）である。保護膜 25 は、例えばシリコン酸化膜からなる。

[0043] 次に、第 1 の実施形態に係る半導体装置 1 に設けられたショートゲートに

ついて詳しく説明する。

[0044] 図1に示すように、第1の主電極22は、主面10aに平行な平面において（すなわち、半導体装置1を平面視した際）、ゲート電極21と隣り合う第1の電極領域A1と、この第1の電極領域A1を挟んでゲート電極21の反対側に位置する第2の電極領域A2と、を有している。

[0045] 第1の電極領域A1には、第2導電型の複数の第1のショートゲートSG1が設けられている。第2の電極領域A2には、第2導電型の複数の第2のショートゲートSG2が設けられている。

[0046] 図2に示すように、第1のショートゲートSG1および第2のショートゲートSG2はいずれも、第2の半導体領域12を貫通し且つ第1の主電極22および第1の半導体領域11に接続するように構成されている。第1のショートゲートSG1および複数の第2のショートゲートSG2は、第1の半導体領域11と同じ組成を有しており、第1の半導体領域11の一部が第2の半導体領域を貫通して第1の主電極22まで到達しているものと捉えることも可能である。

[0047] 第1の電極領域A1はゲート電極21に近い領域であるため、第1のショートゲートSG1は半導体装置1のオン特性に比較的大きな影響を与える。一方、第2の電極領域A2はゲート電極21から遠い領域であるため、第2のショートゲートSG2は半導体装置1のオン特性にほとんど影響を与えない。

[0048] 第1のショートゲートSG1のなかでも最近傍ショートゲートSG1aは半導体装置1のオン特性に対して大きな影響を与える。この最近傍ショートゲートSG1aは、複数の第1のショートゲートSG1のうちゲート電極21から見て最前列に位置するショートゲートのことである。図1では、3本の最近傍ショートゲートSG1aが存在する。

[0049] 最近傍ショートゲートSG1aとゲート電極21間の距離が短くなるにつれて潜り抵抗 r が小さくなるため、ゲートトリガ電流は大きくなる。反対に、最近傍ショートゲートSG1aとゲート電極21間の距離が長くなるにつ

れて潜り抵抗 r が大きくなるため、ゲートトリガ電流は小さくなる。なお、潜り抵抗 r は、図 2 に示すように、第 4 の半導体領域 14 と最近傍ショートゲート SG1a に挟まれた第 2 の半導体領域 12 下方の第 1 の半導体領域 11 における抵抗成分のことである。

[0050] 最近傍ショートゲート SG1a のうちゲート電極 21 から最も離れているショートゲートをトリガショートゲート SG1at と呼ぶことにする。トリガショートゲート SG1at とゲート電極 21 間の距離は最近傍ショートゲート SG1a の中で最も長いため、潜り抵抗 r が最も大きい。このため、ゲート電極 21 にゲート電流を流していくと、ゲート電極 21 とトリガショートゲート SG1at 間に最初に電流が流れ始める。このことから、トリガショートゲート SG1at は、半導体装置 1 のオン特性に最も大きな影響を与えるショートゲートであると言える。本実施形態では、図 1 に示すように、トリガショートゲート SG1at は、第 1 の主電極 22 の対角線上に位置する。

[0051] トリガショートゲート SG1at とゲート電極 21 との間の距離 Z は、基準値に基づく距離範囲内に設定されている。ここで、距離 Z は、図 1 に示すように、トリガショートゲート SG1at とゲート電極 21 との間の最短距離である。上記の基準値は、例えば、半導体装置 1 の仕様値である。このように距離 Z が基準値に基づく距離範囲内に設定されていることにより、半導体装置 1 のオン特性（ゲートトリガ電流）が大きく変化することが防止される。オン特性の観点からは、トリガショートゲート SG1at を従来の半導体装置と同じ位置に配置することが好ましい。

[0052] 半導体装置 1 では、図 1 に示すように、第 2 のショートゲート SG2 の配置密度は、第 1 のショートゲート SG1 の配置密度よりも高い。換言すれば、第 2 のショートゲート SG2 は、第 1 のショートゲート SG1 よりも配置密度が高くなるように第 2 の電極領域 A2 に設けられている。これにより、第 1 の主電極 22 に設けられるショートゲートの個数（第 1 のショートゲート SG1 と第 2 のショートゲート SG2 の和）が従来の半導体装置よりも増

えるため、 dv/dt 耐量を増加させることができる。

[0053] 上記のように、第1の実施形態では、トリガショートゲートSG1aとゲート電極21との間の距離Zが基準値に基づく距離範囲内に設定されており、かつ第2のショートゲートSG2の配置密度が第1のショートゲートSG1の配置密度よりも高い。よって、第1の実施形態によれば、オン特性に大きな影響を与えることなく、 dv/dt 耐量を増加させることができる。その結果、急峻な電圧に対応するために従来アノード電極とカソード電極間に設けられていた、抵抗やコンデンサ等の dv/dt 対策部品を削減することができる。また、 dv/dt 耐量が向上することにより半導体装置1の誤動作が防止されるため、半導体装置1の適用製品（レギュレータ、インバータ等）の短絡故障を防止することができる。

[0054] なお、最近傍ショートゲートSG1aとゲート電極21との間の距離は全て、基準値に基づく距離範囲内にあるようにしてもよい。図1の場合では、トリガショートゲートSG1a以外の2本の最近傍ショートゲートSG1aについても、ゲート電極21との間の距離が基準値に基づく距離範囲内にあるようにしてもよい。これにより、半導体装置1のオン特性（ゲートトリガ電流）が大きく変化することをさらに防止できる。例えば、最近傍ショートゲートSG1aについては全て、従来の半導体装置と同じ位置に配置する。このように、オン特性の観点からは、トリガショートゲートSG1aを従来の半導体装置と同じ位置に配置することが好ましく、全ての最近傍ショートゲートSG1aを従来の半導体装置と同じ位置に配置することがより好ましい。

[0055] また、第2のショートゲートSG2の配置密度は、ゲート電極21から遠ざかるほど高くなるようにしてもよい。ゲート電極21から遠いショートゲートほど半導体装置のオン特性に与える影響が小さくなることから、このようにすることで、オン特性への影響を効果的に抑えつつ、 dv/dt 耐量をより向上させることができる。

[0056] また、図1に示すように、第1のショートゲートSG1および第2のショ

ートゲートSG2は、トリガショートゲートSG1aとゲート電極21とを最短距離で結ぶ対角線、および当該対角線に平行な線に配置されるようにしてもよい。これにより、第1のショートゲートSG1および第2のショートゲートSG2が過度に不均等に配置されることがないため、 dv/dt 耐量の増加が抑制されることを防止できる。

[0057] (第2の実施形態)

次に、本発明の第2の実施形態に係る半導体装置1Aについて、図4を参照して説明する。第1の実施形態との相違点は、第2の実施形態では、ショートゲートSG2の大きさがゲート電極21からの距離に応じて変化する点である。以下、第1の実施形態との相違点を中心に第2の実施形態について説明する。

[0058] 本実施形態に係る半導体装置1Aでは、第1の実施形態で説明した半導体装置1と同様に、トリガショートゲートSG1aとゲート電極21との間の距離Zは基準値に基づく距離範囲内に設定されている。したがって、半導体装置1Aのオン特性（ゲートトリガ電流）が大きく変化することを防止できる。なお、トリガショートゲートSG1aの大きさは、基準値に基づく大きさに設定されている。例えば、潜り抵抗rの値が変化しないように、トリガショートゲートSG1aの大きさは従来の半導体装置と同じ大きさとする。

[0059] 図4に示すように、第2の実施形態では、第2のショートゲートSG2の大きさは、第1のショートゲートSG1よりも大きい。これにより、第1の主電極22に設けられるショートゲートの総面積（第1のショートゲートSG1と第2のショートゲートSG2の面積の総和）が従来の半導体装置よりも増えるため、 dv/dt 耐量を増加させることができる。

[0060] よって、第2の実施形態によれば、オン特性に大きな影響を与えることなく、 dv/dt 耐量を増加させることが可能な半導体装置を提供することができる。

[0061] なお、最近傍ショートゲートSG1aとゲート電極21との間の距離は全

て、基準値に基づく距離範囲内にあるようにしてもよい。図4の場合では、トリガショートゲートSG1a以外以外の2本の最近傍ショートゲートSG1aについても、ゲート電極21との間の距離が基準値に基づく距離範囲内にあるようにしてもよい。これにより、半導体装置1Aのオン特性（ゲートトリガ電流）が大きく変化することをさらに防止できる。

[0062] また、図4に示すように、第2のショートゲートSG2の大きさは、ゲート電極21から遠ざかるほど大きくなるようにしてもよい。ゲート電極21から遠いショートゲートほど半導体装置のオン特性に与える影響が小さくなることから、このようにすることで、オン特性への影響を効果的に抑えつつ、 dv/dt 耐量をより向上させることができる。

[0063] また、図4に示すように、第1のショートゲートSG1および第2のショートゲートSG2は、トリガショートゲートSG1aとゲート電極21とを最短距離で結ぶ対角線、および当該対角線に平行な線に配置されるようにしてもよい。これにより、第1のショートゲートSG1および第2のショートゲートSG2が過度に不均等に配置されることがないため、 dv/dt 耐量の増加が抑制されることを防止できる。

[0064] （第3の実施形態）

次に、本発明の第3の実施形態に係る半導体装置1Bについて、図5を参照して説明する。第1の実施形態との相違点は、第3の実施形態では、第1の電極領域A1と第2の電極領域A2の区別をせず、全てのショートゲートが均等に配置される点である。以下、第1の実施形態との相違点を中心に第3の実施形態について説明する。

[0065] 本実施形態に係る半導体装置1Bでは、図5に示すように、第2導電型の複数のショートゲートSGが均等に配置されている。複数のショートゲートSGは、第1のショートゲートSG1および第2のショートゲートSG2と同様に、第2の半導体領域12を貫通するように設けられ、第1の主電極22および第1の半導体領域11に接続するように構成されている。なお、図5では、複数のショートゲートSGは、正方格子状に配置されているが矩形

格子状、斜方格子状、六角格子状など他の配置態様であってもよい。

[0066] 図5に示すように、複数のショートゲートSGのうちゲート電極21から見て最前列に、複数の最近傍ショートゲートSGaが配置されている。図5の例では、17本の最近傍ショートゲートSGaが配置されている。トリガショートゲートSGatは、ゲート電極21から最も離れている最近傍ショートゲートである。

[0067] トリガショートゲートSGatとゲート電極21との間の距離Zは、基準値に基づく距離範囲内にある。上記の基準値は、例えば、半導体装置1の仕様値である。これにより、半導体装置1Bのオン特性（ゲートトリガ電流）が大きく変化することを防止できる。

[0068] また、図5に示すように、ショートゲートSG同士間の距離Xは、最近傍ショートゲートSGaとゲート電極21との間の距離Yよりも短い。ここで、距離Xは、隣り合うショートゲートSGの中心間距離であり、距離Yは、最近傍ショートゲートSGaとゲート電極21との間の最短距離である。このように半導体装置1BではショートゲートSGが高密度に配置され、第1の主電極22に設けられるショートゲートSGの個数が従来の半導体装置よりも増えるため、 d_v/d_t 耐量を増加させることができる。なお、ショートゲートSG同士間の距離は0.1mm以上0.8mm以下であることが好ましく、0.1mm以上0.5mm以下であることがさらに好ましい。

[0069] よって、第3の実施形態によれば、オン特性に大きな影響を与えることなく、 d_v/d_t 耐量を増加させることが可能な半導体装置を提供することができる。

[0070] なお、最近傍ショートゲートSGaとゲート電極21との間の距離は全て、基準値に基づく距離範囲内にあるようにしてもよい。図5の場合では、トリガショートゲートSGat以外の16本の最近傍ショートゲートSGaについても、ゲート電極21との間の距離が基準値に基づく距離範囲内にあるようにしてもよい。これにより、半導体装置1Bのオン特性（ゲートトリガ電流）が大きく変化することをさらに防止できる。

[0071] 以上、本発明に係る3つの実施形態について説明したが、本発明は、双方向サイリスタ等の他の半導体装置にも適用可能である。

[0072] 上記の記載に基づいて、当業者であれば、本発明の追加の効果や種々の変形を想到できるかもしれないが、本発明の態様は、上述した個々の実施形態に限定されるものではない。異なる実施形態にわたる構成要素を適宜組み合わせてもよい。特許請求の範囲に規定された内容及びその均等物から導き出される本発明の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更及び部分的削除が可能である。

符号の説明

- [0073] 1, 1 A, 1 B 半導体装置
- 1 0 半導体基板
- 1 0 a, 1 0 b 主面
- 1 1 第1の半導体領域 (P型ベース領域)
- 1 2 第2の半導体領域 (N型エミッタ領域)
- 1 3 第3の半導体領域 (P型ベース領域)
- 1 4 第4の半導体領域
- 1 5 チャネルストッパー
- 1 6 アイソレーション領域
- 1 7 バルク領域
- 2 1 ゲート電極
- 2 2 第1の主電極 (カソード電極)
- 2 3 第2の主電極 (アノード電極)
- 2 5 保護膜
- A 1 第1の電極領域
- A 2 第2の電極領域
- D 1, D 2 (空乏層の) 境界線
- r 潜り抵抗
- S G, S G 1, S G 2 ショートゲート

S G 1 a 最近傍ショットゲート

S G 1 a t トリガショットゲート

X, Y, Z 距離

請求の範囲

- [請求項1] 第1の主面、および前記第1の主面の反対側の第2の主面を有する第1導電型の半導体基板と、
- 前記半導体基板の前記第1の主面に形成された第2導電型の第1の半導体領域と、
- 前記第1半導体領域内に形成された第1導電型の第2の半導体領域と、
- 前記半導体基板の前記第2の主面に形成された第2導電型の第3の半導体領域と、
- 前記第1の半導体領域に電氣的に接続するように前記第1の主面上に形成されたゲート電極と、
- 前記第2の半導体領域に電氣的に接続するように前記第1の主面上に形成された第1の主電極と、
- 前記第3の半導体領域に電氣的に接続するように前記第2の主面上に形成された第2の主電極と、を備え、
- 前記第1の主面に平行な平面において、前記第1の主電極は、前記ゲート電極と隣り合う第1の電極領域と、前記第1の電極領域を挟んで前記ゲート電極の反対側に位置する第2の電極領域と、を有しており、
- 前記第1の電極領域には、前記第2の半導体領域を貫通し且つ前記第1の主電極および前記第1の半導体領域に接続する第2導電型の複数の第1のショートゲートが設けられ、
- 前記第2の電極領域には、前記第2の半導体領域を貫通し且つ前記第1の主電極および前記第1の半導体領域に接続する第2導電型の複数の第2のショートゲートが設けられ、
- 前記複数の第1のショートゲートのうち前記ゲート電極から見て最前列に位置する最近傍ショートゲートであって前記ゲート電極から最も離れているトリガショートゲートと、前記ゲート電極との間の距離

は、基準値に基づく距離範囲内にあり、かつ

前記第2のショートゲートの配置密度は、前記第1のショートゲートの配置密度よりも高いことを特徴とする半導体装置。

[請求項2] 前記最近傍ショートゲートと前記ゲート電極との間の距離は全て、前記基準値に基づく距離範囲内にあることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記第2のショートゲートの配置密度は、前記ゲート電極から遠ざかるほど高くなることを特徴とする請求項1に記載の半導体装置。

[請求項4] 前記第1の主電極と前記ゲート電極は、平面視して前記ゲート電極が一隅を占める略正形状に形成されており、

前記第1のショートゲートおよび前記第2のショートゲートは、前記トリガショートゲートと前記ゲート電極とを最短距離で結ぶ対角線、および前記対角線に平行な線に配置されていることを特徴とする請求項1に記載の半導体装置。

[請求項5] 第1の主面、および前記第1の主面の反対側の第2の主面を有する第1導電型の半導体基板と、

前記半導体基板の前記第1の主面に形成された第2導電型の第1の半導体領域と、

前記第1半導体領域内に形成された第1導電型の第2の半導体領域と、

前記半導体基板の前記第2の主面に形成された第2導電型の第3の半導体領域と、

前記第1の半導体領域に電氣的に接続するように前記第1の主面上に形成されたゲート電極と、

前記第2の半導体領域に電氣的に接続するように前記第1の主面上に形成された第1の主電極と、

前記第3の半導体領域に電氣的に接続するように前記第2の主面上に形成された第2の主電極と、を備え、

前記第1の主面に平行な平面において、前記第1の主電極は、前記ゲート電極と隣り合う第1の電極領域と、前記第1の電極領域を挟んで前記ゲート電極の反対側に位置する第2の電極領域と、を有しており、

前記第1の電極領域には、前記第2の半導体領域を貫通し且つ前記第1の主電極および前記第1の半導体領域に接続する第2導電型の複数の第1のショートゲートが設けられ、

前記第2の電極領域には、前記第2の半導体領域を貫通し且つ前記第1の主電極および前記第1の半導体領域に接続する第2導電型の複数の第2のショートゲートが設けられ、

前記複数の第1のショートゲートのうち前記ゲート電極から見て最前列に位置する最近傍ショートゲートであって前記ゲート電極から最も離れているトリガショートゲートと、前記ゲート電極との間の距離は、基準値に基づく距離範囲内にあり、かつ

前記第2のショートゲートの大きさは、前記第1のショートゲートよりも大きいことを特徴とする半導体装置。

[請求項6] 前記最近傍ショートゲートと前記ゲート電極との間の距離は全て、前記基準値に基づく距離範囲内にあることを特徴とする請求項5に記載の半導体装置。

[請求項7] 前記第2のショートゲートの大きさは、前記ゲート電極から遠ざかるほど大きくなることを特徴とする請求項5に記載の半導体装置。

[請求項8] 前記第1の主電極と前記ゲート電極は、平面視して前記ゲート電極が一隅を占める略正形状に形成されており、

前記第1のショートゲートおよび前記第2のショートゲートは、前記トリガショートゲートと前記ゲート電極とを最短距離で結ぶ対角線、および前記対角線に平行な線に配置されていることを特徴とする請求項5に記載の半導体装置。

[請求項9] 第1の主面、および前記第1の主面の反対側の第2の主面を有する

第1導電型の半導体基板と、

前記半導体基板の前記第1の主面に形成された第2導電型の第1の半導体領域と、

前記第1半導体領域内に形成された第1導電型の第2の半導体領域と、

前記半導体基板の前記第2の主面に形成された第2導電型の第3の半導体領域と、

前記第1の半導体領域に電氣的に接続するように前記第1の主面上に形成されたゲート電極と、

前記第2の半導体領域に電氣的に接続するように前記第1の主面上に形成された第1の主電極と、

前記第3の半導体領域に電氣的に接続するように前記第2の主面上に形成された第2の主電極と、

前記第2の半導体領域を貫通するように設けられ、前記第1の主電極および前記第1の半導体領域に接続する第2導電型の複数のショートゲートと、を備え、

前記複数のショートゲートのうち前記ゲート電極から見て最前列に位置する最近傍ショートゲートであって前記ゲート電極から最も離れているトリガショートゲートと、前記ゲート電極との間の距離は、基準値に基づく距離範囲内にあり、

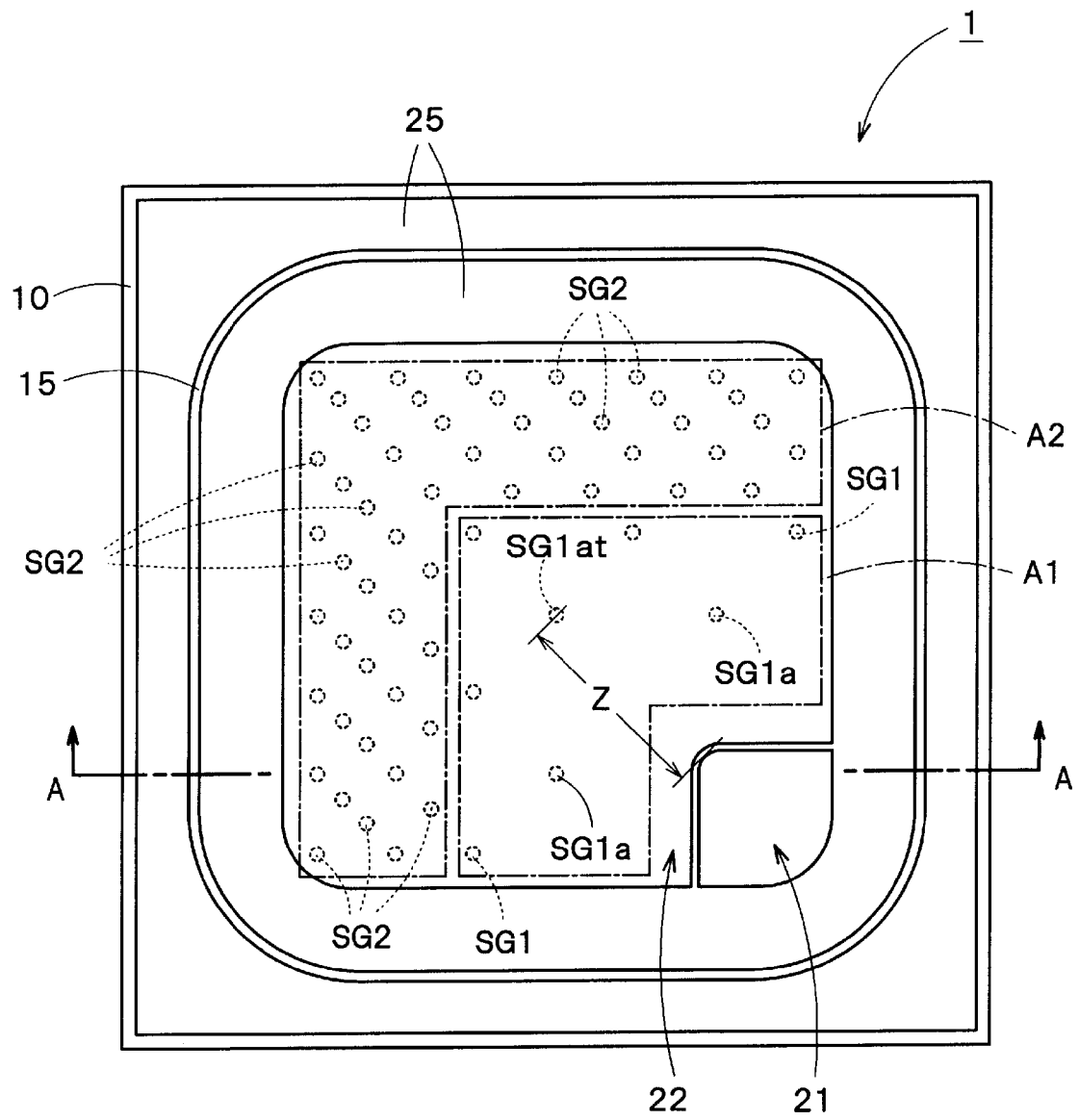
前記ショートゲート同士間の距離は、前記最近傍ショートゲートと前記ゲート電極との間の最短距離よりも短いことを特徴とする半導体装置。

[請求項10] 前記最近傍ショートゲートと前記ゲート電極との間の距離は全て、前記基準値に基づく距離範囲内にあることを特徴とする請求項9に記載の半導体装置。

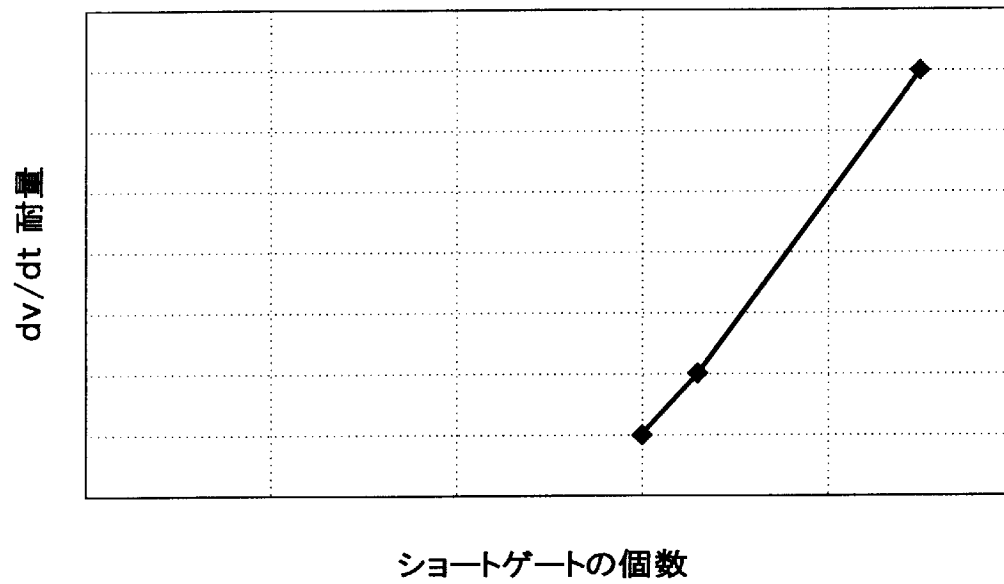
[請求項11] 前記ショートゲート同士間の距離は、0.1mm以上0.8mm以下であることを特徴とする請求項9に記載の半導体装置。

- [請求項12] 前記ショートゲート同士間の距離は、0.1 mm以上0.5 mm以下であることを特徴とする請求項9に記載の半導体装置。
- [請求項13] 前記複数のショートゲートは、均等に配置されていることを特徴とする請求項9に記載の半導体装置。

[図1]



[図3]



[図4]

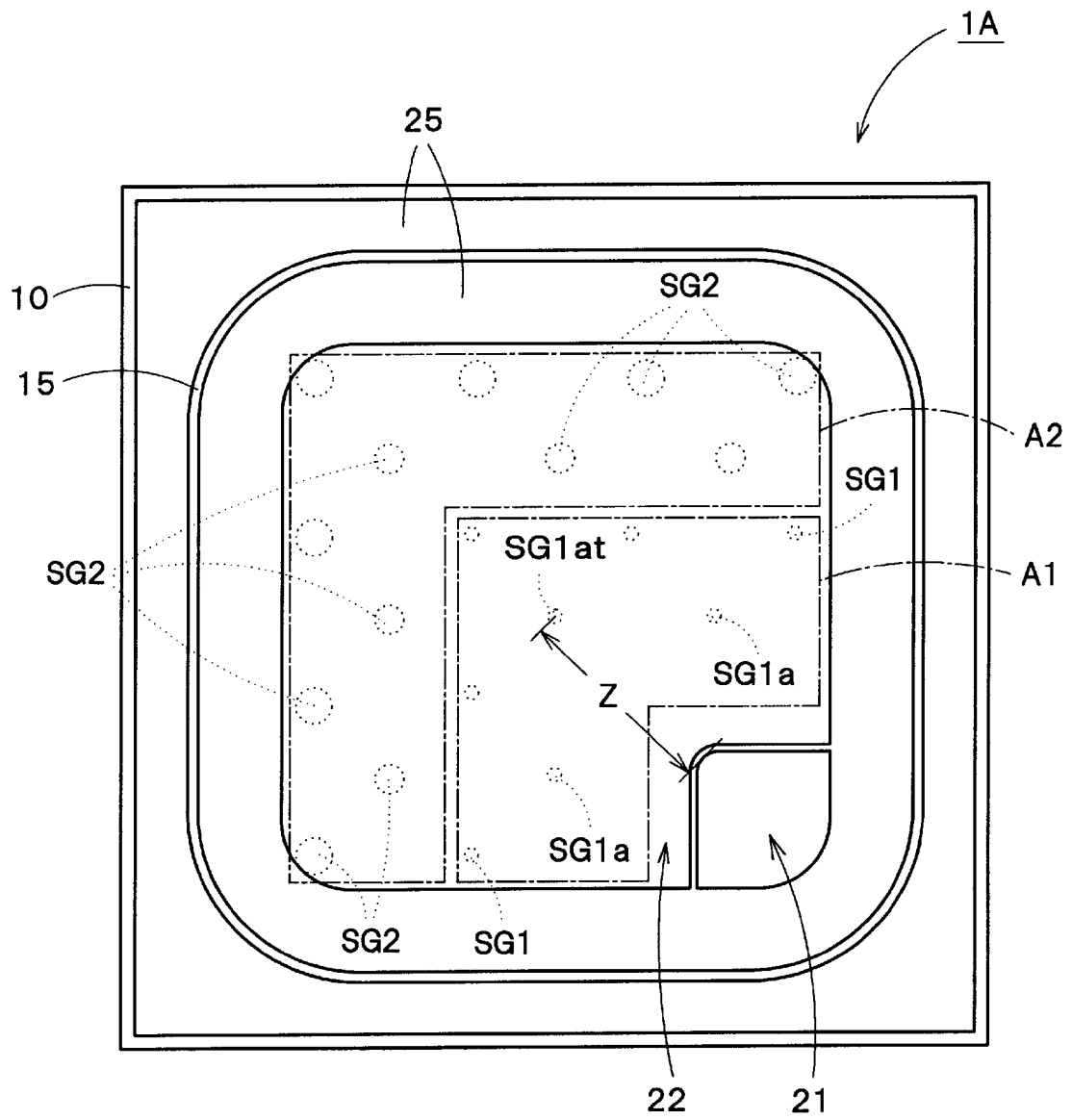


Diagram 1B is a plan view of a semiconductor device. It features a central array of semiconductor grains 25, represented by a grid of small circles. This array is surrounded by a gate region SG. The entire structure is enclosed within a frame 10, which includes a layer 15. A source/drain region SGa is shown adjacent to the grain array, with a gate region SGat positioned above it. Dimensions X, Y, and Z are indicated: X is the width of the grain array, Y is the width of the SGa region, and Z is the height of the SGat region.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/010389

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/74(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2005/0082565 A1 (Samuel Menard), 21 April 2005 (21.04.2005), fig. 5 to 6; paragraphs [0041] to [0043] & EP 1524700 A1 & FR 2861229 A1	1-3, 5-7, 9-13 4, 8
Y A	JP 60-88469 A (Fuji Denki Seizo Kabushiki Kaisha), 18 May 1985 (18.05.1985), fig. 2 (Family: none)	4, 8 1-3, 5-7, 9-13
A	JP 2009-206193 A (Sansha Electric Manufacturing Co., Ltd.), 10 September 2009 (10.09.2009), fig. 7 (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 April 2017 (19.04.17)

Date of mailing of the international search report
09 May 2017 (09.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/74(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/74

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	US 2005/0082565 A1 (Samuel Menard) 2005.04.21, 図 5-6、段落0041-0043 & EP 1524700 A1 & FR 2861229 A1	1-3, 5-7, 9-13 4, 8
Y A	JP 60-88469 A (富士電機製造株式会社) 1985.05.18, 第2図 (ファ ミリーなし)	4, 8 1-3, 5-7, 9-13
A	JP 2009-206193 A (株式会社三社電機製作所) 2009.09.10, 図7 (ファ ミリーなし)	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

19.04.2017

国際調査報告の発送日

09.05.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

儀同 孝信

電話番号 03-3581-1101 内線 3516

5 F

3566