

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6073371号  
(P6073371)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月13日(2017.1.13)

|              |             |                  |             |             |          |
|--------------|-------------|------------------|-------------|-------------|----------|
| (51) Int.Cl. |             | F I              |             |             |          |
| <b>H03F</b>  | <b>3/68</b> | <b>(2006.01)</b> | <b>H03F</b> | <b>3/68</b> | <b>B</b> |
| <b>H03F</b>  | <b>1/42</b> | <b>(2006.01)</b> | <b>H03F</b> | <b>1/42</b> |          |
| <b>H03F</b>  | <b>3/60</b> | <b>(2006.01)</b> | <b>H03F</b> | <b>3/60</b> |          |

請求項の数 12 (全 12 頁)

|               |                              |           |                             |
|---------------|------------------------------|-----------|-----------------------------|
| (21) 出願番号     | 特願2014-551051 (P2014-551051) | (73) 特許権者 | 000006013                   |
| (86) (22) 出願日 | 平成25年11月26日(2013.11.26)      |           | 三菱電機株式会社                    |
| (86) 国際出願番号   | PCT/JP2013/081794            |           | 東京都千代田区丸の内二丁目7番3号           |
| (87) 国際公開番号   | W02014/087886                | (74) 代理人  | 100123434                   |
| (87) 国際公開日    | 平成26年6月12日(2014.6.12)        |           | 弁理士 田澤 英昭                   |
| 審査請求日         | 平成26年8月26日(2014.8.26)        | (74) 代理人  | 100101133                   |
| (31) 優先権主張番号  | 特願2012-264354 (P2012-264354) |           | 弁理士 濱田 初音                   |
| (32) 優先日      | 平成24年12月3日(2012.12.3)        | (74) 代理人  | 100173934                   |
| (33) 優先権主張国   | 日本国(JP)                      |           | 弁理士 久米 輝代                   |
|               |                              | (74) 代理人  | 100156351                   |
|               |                              |           | 弁理士 河村 秀央                   |
|               |                              | (72) 発明者  | 桑田 英悟                       |
|               |                              |           | 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 |

最終頁に続く

(54) 【発明の名称】 広帯域増幅器

(57) 【特許請求の範囲】

【請求項1】

複数のトランジスタと、  
並列コンデンサ及び該並列コンデンサの一端を低電位電極に接続するピアホールを含み、各々の伝送線路を介して各々の前記トランジスタの入力端子に接続されたインピーダンス整合回路とを備え、

いずれか二つの前記トランジスタに各々接続された前記インピーダンス整合回路の前記ピアホール同士を共用化したことを特徴とする広帯域増幅器。

【請求項2】

第三の並列コンデンサ及び該第三の並列コンデンサの一端を低電位電極に接続する第三のピアホールを含み、伝送線路を介してトランジスタの入力端子に接続されたインピーダンス整合回路を備え、

前記インピーダンス整合回路の前記第三のピアホールを、前記トランジスタのソース端子あるいはエミッタ端子を低電位電極に接続するピアホールと共用化したことを特徴とする広帯域増幅器。

【請求項3】

複数のトランジスタと、  
第一の並列コンデンサ及び該第一の並列コンデンサの一端を低電位電極に接続する第一のピアホール、

第二の並列コンデンサ及び該第二の並列コンデンサの一端を低電位電極に接続する第二

10

20

のピアホールを含み、各々の伝送線路を介して各々の前記トランジスタの入力端子に接続されたインピーダンス整合回路とを備え、

いずれか二つの前記トランジスタに各々接続された前記インピーダンス整合回路の前記第一のピアホール同士を共用化すると共に、

前記トランジスタに接続された前記インピーダンス整合回路の前記第二のピアホールを、当該トランジスタのソース端子あるいはエミッタ端子を低電位電極に接続するピアホールと共用化したことを特徴とする広帯域増幅器。

【請求項 4】

前記インピーダンス整合回路は、多段構成され、前記多段構成の各段は、前記並列コンデンサ、前記共用化されたピアホールの他、インダクタを含むことを特徴とする請求項 1 記載の広帯域増幅器。

10

【請求項 5】

前記インピーダンス整合回路は、第四の並列コンデンサ及び該第四の並列コンデンサの一端を低電位電極に接続する第四のピアホールをさらに含み、二つのトランジスタに各々接続された前記インピーダンス整合回路の前記第四のピアホール同士が共用化され、かつ、前記インピーダンス整合回路は、多段構成され、前記多段構成の一段目は、前記第三の並列コンデンサ、前記第三のピアホールの他、インダクタを含み、前記多段構成の二段目以降の各段は、前記第四の並列コンデンサ、前記第四のピアホールの他、インダクタを含むことを特徴とする請求項 2 記載の広帯域増幅器。

【請求項 6】

20

前記インピーダンス整合回路は、多段構成され、前記多段構成の一段目は、前記第二の並列コンデンサ、前記第二のピアホールの他、インダクタを含み、前記多段構成の二段目以降の各段は、前記第一の並列コンデンサ、前記第一のピアホールの他、インダクタを含むことを特徴とする請求項 3 記載の広帯域増幅器。

【請求項 7】

前記伝送線路を介して前記複数のトランジスタの入力端子に接続された安定化回路を備えたことを特徴とする請求項 1 記載の広帯域増幅器。

【請求項 8】

前記伝送線路を介して前記トランジスタの入力端子に接続された安定化回路を備えたことを特徴とする請求項 2 記載の広帯域増幅器。

30

【請求項 9】

前記伝送線路を介して前記複数のトランジスタの入力端子に接続された安定化回路を備えたことを特徴とする請求項 3 記載の広帯域増幅器。

【請求項 10】

前記伝送線路を介して前記複数のトランジスタの入力端子に接続されたショートスタブを備えたことを特徴とする請求項 1 記載の広帯域増幅器。

【請求項 11】

前記伝送線路を介して前記トランジスタの入力端子に接続されたショートスタブを備えたことを特徴とする請求項 2 記載の広帯域増幅器。

【請求項 12】

40

前記伝送線路を介して前記複数のトランジスタの入力端子に接続されたショートスタブを備えたことを特徴とする請求項 3 記載の広帯域増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、広帯域増幅器に関する。

【背景技術】

【0002】

図 16 は従来の広帯域増幅器の構成を示す回路図である。

図 16 において、従来の広帯域増幅器は、複数のトランジスタ 1、各々のトランジスタ

50

1のゲート端子に接続された安定化回路2及びインピーダンス整合回路3から構成される。

従来の広帯域増幅器では、トランジスタ1に安定化回路2を接続し、広帯域な安定化を実現した上で、安定化回路2に並列にインピーダンス整合回路3を接続して、広帯域なインピーダンス整合を実現していた。

なお、従来の技術の関連文献として、下記非特許文献1がある

【先行技術文献】

【非特許文献】

【0003】

【非特許文献1】G. Mougnot et al., "Three Stage 6-18 GHz High Gain and High Power Amplifier based on GaN Technology," 2010 IEEE MTT Symposium, pp.1392-1395, May, 2010.

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来の広帯域増幅器は以上のように構成されているので、一つのトランジスタ1に対して、安定化回路2及びインピーダンス整合回路3がそれぞれ並列に並んでいるため、回路が大きくなるなどの課題があった。

【0005】

本発明は、回路を小型化する広帯域増幅器を得ることを目的とする。

20

【課題を解決するための手段】

【0006】

本発明の広帯域増幅器は、複数のトランジスタと、並列コンデンサ及び該並列コンデンサの一端を低電位電極に接続するピアホールを含み、各々の伝送線路を介して各々のトランジスタの入力端子に接続されたインピーダンス整合回路とを備え、いずれか二つのトランジスタに各々接続されたインピーダンス整合回路のピアホール同士を共用化したものである。

【発明の効果】

【0007】

本発明によれば、二つのトランジスタに各々接続されたインピーダンス整合回路の並列コンデンサの一端を低電位電極に接続するピアホール同士を共用化した。

30

よって、回路を小型化することができる効果がある。また、このように二つのトランジスタに各々接続されたコンデンサの一端同士を接続させることにより、高周波において二つのトランジスタの電位をそろえることができ、動作を均一化させ発振等を防止することができる。

【図面の簡単な説明】

【0008】

【図1】本発明の実施の形態1による広帯域増幅器の構成を示す回路図である。

【図2】ピアホールを共用化せず、ピアホールのインダクタンスを考慮しない場合の広帯域増幅器を示す等価回路図である。

40

【図3】図3の電圧定在波比(VSWR)を示す周波数特性図である。

【図4】ピアホールを共用化せず、ピアホールのインダクタンスを50pHとした場合の広帯域増幅器を示す等価回路図である。

【図5】図4の電圧定在波比(VSWR)を示す周波数特性図である。

【図6】ピアホールを共用化し、ピアホールのインダクタンスを50pHとした場合の広帯域増幅器を示す等価回路図である。

【図7】図6の電圧定在波比(VSWR)を示す周波数特性図である。

【図8】図2に応じたインピーダンスのずれ量(Diff)を計算するための広帯域増幅器を示す等価回路図である。

【図9】図6に応じたインピーダンスのずれ量(Diff)を計算するための広帯域増幅

50

器を示す等価回路図である。

【図10】図8のインピーダンスのずれ量(Diff)を示す周波数特性図である。

【図11】図9のインピーダンスのずれ量(Diff)を示す周波数特性図である。

【図12】本発明の実施の形態2による広帯域増幅器の構成を示す回路図である。

【図13】ピアホールを共用化せず、ピアホールのインダクタンスを考慮しない場合の広帯域増幅器を示す等価回路図である。

【図14】図13の電圧定在波比(VSWR)を示す周波数特性図である。

【図15】本発明の実施の形態2による他の広帯域増幅器の構成を示す回路図である。

【図16】従来の広帯域増幅器の構成を示す回路図である。

【発明を実施するための形態】

10

【0009】

以下、この発明をより詳細に説明するために、この発明を実施するための形態について、添付の図面に従って説明する。

実施の形態1.

図1は本発明の実施の形態1による広帯域増幅器の構成を示す回路図である。

図1において、本実施の形態1の広帯域増幅器は、複数のFET(Field Effect Transistor)からなるトランジスタ1、各々のトランジスタ1のゲート端子(入力端子)に各々伝送線路6を介して接続された安定化回路2、ショートスタブ4、及びインピーダンス整合回路5から構成される。

【0010】

20

トランジスタ1のソース端子は、ピアホール1aを介してグラウンド(低電位電極)に接続される。

安定化回路2は、インダクタ2a、抵抗2b、コンデンサ2c、及びコンデンサ2cの一端をグラウンドに接続するピアホール2dから構成される。

ショートスタブ4は、インダクタ4a、コンデンサ4b、及びコンデンサ4bの一端をグラウンドに接続するピアホール4cから構成される。

【0011】

インピーダンス整合回路5は、インダクタ5a、並列コンデンサ5c、及び並列コンデンサ5cの一端をグラウンドに接続するピアホール5eから構成され、ピアホール5e同士は共用化される。

30

又、インダクタ5b、並列コンデンサ5d、及び並列コンデンサ5dの一端をグラウンドに接続するピアホール5fから構成され、ピアホール5f同士は共用化される。

このように、インピーダンス整合回路5において、インダクタ、並列コンデンサ、及びピアホールは、多段構成され、二つのトランジスタ1間でピアホール同士は共用化される。

伝送線路6は、動作周波数の $\lambda/4$ ( $\lambda$ :波長)よりも短く形成される。

【0012】

実際にトランジスタ1のパラメータを仮定し、本実施の形態1が効果を得られることを説明する。

【0013】

40

図2は図1において、インピーダンス整合回路5のピアホールを共用化せず、更に、ピアホールのインダクタンスを考慮しない、トランジスタ1のセル数は2セルの場合の等価回路図である。

トランジスタ1に安定化回路2を付加した状態のインピーダンスを $R(5)$ と $C(2pF)$ の直列回路7とする。

伝送線路6が十分に細くインダクタに近似できるとして、伝送線路6のインダクタンスを $123pH$ とすることで、中心周波数でのリアクタンスを0にする。

更に、特性インピーダンスが $2.5$ 、中心周波数で $\lambda/4$ 長のショートスタブ4を利用して、誘導性の領域にある高域を容量性の領域へ、容量性の領域にある低域を誘導性の領域へとインピーダンス変成する。

50

## 【 0 0 1 4 】

更に、チェビシェフ形の L ( L 1 ~ L 3 ) と C ( C 1 ~ C 3 ) を用いた 3 段の L P F で 5 0 Ω にインピーダンス変成を行い広帯域なインピーダンス整合を実現する。

L P F のパラメータをトランジスタに近い部品から順に L 1 = 9 3 . 1 p H , C 1 = 1 . 5 7 2 p F , L 2 = 3 0 2 p H , C 2 = 0 . 6 0 4 p F , L 3 = 7 8 6 p H , C 3 = 0 . 1 8 6 p F と設定した場合の増幅器の V S W R ( 電圧定在波比 ) の周波数特性を図 3 に示す。

図 3 の計算結果は、規格化周波数 0 . 8 9 ~ 1 . 2 の広帯域において、V S W R が 1 . 5 未満と良好なインピーダンス整合が得られる。

## 【 0 0 1 5 】

図 4 は図 1 において、インピーダンス整合回路 5 のピアホールを共用化せず、更に、ピアホール 8 のインダクタンスを 5 0 p H とし、トランジスタ 1 のセル数は 2 セルの場合の等価回路図である。

コンデンサ単体のリアクタンスとコンデンサ + 5 0 p H のリアクタンスを同じにするため、下式 ( 1 ) に基づいてコンデンサの値を修正する。

なお、下式 ( 1 ) において元になるコンデンサを C 、補正後のコンデンサを C ' 、ピアホールのインダクタンスを L , 中心角周波数を ω とする。

$$C' = \frac{C}{1 + \omega^2 LC} \quad (1)$$

## 【 0 0 1 6 】

上式 ( 1 ) を用いて、変換後のコンデンサの値は、C 1 ' = 1 . 2 p F , C 2 ' = 0 . 5 4 p F , C 3 ' = 0 . 1 7 9 p F になる。

この値を用いて、ピアホールのインダクタンスを考慮した条件の増幅器の V S W R の周波数特性を図 5 に示す。

図 5 の計算結果も図 3 と同様に、計算結果は、規格化周波数 0 . 8 9 ~ 1 . 2 の広帯域において V S W R が 1 . 5 未満と良好なインピーダンス整合が得られる。

## 【 0 0 1 7 】

図 6 は図 1 と同様に、インピーダンス整合回路 5 のピアホールを共用化し、更に、ピアホール 5 e , 5 f , 5 g のインダクタンスを 5 0 p H とし、トランジスタ 1 のセル数は 2 セルの場合の等価回路図である。

同様に上式 ( 1 ) を用いて、コンデンサの値を補正すると、C 1 " = 0 . 9 7 p F , C 2 " = 0 . 4 8 8 p F , C 3 " = 0 . 1 5 8 p F になる。

更に、L 3 " の値を微調整し、0 . 7 p H とする。

この値を用いて、ピアホールのインダクタンスを考慮した条件の増幅器の V S W R の周波数特性を図 7 に示す。

図 7 の計算結果も図 3 、図 5 と同様に、計算結果は、規格化周波数 0 . 8 9 ~ 1 . 2 の広帯域において V S W R が 1 . 5 未満と良好なインピーダンス整合が得られる。

## 【 0 0 1 8 】

又、本実施の形態 1 の回路と従来の回路とで、トランジスタのばらつきに対するインピーダンスのズレ量について説明する。

計算する回路図について、図 2 に対応する回路図を図 8 、図 6 に対応する本実施の形態 1 の回路図を図 9 に示す。

図 8 及び図 9 の各図において、Z 1 , Z 2 の間のインピーダンスのズレ量を比較する。

比較するための基準を求める式として、下式 ( 2 ) を用いる。

ただし、Z 2 は、Z 2 の共役複素数である。

10

20

30

40

$$Diff = \frac{Z1 - Z2}{Z1 + Z2} \quad (2)$$

## 【 0 0 1 9 】

図 8 及び図 9 において、安定化回路 2 による直列回路 7 のコンデンサ C V の値が 2 p F から 4 p F まで 0 . 5 p F 刻みで変化した場合の D i f f ( ずれ量 ) の計算結果をそれぞれ図 1 0 及び図 1 1 に示す。

なお、図 1 0 及び図 1 1 において、四つのライン下からライン上に向かって順に、コンデンサ C V の値が 2 p F から 4 p F である。 10

図 1 0 及び図 1 1 に示したように、図 2 に対応する図 8 の回路図では、0 . 4 1 程度あったずれ量を、本実施の形態 1 に対応する図 9 の回路図では、0 . 4 まで小さくすることができる。

## 【 0 0 2 0 】

以上のように、本実施の形態 1 によれば、二つのトランジスタ 1 に各々接続されたインピーダンス整合回路 5 の並列コンデンサ 5 c , 5 d の一端をグラウンドに接続するピアホール 5 e , 5 f 同士を共用化した。

よって、従来の回路では、L P F 形のインピーダンス整合回路 3 に対して段数とトランジスタ 1 のセル数を掛けた数だけピアホールが必要であったが、本実施の形態 1 の回路では、L P F 形のインピーダンス整合回路 5 のピアホール数を半減させ、回路を小型化することができる。 20

又、基板や I C の大きさを小型化することで、高周波回路を必要とするシステムを小型化することができる。

## 【 0 0 2 1 】

又、安定化回路 2、ショートスタブ 4 及びインピーダンス整合回路 5 のインダクタ及びピアホールのインダクタンス、並列コンデンサのキャパシタンスを最適値に設定するようにした。

よって、広帯域なインピーダンス整合を実現しつつ、従来の回路と比較して、トランジスタ 1 のばらつきによるインピーダンスのずれ量を小さくすることができる。 30

このトランジスタ 1 のばらつきによるインピーダンスのずれ量を小さくすることで、増幅性能のばらつき及びループ発振などの寄生発振を抑制することができる。なお、発振抑圧という面では、トランジスタ 1 に対する回路とトランジスタ 2 に対する回路の間に抵抗 ( アイソレーション抵抗と言われる ) を装荷することで、より発振抑圧効果を得ることができる。

## 【 0 0 2 2 】

実施の形態 2 .

図 1 2 は本発明の実施の形態 2 による広帯域増幅器の構成を示す回路図である。

図 1 2 において、本実施の形態 2 の広帯域増幅器は、複数のトランジスタ 1、各々のトランジスタ 1 のゲート端子に各々伝送線路 6 を介して接続された安定化回路 2、及びインピーダンス整合回路 9 から構成される。 40

よって、本実施の形態 2 では、前記実施の形態 1 で示したショートスタブ 4 が接続されていない。

## 【 0 0 2 3 】

インピーダンス整合回路 9 は、インダクタ 9 a、並列コンデンサ 9 c、及び並列コンデンサ 9 c の一端をグラウンドに接続するピアホール 9 e から構成され、ピアホール 9 e は、トランジスタ 1 のソース端子をグラウンドに接続するピアホール 9 e と共用化される。

又、インダクタ 9 b、並列コンデンサ 9 d、及び並列コンデンサ 9 d の一端をグラウンドに接続するピアホール 9 f から構成され、ピアホール 9 f 同士は共用化される。

このように、インピーダンス整合回路 9 において、インダクタ、並列コンデンサ、及び 50

ビアホールは、多段構成され、一段目のビアホール 9 e は、トランジスタ 1 のソース端子をグラウンドに接続するビアホール 9 e と共用化され、二段目以降のビアホール同士は二つのトランジスタ 1 間で共用化される。

【 0 0 2 4 】

実際にトランジスタ 1 のパラメータを仮定し、本実施の形態 2 が効果を得られることを説明する。

【 0 0 2 5 】

図 1 3 は図 1 2 において、インピーダンス整合回路 9 のビアホールを共用化せず、更に、ビアホールのインダクタンスを考慮しない、トランジスタ 1 のセル数は 2 セルの場合の等価回路図である。

トランジスタ 1 に安定化回路 2 を付加した状態のインピーダンスを  $R(5)$  と  $C(2pF)$  の直列回路 7 とする。

伝送線路 6 が十分に細くインダクタに近似できるとして、伝送線路 6 のインダクタンスを  $123pH$  とすることで、中心周波数でのリアクタンスを 0 にする。

更に、直列インダクタ  $8a(0.1nH)$  と並列キャパシタ  $8c(1.4pF)$  を利用して、誘導性の領域にある高域を容量性の領域へ、容量性の領域にある低域を誘導性の領域へとインピーダンス変成する。

【 0 0 2 6 】

更に、チェビシェフ形の  $L(L1 \sim L3)$  と  $C(C1 \sim C3)$  を用いた 3 段の LPF で 50 にインピーダンス変成を行い広帯域なインピーダンス整合を実現する。

LPF のパラメータをトランジスタに近い部品から順に  $L1 = 181pH$ ,  $C1 = 0.654pF$ ,  $L2 = 420pH$ ,  $C2 = 0.345pF$ ,  $L3 = 794pH$ ,  $C3 = 0.149pF$  と設定した場合の増幅器の VSWR (電圧定在波比) の周波数特性を図 1 4 に示す。

図 1 4 の計算結果は、規格化周波数  $0.89 \sim 1.2$  の広帯域において、VSWR が 1.5 未満と良好なインピーダンス整合が得られる。

【 0 0 2 7 】

図 1 3 と図 2 に注目すると、その差異はショートスタブ 4、インダクタ 9 a 及び並列コンデンサ 9 c である。

図 1 3 回路であっても、ビアホールの共用化は可能であるため、前記実施の形態 1 の図 4 以降の説明で述べたように、図 1 2 の広帯域増幅器により、広帯域なインピーダンス整合を実現しつつ、従来の回路と比較して、トランジスタ 1 のばらつきによるインピーダンスのずれ量を小さくすることができる。

このトランジスタ 1 のばらつきによるインピーダンスのずれ量を小さくすることで、増幅性能のばらつき及びループ発振などの寄生発振を抑制することができる。

【 0 0 2 8 】

又、二つのトランジスタ 1 に各々接続されたインピーダンス整合回路 9 の並列コンデンサ 9 d の一端をグラウンドに接続するビアホール 9 f 同士を共用化した。

更に、並列コンデンサ 9 c の一端をグラウンドに接続するビアホール 9 e を、トランジスタ 1 のソース端子をグラウンドに接続するビアホール 9 e と共用化した。

よって、従来の回路では、LPF 形のインピーダンス整合回路 3 に対して段数とトランジスタ 1 のセル数を掛けた数だけビアホールが必要であったが、本実施の形態 2 の回路では、LPF 形のインピーダンス整合回路 9 のビアホール数を半減させ、回路を小型化することができる。

又、基板や IC の大きさを小型化することで、高周波回路を必要とするシステムを小型化することができる。

【 0 0 2 9 】

図 1 5 は本発明の実施の形態 2 による他の広帯域増幅器の構成を示す回路図である。

図 1 5 において、図 1 2 では接続されていなかったショートスタブ 4 を接続したものである。

10

20

30

40

50

この場合においても、図 1 2 に示した構成と同様な効果が得られる。

【 0 0 3 0 】

以上のように、本実施の形態 2 によれば、前記実施の形態と同様な効果が得られる。

【 0 0 3 1 】

なお、前記実施の形態では、トランジスタ 1 として、F E T を適用したものについて説明したが、トランジスタ 1 として、B J T ( Bipolar Junction Transistor ) を適用しても良く、同様な効果が得られる。

その場合、F E T のゲート端子、ドレイン端子、ソース端子が、B J T のベース端子、コレクタ端子、エミッタ端子にそれぞれ対応することになる。

【 0 0 3 2 】

また、本願発明はその発明の範囲内において、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素の省略が可能である。

【 産業上の利用可能性 】

【 0 0 3 3 】

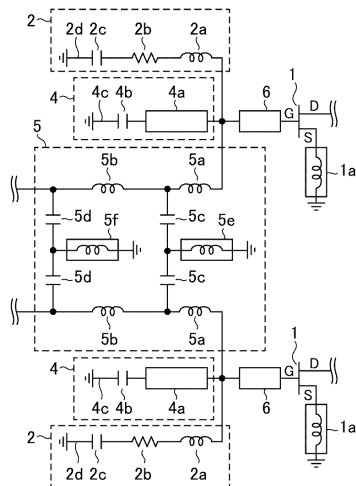
この発明に係る広帯域増幅器は、二つのトランジスタに各々接続されたインピーダンス整合回路のピアホール同士を共用化したため、回路を小型化することができ、高周波回路を必要とするシステムに用いるのに適している。

【 符号の説明 】

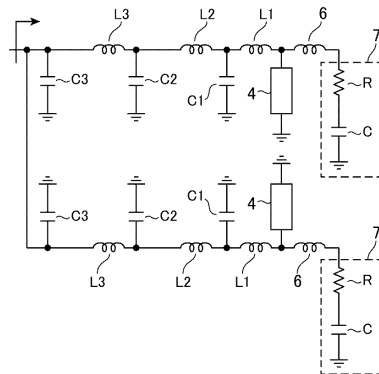
【 0 0 3 4 】

1 トランジスタ、1 a , 2 d , 4 c , 5 e , 5 f , 5 g , 8 , 9 e , 9 f ピアホール、2 安定化回路、2 a , 4 a , 5 a , 5 b , 9 a , 9 b インダクタ、2 b 抵抗、2 c , 4 b コンデンサ、4 ショートスタブ、5 , 8 インピーダンス整合回路、5 c , 5 d , 8 c , 9 d 並列コンデンサ、6 伝送線路、7 直列回路。

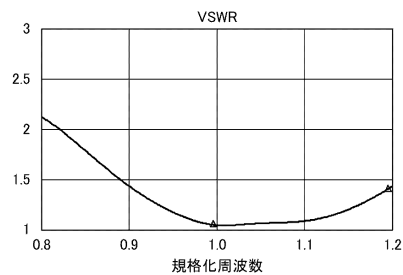
【 図 1 】



【 図 2 】



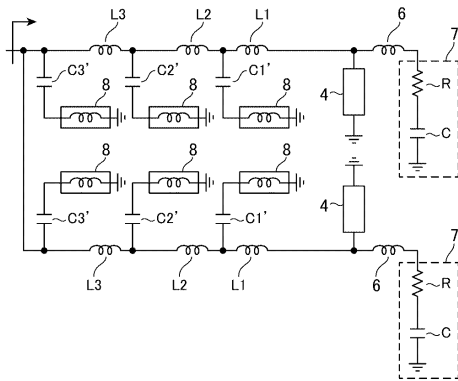
【 図 3 】



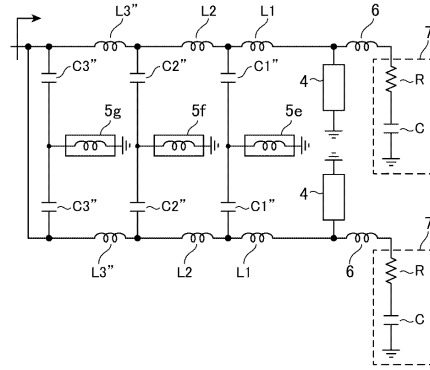
10

20

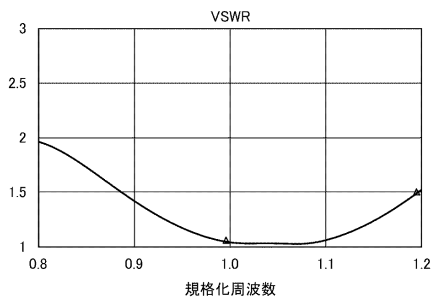
【図4】



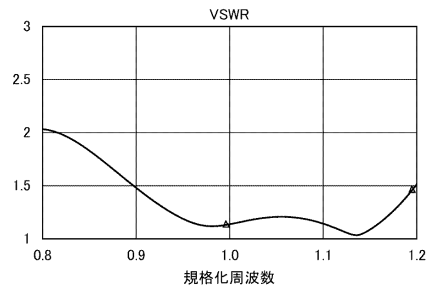
【図6】



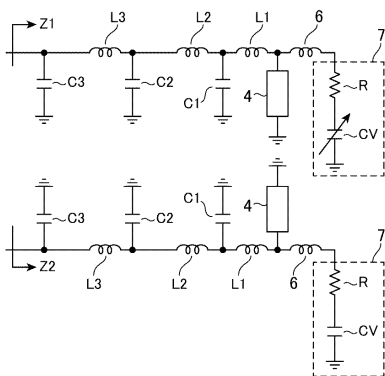
【図5】



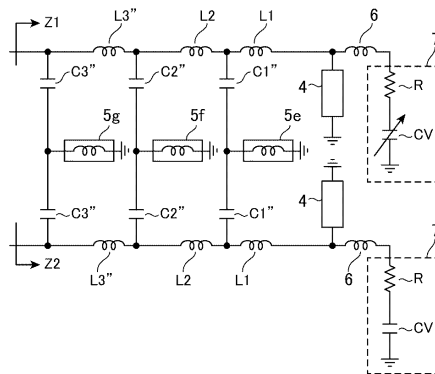
【図7】



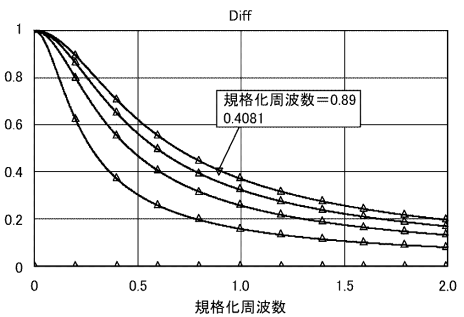
【図8】



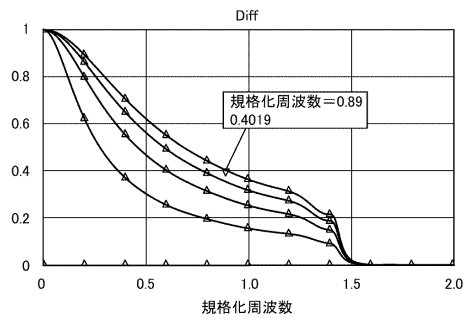
【図9】



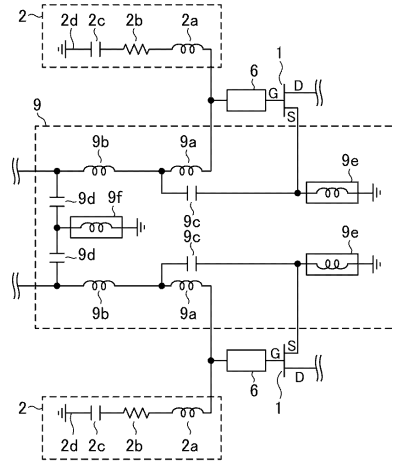
【図10】



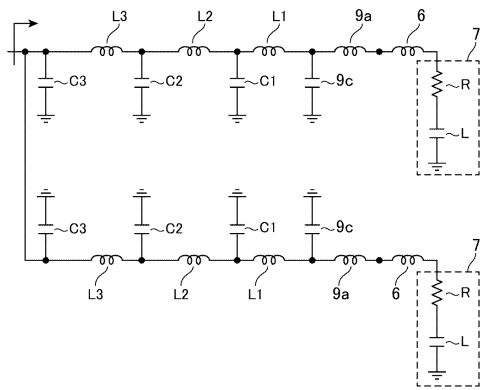
【図 1 1】



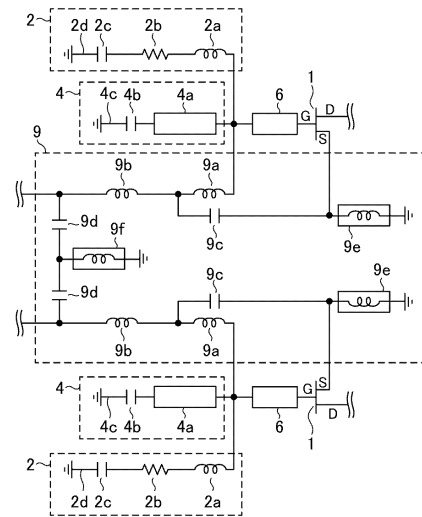
【図 1 2】



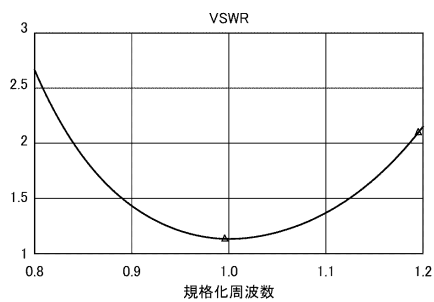
【図 1 3】



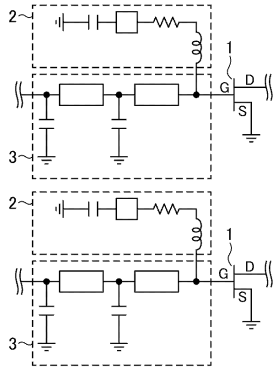
【図 1 5】



【図 1 4】



【 図 16 】



---

フロントページの続き

- (72)発明者 山中 宏治  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 大塚 浩志  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 桐越 祐  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 加茂 宣卓  
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 白井 孝治

- (56)参考文献 特開2008-244763(JP,A)  
特開2001-244710(JP,A)  
特開2001-320170(JP,A)  
特開2001-156242(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/68  
H03F 1/42  
H03F 3/195  
H03F 3/60  
H04B 1/04