

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：85127713

※ 申請日期：85.7.28

※ IPC 分類：H03F 3/193

一、發明名稱：(中文/英文)

電流控制矽互補金屬氧化物半導體寬帶資料放大器電路

CURRENT-CONTROLLED CMOS (C3MOS) WIDEBAND INPUT

DATA AMPLIFIER FOR REDUCED DIFFERENTIAL AND

COMMONMODE REFLECTION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美國博通公司

BROADCOM CORPORATION

代表人：(中文/英文) 狄·韓德森/HENDERSON, DEE

住居所或營業所地址：(中文/英文)

美國加州爾灣市奧爾頓公園路 16215 號 92618-7013

16215 ALTON PARKWAY, IRVINE, CALIFORNIA USA, 92618-7013

國 籍：(中文/英文) 美國/U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

曹軍/CAO, JUN

國 籍：(中文/英文)

美國/U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005 年 7 月 29 日；60/703,980

2. 美國；2005 年 12 月 28 日；11/320,402

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明涉及通信設備，更具體地說，涉及應用於所述通信設備中的放大領域。

【先前技術】

高速寬帶資料放大器應用於寬帶資料通信設備。由於處理技術的速度限制、能量消耗以及其他與成本相關的問題等多種原因，需要研發更有效的技術來增加高頻工作時的放大器帶寬。高速電路技術如已經研發出來的電流控制 CMOS（或 C3MOS）邏輯使得應用標準 CMOS 處理技術製造的電路速度有了顯著的提高。

然而，當將所述電路應用到矽基片上或封裝中（如在積體電路之中）時，積體電路中的初始電路和與之可通信地連接的接合焊線、迹線或焊盤之間的介面會出現困難。這種介面通常被稱為矽片與封裝和/或電路板之間的介面。一般來說，經常會在電路介面中出現阻抗匹配的困難。構造這種介面時，可使用帶狀線或微帶線傳輸線。

帶狀線和微帶線傳輸線分別為橫向電磁（TEM）或准橫向電磁（quasi-TEM）結構。理想情況下，在這種結構中傳播的電磁波具有主要與頻率成線性關係的傳播常數以及相對於頻率幾乎為常數的相速度。單獨看來，這些傳輸線呈現出單端特性阻抗、相速度和衰減。例如，如果特性阻抗為 50 歐姆的傳輸線終端接 50 歐

所述第一差分電晶體、第二差分電晶體和電流源電晶體包括 NMOS (N 溝道金屬氧化物半導體) 電晶體；或

所述第一差分電晶體、第二差分電晶體和電流源電晶體包括 PMOS (P 溝道金屬氧化物半導體) 電晶體。

優選地，所述電路進一步包括：

第一電容，其耦合於第一差分電晶體的漏極和第二差分電晶體的柵極之間；以及

第二電容，其耦合於第二差分電晶體的漏極和第一差分電晶體的柵極之間。

優選地，所述 C3MOS 寬帶資料放大器電路為積體電路的輸入放大集。

優選地，所述積體電路應用於通信收發器的接收功能模組之中。

根據本發明的一個方面，提供了一種電流控制 CMOS (C3MOS) 寬帶資料放大器電路，所述電路包括：

第一差分輸入；

第二差分輸入；

寬帶差分電晶體對，其包括第三差分輸入和第四差分輸入；

輸入阻抗匹配網路，其與 C3MOS 寬帶資料放大器電路的第一差分輸入、C3MOS 寬帶資料放大器電路的第二差分輸

第二電容，其耦合於第二差分電晶體的漏極和第一差分電晶體的柵極之間；其中：

寬帶差分電晶體對的第三差分輸入包括第一差分電晶體的柵極；且

寬帶差分電晶體對的第四差分輸入包括第二差分電晶體的柵極。

優選地，所述差分終端阻抗包括串連連接的第一電阻和第二電阻；

所述第一輸入阻抗包括第一串連電感；且

所述第二輸入阻抗包括第二串連電感。

優選地，所述第一輸入阻抗包括第一組多個串連電感；所述第二輸入阻抗包括第二組多個串連電感。

優選地，所述第一輸入阻抗包括第一串連電感和第一分流電容；所述第二輸入阻抗包括第二串連電感和第二分流電容。

優選地，所述 C3MOS 寬帶資料放大器電路為積體電路的輸入放大集；所述積體電路應用於通信收發器的接收功能模組之中。

根據本發明的一個方面，提供了一種電流控制 CMOS (C3MOS) 寬帶資料放大器電路，所述電路包括：

第一差分電晶體，所述電晶體包括源極、柵極和漏極；

第二差分電晶體，所述電晶體包括源極、柵極和漏極；

電流源，其與第一差分電晶體的源極和第二差分電晶體

NMOS (N 溝道金屬氧化物半導體) 電晶體；或

所述第一差分電晶體、第二差分電晶體和電流源電晶體包括 PMOS (P 溝道金屬氧化物半導體) 電晶體。

優選地，所述 C3MOS 寬帶資料放大器電路為積體電路的輸入放大集，所述積體電路應用於通信收發器的接收功能模組之中。

本發明的其他特性和優點將在下文的具體實施方式中結合附圖進行說明。

【實施方式】

本發明的實施例涉及應用於矽互補金屬氧化物半導體 (CMOS) 加工技術的超高速邏輯電路。在此區分術語“CMOS 加工技術”和“CMOS 邏輯”。在此所用到的 CMOS 加工技術一般是指各種成熟的 CMOS 製造過程，其在矽基片上構造帶有柵極引出線的場效應電晶體，所述柵極引出線通常由多晶矽材料置於絕緣材料如二氧化矽上製成。另一方面，CMOS 邏輯是指用互補 CMOS 電晶體 (N 溝道和 P 溝道) 構成各種邏輯門和更複雜的邏輯電路，其中消耗的靜態電流為零。本發明的各實施例使用電流控制機制開發了一系列速度非常快的電流控制 CMOS (C3MOS 或 C³MOSTM) 邏輯，其可以用各種傳統的 CMOS 加工技術製造，但是不會像傳統的 CMOS 邏輯那樣消耗靜態電流。C3MOS 邏輯或電流控制金屬氧化物半導體場效應管 (MOSFET) 邏輯在這裏可以互換使用。

各種 C3MOS 電路技術在美國專利申請號為 09/484,856、現美

取舍。對於相同的拓撲結構，增益和帶寬的乘積通常為一常量。但是，通過使用特殊的技術，在保持相同的增益水平的同時可以擴展帶寬。一種傳統的方法是在製造寬帶資料放大器所應用的積體電路時使用更快的加工工藝，如 GaAs 或 InP。但是這些工藝一般成本較高，且不像標準 CMOS 加工那樣使用廣泛。

在美國專利申請號為 10/028,806、現美國專利號 6,624,699 B2、發明人為名為 Guangming Yin 和 Jun Cao 的名為“電流控制的 CMOS 寬帶資料放大器電路(Current-controlled CMOS wideband data amplifier circuit)”的專利文獻中，串聯電感對(L1 和 L2)連接到輸入電晶體的柵極、輸入焊盤 201 和 202、以及 50 歐姆的終端負載之間。

圖 2 是電流控制 CMOS (C3MOS) 寬帶資料放大器電路 200 的實施例示意圖。

輸入串連電感(L1 和 L2)在高頻時與差分電晶體對的輸入處的電容產生共振從而擴展了放大器的帶寬。另外，在高頻時，電感(L1 和 L2)如同阻塞在終端電阻(圖中兩個串連的 50 歐姆電阻)和電容之間的高值阻抗，因而會改善晶片的輸入反射。

如果需要，可以提供低阻抗路徑以生成交流(AC)“地”，從而改善共模反射。可以在終端電阻(也就是，兩個串連的 50 歐姆電阻)的公共節點和“地”之間連接相對較大的電容(C0)。

圖 3 是用於擴展帶寬和減小矽片與封裝和/或電路板之間介面

的反射的 C3MOS 寬帶輸入資料放大器電路 310 的實施例示意圖。

這裏公開了一種能在封裝和/或電路板一側與矽片一側之間獲得更好的阻抗匹配的新方法。儘管爲了減小尺寸和能量消耗，許多新的設計都不斷試圖使用更小的迹線和元件，但是當阻抗匹配不好（甚或根本沒有阻抗匹配）時，在介面處將會出現非常嚴重的反射。

C3MOS 寬帶輸入資料放大器電路 310 是封裝和/或一側的電路板與另一側的矽片之間的介面處的第一個輸入級。兩個不同接合區（如 301 和 302 所示）可通信地連接到提供不同的輸入信號（INP 和 INN）的 C3MOS 寬帶輸入資料放大器電路 310。輸入匹配阻抗網路 320 位於 C3MOS 寬帶輸入資料放大器電路 310 的輸入和寬帶差分電晶體對 330 之間。一般來說，輸入匹配阻抗網路 320 包括兩個分開的、串連耦合於差分輸入信號的兩條通路的輸入阻抗（如 321 何 322 所示）、和一個可通信地耦合於不同差分輸入信號的兩條通路之間的差分終端阻抗 324。所述差分終端阻抗 324 位於輸入阻抗 321 和 322 之後。輸入匹配阻抗網路 320 的差分輸出信號作爲寬帶差分電晶體對 330 的輸入。

在 C3MOS 寬帶輸入資料放大器電路 310 中，兩個分開的輸出阻抗（如 331 和 332 所示）耦合於寬帶差分電晶體對 330 和電源電壓 340 之間。電源電壓 340 可以僅是 C3MOS 寬帶輸入資料放大器電路 310 之中的節點，它接收電源的電壓并將之引入 C3MOS

寬帶輸入資料放大器電路 310。之後寬帶差分電晶體對 330 的差分輸出信號(也是 C3MOS 寬帶輸入資料放大器電路 310 的差分輸出信號)與同一積體電路的一個或多個其他模組 350 可通信地耦合或通過適當的積體電路連接到一個或多個其他的積體電路、電路板、模組和/或設備。

為匹配封裝和/或電路板的阻抗，設計者要在很大的範圍內對輸入匹配阻抗網路 320 的各個部分進行選擇；對輸入匹配阻抗網路 320 的每個子部分（也就是，輸入阻抗 321 和 322 以及差分終端阻抗 324）進行選擇時情況也是如此。類似地，設計者要在很大的範圍內對輸出阻抗 331 和 332 的單個部分進行選擇。這些不同模組可能用到的一些實施例如下。

例如，注意到可通過將輸入阻抗 321 和 322（例如，在很多實施例中，二者一般為感性阻抗）用包括一個或多個電感、電阻和電容的電感性網路替代來進一步改進 C3MOS 寬帶輸入資料放大器電路 310。設計的核心思想是使用更多的元件（也就是，適當的數量和元件的組合）來對向電路板或封裝一側看去的阻抗在較寬的頻率範圍內進行更精確的匹配，同時構造一個共振電路以在高頻時產生峰化從而擴展電路的帶寬。在這種情況下，匹配阻抗網路 320（例如，其很多時候為很大的電感性的網路）的輸入阻抗 321 和 322 中的總串連電阻必須很小，以便在低頻時仍具有良好的阻抗匹配並且可以生成有效的峰化來擴展帶寬。

圖4是可在已經構造的C3MOS寬帶輸入資料放大器電路中使用的幾種輸入阻抗實施例400的示意圖。如上文所述，圖3中輸入阻抗321和322可以用不同的方法進行設計。輸入阻抗401僅包括串連聯接的電感。輸入阻抗402包括串連聯接的電感，兩個單獨的分流電容分別位於所述串連聯接的電感兩端。輸入阻抗403包括兩個串連聯接的電感，三個單獨的分流電容分別位於所述兩個串連聯接的電感生成的節點處。一般來說，選擇的任意數量的串連聯接的電感以及分流電容如輸入阻抗404所示，其包括多個串連聯接的電感，多個分流電容分別位於所述多個串連聯接的電感產生的節點處。多數情況下，為了匹配向封裝和/或電路板方向看去和向矽片方向看去的阻抗，最好使輸入呈更高的電感性。

圖5是可在已經構造的C3MOS寬帶輸入資料放大器電路中使用的幾種差分終端阻抗實施例500的示意圖。如上文所述，圖3中的差分終端阻抗324可以用不同的方法設計。差分終端阻抗551僅包括串連聯接的電阻。差分終端阻抗552包括串連聯接的電阻，兩個單獨的分流電容分別位於所述串連聯接的電阻兩端。

差分終端阻抗553包括兩個50歐姆的串連聯接的電阻；這些特定阻值（如50歐姆）的選擇是為與封裝和/或電路板一側介面的焊盤和相應的焊線介面的特徵阻抗相匹配。此外，如上文的另一個實施例所述，為改善共模反射，可以提供低阻抗通路以生成交流“地”。可以在兩個串連的50歐姆電阻的公共節點和“地”

之間連接相對較大的電容或其他適當選擇的低阻抗組合。

圖 6 是可在已經構造的 C3MOS 寬帶輸入資料放大器電路中使用的幾種輸出阻抗實施例 600 的示意圖。如上文所述，圖 3 中的輸出阻抗 331 和 332 可以用不同的方法設計。輸出阻抗 601 包括按照一種順序串連連接的電阻和電感，輸出阻抗 602 同樣包括串連連接的電阻和電感，只是順序相反。輸出阻抗 603 包括串連連接的電阻和電感，其順序與輸出阻抗 601 相同，且在串連連接的電阻和電感之間的節點處連接分流電容。

對圖 4、圖 5 和圖 6 中所描述的每一個實施例而言，要注意的是，這些可能的實施例并不是窮盡的，而僅僅是對較廣範圍的示例性說明，設計者在該範圍內保證在一側的矽片與另一側的封裝和/或電路板之間的介面有恰當的阻抗匹配。

圖 7 是用於擴展帶寬和減小矽片與封裝和/或電路板之間介面的反射的 C3MOS 寬帶輸入資料放大器電路的另一個實施例 700 的示意圖。

電流源電晶體被偏置電壓所偏置，這樣恒定的電流從電流源電晶體的漏極流向源極。兩個單獨的差分電晶體構成寬帶差分電晶體對。第一差分電晶體的柵極連接於第一串連峰化電感 L1 的反向端，而同向差分輸入信號 INP 耦合於第一串連峰化電感 L1 的同向端。類似地，第二差分電晶體的柵極連接於第二串連峰化電感 L2 的反向端，而反向差分輸入信號 INN 耦合於第二串連峰化電感

但是，設計者仍然希望使用連接到柵極的電感（L1 和 L2）帶來的帶寬擴展。因此，一種新的晶片輸入端處的寬帶資料放大器以及輸入接合區（如 701 和 702 所示）和兩個串連聯接的 50 歐姆終端電阻（其連接於與寬帶差分電晶體對的第一差分電晶體和第二差分電晶體的柵極相連接的差分輸入信號之間）可以如圖 7 所示進行設計。在新的設計中，輸入電感（L1 和 L2）仍舊與和輸入有關的電容共振并在頻率相應的高頻段生成峰值。這有助於擴展資料放大器的帶寬。另一方面，輸入電感使得輸入阻抗的感性增強，從而能跟封裝或電路板更好地匹配。這將有助於減少矽片與封裝和/或電路板之間介面的反射。

圖 8A 是根據圖 2 所示的 C3MOS 寬帶資料放大器電路、由集總元件表示的單端配置中、矽片 820 與封裝和/或電路板之間的介面處的阻抗匹配的實施例 801 的示意圖。

圖 8B 是根據已經構建的 C3MOS 寬帶輸入資料放大器電路、由集總元件表示的單端配置中、矽片與封裝和/或電路板之間的介面處的阻抗匹配的實施例 802 的示意圖。

本發明的新穎性的優點將對照圖 8A 和圖 8B 進一步說明。圖 8A 對應於圖 2 的 C3MOS 寬帶資料放大器電路，圖 8B 對應具有設計好的更好匹配阻抗的 C3MOS 寬帶資料放大器電路。這些圖中的矽片與封裝和/或電路板間的介面的阻抗匹配單端配置表示，該單端配置由電路的集總元件表示。

將圖 8A 和圖 8B 進行對比，顯然的，根據本發明實施例所設計的電路為應用於共模反射的單端配置提供了好得多的阻抗匹配。

對於差模情況，根據本發明實施例所設計的電路同樣通過對向矽片方向看去的阻抗與向電路板/封裝方向看去的阻抗進行匹配、而減小了輸入反射，如圖 9 所示。

為了不降低在非常低的頻率時的反射，輸入阻抗（例如，其包括一個或多個串連聯接的電感）應該具有相對較小的串連寄生電阻。換言之，此處使用的任何電感都應具有足夠高的品質因數。這同樣有助於更有效地擴展帶寬，因為如果品質因數過低，C3MOS 寬帶資料放大器電路頻率回應的共振峰值就會過小以至於無法影響整個帶寬。

圖 9 是根據已經構建的 C3MOS 寬帶輸入資料放大器電路、由集總元件表示的差模配置中、矽片與封裝和/或電路板之間的介面處的阻抗匹配的實施例 900 的示意圖。

圖 10 是應用於與通信網路可通信地連接的通信收發器中的一個或多個 C3MOS 寬帶輸入資料放大器電路的實施例 1000 的示意圖。

圖中的通信收發器 1010 可以應用於各種通信系統中的任意一種。例如，通信收發器 1010 可以與乙太網 1099 耦合并與之通信。這樣的乙太網 1099 可以以光纖網形式實現；一般說來，乙太網

1099 可以以有線網路或包括有線和無線元件的混合網路形式實現。根據需求，通信收發器 1010 可以用於與各種類型的通信系統實現雙向通信。此外，在某些實施例中，通信收發器 1010 可作為單個積體電路來實現。選擇性地，通信收發器 1010 的各種元件及其包含的功能模組同樣可以使用單獨的積體電路實現，這些積體電路集成在一起構成了一個更大的模組或設備，所述模組或設備構成了通信收發器 1010。

考察通信收發器 1010 的雙向容量，可以看到存在上行流量和下行流量。從另一個角度看，存在著進入通信收發器 1010 的輸入流量和流出通信收發器 1010 的輸出流量。通信收發器 1010 中的輸出流量可能來自一個或多個位於通信收發器 1010 之內或之外的其他模組（如參考標號 1029 所示）；所述流量通向發送器 1020。所述發送器 1020 可能只是通信收發器 1010 中的功能模組（即當通信收發器 1010 由單個積體電路實現時）。選擇性地，所述發送器 1020 自身是獨特的積體電路，是構成通信收發器 1010 的衆多積體電路中的一部分。類似地，進入通信收發器 1010 的輸入流量來自通信收發器 1010 與之耦合并通信的特定網路。進入通信收發器 1010 的輸入流量通過接收器 1030 的原始處理元件後被送至通信收發器 1010 之內或之外的一個或多個其他模組（如參考標號 1039 所示）。與發送器 1020 類似，接收器 1030 可能只是通信收發器 1010 中的功能模組（即當通信收發器 1010 由單個積體電路實

現時)。選擇性地，所述接收器 1030 自身是單獨的積體電路，是構成通信收發器 1010 的衆多積體電路中的一部分。

在通信收發器 1010 的每條路徑（輸入和輸出）中使用多個放大和/或緩衝級是常用的做法。例如，圖中發送器 1020 和接收器 1030 均包含多個所述的“級”。特別地，如圖所示，發送器 1020 有級 1021、級 1022、級 1023、……、和級 1024；接收器 1030 有級 1031、級 1032、級 1033、……、和級 1034。這些級中的任何一級都可以根據已經構建的 C3MOS 寬帶輸入資料放大器電路實現。

但是，尤其令人感興趣的是接收器 1030 的級 1034（它是通信收發器 1010 的輸入級），因為是通信收發器 1010 的矽片和與通信收發器 1010 可通信地耦合聯接的封裝和/或電路板之間的介面，因此該級通常需要進行恰當的阻抗匹配。例如，如果沒有恰當的阻抗匹配，級 1034 所在的介面將會產生不希望的有害反射。

儘管已經提到，C3MOS 寬帶輸入資料放大器電路的實施例可以應用於通信收發器 1010 中的發送器 1020 和接收器 1030 的任何一級，但是主要的興趣在於在通信收發器 1010 的接收器 1030 的級 1034 應用所述 C3MOS 寬帶輸入資料放大器電路，以保證恰當的阻抗匹配。如上文所述，為保證介面處適當的阻抗匹配從而減少（如果無法徹底消除的話）任何不希望和有害的反射，設計者在為 C3MOS 寬帶輸入資料放大器電路（包括使用電感、電容和/

或電阻)設計輸入阻抗匹配網路時要涉及很大的範圍。

另外要指出的是，本發明的某些方面同時包括在不具備發送器功能的通信接收器設備。C3MOS 寬帶輸入資料放大器電路的這些實施例也可包含在所述接收器設備中，而并不超出本發明的範圍和實質。

通過上述本發明的具體實施方式和附圖的描述，其他修改和變動將是顯而易見的。同樣顯而易見的是，可作出其他修改和變動，而不會超出本發明的範圍和實質。

【圖式簡單說明】

圖 1 是現有技術中矽片與封裝和/或電路板之間的介面阻抗錯配的示例的示意圖。

圖 2 是電流控制 CMOS (C3MOS) 寬帶資料放大器電路的實施例示意圖。

圖 3 是用於擴展帶寬和減小矽片與封裝和/或電路板之間介面的反射的 C3MOS 寬帶輸入資料放大器電路的實施例示意圖。

圖 4 是可在已經構造的 C3MOS 寬帶輸入資料放大器電路中使用的幾種輸入阻抗實施例的示意圖。

圖 5 是可在已經構造的 C3MOS 寬帶輸入資料放大器電路中使用的幾種差分終端阻抗實施例的示意圖。

圖 6 是可在已經構造的 C3MOS 寬帶輸入資料放大器電路中使用的幾種輸出阻抗實施例的示意圖。

圖 7 是用於擴展帶寬和減小矽片與封裝和/或電路板之間介面的反射的 C3MOS 寬帶輸入資料放大器電路的另一個實施例的示意圖。

圖 8A 是根據圖 2 所示的 C3MOS 寬帶資料放大器電路、由集總元件表示的單端配置中、矽片與封裝和/或電路板之間的介面處的阻抗匹配的實施例示意圖。

圖 8B 是根據已經構建的 C3MOS 寬帶輸入資料放大器電路、由集總元件表示的單端配置中、矽片與封裝和/或電路板之間的介面處的阻抗匹配的實施例示意圖。

圖 9 是根據已經構建的 C3MOS 寬帶輸入資料放大器電路、由集總元件表示的差模配置中、矽片與封裝和/或電路板之間的介面處的阻抗匹配的實施例示意圖。

圖 10 是應用於與通信網路可通信地連接的通信收發器中的一個或多個 C3MOS 寬帶輸入資料放大器電路的實施例示意圖。

【主要元件符號說明】

阻抗錯配 100	封裝和/或電路板 110
矽片 120	
電流控制 CMOS (C3MOS) 寬頻資料放大器電路 200	
焊盤 201、202	矽片 220
接合區 301、302	C3MOS 寬頻輸入資料放大器電路 310
輸入匹配阻抗網路 320	輸入阻抗 321、322
差分終端阻抗 324	寬頻差分電晶體對 330

- 輸出阻抗 331、332
- 其他模組 350
- 輸入阻抗 401
- 輸入阻抗 403
- 差分終端阻抗實施例 500
- 差分終端阻抗 552
- 輸出阻抗實施例 600
- 輸出阻抗 602
- 實施例 700
- 矽片 820
- 實施例 900
- 通信收發器 1010
- 其他模組 1029
- 接收器 1030
- 級 1021、1022、1023、……、1024
- 級 1031、1032、1033、……、1034
- 電源電壓 340
- 輸入阻抗實施例 400
- 輸入阻抗 402
- 輸入阻抗 404
- 差分終端阻抗 551
- 差分終端阻抗 553
- 輸出阻抗 601
- 輸出阻抗 603
- 輸入接合區 701、702
- 實施例 801、802
- 實施例 1000
- 乙太網 1099
- 發送器 1020
- 其他模組 1039

五、中文發明摘要：

本發明涉及一種用於減小差分 and 共模反射的電流控制 CMOS (C3MOS) 寬帶輸入資料放大器。本發明公開了一種新的解決方案，通過該方案可以在介面處獲得更好的阻抗匹配和擴展帶寬、以提高高頻增益，所述介面是應用於通信設備之中的矽片與封裝和/或電路板之間的介面。恰當選擇的阻抗使差分 and 共模阻抗顯著較小，同時增加較高頻段的增益。所述新的解決方案可以在使用相對較小的迹線和元件的同時避免使用小的迹線和元件時的反射增強的不良影響。通過允許使用這些小的迹線和元件，在提供良好的反射和頻率相應特性的同時，能量消耗和整個設備尺寸也將顯著減小。

六、英文發明摘要：

Current-controlled CMOS (C3MOS) wideband input data amplifier for reduced differential and common-mode reflection. A novel solution is presented by which better impedance matching and extended bandwidth providing improved gain at higher frequencies may be achieved at the interface between silicon and package and/or circuit board within various integrated circuits that may be employed within communication devices. Appropriately selected impedance allows for a significant reduction in differential and common-mode reflection while also boosting gain at higher frequencies. This novel solution allows for the use of relatively smaller traces and components to still be employed without suffering the deleterious effects if increased reflections when using small traces and components. By allowing the use of these small traces and components, a significant reduction in power consumption and overall device size may be achieved while still providing better reflection and frequency response characteristics.

100

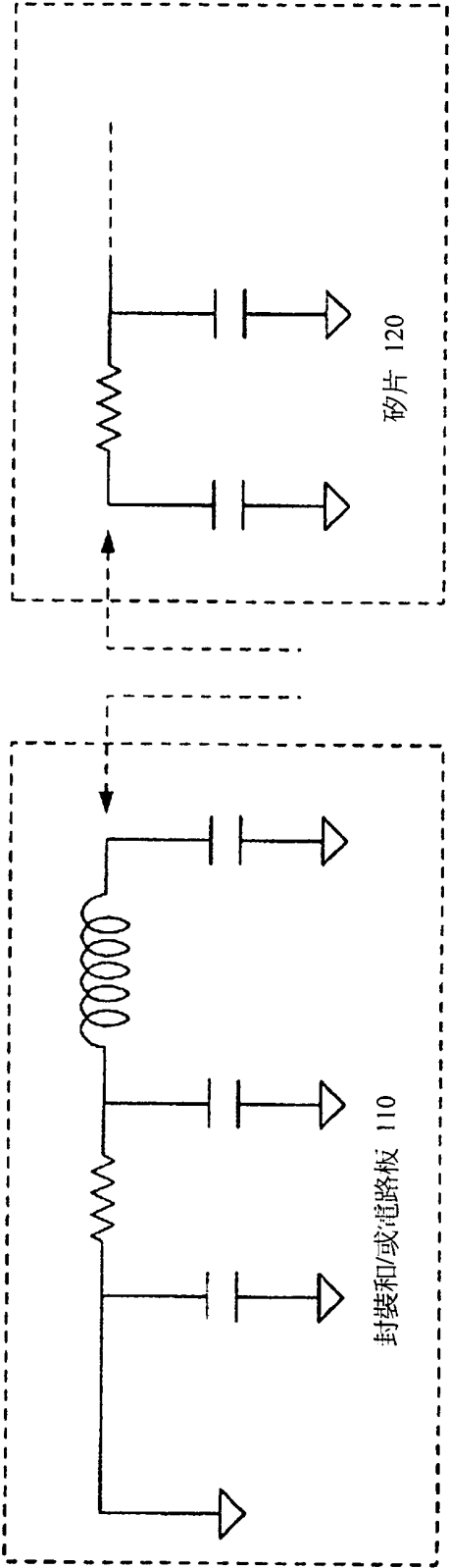


圖 1

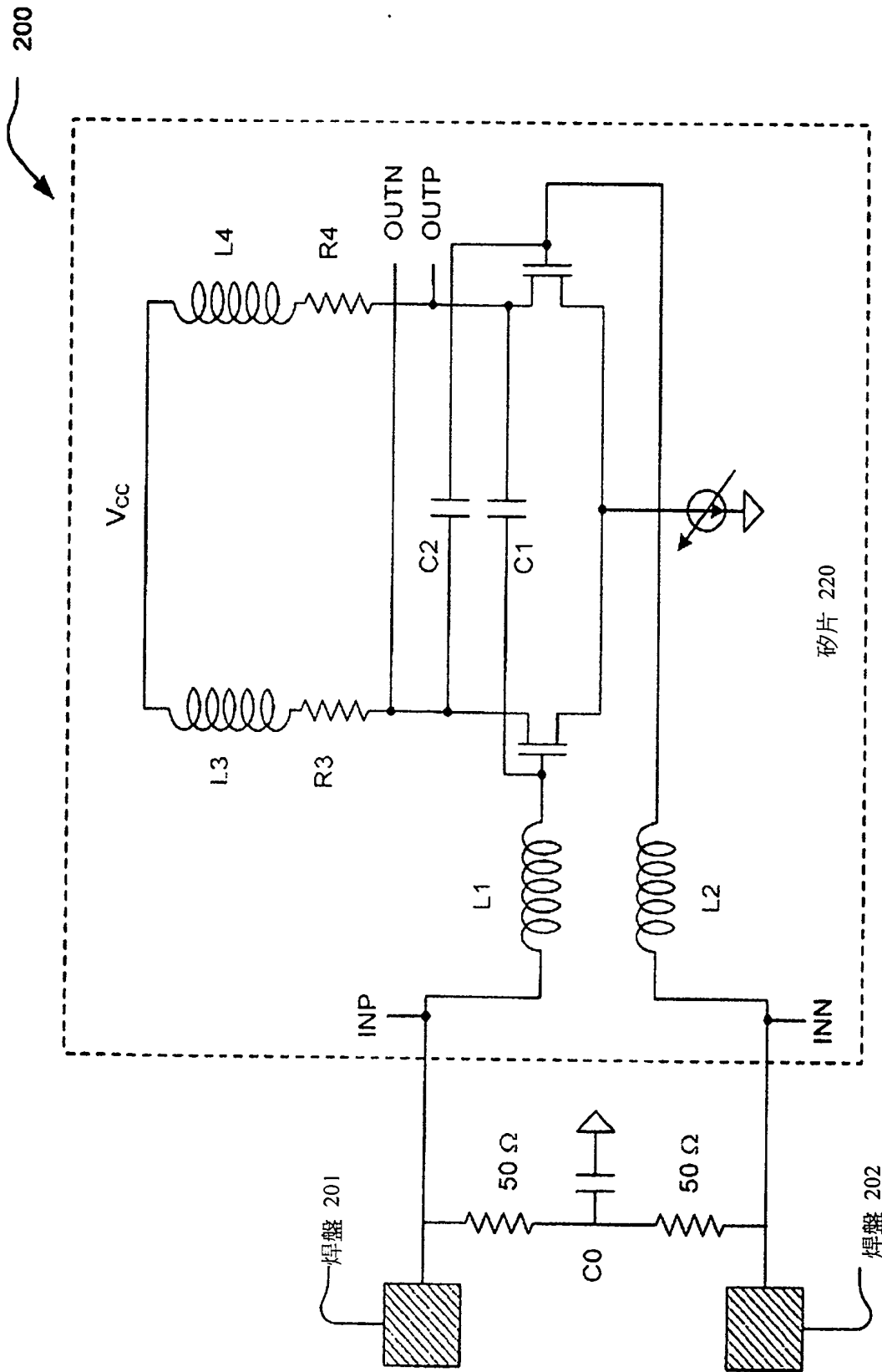


圖 2

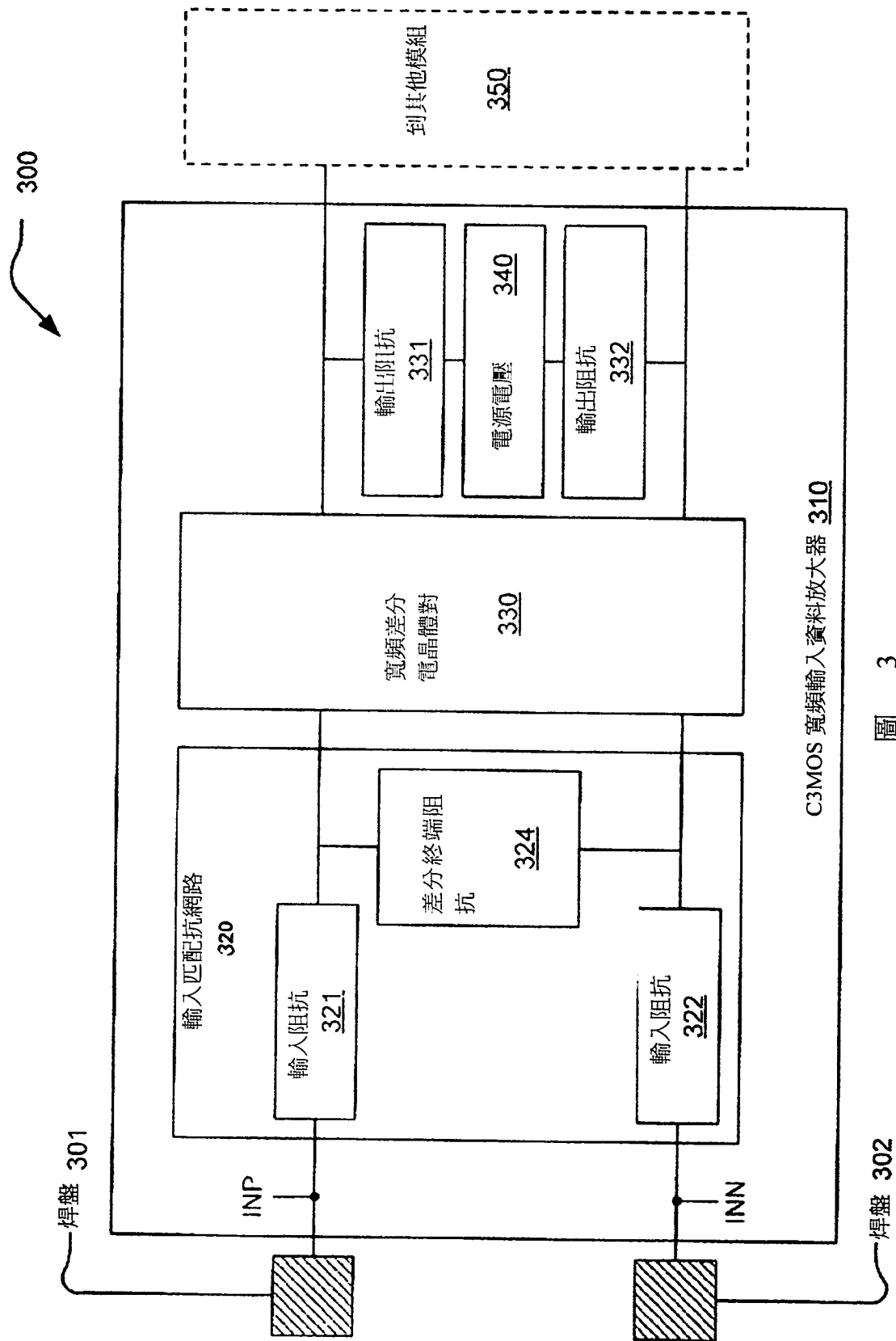


圖 3

400 ↗

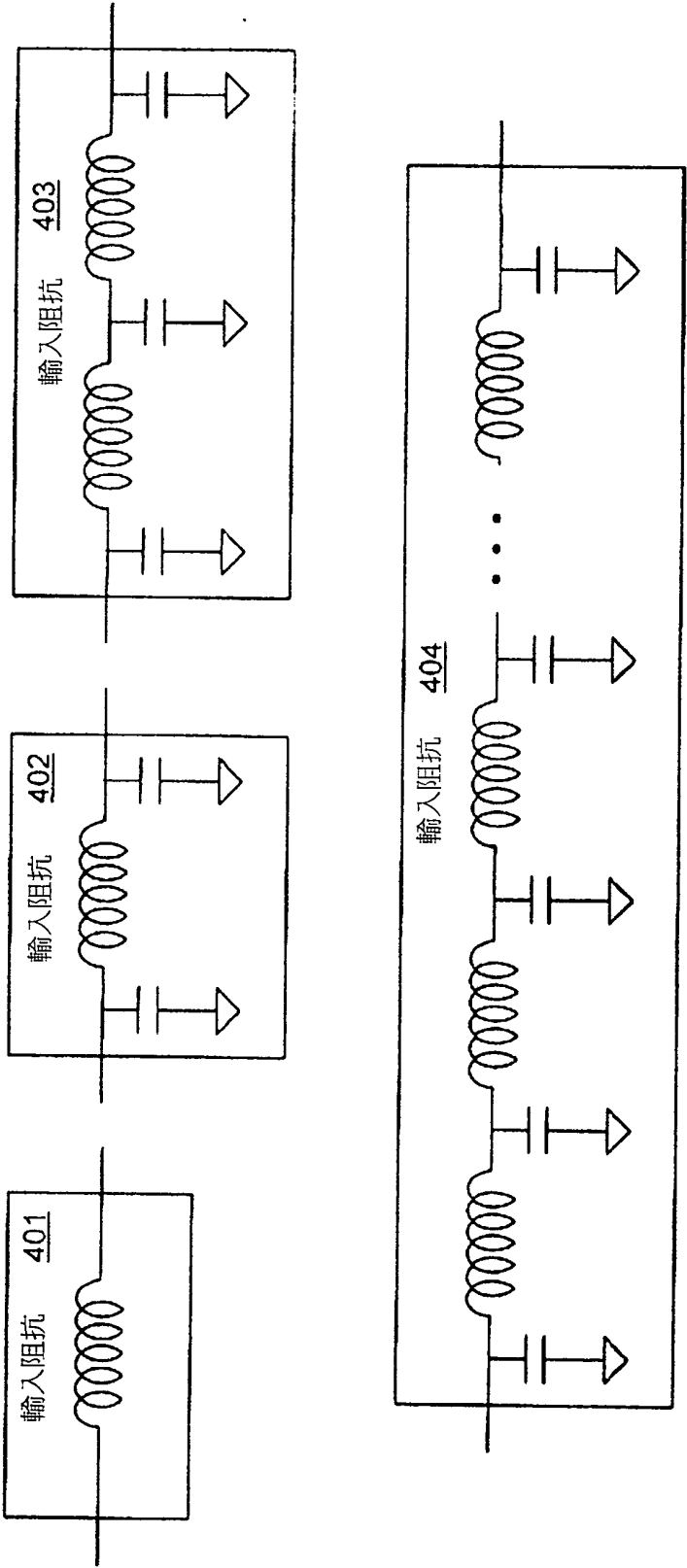


圖 4

550

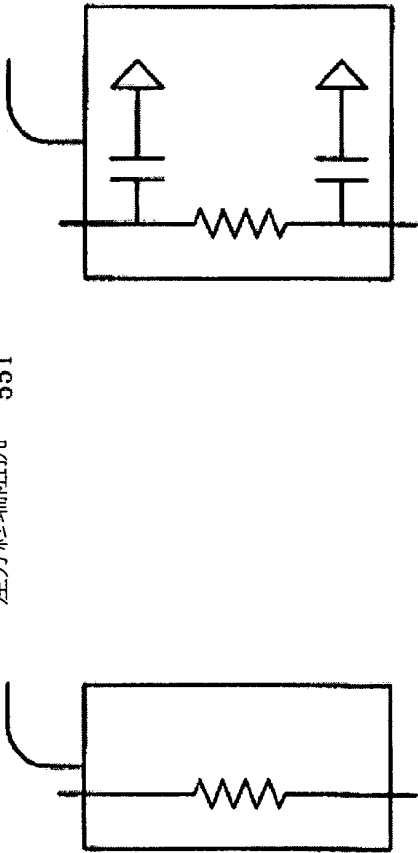


552

差分終端阻抗

551

差分終端阻抗



553

差分終端阻抗

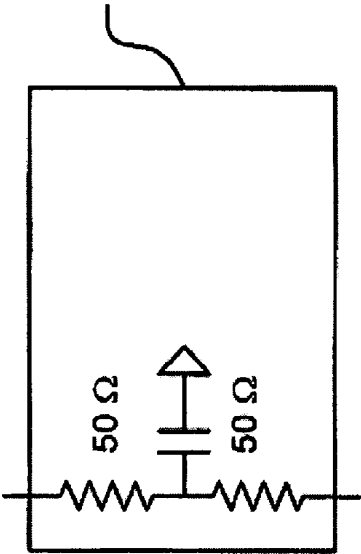


圖 5

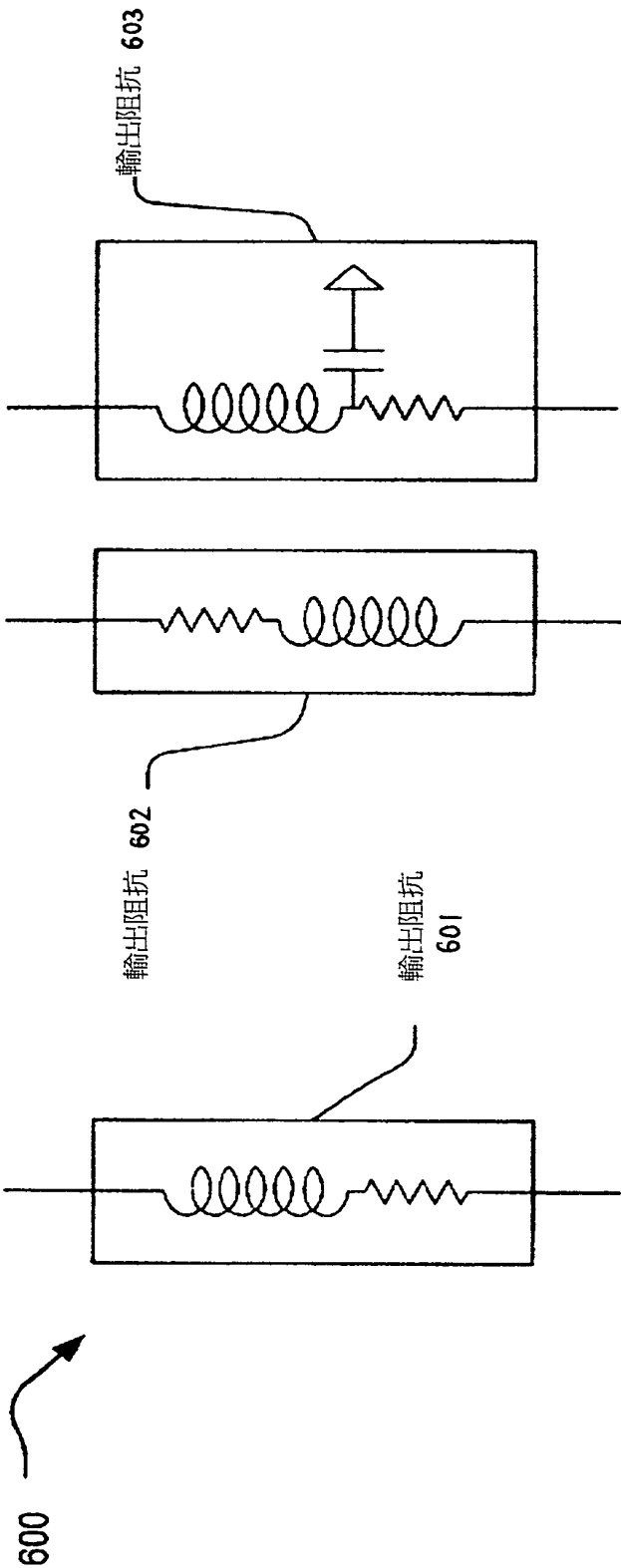


圖 6

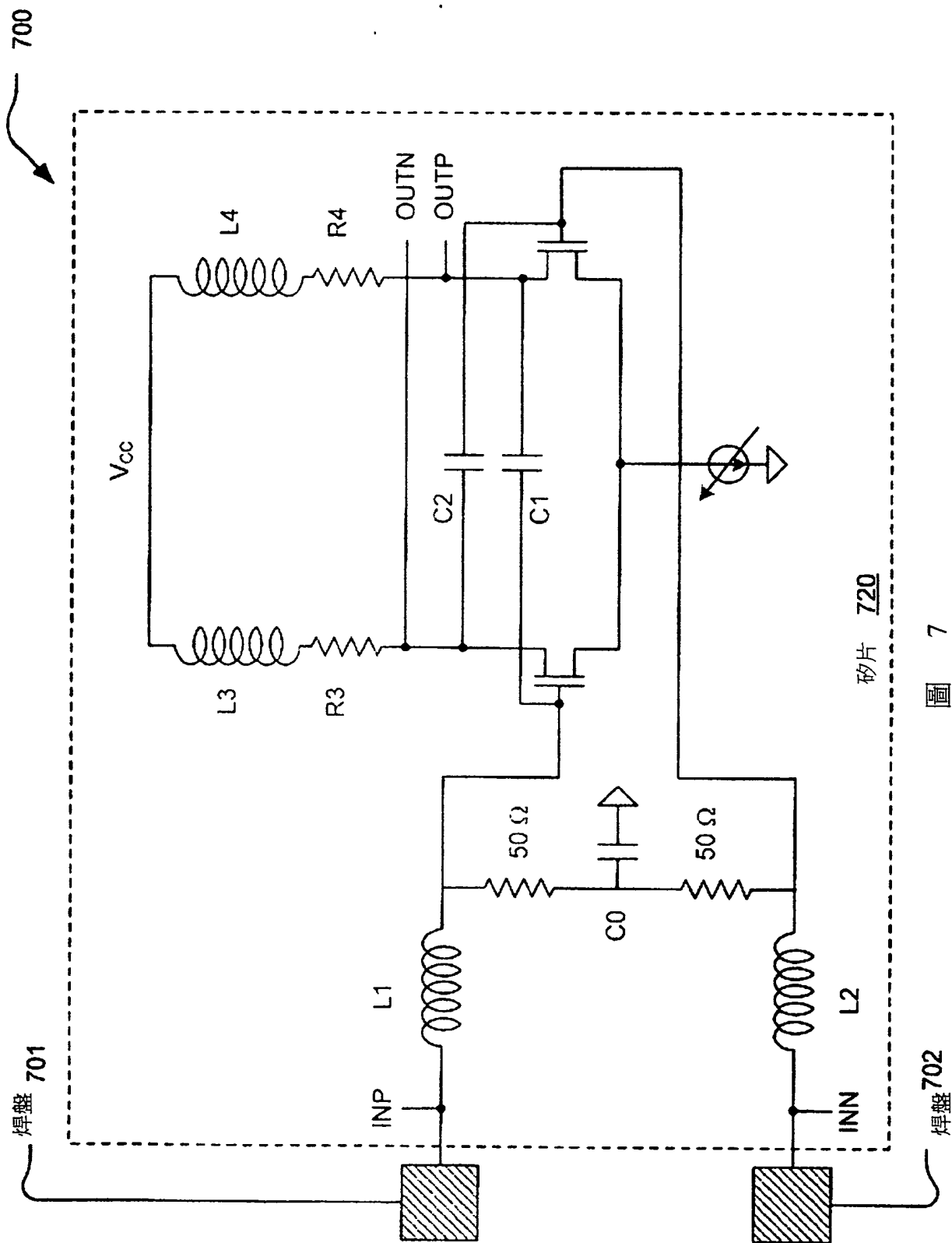


圖 7

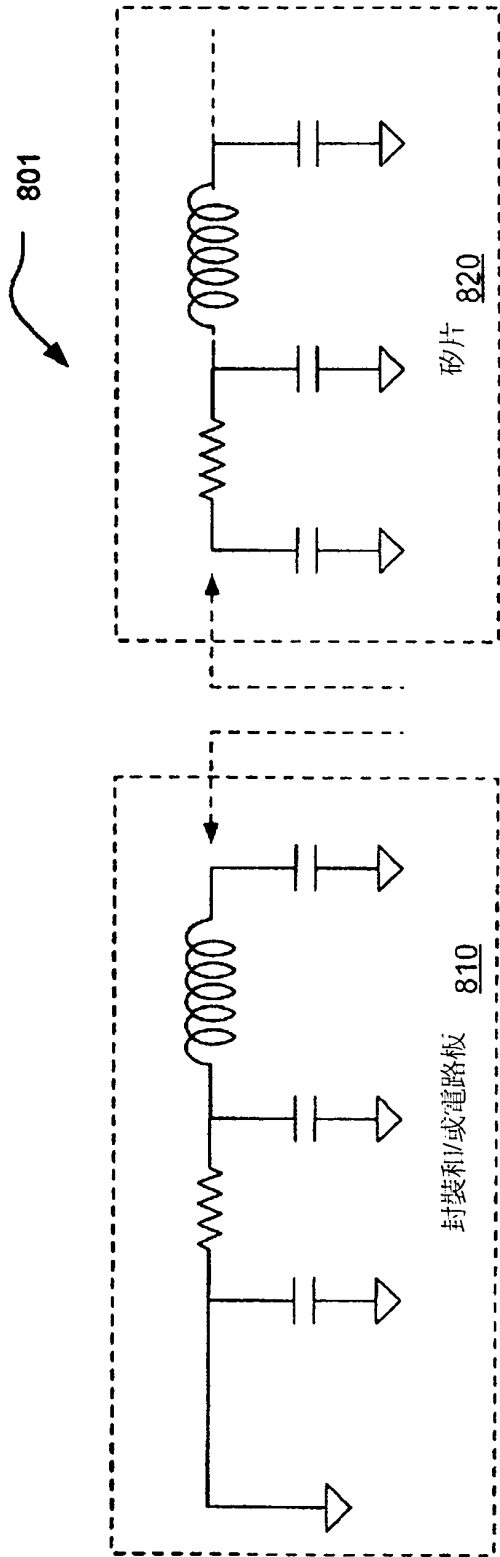


圖 8A

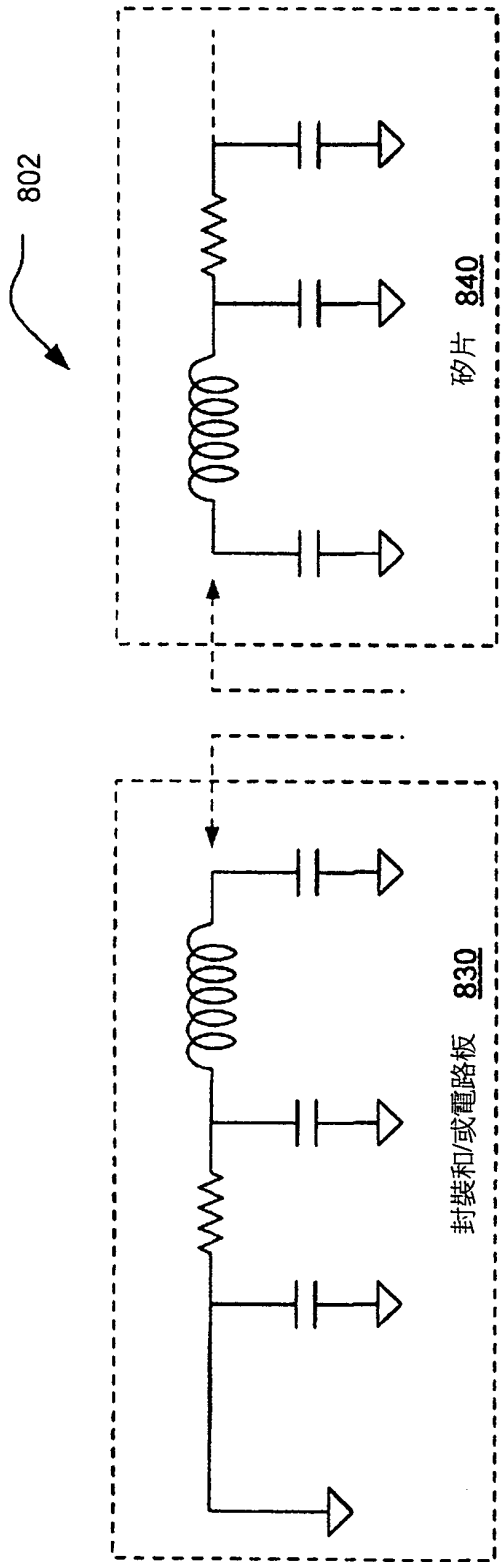


圖 8B

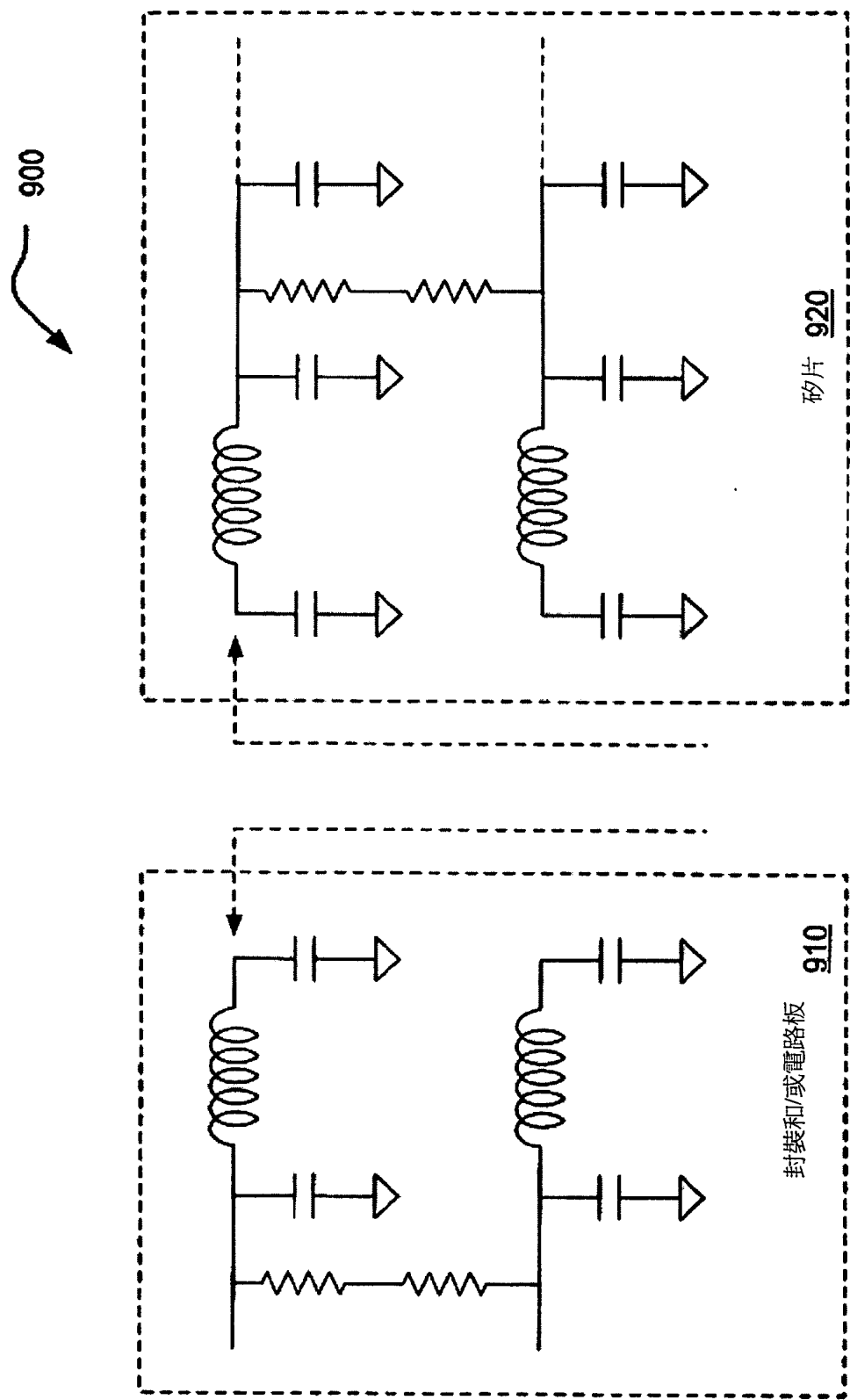


圖 9

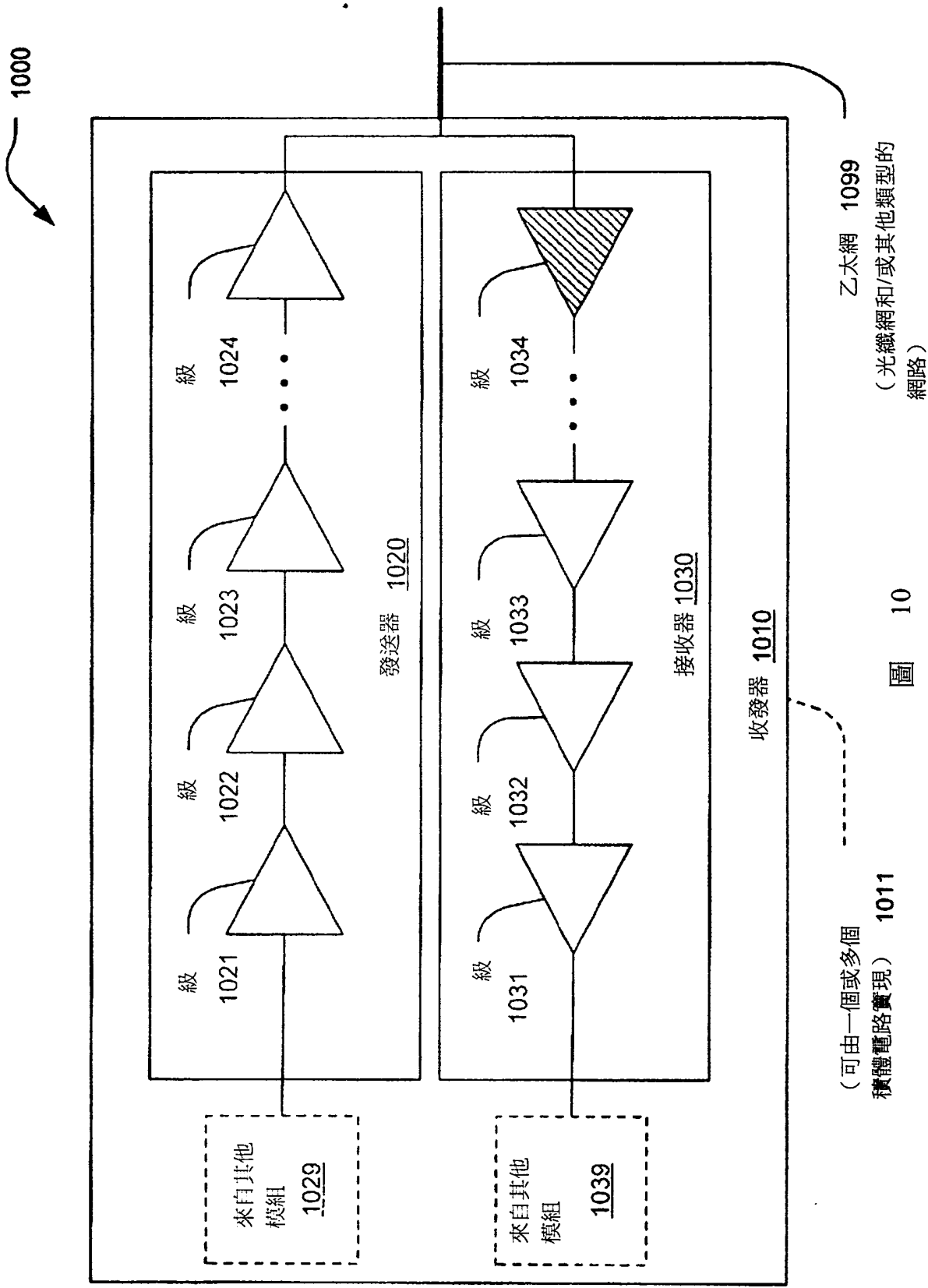


圖 10

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

電流控制 CMOS (C3MOS) 寬頻資料放大器電路 200

焊盤 201、202

矽片 220

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

姆的負載，則傳輸線和負載之間的介面處將不存在反射。

但是，在實際應用中，各種非線性造成了矽片與封裝和/或電路板之間的介面處的阻抗錯配，這將導致相當大的反射，進而降低信號的完整性。第一，當這些帶狀線和微帶線中的一對互相接近時（例如在封裝基板上）會產生耦合，這將顯著地改變傳輸參數并使差分 and 共模導波的傳播成為可能。為保護信號的完整性，需要最小化差分 and 共模反射。第二，將封裝連接到矽晶片的接合線在多 GHz（吉赫茲）的資料率下通常表現出感應阻抗。第三，隨著資料率的增加，結合區的信號路徑和矽晶片上的 ESD（靜電感應裝置）的電容負載將不斷加大，即便終端電阻與輸入接合區極為接近也是如此。進一步，來自資料放大器輸入端的電晶體的電容性負載會造成終端電阻並聯短路，并減小高頻時的整體阻抗，這將導致輸入資料放大器的帶寬減小和輸入處的反射增加。在由集總元件表示的單端配置中，矽片 120 與封裝和/或電路板 110 之間的介面的錯配如圖 1 所示。

圖 1 為現有技術中矽片 120 與封裝和/或電路板 110 之間的介面的阻抗錯配 100 的實施例。

在介面處，向封裝和/或電路板 110 一側看去，阻抗主要為電感性的。相反，從矽片 120 一側看去，阻抗主要呈電容性。對差模和單模傳輸均是如此。

現有技術一直需要帶有頻率回應的放大級，在較高的頻率範

圍內有足够的增益，同時最小化放大器的功率消耗，以及減少高昂的處理需求。

【發明內容】

本發明的裝置和方法將在後文結合附圖說明、具體實施方式和權利要求進行進一步說明。

根據本發明的一個方面，提供了一種電流控制 CMOS（C3MOS）寬帶資料放大器電路，所述電路包括：

第一差分電晶體，所述電晶體包括源極、柵極和漏極；

第二差分電晶體，所述電晶體包括源極、柵極和漏極；

電流源，其與第一差分電晶體的源極和第二差分電晶體的源極相耦合；

第一輸出阻抗，其包括第一輸出電阻和與之串連的第一並聯峰化電感，所述第一輸出阻抗耦合在第一差分電晶體的漏極和電源電壓之間；

第二輸出阻抗，其包括第二輸出電阻和與之串連的第二並聯峰化電感，所述第二輸出阻抗耦合在第二差分電晶體的漏極和電源電壓之間；

差分終端阻抗，其耦合於第一差分電晶體的柵極和第二差分電晶體的柵極之間；

第一輸入阻抗，其耦合於所述 C3MOS 寬帶資料放大器電路的第一差分輸入和第一差分電晶體的柵極之間；以及

第二輸入阻抗，其耦合於所述 CMOS 寬帶資料放大器電路的第二差分輸入和第二差分電晶體的柵極之間。

優選地，所述差分終端阻抗包括串連連接的第一電阻和第二電阻。

優選地，所述第一輸入阻抗包括第一串連電感；所述第二輸入阻抗包括第二串連電感。

優選地，所述第一輸入阻抗包括第一組多個串連電感；所述第二輸入阻抗包括第二組多個串連電感。

優選地，所述第一輸入阻抗包括第一串連電感和第一分流電容；所述第二輸入阻抗包括第二串連電感和第二分流電容。

優選地，所述第一輸入阻抗包括第一組多個串連電感，由此產生第一組多個節點，以及連接在第一組節點中的選定節點與地電位之間的第一組多個分流電容；且

所述第二輸入阻抗包括第二組多個串連電感，由此產生第二組多個節點，以及連接在第二組節點中的選定節點和地電位之間的第二組多個分流電容。

優選地，所述第一輸出阻抗的第一輸出電阻耦合在第一差分電晶體的漏極和第一輸出阻抗的第一並聯峰化電感之間；且

所述第一輸出阻抗的第一並聯峰化電感耦合在第一輸出阻抗的第一輸出電阻和電源電壓之間。

優選地，所述電流源為電流源電晶體，且

入、寬帶差分電晶體對的第三差分輸入、寬帶差分電晶體對的第四差分輸入相耦合，其中所述輸入阻抗匹配網路包括：

差分終端阻抗，其耦合於寬帶差分電晶體對的第三差分輸入和寬帶差分電晶體對的第四差分輸入之間；

第一輸入阻抗，其耦合於 C3MOS 寬帶資料放大器電路的第一差分輸入和寬帶差分電晶體對的第三差分輸入之間；和

第二輸入阻抗，其耦合於 C3MOS 寬帶資料放大器電路的第二差分輸入和寬帶差分電晶體對的第四差分輸入之間。

優選地，所述寬帶差分電晶體對包括：

第一差分電晶體，所述電晶體包括源極、柵極和漏極；

第二差分電晶體，所述電晶體包括源極、柵極和漏極；

電流源，其與第一差分電晶體的源極和第二差分電晶體的源極相耦合；

第一輸出阻抗，其包括第一輸出電阻和與之串連的第一並聯峰化電感，所述第一輸出阻抗耦合在第一差分電晶體的漏極和電源電壓之間；

第二輸出阻抗，其包括第二輸出電阻和與之串連的第二並聯峰化電感，所述第二輸出阻抗耦合在第二差分電晶體的漏極和電源電壓之間；

第一電容，其耦合於第一差分電晶體的漏極和第二差分電晶體的柵極之間；以及

的源極相耦合；

99年9月1日修正替換頁

第一輸出阻抗，其包括第一輸出電阻和與之串連的第一並聯峰化電感，因此第一輸出電阻耦合在第一差分電晶體的漏極和第一並聯峰化電感之間，第一並聯峰化電感耦合在第一輸出電阻和電源電壓之間；

第二輸出阻抗，其包括第二輸出電阻和與之串連的第二並聯峰化電感，因此第二輸出電阻耦合在第二差分電晶體的漏極和第二並聯峰化電感之間，第二並聯峰化電感耦合在第二輸出電阻和電源電壓之間；

第一電容，其耦合於第一差分電晶體的漏極和第二差分電晶體的柵極之間；

第二電容，其耦合於第二差分電晶體的漏極和第一差分電晶體的柵極之間；

至少一個電阻串連聯接於第一差分電晶體的柵極和第二差分電晶體的柵極之間；

第一串連電感，其耦合於 C3MOS 寬帶資料放大器電路的第一差分輸入和第一差分電晶體的柵極之間；以及

第二串連電感，其耦合於 C3MOS 寬帶資料放大器電路的第二差分輸入和第二差分電晶體的柵極之間。

優選地，所述電流源為電流源電晶體，且

所述第一差分電晶體、第二差分電晶體和電流源電晶體包括

國專利號為 6,424,194 B1、發明人為 A. Hairapetian 的名為“電流控制的 CMOS 邏輯族 (Current Controlled CMOS Logic Family)”的專利中有更為詳細的描述，為上述目的所述文獻的全文作為參考包含於此。

其他的技術也被開發出來以增加 CMOS 電路的增益帶寬積。例如，並聯峰化即是一種能夠改善增益帶寬乘積的方法。並聯峰化涉及在輸出電阻上串連電感以擴展電路的帶寬。這種結合有 C3MOS 電路的感應寬頻技術在美國專利申請號為 09/610,905、現美國專利號為 6,340,899 B1、發明人為 M. Green 的名為“電感性帶寬增加的電流控制 CMOS 電路 (Current-Controlled CMOS Circuits with Inductive Broadbanding)”的專利文獻中有更為詳細的描述，為上述目的所述文獻的全文作為參考包含於此。

但是，通過所述感應峰化所帶來的增益帶寬積的擴展的極限大約為 1.5 倍，並且所需的電感器通常較大，這將在積體電路上占據很大空間。在寬帶資料通信中，可用資料頻率範圍從幾 kHz (千赫茲) 開始，一直延伸到幾 GHz (吉赫茲)。需要寬帶放大器來處理這樣的寬資料頻譜。這與無線領域不同，無線通信只在非常窄的頻帶內進行通信，可以用帶有電感和電容的調諧放大器實現。但是，寬帶資料放大器需要在很寬的頻帶上有相對恒定或平穩的頻率回應。

一般來說，在設計寬帶放大器時，在增益和帶寬之間要做以

L2 的同向端。此外，兩個串連聯接的 50 歐姆的終端電阻連接於第一差分電晶體的柵極和第二差分電晶體的柵極之間。

如上文的其他實施例所述，為改善共模反射，可以提供低阻抗通路以生成交流“地”。可以在終端電阻（即兩個串連的 50 歐姆電阻）的公共節點和“地”之間連接相對較大的電容（C0）。

假設第一和第二差分電晶體是相同的，則第一和第二串連峰化電感 L1 和 L2 具有相同的電感值。第一輸出電阻 R3 的反向端連接到第一差分電晶體的漏極，其同向端連接到第一並聯峰化電感 L3 的反向端。第二輸出電阻 R4 的反向端連接到第二差分電晶體的漏極，其同向端連接到第二並聯峰化電感 L4 的反向端。第一和第二並聯峰化電感 L3 和 L4 的同向端連接到正向電源電壓（如 Vcc 所示）。第一和第二輸出電阻 R3 和 R4 最好具有相同的阻值 R，第一和第二並聯峰化電感 L3 和 L4 最好具有相同的電感值。第一電容 C1（也被稱為第一密勒效應消除電容 C1）的同向端與第二差分電晶體的漏極耦合，其反向端與第一差分電晶體的柵極耦合。第二電容 C2（也被稱為第二密勒效應消除電容 C2）的同向端與第一差分電晶體的漏極耦合，其反向端與第二差分電晶體的柵極耦合。第一輸出信號 OUTP 取自第二差分電晶體的漏極，第二輸出信號 OUTN 取自第一差分電晶體的漏極。

回到圖 1，為了與向封裝和電路板 110 方向看去的阻抗和向矽片 120 方向看去的阻抗相匹配，最好使輸入呈現更多的電感性。

十、申請專利範圍：

1、一種電流控制矽互補金屬氧化物半導體寬帶資料放大器電路，其特徵在於，所述電路包括：

第一差分電晶體，所述電晶體包括源極、柵極和漏極；

第二差分電晶體，所述電晶體包括源極、柵極和漏極；

電流源，其與第一差分電晶體的源極和第二差分電晶體的源極相耦合；

第一輸出阻抗，其包括第一輸出電阻和與之串連的第一並聯峰化電感，所述第一輸出阻抗耦合在第一差分電晶體的漏極和電源電壓之間；

第二輸出阻抗，其包括第二輸出電阻和與之串連的第二並聯峰化電感，所述第二輸出阻抗耦合在第二差分電晶體的漏極和電源電壓之間；

差分終端阻抗，其耦合於第一差分電晶體的柵極和第二差分電晶體的柵極之間，其中，所述差分終端阻抗包括串連聯接的第一電阻和第二電阻；

第一輸入阻抗，其耦合於所述矽互補金屬氧化物半導體寬帶資料放大器電路的第一差分輸入和第一差分電晶體的柵極之間；以及

第二輸入阻抗，其耦合於所述矽互補金屬氧化物半導體寬帶資料放大器電路的第二差分輸入和第二差分電晶體的柵極之間。

- 2、如申請專利範圍第 1 項所述的電路，其中，所述第一輸入阻抗包括第一串連電感；所述第二輸入阻抗包括第二串連電感。
- 3、如申請專利範圍第 1 項所述的電路，其中，所述第一輸入阻抗包括第一組多個串連電感；所述第二輸入阻抗包括第二組多個串連電感。
- 4、如申請專利範圍第 1 項所述的電路，其中，所述第一輸入阻抗包括第一串連電感和第一分流電容；所述第二輸入阻抗包括第二串連電感和第二分流電容。
- 5、一種電流控制矽互補金屬氧化物半導體寬帶資料放大器電路，其特徵在於，所述電路包括：

第一差分輸入；

第二差分輸入；

寬帶差分電晶體對，其包括第三差分輸入和第四差分輸入；

輸入阻抗匹配網路，其與矽互補金屬氧化物半導體寬帶資料放大器電路的第一差分輸入、矽互補金屬氧化物半導體寬帶資料放大器電路的第二差分輸入、寬帶差分電晶體對的第三差分輸入、寬帶差分電晶體對的第四差分輸入相耦合，其中所述輸入阻抗匹配網路包括：

差分終端阻抗，其耦合於寬帶差分電晶體對的第三差分輸入和寬帶差分電晶體對的第四差分輸入之間，其中，所述

差分終端阻抗包括串連連接的第一電阻和第二電阻；

第一輸入阻抗，其耦合於矽互補金屬氧化物半導體寬帶資料放大器電路的第一差分輸入和寬帶差分電晶體對的第三差分輸入之間；和

第二輸入阻抗，其耦合於矽互補金屬氧化物半導體寬帶資料放大器電路的第二差分輸入和寬帶差分電晶體對的第四差分輸入之間。

6、如申請專利範圍第 5 項所述的電路，其中，所述寬帶差分電晶體對包括：

第一差分電晶體，所述電晶體包括源極、柵極和漏極；

第二差分電晶體，所述電晶體包括源極、柵極和漏極；

電流源，其與第一差分電晶體的源極和第二差分電晶體的源極相耦合；

第一輸出阻抗，其包括第一輸出電阻和與之串連的第一並聯峰化電感，所述第一輸出阻抗耦合在第一差分電晶體的漏極和電源電壓之間；

第二輸出阻抗，其包括第二輸出電阻和與之串連的第二並聯峰化電感，所述第二輸出阻抗耦合在第二差分電晶體的漏極和電源電壓之間；

第一電容，其耦合於第一差分電晶體的漏極和第二差分電晶體的柵極之間；以及

第二電容，其耦合於第二差分電晶體的漏極和第一差分電晶體的柵極之間；其中：

寬帶差分電晶體對的第三差分輸入包括第一差分電晶體的柵極；且寬帶差分電晶體對的第四差分輸入包括第二差分電晶體的柵極。

- 7、如申請專利範圍第 5 項所述的電路；所述第一輸入阻抗包括第一串連電感；所述第二輸入阻抗包括第二串連電感。
- 8、一種電流控制矽互補金屬氧化物半導體寬帶資料放大器電路，其特徵在於，所述電路包括：

第一差分電晶體，所述電晶體包括源極、柵極和漏極；
第二差分電晶體，所述電晶體包括源極、柵極和漏極；電流源，其與第一差分電晶體的源極和第二差分電晶體的源極相耦合；

第一輸出阻抗，其包括第一輸出電阻和與之串連的第一並聯峰化電感，其中第一輸出電阻耦合在第一差分電晶體的漏極和第一並聯峰化電感之間，第一並聯峰化電感耦合在第一輸出電阻和電源電壓之間；

第二輸出阻抗，其包括第二輸出電阻和與之串連的第二並聯峰化電感，其中第二輸出電阻耦合在第二差分電晶體的漏極和第二並聯峰化電感之間，第二並聯峰化電感耦合在第二輸出電阻和電源電壓之間；

第一電容，其耦合於第一差分電晶體的漏極和第二差分電晶體的柵極之間；

第二電容，其耦合於第二差分電晶體的漏極和第一差分電晶體的柵極之間；

至少一個電阻串連聯接於第一差分電晶體的柵極和第二差分電晶體的柵極之間；

第一串連電感，其耦合於矽互補金屬氧化物半導體寬帶資料放大器電路的第一差分輸入和第一差分電晶體的柵極之間；以及

第二串連電感，其耦合於矽互補金屬氧化物半導體寬帶資料放大器電路的第二差分輸入和第二差分電晶體的柵極之間。

9、如申請專利範圍第 8 項所述的電路，其中，所述電流源為電流源電晶體，且

所述第一差分電晶體、第二差分電晶體和電流源電晶體包括 N 溝道金屬氧化物半導體電晶體；或

所述第一差分電晶體、第二差分電晶體和電流源電晶體包括 P 溝道金屬氧化物半導體電晶體。