



(12) 发明专利

(10) 授权公告号 CN 108987353 B

(45) 授权公告日 2023. 10. 24

(21) 申请号 201810177954.8

(22) 申请日 2018.03.05

(65) 同一申请的已公布的文献号
申请公布号 CN 108987353 A

(43) 申请公布日 2018.12.11

(30) 优先权数据
2017-111214 2017.06.05 JP

(73) 专利权人 富士电机株式会社
地址 日本神奈川县川崎市

(72) 发明人 岛藤贵行

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286
专利代理师 金玉兰 王颖

(51) Int. Cl.

H01L 23/24 (2006.01)

H01L 23/488 (2006.01)

H01L 21/60 (2006.01)

(56) 对比文件

US 2002043711 A1, 2002.04.18

CN 101176199 A, 2008.05.07

JP 2007281393 A, 2007.10.25

JP 2007123443 A, 2007.05.17

US 6188127 B1, 2001.02.13

审查员 亢心洁

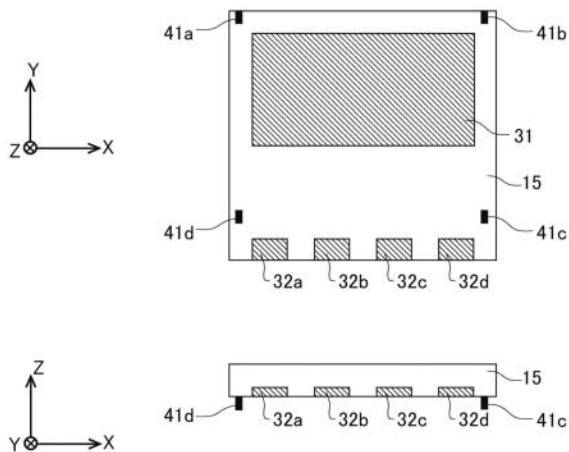
权利要求书2页 说明书7页 附图7页

(54) 发明名称

半导体封装件、半导体装置以及半导体装置的制造方法

(57) 摘要

本发明提供一种在封装主体的底面包括突起部的半导体封装件、半导体装置以及半导体装置的制造方法。该半导体封装件包括半导体芯片,该半导体封装件具备:封装主体;多个电极,其在封装主体的底面露出;以及突起部,其从封装主体的底面相对于多个电极突出,突起部以在与多个电极中间隔最狭窄的两个电极排列的第一方向不同的第二方向上与该两个电极不重叠的方式进行配置。



1. 一种半导体封装件,其特征在于,包括半导体芯片,且所述半导体封装件具备:
封装主体;
多个电极,其在所述封装主体的底面露出;以及
突起部,其从所述封装主体的底面相对于所述多个电极突出;
所述突起部以在与所述多个电极中间隔最狭窄的两个电极排列的第一方向不同的第二方向上与该两个电极不重叠的方式进行配置,
所述多个电极具有:
第一电极;以及
第二电极,其露出面积比所述第一电极的露出面积小,且在所述第二方向上与所述突起部不重叠,
不重叠是指,所述多个电极与所述突起部在所述第一方向上被设置在不同的位置。
2. 如权利要求1所记载的半导体封装件,其特征在于,
所述半导体封装件具备多个所述突起部,
多个所述突起部以在所述第二方向上与所述两个电极不重叠的方式进行配置。
3. 如权利要求1所记载的半导体封装件,其特征在于,
所述第一电极在所述第二方向上与所述突起部重叠。
4. 如权利要求2所记载的半导体封装件,其特征在于,
所述第一电极在所述第二方向上与所述突起部重叠。
5. 如权利要求1所记载的半导体封装件,其特征在于,
所述突起部具有:
第一突起部,其配置在所述封装主体的底面的角部;以及
第二突起部,其配置在所述第一电极与所述第二电极之间。
6. 如权利要求5所记载的半导体封装件,其特征在于,
所述半导体封装件具备沿所述第一方向排列的多个所述第二电极,
所述第二突起部的在所述第一方向上的宽度与多个所述第二电极的在所述第一方向上的间隔相同。
7. 如权利要求5所记载的半导体封装件,其特征在于,
所述第二突起部的在所述第一方向上的宽度比所述第一突起部的在所述第一方向上的宽度宽。
8. 如权利要求6所记载的半导体封装件,其特征在于,
所述第二突起部的在所述第一方向上的宽度比所述第一突起部的在所述第一方向上的宽度宽。
9. 如权利要求5~8任一项所记载的半导体封装件,其特征在于,
所述第二突起部的在所述第二方向上的宽度比所述第二突起部的在所述第一方向上的宽度宽。
10. 如权利要求5~8任一项所记载的半导体封装件,其特征在于,
所述第一电极与所述第二突起部之间的在所述第二方向上的距离L1比所述第二电极与所述第二突起部之间的在所述第二方向上的距离L2小。
11. 如权利要求9所记载的半导体封装件,其特征在于,

所述第一电极与所述第二突起部之间的在所述第二方向上的距离L1比所述第二电极与所述第二突起部之间的在所述第二方向上的距离L2小。

12. 如权利要求5~8任一项所记载的半导体封装件,其特征在于,

所述第一电极与所述第二突起部之间的在所述第二方向上的距离L1比所述第二电极与所述第二突起部之间的在所述第二方向上的距离L2大。

13. 如权利要求9所记载的半导体封装件,其特征在于,

所述第一电极与所述第二突起部之间的在所述第二方向上的距离L1比所述第二电极与所述第二突起部之间的在所述第二方向上的距离L2大。

14. 如权利要求1~8任一项所记载的半导体封装件,其特征在于,

所述突起部在前端具有圆角。

15. 如权利要求1~8任一项所记载的半导体封装件,其特征在于,

所述突起部的平面形状具有圆角。

16. 一种半导体装置,其特征在于,具备:

如权利要求1~15任一项所记载的半导体封装件;

安装有所述半导体封装件的安装基板;以及

设置于所述安装基板与所述半导体封装件之间的焊锡。

17. 一种半导体装置的制造方法,其特征在于,包括:

准备半导体封装件的步骤,所述半导体封装件具备:封装主体;多个电极,其在所述封装主体的底面露出;和突起部,其在与所述多个电极中间隔最狭窄的两个电极排列的第一方向不同的第二方向上与该两个电极不重叠的方式进行配置,并相对于所述多个电极突出;

将所述半导体封装件与安装基板预固定的步骤;以及

使焊锡流到所述半导体封装件与所述安装基板之间的步骤,

所述多个电极具有:

第一电极;以及

第二电极,其露出面积比所述第一电极的露出面积小,且在所述第二方向上与所述突起部不重叠,

不重叠是指,所述多个电极与所述突起部在所述第一方向上被设置在不同的位置。

18. 如权利要求17所记载的半导体装置的制造方法,其特征在于,

在使所述焊锡流动的步骤中,所述半导体封装件沿所述第二方向移动。

半导体封装件、半导体装置以及半导体装置的制造方法

技术领域

[0001] 本发明涉及半导体封装件、半导体装置以及半导体装置的制造方法。

背景技术

[0002] 以往,已知有在具有半导体芯片的半导体封装件设置突起部而成的半导体装置(例如,参照专利文献1-3)。

[0003] 专利文献1:日本特开平7-249707号公报

[0004] 专利文献2:日本特开2006-210956号公报

[0005] 专利文献3:日本特开平3-147353号公报

发明内容

[0006] 技术问题

[0007] 然而,在以往的半导体装置中,通过流焊工序将半导体封装件安装于基板的表面时,具有焊锡未良好地进入半导体封装件和安装基板之间而焊接不合格的情况。

[0008] 技术方案

[0009] 本发明的第一形态中提供一种半导体封装件,其包括半导体芯片,该半导体封装件具备:封装主体;多个电极,其在封装主体的底面露出;以及突起部,其从封装主体的底面相对于多个电极突出。突起部可以以在与多个电极中间隔最狭窄的两个电极排列的第一方向不同的第二方向上与该两个电极不重叠的方式进行配置。

[0010] 半导体封装件可以具备多个突起部。多个突起部可以以在第二方向上与该两个电极不重叠的方式进行配置。

[0011] 多个电极可以具有:第一电极,其在第二方向上与突起部重叠;以及第二电极,其露出面积比第一电极的露出面积小,且在第二方向上与突起部不重叠。

[0012] 突起部可以具有:第一突起部,其配置在封装主体的底面的角部;以及第二突起部,其配置在第一电极与第二电极之间。

[0013] 半导体封装件可以具备沿第一方向排列的多个第二电极。第二突起部的在第一方向上的宽度与多个第二电极的在第一方向上的间隔可以相同。

[0014] 第二突起部的在第一方向上的宽度可以比第一突起部的在第一方向上的宽度宽。

[0015] 第二突起部的在第二方向上的宽度可以比第二突起部的在第一方向上的宽度宽。

[0016] 第一电极与第二突起部之间的在第二方向上的距离L1可以比第二电极与第二突起部之间的在第二方向上的距离L2小。

[0017] 第一电极与第二突起部之间的在第二方向上的距离L1可以比第二电极与第二突起部之间的在第二方向上的距离L2大。

[0018] 突起部的前端可以具有圆角。

[0019] 突起部的平面形状可以具有圆角。

[0020] 本发明的第二形态提供一种半导体装置,该半导体装置具备:安装有半导体封装

件的安装基板;以及设置于安装基板与半导体封装件之间的焊锡。

[0021] 本发明的第三形态提供一种半导体装置的制造方法,包括:准备半导体封装件的步骤,该半导体封装件具备:封装主体;多个电极,其在封装主体的底面露出;和突起部,其在与多个电极中间隔最狭窄的两个电极排列的第一方向不同的第二方向上与该两个电极不重叠的方式进行配置,并相对于多个电极突出;将半导体封装件与安装基板预固定的步骤;以及使焊锡流到半导体封装件与安装基板之间的步骤。

[0022] 在使焊锡流动的步骤中,半导体封装件可以沿第二方向移动。

[0023] 需要说明的是,上述的发明概要,并没有列举出本发明的特征的全部。另外,这些特征组合的子组合也能够构成本发明。

附图说明

[0024] 图1是用于说明实施例1的半导体装置100的图。

[0025] 图2是实施例1的半导体装置100的截面图的一例。

[0026] 图3示出实施例2的半导体封装件10的构成的一例。

[0027] 图4示出实施例3的半导体封装件10的构成的一例。

[0028] 图5示出实施例4的半导体封装件10的构成的一例。

[0029] 图6示出实施例5的半导体封装件10的构成的一例。

[0030] 图7示出实施例6的半导体封装件10的构成的一例。

[0031] 图8是示出半导体装置100的制造方法的一例的流程图。

[0032] 图9是用于说明比较例1的半导体装置500的图。

[0033] 符号说明

[0034] 10…半导体封装件

[0035] 15…封装主体

[0036] 20…安装基板

[0037] 31…第一电极

[0038] 32…第二电极

[0039] 40…突起部

[0040] 41…第一突起部

[0041] 42…第二突起部

[0042] 50…粘接剂

[0043] 60…焊锡

[0044] 100…半导体装置

[0045] 500…半导体装置

[0046] 510…半导体封装件

[0047] 515…封装主体

[0048] 520…安装基板

[0049] 530…电极

[0050] 550…粘接剂

[0051] 560…焊锡

具体实施方式

[0052] 以下,通过发明的实施方式说明本发明,但权利要求书的范围所涉及的发明并不限于以下的实施方式。另外,在实施方式中说明的特征的组合的全部并不是发明的技术方案所必需的。

[0053] [实施例1]

[0054] 图1是用于说明实施例1的半导体装置100的图。半导体装置100具备半导体封装件10和安装基板20。图1示出用于将半导体封装件10和安装基板20焊接的流焊工序。

[0055] 半导体封装件10包括MOSFET、IGBT等半导体芯片,并用树脂等进行封装。在一例中,半导体封装件10为无引线型表面安装封装件。半导体封装件10具备封装主体15、第一电极31、第二电极32和突起部40。半导体封装件10可以分别具备多个第一电极31和第二电极32。另外,封装主体15在底面具有突起部40。封装主体15的底面是指封装主体15被安装到安装基板20一侧的面。在本说明书中,将Z轴方向的负侧作为封装主体15的底面侧。

[0056] 安装基板20是用于安装半导体封装件10的基板。在安装基板20利用粘接剂50预固定半导体封装件10之后,利用焊锡60安装半导体封装件10。例如,第一电极31和第二电极32以与安装基板20的预先确定位置对置的方式被预固定,利用焊锡60连接于安装基板20。

[0057] 第一电极31在封装主体15的底面露出而设置。第一电极31也可以从半导体封装件10的底面突出。第一电极31形成于半导体封装件10的Y轴方向的正侧的端部。本例的第一电极31在半导体封装件10设置为一个。例如,第一电极31为漏电极。

[0058] 第二电极32在封装主体15的底面露出而设置。第二电极32也可以从半导体封装件10的底面突出。第二电极32形成于半导体封装件10的Y轴方向的负侧的端部。本例的第二电极32在半导体封装件10设置为多个。例如,第二电极32是栅电极和源电极。

[0059] 突起部40设置于封装主体15的底面。突起部40从封装主体15的底面相对于第一电极31和第二电极32突出而设置。突起部40确保半导体封装件10与安装基板20之间的空隙。据此,焊锡60容易流入到半导体封装件10与安装基板20之间。半导体封装件10优选为具有多个突起部40。多个突起部40以在半导体封装件10与安装基板20之间确保均匀的空隙的方式配置。在此,突起部40可以以与半导体封装件10的树脂相同的材料形成。

[0060] 在流焊工序中,焊锡60以熔融的状态流入到半导体封装件10与安装基板20之间。例如,通过使半导体装置100沿焊锡60的喷射方向移动,从而焊锡60流入到半导体封装件10与安装基板20之间。本例的半导体装置100沿Y轴方向移动。即,半导体装置100的流焊方向为Y轴方向。焊锡60在半导体封装件10与安装基板20之间可以设置为与突起部40的厚度相同的厚度。焊锡60通过流焊工序选择性地润湿扩展到第一电极31和第二电极32。据此,第一电极31和第二电极32与安装于安装基板20的电路连接。需要说明的是,半导体装置100可以从Y轴方向的正侧一直移动到负侧,也可以从Y轴方向的负侧一直移动到正侧。

[0061] 图2是实施例1的半导体装置100的截面图的一例。图2中从Y轴方向的正侧观察这点与图1不同。即,图2是半导体装置100的从流焊方向观察到的截面图。第一电极31设置于半导体封装件10的中央。

[0062] 突起部40设置为在流焊方向上与第一电极31不重叠。在流焊方向上不重叠是指,各部件在X轴方向上被设置在不同的位置。在流焊方向上第一电极31和突起部40重叠的情况下,具有焊锡60未良好地流入半导体封装件10与安装基板20之间的情况。

[0063] 另外,突起部40优选配置为在流焊方向上与第二电极32也不重叠。据此,焊锡60不会被突起部40妨碍而易于流入到半导体封装件10与安装基板20之间。

[0064] 如上所述,半导体装置100通过在半导体封装件10与安装基板20之间设置突起部40,从而确保半导体封装件10与安装基板20之间的空隙。另外,突起部40在流焊方向上与第一电极31以及第二电极32不重叠的情况下,焊锡60更容易润湿扩展到第一电极31以及第二电极32。如此,对半导体装置100而言,能够减低焊接不合格率,并抑制成本。另外,通过减少粘接剂50的固定的位置,从而成本降低。

[0065] [实施例2]

[0066] 图3示出实施例2的半导体封装件10的构成的一例。本例的半导体封装件10具备第一电极31、第二电极32和第一突起部41。

[0067] 第一电极31设置于半导体封装件10的Y轴方向的正侧。第一电极31在封装主体15的底面露出。第一电极31的露出面积比第二电极32a~第二电极32d各自的露出面积大。本例的第一电极31具有矩形的平面形状,但并不限于此。

[0068] 第二电极32设置为比第一电极31更靠半导体封装件10的Y轴方向的负侧。本例的第二电极32具有4个第二电极32a~32d。4个第二电极32a~32d在半导体封装件10的端部沿X轴方向排列。本例的第二电极32a~32d是等间隔排列,但也可以以相互不同的间隔排列。电极彼此的间隔以第二电极32彼此的间隔最窄的方式配置。即,第二电极32彼此的间隔比第一电极31与第二电极32之间的间隔小。本例的第二电极32具有矩形的平面形状,但并不限于此。

[0069] 第一突起部41具有4个第一突起部41a~41d。第一突起部41是突起部40的一例。第一突起部41a~41d在封装主体15的底面配置为四角形状。本例的第一突起部41a~41d均设置为在流焊方向上与第一电极31以及第二电极32a~32d不重叠。本例的第一突起部41a~41d的长边在流焊方向上。据此,由第一突起部41a~41d对焊锡60的流动产生的影响小。但是,如果第一突起部41a~41d与第一电极31以及第二电极32a~32d不重叠,则长边也可以在X轴方向上。

[0070] 这里,第一突起部41将第一电极31以及第二电极32a~32d的多个电极中,间隔最狭窄的两个电极排列的方向作为第一方向(即,X轴方向)。并且,将与第一方向不同的第二方向(即,Y轴方向)作为流焊方向。如此,优选为将与间隔最狭窄的两个电极排列的方向不同的方向作为流焊方向。并且,突起部40优选配置为至少与该两个电极不重叠。多个第一突起部41优选配置为在流焊方向上与该两个电极不重叠。在本例中,第一方向与第二方向正交,但并不限于此。

[0071] [实施例3]

[0072] 图4示出实施例3的半导体封装件10的构成的一例。本例的半导体封装件10具备第一电极31、第二电极32、第一突起部41和第二突起部42。本例的半导体封装件10的第一突起部41的个数与实施例2的半导体封装件10不同。另外,本例的半导体封装件10具备第二突起部42,这一点与实施例2的半导体封装件10不同。在本例中,对与实施例2的半导体封装件10不同的点进行特别说明。

[0073] 第一电极31在流焊方向上可以与突起部重叠。本例的第一电极31在流焊方向上与第二突起部42a~42c重叠。但是,第一电极31的至少一部分优选为,在流焊方向上不与任一

个突起部重叠。据此,焊锡60易于绕流到第一电极31。

[0074] 第二电极32包括四个第二电极32a~32d。第二电极32a~32d各自的露出面积比第一电极31的露出面积小。本例的第二电极32a~32d在流焊方向上不与任何一个突起部重叠。即,第二电极32a~32d不与第一突起部41a、41b以及第二突起部42a~42c重叠。

[0075] 第一突起部41是与第一电极31以及第二电极32在流焊方向上不重叠的突起部的一例。第一突起部41包括第一突起部41a和第一突起部41b这两个。第一突起部41a、41b配置在半导体封装件10的角部。本例的第一突起部41a、41b设置在半导体封装件10的Y轴方向的正侧的端部。通过将第一突起部41设置于半导体封装件10的角部,从而容易确保半导体封装件10与安装基板20之间的空隙。

[0076] 第二突起部42是与第一电极31在流焊方向上重叠,且与第二电极32在流焊方向上不重叠的突起部的一例。第二突起部42包括三个第二突起部42a~42c。第二突起部42是突起部40的一例。第二突起部42a~42c在流焊方向上配置在第一电极31与第二电极32a~32d之间。本例的第二突起部42a~42c在X轴方向上具有相同的宽度。例如,第二突起部42a~42c的X轴方向的宽度可以与第二电极32a~32d的X轴方向上的间隔相同。据此,第二突起部42a~42c能够确保焊锡60绕流到第二电极32,并且确保半导体封装件10与安装基板20之间的空隙均匀。另外,第二突起部42a~42c与在流焊方向上间隔最狭窄的两个电极(第二电极32a~32d)之间重叠。据此,焊锡60浸入间隔最狭窄的两个电极32之间,能够防止形成不期望的导电路径。

[0077] [实施例4]

[0078] 图5示出实施例4的半导体封装件10的构成的一例。本例的半导体封装件10具备第一电极31、四个第二电极32a~32d、两个第一突起部41a、41b和一个第二突起部42。本例的半导体封装件10具备一个第二突起部42,这一点与实施例3的半导体封装件10不同。在本例中,对与实施例3的半导体封装件10不同的点进行特别说明。

[0079] 第二突起部42在第一电极31与第二电极32之间设置为一个。本例的第二突起部42配置为在流焊方向上与第二电极32不重叠。第二突起部42的长边在X轴方向上。另一方面,第一突起部41的长边在Y轴方向上。例如,第二突起部42的X轴方向上的宽度比第一突起部41的X轴方向上的宽度宽。如此,即使在第二突起部42的长边在X轴方向上的情况下,由于与第二电极32在流焊方向上不重叠,因此对焊锡60的绕流产生的影响小。

[0080] 距离L1是第一电极31与第二突起部42之间的在Y轴方向上的距离。距离L2是第二电极32与第二突起部42之间的在Y轴方向上的距离。距离L1可以比距离L2小。通过使距离L1比距离L2小,从而能够改善焊锡60向第二电极32侧的绕流。另外,焊锡60浸入间隔最狭窄的两个电极32之间,能够防止形成不期望的导电路径。

[0081] 另外,距离L1可以比距离L2大。通过使距离L1比距离L2大,从而能够改善焊锡60的向第一电极31侧的绕流。另外,在距离L1比距离L2大的情况下,由于第一突起部41a、41b与第二突起部42之间的距离变大,因此利用突起部对半导体封装件10进行的支撑稳定。

[0082] 需要说明的是,距离L1和距离L2的关系,可以基于距离L1侧、L2侧的焊锡60的绕流,以及支撑半导体封装件10的稳定性的观点来适宜地调整。例如,距离L1可以与距离L2是相同的距离。

[0083] 第一突起部41的高度H是指从第二电极32的底面到第一突起部41的前端为止的长

度。第一突起部41至少比第二电极32的底面更向Z轴方向的负侧突出。第一突起部41具有焊锡60绕流到半导体封装件10与安装基板20之间的程度的高度H。例如,第一突起部41的高度H可以是5 μm 以上,优选为10 μm 以上。然而,如果第一突起部41的高度H过高,则所需的焊锡60的量变多。

[0084] [实施例5]

[0085] 图6示出实施例5的半导体封装件10的构成的一例。本例的半导体封装件10具备第一电极31、四个第二电极32a~32d、两个第一突起部41a、41b和第二突起部42。本例的半导体封装件10的第二突起部42的配置与实施例4的半导体封装件10不同。在本例中,对与实施例4不同的点进行特别说明。

[0086] 第二突起部42的长边在流焊方向上。即,第二突起部42的Y轴方向的宽度比第二突起部42的X轴方向的宽度宽。本例的第二突起部42由于长边在流焊方向上,因此不对焊锡60的流动产生干扰,半导体封装件10与安装基板20之间的支撑面积变大。据此,半导体装置100能够确保半导体封装件10与安装基板20之间的空隙。

[0087] [实施例6]

[0088] 图7示出实施例6的半导体封装件10的构成的一例。本例的半导体封装件10具备第一电极31、四个第二电极32a~32d和四个第一突起部41a~41d。本例的半导体封装件10的第二突起部42的配置以及形状与实施例2的半导体封装件10不同。在本例中,对与实施例2的半导体封装件10不同的点进行特别说明。

[0089] 第一突起部41a~41d设置于封装主体15的底面的四角。本例的第一突起部41a~41d设置于第一电极31的外侧。本例的第一突起部41a~41d的前端具有圆角。据此,即使第一突起部41与安装基板20等接触,第一突起部41的前端难以缺损。另外,本例的第一突起部41a~41d的平面形状具有圆角。本例的第一突起部41a~41d具有圆形的平面形状,但也可以是一部分具有圆角的构造。需要说明的是,也可以具有前端或平面形状加工有倒角的构造。据此,改善焊锡60在第一突起部41的周边的绕流。

[0090] 如上所述,虽然在多个实施例中示出了半导体封装件10的构成的一例,但各构成也可以与其他实施例组合使用。例如,第一突起部41的前端或平面形状加工成圆形的实施例6的构成也可以应用于其他实施例的突起部40。

[0091] 图8是示出半导体装置100的制造方法的一例的流程图。本例的半导体装置100利用步骤S100~步骤S104来形成。

[0092] 在步骤S100中,准备半导体封装件10。半导体封装件10具备:第一电极31和第二电极32、以及突起部40。该突起部40以在与该多个电极中间隔最狭窄的两个电极排列的第一方向不同的第二方向上与该两个电极不重叠的方式配置,并突出于多个电极。

[0093] 在步骤S102中,将半导体封装件10与安装基板20预固定。例如,半导体封装件10和安装基板20通过粘接剂50被预固定。半导体封装件10和安装基板20以在接触到焊锡60的喷流时半导体封装件10相对于安装基板20的位置不偏离的程度进行固定。虽然设置粘接剂50的位置和个数为任意,但以不抑制焊锡60流入的方式进行设置。在一例中,粘接剂50优选为设置在从突起部40分离的位置。

[0094] 在步骤S104中,熔融了的焊锡60流到半导体封装件10与安装基板20之间。半导体封装件10和安装基板20在焊锡60流动的阶段沿流焊方向移动。并且,焊锡60流到半导体封

装件10与安装基板20之间。据此,焊锡60容易地供给到多个电极。

[0095] 图9是用于说明比较例1的半导体装置500的图。半导体装置500具备半导体封装件510和安装基板520。半导体封装件510具有封装主体515和电极530。半导体封装件510和安装基板520被粘接剂550预固定。

[0096] 半导体封装件510没有突起部,因此半导体封装件510与安装基板520之间可能被倾斜地预固定。在该情况下,半导体封装件510与安装基板520之间的空隙不均匀。因此,焊锡560难以流入到半导体封装件510与安装基板520之间,具有焊锡560未良好地绕流到电极530而安装不合格的情况。

[0097] 以上,使用实施方式说明了本发明,但本发明的保护范围不限于上述实施方式记载的范围。不言自明的是本领域技术人员可以对上述实施方式进行各种变形或改良。根据权利要求书的记载可知,这样的进行变形或改良而成的实施方式也可以包括在本发明的保护范围内。

[0098] 应当注意的是,在权利要求书、说明书和附图中表示的装置、系统、程序和方法的动作、工序、步骤和阶段等的各处理的实施顺序,只要没有特别地明示“先于”“在此之前”等,或者,只要不是将之前的处理的输出用于之后的处理,就可以以任意的顺序实现。关于权利要求书、说明书和附图中的动作流程,即使方便起见使用“首先,”“接着,”等进行了说明,也不意味着必须以该顺序实施。

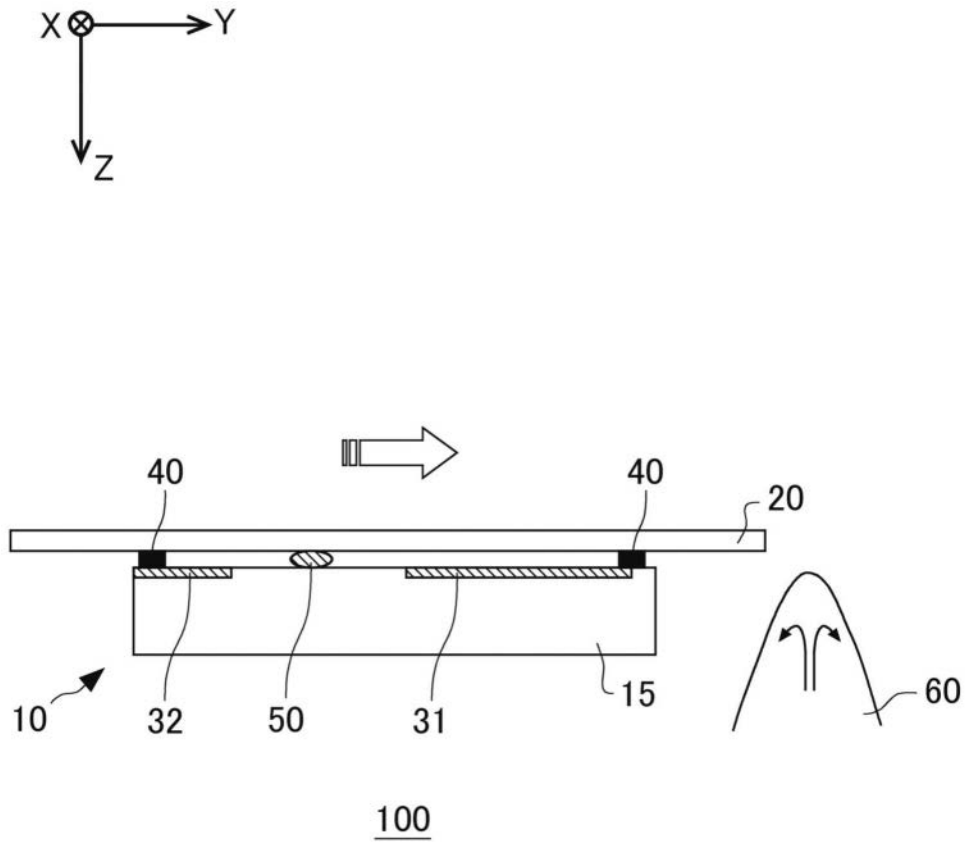


图1

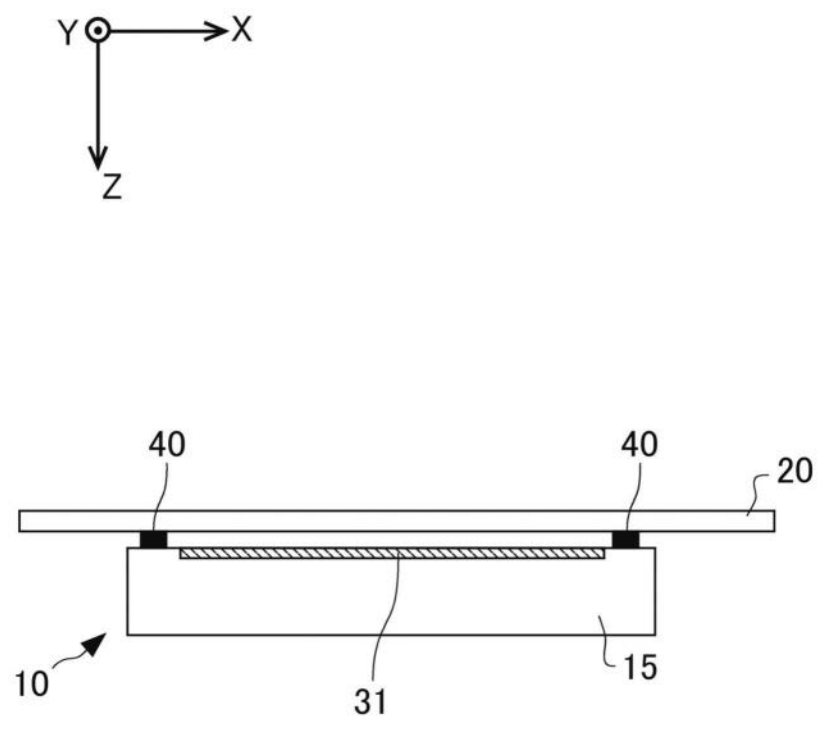


图2

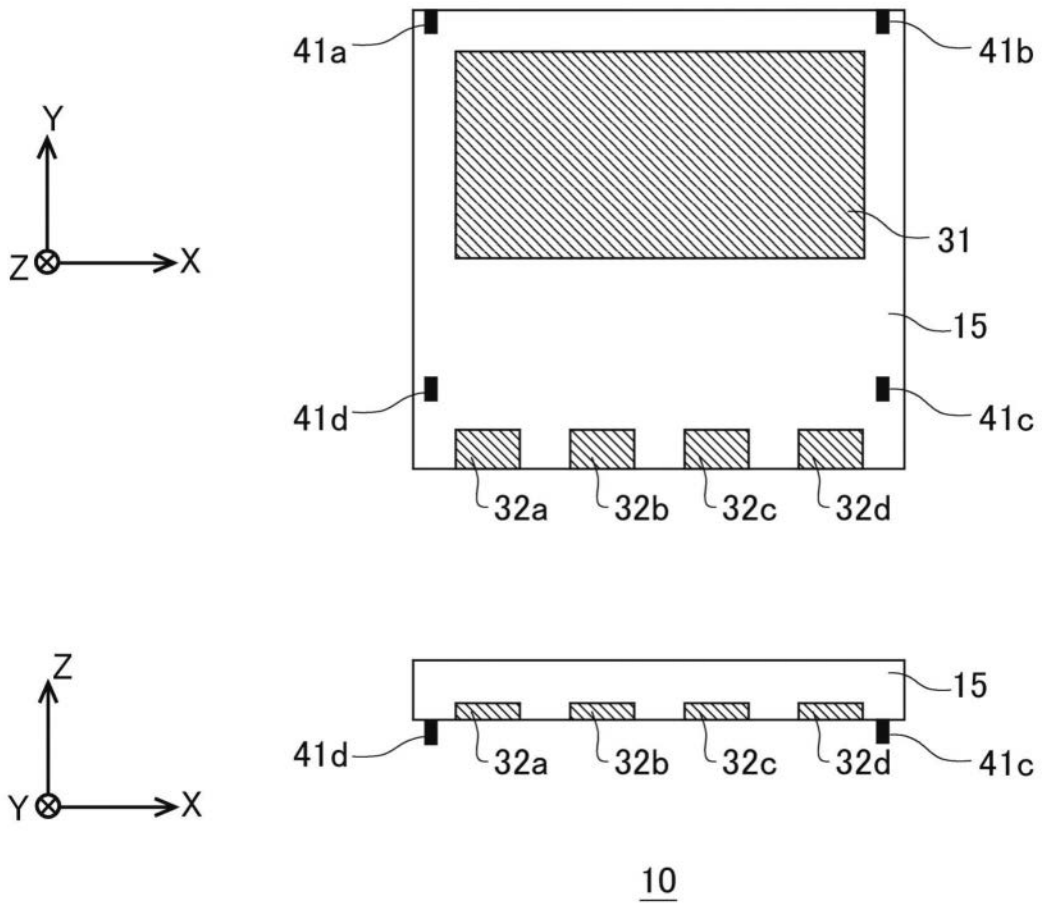


图3

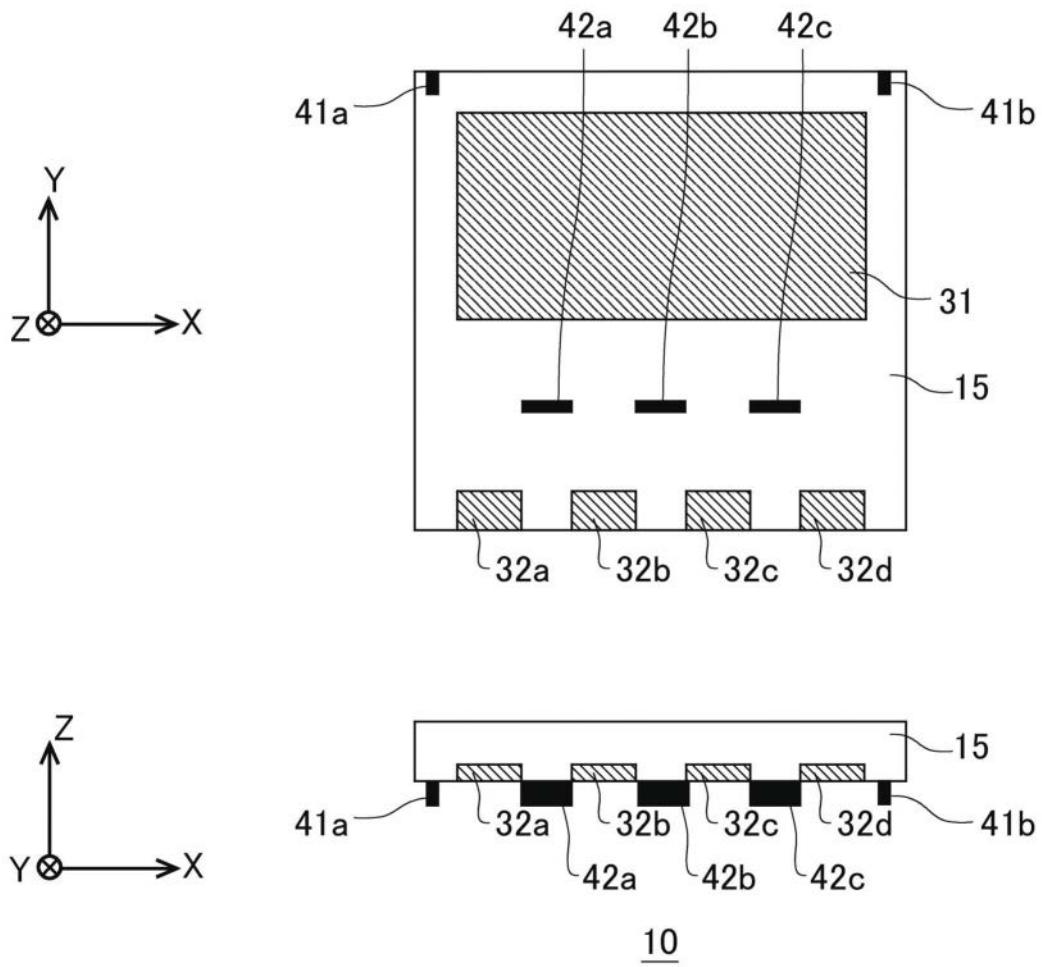


图4

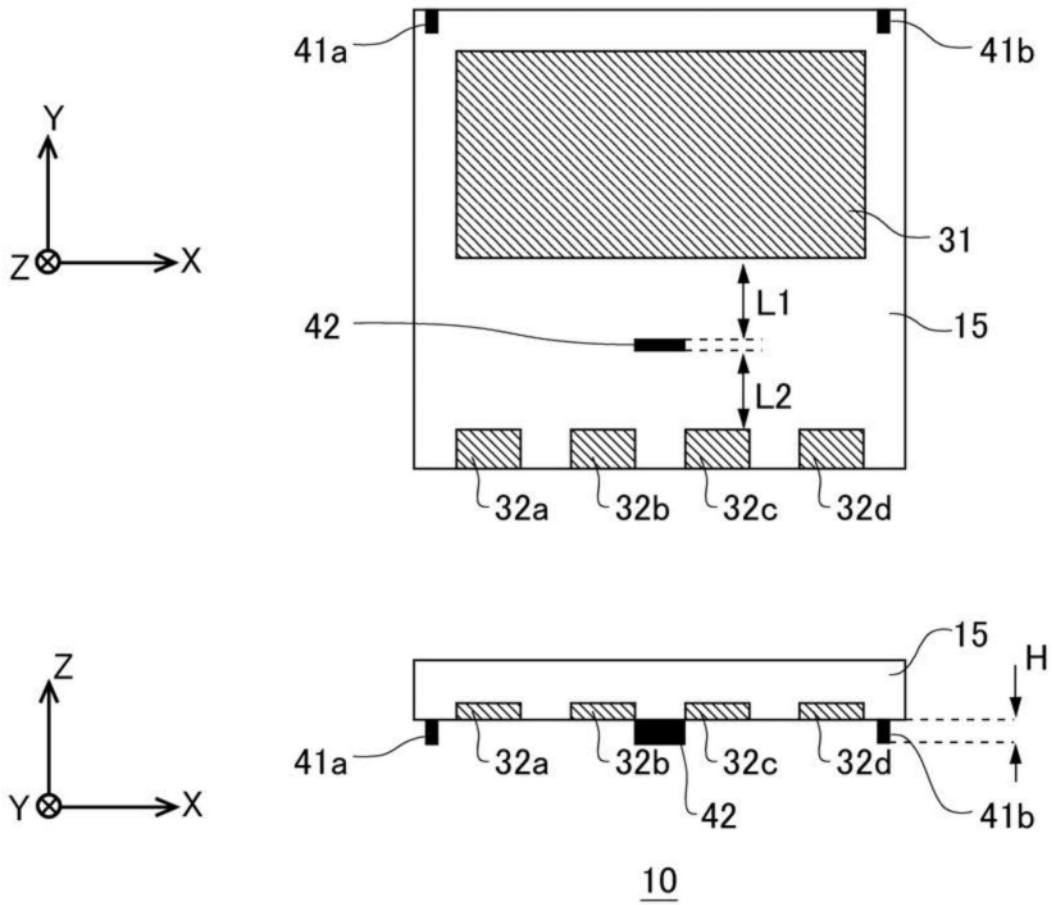


图5

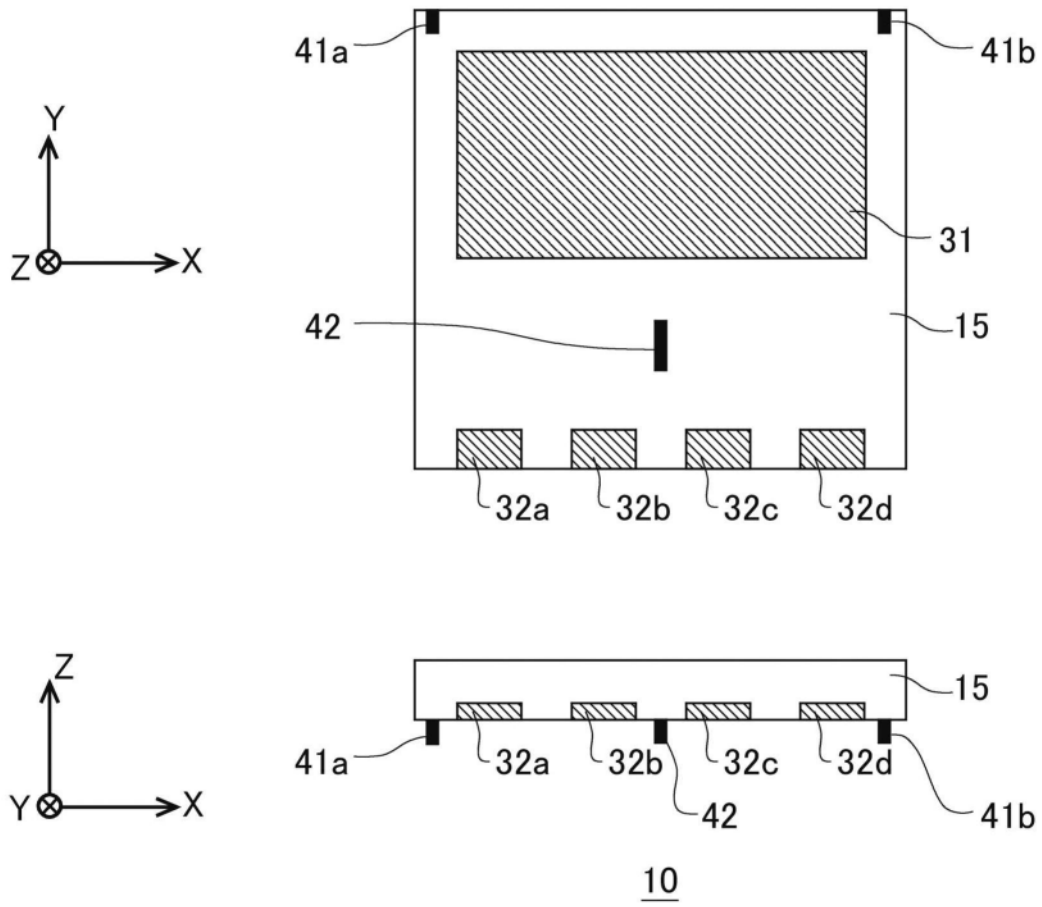


图6

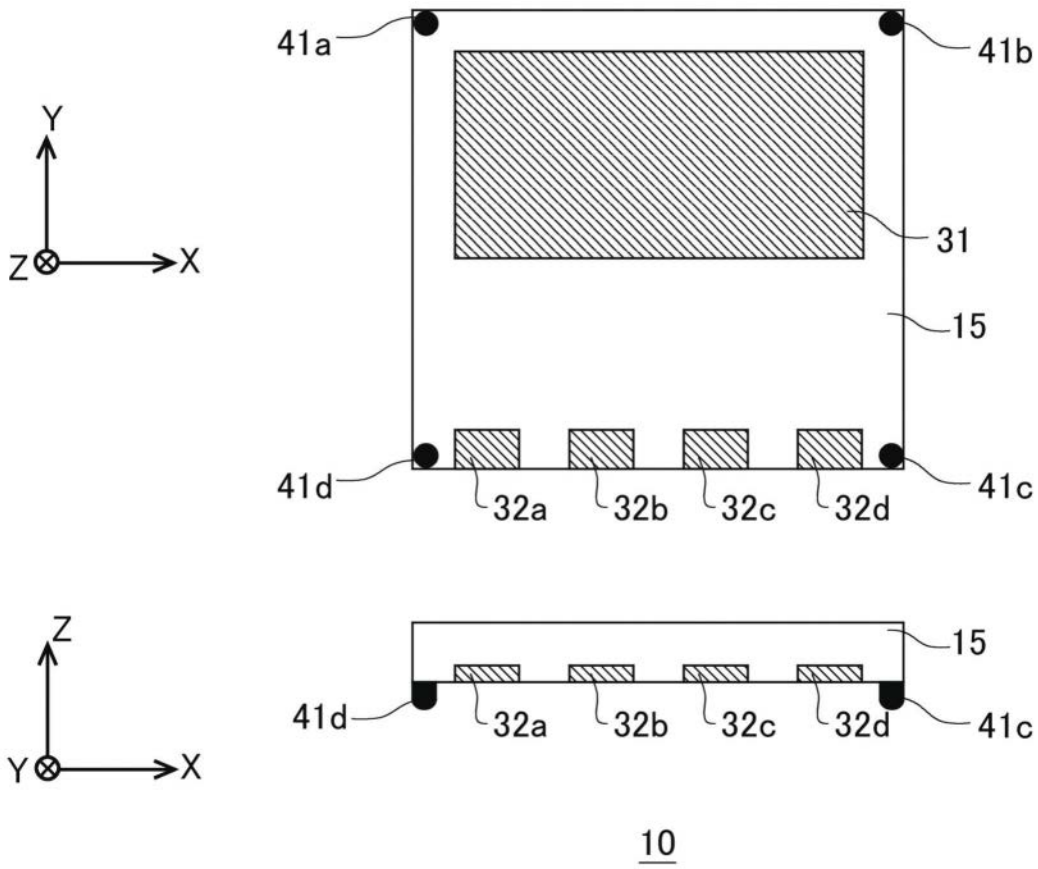


图7

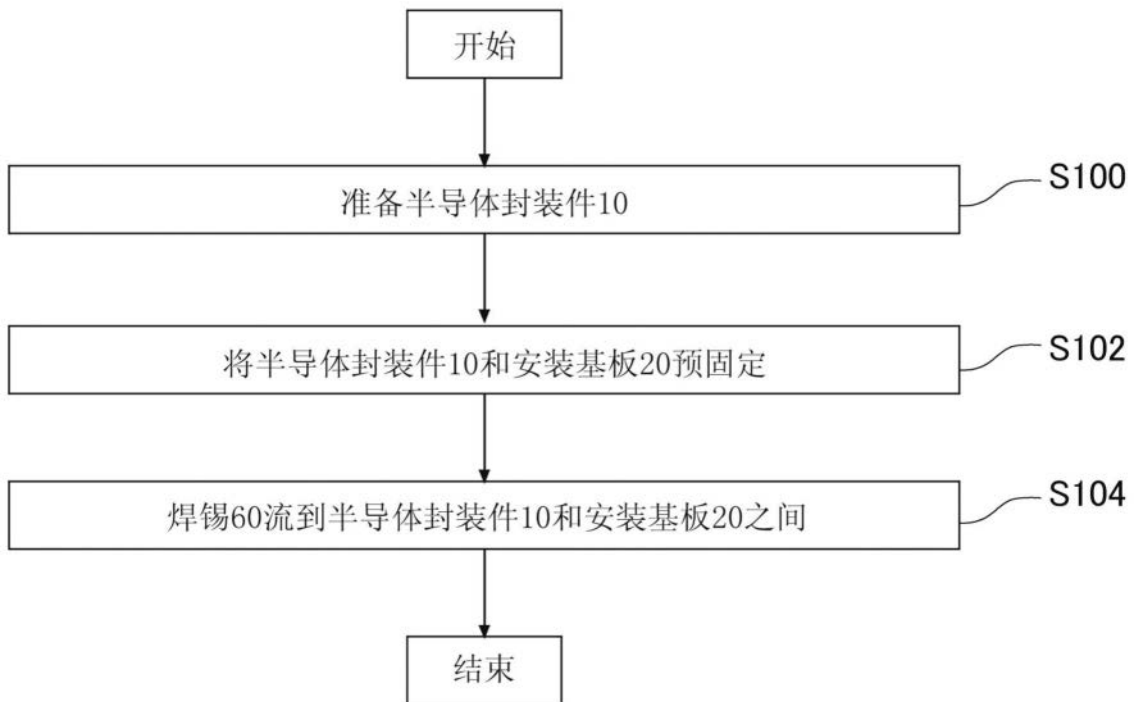


图8

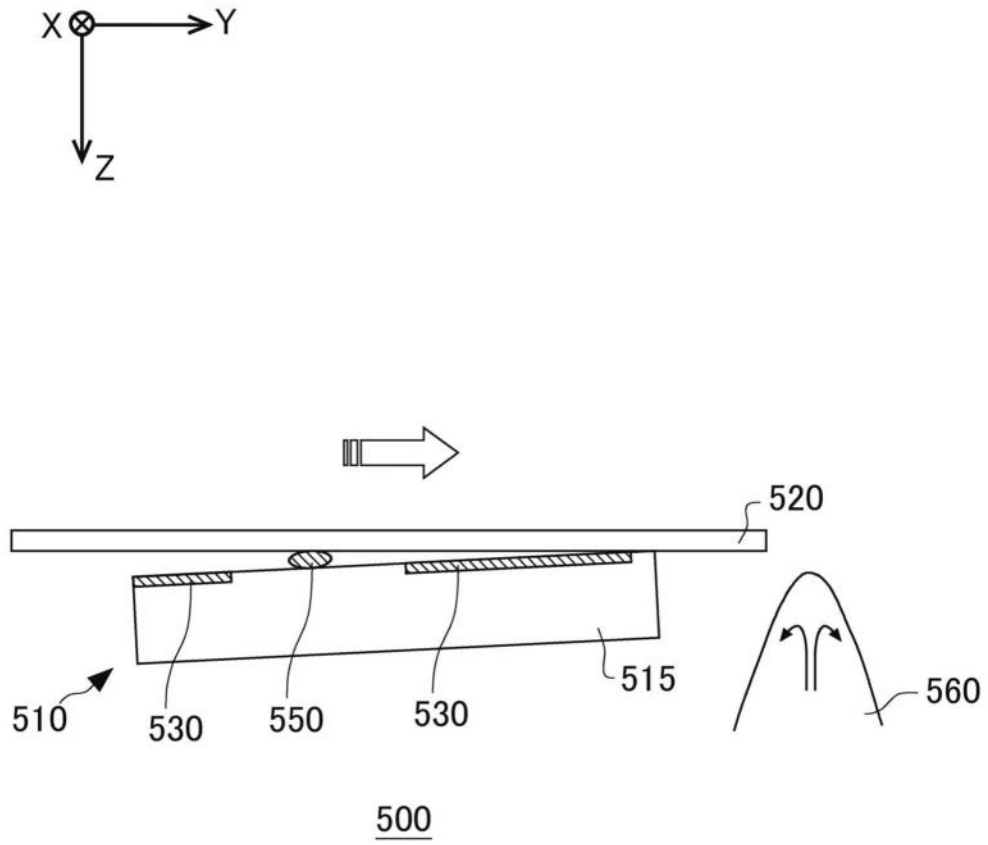


图9