

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-11274

(P2017-11274A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 25/10 (2006.01) HO 1 L 25/14 Z
 HO 1 L 25/11 (2006.01)
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 9 O L 外国語出願 (全 12 頁)

<p>(21) 出願番号 特願2016-125327 (P2016-125327)</p> <p>(22) 出願日 平成28年6月24日 (2016. 6. 24)</p> <p>(31) 優先権主張番号 1555857</p> <p>(32) 優先日 平成27年6月25日 (2015. 6. 25)</p> <p>(33) 優先権主張国 フランス (FR)</p>	<p>(71) 出願人 513280061 スリーディー プラス フランス、エフ-78530 ビュク、リュ エレン ブーシェ 408</p> <p>(74) 代理人 110001173 特許業務法人川口国際特許事務所</p> <p>(72) 発明者 クリスチャン・バル フランス国、78470・サン・レミ・レ ・シュブルーズ、リュ・ドゥ・パリ・81</p>
--	--

(54) 【発明の名称】 ボールグリッドアレイパッケージの積層を含む3次元電子モジュール

(57) 【要約】 (修正有)

【課題】 ボールグリッドアレイパッケージの積層を含む3次元電子モジュールを提供する。

【解決手段】 本発明の3次元電子モジュール100は、各々が当該パッケージの主面15と称する1個の面上に少なくとも1個のカプセル化チップ11および出力ボール13を含む2個の電氣的に試験済の電子パッケージ10と、互いに機械的に接続され、各々が1個のパッケージ10に関連付けられていて、且つ、当該2個のパッケージ10の間に配置され、各々が、1個の面21上に、当該関連付けられたパッケージの出力ボール13と対向する第1の電氣的相互接続パッド22、自身の終端に、当該関連付けられたパッケージの側面16に重ねて折り畳まれた部分、当該折り畳まれた部分の反対側の面上に第2の電氣的相互接続パッド24を含む2個の柔軟回路20とを有する。

【選択図】 図1

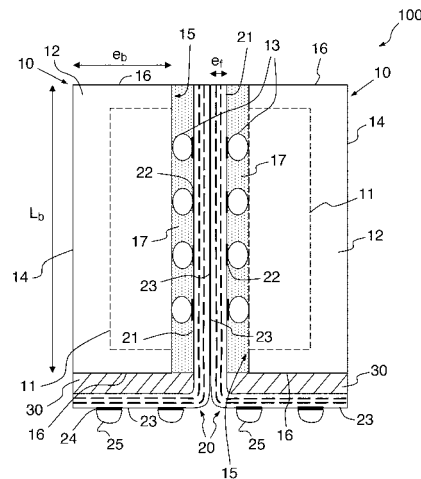


図1

【特許請求の範囲】

【請求項 1】

- 2 個の電氣的に試験済の電子パッケージ (1 0) であって、各々が前記パッケージの 2 個の側面 (1 6) を接合する、主面 (1 5) と称する 1 個の面上に少なくとも 1 個のカプセル化チップ (1 1) および出力ボール (1 3) を含む 2 個の電氣的に試験済の電子パッケージ (1 0) と、

- 互いに機械的に接続され、且つ前記 2 個のパッケージの間に配置された 2 個の柔軟回路 (2 0) であって、各々が 1 個のパッケージ (1 0) に関連付けられ、且つ

・ 1 個の面 (2 1) 上に、前記関連付けられたパッケージの前記出力ボール (1 3) と接触する第 1 の電氣的相互接続パッド (2 2) 、

・ 自身の終端に、前記関連付けられたパッケージの側面 (1 6) に重ねて折り畳まれた部分 (2 6) 、

・ 前記折り畳まれた部分 (2 6) の反対側の面上に第 2 の電氣的相互接続パッド (2 4) を含む 2 個の柔軟回路 (2 0) とを含む 3 次元電子モジュール (1 0 0) 。

【請求項 2】

前記 2 個の柔軟回路 (2 0) が、前記 2 個の柔軟回路の間に配置された硬質印刷回路基板 (5 0) により、機械的および電氣的に相互接続されていることを特徴とする、請求項 1 に記載の 3 次元電子モジュール。

【請求項 3】

前記硬質印刷回路基板 (5 0) が、受動および / または能動素子 (6 0) を含むことを特徴とする、請求項 2 に記載の 3 次元電子モジュール。

【請求項 4】

前記柔軟回路の折り目に沿って前記 2 個の柔軟回路 (2 0) の間の境界に配置されたエポキシ樹脂のビード (7 0) を含むことを特徴とする、請求項 1 ~ 3 のいずれか 1 項に記載の 3 次元電子モジュール。

【請求項 5】

少なくとも 1 個のパッケージ (1 0) が、前記チップ (1 1) の面が視認可能になるまで薄化され、且つ前記チップの前記面上に配置されたラジエータ (4 0) を含むことを特徴とする、請求項 1 ~ 4 のいずれか 1 項に記載の 3 次元電子モジュール。

【請求項 6】

少なくとも 1 個の柔軟回路 (2 0) が自身の他方の終端に、前記第 1 の側面の反対側のパッケージの側面 (1 6) に重ねて折り畳まれ、前記柔軟回路が前記他方の終端に受動および / または能動素子 (6 0) を含むことを特徴とする、請求項 1 ~ 5 のいずれか 1 項に記載の 3 次元電子モジュール。

【請求項 7】

1 G H z よりも高い周波数で動作する受動および / または能動素子 (6 0) を含むことを特徴とする、請求項 1 ~ 6 のいずれか 1 項に記載の 3 次元電子モジュール。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の複数の 3 次元電子モジュールの積層 (1 0 0) を含み、前記モジュールが主面 (1 5) とは反対側の面 (1 4) により互いに接着されていることを特徴とする、3 次元電子積層 (1 0 0 0) 。

【請求項 9】

相互接続印刷回路基板および請求項 1 ~ 7 のいずれか 1 項に記載の 3 次元電子モジュール (1 0 0) または請求項 8 に記載の積層 (1 0 0 0) を含み、相互接続印刷回路基板に載置され、且つ前記柔軟回路の前記第 2 の相互接続パッド (2 4) と接触させる相互接続ボール (2 5) を介して前記相互接続回路に電氣的に接続されている 3 次元電子装置。

【発明の詳細な説明】

【背景技術】

【0001】

高周波数で動作する素子 (メモリ、プロセッサ等) が市場に出現した結果、非カプセル

10

20

30

40

50

化チップ（ベアチップ）が使用されるようになり、新たな性能問題が生じている。ベアチップのプロブ試験は、周波数が約1GHzを超えると極めて煩雑になる。第1の問題は、これらの素子を3次元電子モジュールに積層する場合、特定のチップは最大周波数で動作可能であるのに対し、他のものは動作可能でない点である。その結果、複数のチップを含むモジュールは最大周波数で動作可能でなくなる。

【0002】

この問題を回避する一方法は、カプセル化チップ、すなわち自身が完全に試験済みであるパッケージに配置されたチップを用いるものである。具体的には、1個のパッケージは、チップのパッドよりも広い間隔で配置されたハンダボールの形式をなす出力端を含んでいる。例えば、

10

チップパッドの間隔：50～100μm、

チップをカプセル化するボールグリッドアレイパッケージの間隔：400～800μmである。

【0003】

従って試験ソケットを用いてパッケージをこのように試験することができる。

【発明の概要】

【発明が解決しようとする課題】

【0004】

この観点から、これらのパッケージに適し、且つ高周波数で動作可能な積層技術を見出す必要がある。

20

【課題を解決するための手段】

【0005】

従って、これらの種類パッケージを積層する新規の技術を提案する。より具体的には、本発明の主題は、

- 2個の電氣的に試験済の電子パッケージ、すなわち各々が当該パッケージの2個の側面を接合する、主面と称する1個の面上に少なくとも1個のカプセル化チップおよび出力ボールを含む2個の電氣的に試験済の電子パッケージと、

- 互いに機械的に接続され、且つ当該2個のパッケージの間に配置された2個の柔軟回路、すなわち各々が1個のパッケージに関連付けられ、且つ

- ・ 1個の面上に、当該関連付けられたパッケージのボールと接触する第1の電氣的相互接続パッド、

30

- ・ 自身の終端に、当該関連付けられたパッケージの側面に重ねて折り畳まれた部分、

- ・ 当該折り畳まれた部分の反対側の面上に第2の電氣的相互接続パッドを含む2個の柔軟回路とを含む3次元電子モジュールである。

【0006】

本発明の一特徴によれば、2個の柔軟回路は、当該2個の柔軟回路の間に挟まれた硬質印刷回路基板により、機械的および電氣的に相互接続されている。

【0007】

硬質回路は、当該硬質回路に潜在的に埋め込まれた受動および/または能動素子を含んでいてよい。

40

【0008】

3次元モジュールは、好適には、柔軟回路の折り目に沿って2個の柔軟回路の間のモジュールの境界に配置されたエポキシ樹脂のビードを含んでいる。

【0009】

2個のパッケージのうち少なくとも1個は、チップの表面が視認可能になるまで薄化される。従ってパッケージは有利な特徴として、チップの可視面上に配置されたラジエータを含んでいる。

【0010】

本発明の別の特徴によれば、2個の柔軟回路のうち少なくとも1個が他方の終端で、パッケージの第1の側面とは反対側の別の側面に重ねて折り畳まれ、柔軟回路は当該他方の

50

終端に受動および/または能動素子を含んでいる。用語「能動素子」はベアまたはカプセル化チップを指す。

【0011】

受動および/または能動素子は典型的には1GHzよりも高い周波数で動作する。

【0012】

本発明はまた、3次元電子積層にも関し、上述のような複数の3次元電子モジュールを含み、当該モジュールは主面とは反対側の面により互いに接着されていることを特徴とする。

【0013】

本発明の別の主題は、上述のような相互接続印刷回路基板、および当該相互接続印刷回路基板に載置され、且つ柔軟回路の第2の電氣的相互接続パッドと接触する電氣的相互接続ボールを介して電氣的に接続された3次元電子モジュールまたは積層を含む3次元電子装置である。

10

【0014】

本発明の他の特徴および利点は、添付の図面を参照しながら、非限定的な例に基づく以下の詳細説明を精査することにより明らかになる。

【図面の簡単な説明】

【0015】

【図1】本発明による3次元電子モジュールの第1の例を模式的に示す。

【図2】パッケージおよび柔軟(または「フレックス」)回路が関連付けられた、本発明による3次元電子モジュールの要素の例の分解図を模式的に示す。

20

【図3】本発明による3次元電子モジュールの第2の例を、ラジエータを備えた薄化済パッケージと共に模式的に示す。

【図4a】2個のフレックス回路に載置されている受動および/または能動素子を備えた3次元電子モジュールの第3の例を模式的に示す。

【図4b】硬質回路(または「コア」回路)に一体化されている受動および/または能動素子を備えた3次元電子モジュールの第3の例を模式的に示す。

【図4c】「コア」回路の表面に載置されている受動および/または能動素子を備えた3次元電子モジュールの第3の例を模式的に示す。

【図5a】3次元電子モジュールの積層の一例を、一部が2個の隣接するモジュールに共有される複数のラジエータを備えた薄化済パッケージと共に、フレックス回路に載置された受動および/または能動素子が有る状態で模式的に示す。

30

【図5b】3次元電子モジュールの積層の一例を、一部が2個の隣接するモジュールに共有される複数のラジエータを備えた薄化済パッケージと共に、フレックス回路に載置された受動および/または能動素子が無い状態で模式的に示す。

【発明を実施するための形態】

【0016】

各図面を通じて同一要素は同一参照番号により識別される。

【0017】

以下の説明において、「高い」、「低い」、「前面」、「後面」および「側面」の用語は記述する図面の向きに関して用いられる。モジュール、積層または素子が他の向きに応じて配置されている限り、方向に関する用語は限定的ではなく例示的に示される。

40

【0018】

本発明による3次元電子モジュールの第1の例について図1、2を参照しながら記述する。2個のボールグリッドアレイ(BGA)パッケージが、2個の隣接する柔軟またはフレックス印刷回路基板(PCB)を含む基板の両面に載置されている。

【0019】

ボールグリッドアレイ(BGA)パッケージ10は各々、エポキシ樹脂12にカプセル化された少なくとも1個のチップ11を含み、各チップ11は、主面15と称するパッケージの単一の面上に配置されたパッケージの出力ボール13に接続されている。長さL、

50

、幅 I_b および厚さ e_b のパッケージ 10 は従って、共に寸法が $L_b \times I_b$ である主面 15 および外面 14 と称する反対側の面、および寸法が $I_b \times e_b$ である側面 16 を有している。以下の寸法が典型的である。

- 6 mm L_b 9 mm、
- 6 mm I_b 14 mm、
- 0.8 mm e_b 1.4 mm

【0020】

積層を意図されたこれらのパッケージ 10 は、製造業者により試験ソケットおよび適当な検査器を用いて電氣的に試験され、次いで試験済パッケージとして販売される。このような試験済パッケージの製造業者のうち、Micron、Xilinx、Samsung、Freescal e、Infineon、STMicroelectronics 等が挙げられる。本発明による 3 次元モジュールはこのような試験済パッケージを含んでいる。

10

【0021】

2 個の試験済パッケージが以下で PCB と称する基板の対向する 2 面に載置される。より具体的には、PCB は 2 個の柔軟回路 20 を含んでいる。長さ L_f ($L_f = L_{f1} + L_{f2}$)、幅 I_f および厚さ e_f の各柔軟回路 20 もまた、パッケージのボール 13 のように分散された第 1 の相互接続パッド 22 を備えた主面 21、寸法が $L_f \times I_f$ である反対側の面 23、および寸法が $L_f \times e_f$ である側面を有している。以下が得られる。

$$L_f = L_b + e_b \text{ および } I_f = I_b$$

20

【0022】

以下の寸法が典型的である。

- 7 mm L_f 11 mm、
- 6 mm I_f 14 mm、
- 0.8 mm e_b 1.4 mm

【0023】

フレックス回路 20 は一般に多層化されていて、折り畳み等の相当な変形を許すべく一般にポリイミド製であり、すなわち内部にガラス繊維を含んでいない。ポリイミドはまた、繊維で強化されていないエポキシ樹脂で代替可能である。フレックス回路 20 は、当該フレックス回路の主面 21 に配置された（且つパッケージの出力ボール 13 と接触させる）第 1 の電氣的相互接続パッド 22 と、当該フレックス回路の部分 26 の反対側の面 23（パッケージの側面に重ねて折り畳まれるべく意図された）に配置された寸法が $L_{f2} \times I_f$ である第 2 の電氣的相互接続パッド 24 との間で信号を誘導すべく意図された電気トラックを含み、図 2 では視認不可な面 23 にあるこれらの第 2 の相互接続パッド 24 を破線で示している。典型的には、

30

$$L_{f1} = L_b \text{ 且つ } L_{f2} = e_b \text{ である。}$$

【0024】

各パッケージ 10 は従って、以下のようにフレックス回路 20 に載置されている。すなわち、

- パッケージの出力ボール 13 およびフレックス回路の主部分 27 の第 1 の相互接続パッド 22（折り畳まれない）を機械的および電氣的に接触させ（例えば従来の有鉛または無鉛ハンダを用いるハンダ付けにより）、従ってフレックス回路の部分 26 が主部分 27 から突出する、
- 第 2 の相互接続パッド 24 がパッケージの前記側面 16 と同じ高さになるよう当該フレックス回路を 90° 折り曲げることにより、パッケージの側面 16 を当該フレックス回路の（突出）部分 26 と機械的に接触させる。

40

【0025】

充填樹脂 17（例えばエポキシ樹脂）を従来方式でボール 13 の間に挿入する。

【0026】

これらの部分 26 は、パッケージの側面に接着される。この接着は、側面 16 に接着さ

50

れる部分 26 を完全に平坦に保てるようにするツールまたはジグを用いて実行される。接着剤 30 は、パッケージの側面 16 と折り置まれた柔軟部分 26 との間のレベル調整器の役割を果たす。これはパッケージングに極めて重要であり、特に、BGA パッケージは一般に、「反り」としても知られる湾曲を示し、当該湾曲はパッケージの寸法に応じて 50 ~ 150 μm に達し得る。当該湾曲は従って、ボール 25 の共平面性、従ってハンダ付け性能に弊害をもたらす。

【0027】

2 対のパッケージ/フレックス回路がこのように得られ、これら自身が、最終的に図 1 に示すように 2 個のパッケージ 10 および PCB を用いて 3 次元モジュールを形成すべくフレックス回路（接着剤は図示せず）の反対側の面 23 を接着することにより組み立てられる。ハンダボール 25 が、当該 3 次元モジュールがユーザの印刷回路基板（または PCB）に載置可能なように第 2 の相互接続パッド 24 に配置される。

10

【0028】

各パッケージ 10 は図 3 に示すように薄化することができる。薄化の後でチップ 11 の背面が視認可能になる。薄化済パッケージの外面 14 は、チップ 11 により生じた熱を逃がすために、例えば金属のラジエータ 40 を収納可能である。ラジエータ 40 は次いで、自身の断面を介してコールドプレートに接続される。ラジエータとチップ 11 の背面との間の熱接続 41 は、一般に熱接着剤を用いるか、または最適にはハンダを用いて実現される。後者の場合、外面 14 は、例えばニッケルと金の化学堆積を介して金属化される。この方式では、フレックス回路の部分 26 の長さ L_{f2} が伸びてため、第 2 の相互接続パッド 24 または間隔の数を増やすことができる。3 次元モジュールは、図 3 に示すように各パッケージ 10 上にラジエータ 40 を含んでいても、または以下の 3 次元モジュールの場合で分かるように、1 個のパッケージ上に単一のラジエータを含んでいて別の 3 次元モジュールの別のパッケージと共有されてもよい。この場合、図 5 a、5 b のモジュール 100 について分かるように、長さ L_{f2} はフレックス回路毎に異なっている。

20

【0029】

図 1 ~ 3 に示すように、パッケージ/フレックス回路のペアは直接組み立てられても、または図 4、5 に示すように、接地および電源面を含む長さ L_c 、幅 I_c および厚さ e_c の「コア」回路と称する中央硬質印刷回路基板 50 を介して組み立てられてもよく、当該回路は寸法が $L_c \times I_c$ の面を介して 2 個のフレックス回路 20 の部分 27 に機械的および電氣的に接続されている。換言すれば、PCB は 2 個のフレックス回路 20 だけを含んでいても、または 2 個のフレックス回路 20 の間に「コア」回路 50 を含んでいてもよい。実際には、「コア」回路 50 が両者の間に挟まれた 2 個のフレックス回路 20 を含む PCB 回路は、各パッケージ 10 が PCB 回路のいずれかの側に載置されてパッケージから突出する 2 個のフレックス回路の部分 26 がパッケージの側面 16 に重ねて折り置まれる前に製造される。

30

【0030】

図 4 b に、能動および/または受動素子 60 を一体化すると共に、特にコンデンサを分離する一般に多層化された「コア」回路 50 を 2 個のフレックス回路 20 の間の PCB に含む、本発明による 3 次元モジュールの一例を示す。図 4 b において、素子 60 を一体化している層は、一方では 2 個の層 51 の間に、他方では 3 個の層 51 の間にある。これらのコンデンサは、パッケージ 10 のチップ 11 のなるべく近くに配置されていて、最小のインダクタンスで電力を送ることができる。能動および受動素子 60 は「コア」回路 50 の厚さの範囲内に配置されており、他のレベルが次いで、PCB を製造する場合と同様に当該素子に接着される。金属化された貫通孔 150 は、相互接続を実現すべく「コア」および 2 個のフレックス回路（またはフレックス）の全て（図に示すように）または一部を通過する。

40

【0031】

図 4 c に見られる一代替案によれば、能動および/または受動素子 60、特にコンデンサは、複数の層 51 を含む「コア」回路 50 の表面に載置されていてよく、これらの素子

50

60は一般に極めて小型(402、すなわち1mm×0.5mm型)の素子であるため、金属化された貫通孔が「コア」回路50を通過するのに十分なスペースを残すことができる。素子60は、表面載置技術を用いてPCBに載置され、次いで、フレックス20を接着できるように接着剤を受容する平坦面を設けるべくこれらの素子60の上に樹脂151が堆積される。コンデンサ(e2)の現在の厚さは0.6mmであり、特定のサプライヤは既に0.4mm未満の厚さを提案している。載置される素子60の厚さは従って0.7mmとなつて、(e3)の場合0.5mmまで減少する。全体の厚さ(e4)を1.5mm~1.7mmとすることは充分可能である。

【0032】

図4aに、各パッケージ10の2個の対向する側面16に重ねて折り畳まれたフレックス回路20を備えたモジュールを示す。主な利点は機能の分離によるものである。すなわち、

- パッケージの側面16に重ねて折り畳まれ(図の最下部)、外部接続部(ボール25)を支持するフレックス。

- パッケージの側面16に重ねて折り畳まれたフレックス、当該側面は先行する面の反対側(図の最上部)にあり、それらの面23に能動および/または受動素子60(コンデンサ、抵抗等)および/または「バッファ」型能動回路が載置されていることで「コア」回路50が不要となる。

【0033】

潜在的に、2個のフレックス回路20のうち一方だけが素子60を自身の上部の折り畳まれた部分に含んでいる。

【0034】

受動および/または能動素子(「コア」回路に一体化または載置されているか、あるいはフレックスに載置されている)を用いる上述の方式により、3次元モジュールを、RDIMM(レジスタードデュアルインラインメモリモジュール)またはLRDIMM(負荷軽減デュアルインラインメモリモジュール)のいずれにせよ、DIMM(デュアルインラインメモリモジュール)のように電氣的に自律化させることができる。

【0035】

好適には、3次元モジュール100のPCBが2個のフレックス回路20の間に配置された「コア」回路50を含んでいる場合、シリカ充填エポキシ樹脂のビード70が、付随するパッケージ10の側面16に重ねて折り畳まれた際に各フレックス回路20により、形成された屈曲部の間に各々導入される。当該ビード70は従って、幅 I_f にわたり広がるため、ボール25を「フレックス」回路の相互接続パッド24にハンダ付けするステップの実行中に、溶けたハンダが入り込むのを防ぐことができる。フレックス回路がパッケージの両方の側面に重ねて折り畳まれている場合、2個のビード70は図4a、5aに示すように配置される。

【0036】

このように得られた複数の3次元モジュール100を積層することができる。これらは典型的には、接着剤またはエポキシ樹脂1001を用いて接着される。図5a、5bに、3個のモジュール100の、従って合計6個のパッケージ10を含む積層1000を示すが、各パッケージの熱抵抗は重ね合わされたパッケージの場合のように層には依存しないため、これに限定されない。実際、各パッケージ10は、隣接パッケージに影響を受けないため、同一の熱抵抗を有している。

【0037】

これらの図において、パッケージ10は薄化されていて、ラジエータ40を備えており、一部のラジエータは、特に積層1000の全厚を増やさないように隣接するモジュール100の2個のパッケージ10で共有されている。図5aにおいて、フレックス回路20は、一方に接続部(ボール25)を、他方に受動および/または能動素子60を備えた各パッケージ側面16に重ねて折り畳まれているため、「コア」回路50は不要である。図5bにおいて、フレックス回路20は、接続部(ボール25)を備えた単一のパッケージ

10

20

30

40

50

側面 16 に重ねて折り畳まれていて、受動および/または能動素子は「コア」回路 50 に一体化されている。しかし、上述の 3 次元モジュールのいずれも積層されて、熱接着剤を用いて、またはハンダ付けにより互いに接着されていてよい、薄化済パッケージを備えるが側面 16 に対向する受動要素は無い 3 次元モジュールが、受動要素等を備えた非薄化済パッケージを備えた 3 次元モジュールに積層されていてよい。当該積層 1000 は無論、各フレックス回路の第 2 の相互接続パッド 24 およびこれらのパッドに配置されたハンダボール 25 を介してユーザの相互接続回路（図示せず）に機械的および電氣的に接続されるべく意図されている。

【0038】

現在知られている他の全ての技術に対する当該 3 次元積層技術の主な利点は極めて多い。すなわち、

- モジュールの側面上にルーティングが無い、
- レベル間相互接続用のポリマー貫通孔（TPV）または金型貫通孔（TMV）が無い、
- ジグを用いて接着された構造によるボールの共平面性、
- 本質的に、積層されるパッケージの数に制限が無い、
- ユーザの相互接続 PCB における容量性分離を、
 - ・ 鋳造無し、
 - ・ モジュール面を金属化無し、
 - ・ レーザーエッチング無しに一体化可能であること。

【0039】

一つの短所として、3 次元モジュールの高さ H が、6 ~ 9 mm の間で変動する標準 BGA パッケージの長さ L_b に依存することに加え、折り畳まれたフレックスおよびボールの厚さ e_f が、片側に重ねて折り畳んだ場合に約 700 ~ 800 μm であることが挙げられる。

【0040】

当該積層方法は特に、メモリパッケージの積層に有利である。

【符号の説明】

【0041】

- | | | |
|-------|------------|----|
| 10 | パッケージ | 30 |
| 11 | チップ | |
| 12 | エポキシ樹脂 | |
| 13 | 出力ボール | |
| 14 | 外面 | |
| 15 | 主面 | |
| 16 | 側面 | |
| 17 | 充填樹脂 | |
| 20 | フレックス回路 | |
| 21 | 主面 | |
| 22、24 | 相互接続パッド | 40 |
| 23 | 反対側の面 | |
| 25 | ボール | |
| 26、27 | フレックス回路の部分 | |
| 30 | 接着剤 | |
| 40 | ラジエータ | |
| 41 | 熱接続 | |
| 50 | 「コア」回路 | |
| 51 | 層 | |
| 60 | 能動/受動素子 | |
| 70 | ビード | 50 |

- 100 3次元モジュール
- 150 貫通孔
- 151 樹脂
- 1000 積層
- 1001 エポキシ樹脂

【 図 1 】

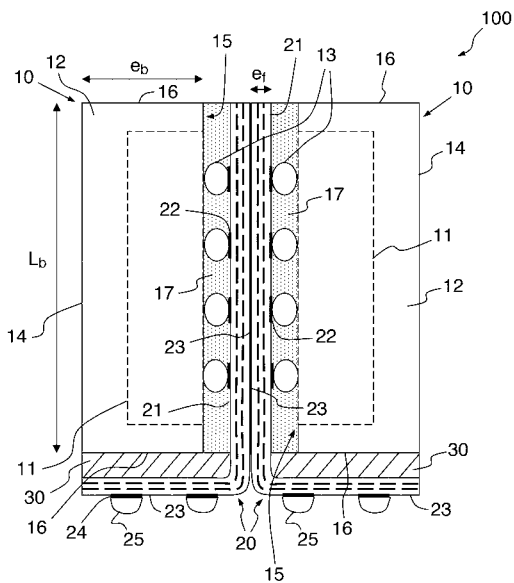


図 1

【 図 2 】

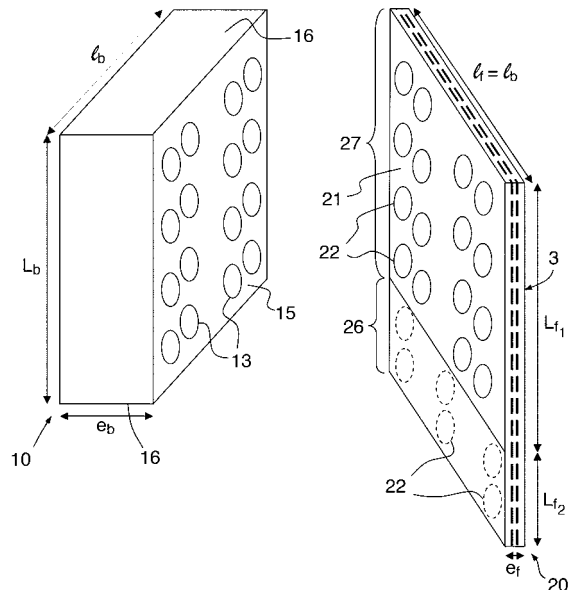


図 2

【 図 3 】

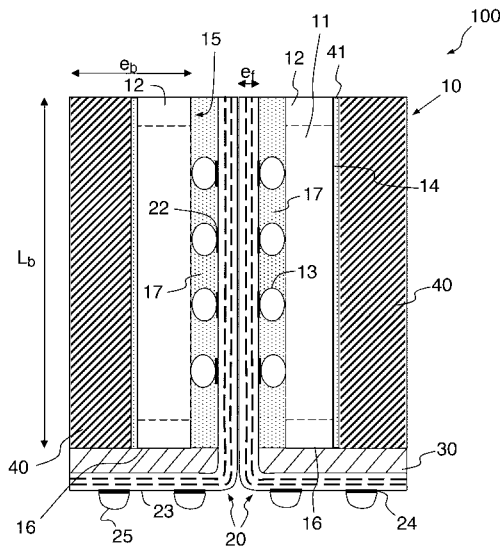


図 3

【 図 4 a 】

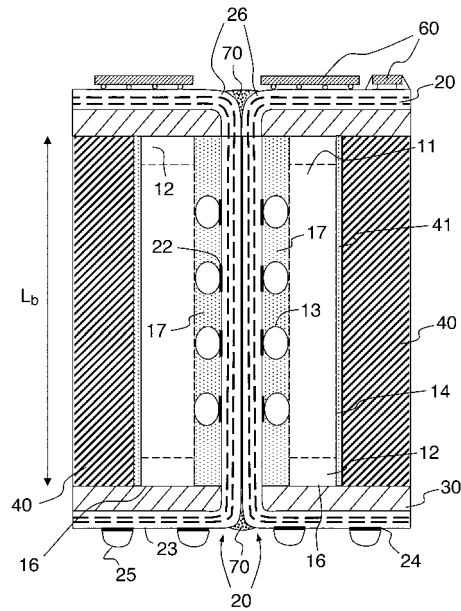


図 4a

【 図 4 b 】

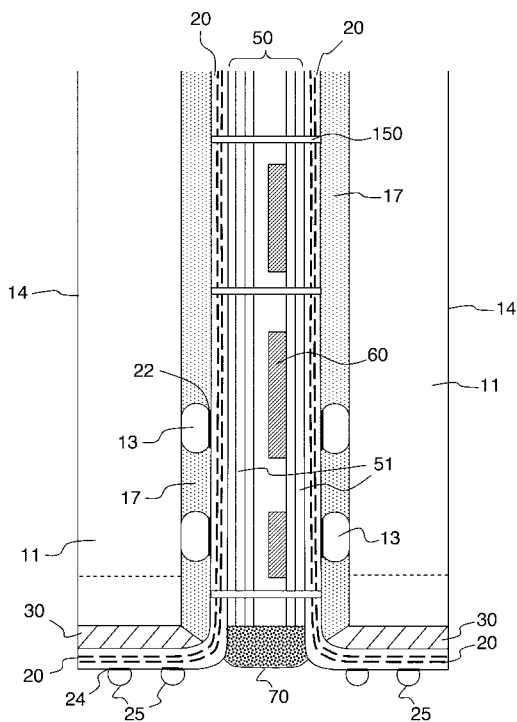


図 4b

【 図 4 c 】

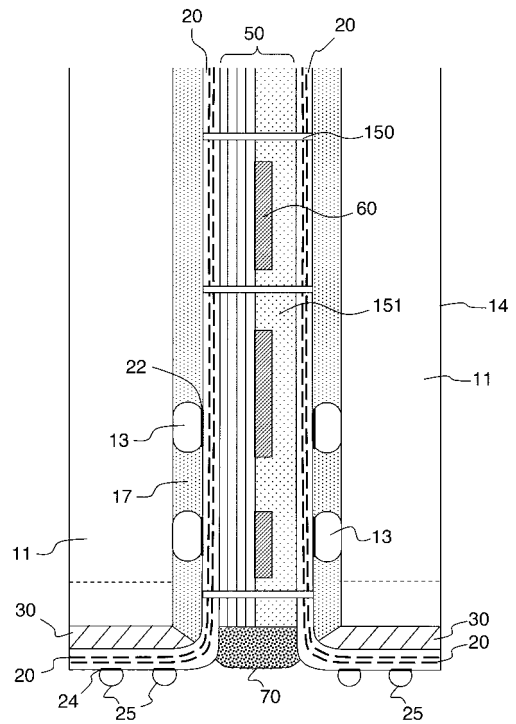


図 4c

【 図 5 a 】

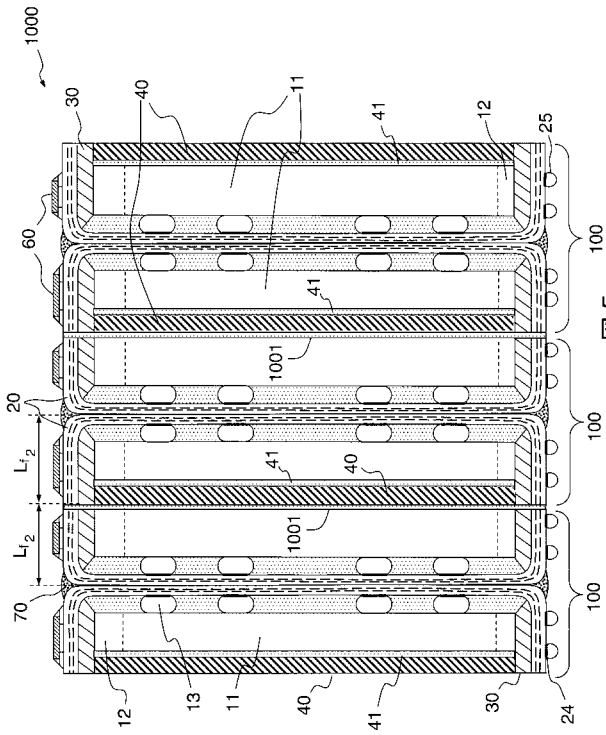


図 5a

【 図 5 b 】

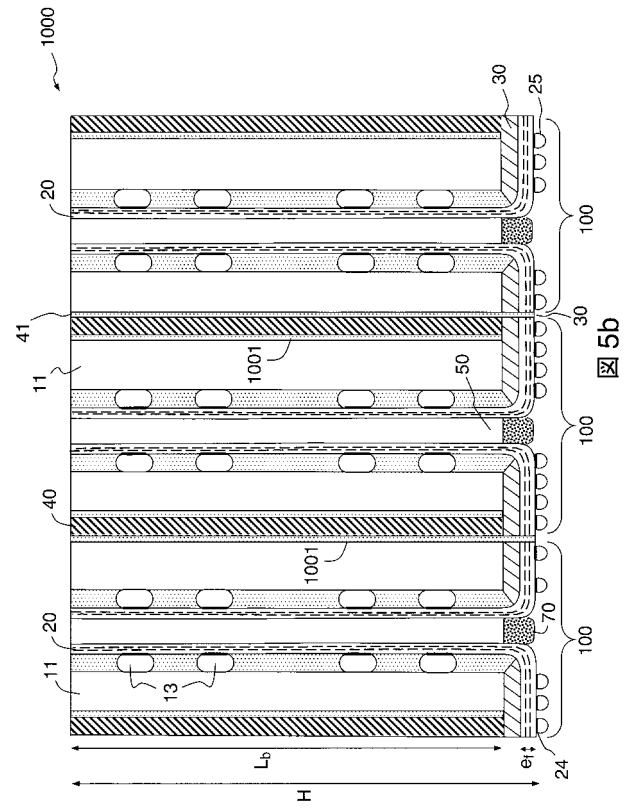


図 5b

【外国語明細書】
2017011274000001.pdf