



República Federativa do Brasil
Ministério da Economia
Instituto Nacional da Propriedade Industrial

(11) BR 102014004605-4 B1



(22) Data do Depósito: 26/02/2014

(45) Data de Concessão: 03/03/2022

(54) Título: CIRCUITO INTEGRADO E PROCESSO EM UM CIRCUITO INTEGRADO

(51) Int.Cl.: G06F 9/4401.

(52) CPC: G06F 1/30; G06F 11/00; G06F 1/28; G06F 9/4401.

(30) Prioridade Unionista: 08/03/2013 US 13/791,218.

(73) Titular(es): INTEL COPORATION.

(72) Inventor(es): IVAN HERRERA MEJIA; KENNETH D. SHOEMAKER; RYAN D. WELLS.

(57) Resumo: CIRCUITO INTEGRADO E PROCESSO EM UM CIRCUITO INTEGRADO A presente invenção trata de um circuito integrado tal como um SoC que pode indicar o status crítico de bateria sem ligar uma porção substancial incluindo os núcleos de processamento host. O SoC pode incluir um microcontrolador, o qual pode fazer com que os dados de status crítico de bateria sejam armazenados em uma memória estática e a unidade de tela pode recuperar tais dados a partir da memória estática para exibir um símbolo visual na tela. As outras porções do SoC tal como a memória dinâmica, agente de sistema, processadores de mídia e hubs de controlador de memória podem ser desligados enquanto o status crítico de bateria for exibido na forma visual na tela.

"CIRCUITO INTEGRADO E PROCESSO EM UM CIRCUITO INTEGRADO"**CAMPO DA INVENÇÃO**

[0001] Essa invenção se refere à indicação de status de bateria em dispositivos móveis, assim como código para executar no mesmo, e especificamente, mas não exclusivamente, a indicação de status crítico de bateria em dispositivos móveis.

HISTÓRICO

[0002] A exibição de status de bateria em dispositivos móveis é uma indicação importante sobre o status do dispositivo móvel para os usuários. Contudo, os dispositivos móveis atuais seguem uma sequência de boot normal na qual um processador host é ligado em primeiro lugar. O processador host pode então sair da reinicialização e da ligação de outros blocos tal como um agente de sistema, memória dinâmica (por exemplo, DRAM) antes de ligar os dispositivos de exibição. Então, o dispositivo de exibição pode prover um status visual (tal como um símbolo de uma bateria) na interface de usuário para indicar a um usuário que o dispositivo móvel está sendo carregado. A sequência de boot normal pode ser seguida mesmo se a bateria estiver em um estado de carga crítico (nenhum ou mínimo). Os processadores host são potentes em termos de computação e também são de baixo consumo de energia, mas a bateria pode não ser capaz de suportar os picos de corrente que podem ocorrer enquanto o processador host, a memória dinâmica, o agente de sistema e outro de tais blocos são ligados.

[0003] Contudo, se a bateria estiver em um estado crítico de carga (isto é, nenhuma carga ou muito pouca carga) e se a sequência de boot normal for seguida, a bateria não estará em uma condição para suportar os picos de corrente para ligar o processador host. Como resultado, a tela pode não ser ligada e sem uma indicação visual do status da bateria, o dispositivo parece estar morto mesmo se ele não estiver. Na ausência de tal indicação o usuário pode concluir que o dispositivo móvel não está funcionando ou está com mau funcionamento.

BREVE DESCRIÇÃO DOS DESENHOS

[0004] As modalidades da invenção aqui descritas são ilustradas por intermédio de exemplos e não como limitação nas figuras anexas. Para simplicidade e clareza de ilustração, os elementos ilustrados nas figuras não são necessariamente traçados em escala. Por exemplo, as dimensões de alguns elementos podem ser exageradas em relação a outros elementos para clareza. Adicionalmente, onde considerado apropriado, rótulos de referência foram repetidos entre as figuras para indicar elementos correspondentes ou análogos.

[0005] A Figura 1 ilustra um sistema em chip (SoC) 100, o qual pode suportar uma técnica para indicar status crítico de bateria em dispositivos móveis de acordo com uma modalidade.

[0006] A Figura 2 ilustra uma primeira porção do SoC 100, o qual pode suportar uma técnica para indicar status crítico de bateria em dispositivos móveis

enquanto as porções restantes (ou segunda) do SoC 100 estão desligadas de acordo com uma modalidade.

[0007] A Figura 3 ilustra os sinais trocados entre os blocos da primeira porção para suportar uma técnica para indicar status crítico de bateria em dispositivos móveis de acordo com uma modalidade.

[0008] A Figura 4 é um fluxograma, que ilustra uma operação dos blocos da primeira porção para suportar uma técnica para indicar status crítico de bateria em dispositivos móveis de acordo com uma modalidade.

[0009] A Figura 5 é um dispositivo móvel exemplar, o qual pode prover uma indicação visual do status crítico de bateria de acordo com uma modalidade.

[0010] A Figura 6 é um sistema de computador, o qual pode suportar uma técnica para indicar status crítico de bateria em dispositivos móveis de acordo com uma modalidade.

DESCRICAÇÃO DETALHADA

[0011] A descrição seguinte descreve modalidades, as quais podem indicar status crítico de bateria nos dispositivos móveis. Na descrição seguinte, vários detalhes específicos, tais como implementações lógicas, divisão de recursos ou compartilhamento, ou implementações de duplicação, tipos e inter-relações de componentes de sistema e opções de integração ou divisão lógica são apresentadas para prover um entendimento mais completo da presente invenção. Será considerado, contudo, por aqueles versados na técnica que a invenção pode ser praticada sem tais detalhes específicos. Em outras instâncias, estruturas de controle, circuitos de

nível de porta, e sequências de instrução de software, completas não foram mostradas em detalhe para não obscurecer a invenção. Aqueles de conhecimento comum na técnica, com as descrições incluídas, poderão implementar a funcionalidade apropriada sem experimentação indevida.

[0012] Referências no relatório descritivo a "uma modalidade", "determinada modalidade", "uma modalidade exemplar", indicam que a modalidade descrita pode incluir um recurso, estrutura, ou característica específica, mas cada modalidade pode não incluir necessariamente o aspecto, estrutura ou característica, em particular. Além disso, tais frases não estão necessariamente se referindo à mesma modalidade. Adicionalmente, quando um aspecto, estrutura ou característica, específica é descrito em conexão com uma modalidade, considera-se que ele esteja dentro do conhecimento daqueles versados na técnica para realizar tal aspecto, estrutura, ou característica em conexão com outras modalidades sejam ou não descritas explicitamente.

[0013] Modalidades da invenção podem ser implementadas em hardware, firmware, software ou qualquer combinação dos mesmos. Modalidades da invenção também podem ser implementadas como instruções armazenadas em uma mídia legível por máquina, as quais podem ser lidas e executadas por um ou mais processadores. Uma mídia legível por máquina pode incluir qualquer mecanismo para armazenar ou transmitir informação em uma forma legível

por uma máquina (por exemplo, um dispositivo de computação).

[0014] Por exemplo, uma mídia legível por máquina pode incluir memória de leitura (ROM); memória de acesso aleatório (RAM); mídia de armazenamento em disco magnético; mídia de armazenamento ótico; dispositivos de memória flash; sinais elétricos, ópticos, acústicos ou outros sinais similares. Adicionalmente, firmware, software, rotinas e instruções podem ser descritos aqui como realizando certas ações. Contudo, deve ser considerado que tais descrições são apenas para conveniência e que tais ações na realidade resultam de dispositivos de computação, processadores, controladores, e outros dispositivos executando o firmware, software, rotinas e instruções.

[0015] Um SoC pode incluir um processador host, agente de sistema, memória dinâmica, memória estática, unidade de gerenciamento de energia, processadores de mídia, controladores de barramento, controlador de memória integrada e tais outros blocos. Em uma modalidade, o SoC pode incluir um microcontrolador para fazer com que o status crítico de bateria seja indicado sem ligar o processador host. Em uma modalidade, o microcontrolador pode determinar se o status de bateria está em um status carregado crítico e pode iniciar uma sequência de boot especial. Em uma modalidade, o microcontrolador pode enviar um sinal de ligar para a unidade de gerenciamento de energia para ligar substancialmente o menor número de blocos em comparação com o número de blocos ligados em uma sequência normal de boot. Adicionalmente, o número

substancialmente menor de blocos ligados durante a sequência especial de boot pode operar com menos magnitude de picos de corrente em comparação com os picos de corrente exigidos para operar o processador host e outros blocos ligados durante a sequência normal de boot.

[0016] Em uma modalidade, em resposta ao recebimento do sinal de ligar a partir do microcontrolador, a unidade de gerenciamento de energia pode ligar, por exemplo, uma memória estática (por exemplo, SRAM), um controlador de tela, e as interfaces de barramento providas entre o microcontrolador e a memória estática e o controlador de tela. Em uma modalidade, o microcontrolador pode armazenar dados de tela de status crítico de bateria na memória estática. Em uma modalidade, o microcontrolador pode então armazenar valores de configuração em um registrador de configuração provido no controlador de tela. Em uma modalidade, o controlador de tela pode recuperar os dados de status crítico de bateria a partir da memória estática em resposta aos valores de configuração armazenados nos registradores de configuração. Em uma modalidade, o controlador de tela pode então apresentar os dados de status crítico de bateria em uma tela de exibição do dispositivo móvel. Em uma modalidade, os dados de status crítico de bateria podem ser exibidos em uma forma visual para indicar o status de bateria ao usuário do dispositivo móvel. Em uma modalidade, os dados de status crítico de bateria podem ser exibidos como um símbolo de bateria na tela de exibição do

dispositivo móvel. Como um resultado da indicação visual provida na tela, o usuário do dispositivo móvel pode visualizar o status de bateria sem inferir que o dispositivo móvel esteja morto ou funcionando mal.

[0017] Uma modalidade de um sistema em chip (SoC) 100, que pode suportar uma ou mais técnicas para indicar o status crítico de bateria na tela de um dispositivo móvel é ilustrada na Figura 1. Em uma modalidade, o SoC 100 pode incluir um processador de núcleo único ou um processador de aplicativo de múltiplos núcleos 110, unidades de interligação 112, unidades de controlador de memória integrada 114, unidades de controlador de barramento 116, processadores de mídia 120, unidades SRAM 130, unidades DRAM 132, controlador 135, agente de sistema 140, unidade de gerenciamento de energia 150 e unidade de tela 160.

[0018] O processador 110 ou 120 pode ser um processador de uso comum, tal como um processador Core™ i3, i5, i7, 2 Duo e Quad, Xeon™, Itanium™, XScale™, Atom™ ou StrongARM™, os quais estão disponíveis da Intel Corporation, de Santa Clara, Califórnia. Alternativamente, o processador pode ser de outra empresa, tal como ARM Holdings, Ltd, MIPS, Advanced Micro Devices, etc. O processador pode ser um processador de uso especial, tal como, por exemplo, um processador de comunicação ou rede, máquina de compactação, processador gráfico, coprocessador, processador integrado ou semelhante. O processador pode ser implementado em um ou mais chips. O processador 100 pode ser parte de e/ou pode ser implementado em um ou

mais substratos utilizando qualquer uma de algumas tecnologias de processo, tal como, por exemplo, BiCMOS, CMOS, ou NMOS.

[0019] O SoC 100 pode ser usado em projetos e configurações de sistema conhecidos na técnica para laptops, desktops, PCs portáteis, assistentes pessoais digitais, estações de trabalho de engenharia, servidores, dispositivos de rede, hubs de rede, comutadores, processadores integrados, processadores de sinais digitais (DSPs), dispositivos gráficos, dispositivos de videogame, *set-top boxes*, microcontroladores, telefones celulares, reprodutores de mídia portáteis, dispositivos portáteis e vários outros dispositivos eletrônicos também são adequados. Em geral, também são adequados diversos sistemas ou dispositivos eletrônicos capazes de incorporar um processador e/ou outra lógica de execução como aqui descrito.

[0020] Na Figura 1, uma unidade de interligação 112 é acoplada a: um processador de aplicativo 110 o qual inclui um conjunto de um ou mais núcleos 102A-N e unidade(s) de cache compartilhado 106; uma unidade de agente de sistema 140; uma unidade de controlador de barramento 116; uma unidade de controlador de memória integrada 114; um conjunto ou um ou mais processadores de mídia 120, que podem incluir lógica gráfica integrada 108, um processador de imagem 124 para prover funcionalidade de câmera estática e/ou vídeo, e um processador de áudio 126 para prover aceleração de áudio de hardware, e um processador de vídeo 128 para prover aceleração de codificação/decodificação de vídeo; uma

unidade de memória de acesso aleatório, estática (SRAM) 130; uma unidade de acesso direto à memória (DMA) 132; e uma unidade de tela 160, que pode incluir um ou mais controladores de tela 165 para controlar uma ou mais telas externas e um controlador 135. Em uma modalidade, o controlador 135 pode ser um mini ou um microcontrolador e pode ser projetado para consumir substancialmente pouca energia. Em uma modalidade, mesmo a bateria em seu estado de carga crítico (ou mínimo) pode suportar o consumo de energia do controlador 135.

[0021] A hierarquia de memória inclui um ou mais níveis de cache dentro dos núcleos, um conjunto ou uma ou mais unidades de cache compartilhado 106, e memória externa (não mostrada) acoplada ao conjunto de unidades de controlador de memória integrada 114. O conjunto de unidades de cache compartilhado 106 pode incluir um ou mais caches de nível médio, tal como nível 2 (L2), nível 3 (L3), nível 4 (L4) ou outros níveis de cache, um cache de último nível (LLC), e/ou suas combinações. Embora em uma modalidade as unidades de interligação baseadas em anel 112 interliguem a lógica gráfica integrada 108, o conjunto de unidades de cache compartilhado 106, e unidade de agente de sistema 140, modalidades alternativas podem usar qualquer número de técnicas bem conhecidas para interligar tais unidades. Em algumas modalidades, um ou mais núcleos 102A-N são capazes de múltiplos *threadings* de execução.

[0022] Os núcleos 102A-N podem ser homogêneos ou heterogêneos em termos de arquitetura e/ou conjunto de instruções. Por exemplo, alguns dos núcleos 102A-N podem

estar em ordem enquanto que outros estão fora de ordem. Como outro exemplo, dois ou mais dos núcleos 102A-N podem ser capazes de execução do mesmo conjunto de instruções, enquanto que outros podem ser capazes de executar apenas um subconjunto daquele conjunto de instruções ou um conjunto de instruções diferentes.

[0023] Em uma modalidade, o agente de sistema 140 pode incluir aqueles componentes para coordenar e operar os núcleos 102A-N. Em uma modalidade, a unidade de agente de sistema 140 pode incluir, por exemplo, uma unidade de controle de energia (PCU) 150 e uma unidade de tela 160. A PCU 150 pode incluir lógica, e componentes necessários para regular o estado de energia dos núcleos 102A-N e a lógica gráfica integrada 108. A unidade de tela 160 é para acionar uma ou mais telas conectadas externamente. Em outras modalidades, a PCU 150 e a unidade de tela 160 podem ser providas fora do agente de sistema 140 conforme ilustrado na Figura 1. Em uma modalidade, a PCU 150 pode ser acoplada a uma bateria 190 e a PCU 150 pode verificar sempre a carga da bateria 190. Em uma modalidade, a PCU 150 pode gerar um indicador de bateria para indicar que a carga na bateria 190 atingiu ou reduzida abaixo de um nível crítico de carga de bateria. Em uma modalidade, a PCU 150 pode desligar (*power-down*) de quase todas as porções do SoC 100. Contudo, em uma modalidade, a PCU 150 pode não desligar o controlador 135. Em uma modalidade, a PCU 150 pode ligar uma pequena porção (unidade SRAM 130, a unidade de tela 160, e as interfaces 134, 136, por exemplo) do SoC 100 em resposta ao recebimento de uma solicitação a partir do

controlador 135. Em uma modalidade, a PCU 150 pode configurar o controlador de tela 165 ou pode delegar essa tarefa ao controlador 135.

[0024] Em uma modalidade, o controlador 135 pode fazer com que o status crítico de bateria seja indicado sem ligar a maioria das porções do SoC 100. Em uma modalidade, o controlador 135 pode fazer com que o status crítico de bateria seja indicado sem ligar o processador de aplicativo 110, o(s) processador(es) de mídia 120, o agente de sistema 140, a unidade DRAM 132, e tais outros blocos. Em uma modalidade, o controlador 135 pode determinar se o status de bateria está em um estado crítico de carga e pode iniciar uma sequência especial de boot. Em uma modalidade, o controlador 135 pode enviar um sinal de ligar para a unidade de gerenciamento de energia 150 para ligar substancialmente menos blocos em comparação com o número de blocos ligados em uma sequência normal de boot. Em uma modalidade, a unidade SRAM 130, a unidade de tela 160 e as interfaces, tais como as interfaces 134 e 136. Adicionalmente, o número substancialmente menor de blocos ligados durante a sequência de boot especial pode operar com menor magnitude de picos de corrente em comparação com os picos de corrente exibidos para operar o processador de aplicativo 110, processador de mídia 120, e outros blocos ligados durante a sequência normal de boot.

[0025] Em uma modalidade, o controlador 135 pode enviar uma solicitação (para a unidade de gerenciamento de energia 150) para ligar a unidade SRAM 130, a unidade

de tela 160 e as interfaces de barramento 134 e 136 providas entre o controlador 135, a unidade SRAM 130, e a unidade de tela 160. Em uma modalidade, o controlador 135 pode armazenar dados de tela de status crítico de bateria na unidade SRAM 130. Em uma modalidade, o controlador 135 pode então armazenar valores de configuração em um ou mais registradores de configuração providos no controlador de tela 165 se a PCU 150 delegar tal tarefa ao controlador 135. Em uma modalidade, o controlador de tela 165 pode recuperar os dados de status crítico de bateria a partir da unidade SRAM 130 em resposta aos valores de configuração armazenados nos registradores de configuração. Em uma modalidade, o controlador de tela 15 pode então apresentar os dados de status crítico de bateria em uma tela de exibição do dispositivo móvel. Em uma modalidade, os dados de status crítico de bateria podem ser exibidos em uma forma visual para indicar o status de bateria ao usuário do dispositivo móvel. Em uma modalidade, os dados de status crítico de bateria podem ser exibidos como um símbolo de bateria na tela do dispositivo móvel.

[0026] Uma modalidade de um diagrama de blocos do controlador 135, unidade SRAM 130, e a unidade de tela 160, que podem operar em conjunto para indicar o status crítico de bateria mesmo enquanto a carga na bateria está em níveis mínimos, é ilustrada na Figura 2. Em uma modalidade, o controlador 135 pode incluir uma lógica de indicador de energia 210 e um driver de tela 215. Contudo, o controlador 135 pode incluir também outras unidades, porém todas as tais outras unidades não são

ilustradas aqui para brevidade. Em uma modalidade, a lógica de indicador de energia 210 pode monitorar o status da bateria e pode fazer com que indicações sejam providas ao usuário. Se a carga na bateria reduzir abaixo de um nível específico (isto é, nível de status crítico de bateria), a unidade de controle de energia 150 pode desligar um número substancial de unidades providas dentro do SoC 100. Em uma modalidade, a unidade de controle de energia 150 pode usar técnicas tais como regulação (throttling) de voltagem e frequência, escalonamento dinâmico de voltagem e frequência (DVFS), regulação de instruções, controle seletivo e independente de energia para múltiplos núcleos, mudança nos estado de espera de sistema e nos estados de espera de núcleo e tais outras técnicas para controlar a energia para diversas porções do SoC 100.

[0027] Em uma modalidade, porções substanciais do SoC 100 podem estar desligadas ou em hibernação ou qualquer outro tal estado de economia profunda de energia em resposta à carga na bateria atingindo ou ficando abaixo do estado de carga ou energia crítica. Contudo, o controlador 135 pode ainda ser ligado (ou pode não ser desligado) mesmo se o nível de carga ou de energia na bateria atingir ou for reduzido abaixo do estado de carga ou energia crítica. Em uma modalidade, a lógica de indicador de energia 210 pode enviar uma solicitação para a PCU 150 para ligar a unidade SRAM 130 e a unidade de tela 160 e as interfaces 134 e 136. Em uma modalidade, a lógica de indicador de energia 210 pode receber uma resposta a partir da PCU 150 após ligação da

unidade SRAM 130 e da unidade de tela 160. Em uma modalidade, a lógica de indicador de energia 210 pode transferir os dados de status de bateria a partir da memória 216 para os blocos de memória 225-A a 225-N providos na unidade SRAM 130. Em uma modalidade alternativa, a lógica de indicador de energia 210 pode enviar um primeiro sinal para o driver de tela 215 para realizar a transferência dos dados de status de bateria. Em ainda outra modalidade alternativa, a lógica de indicador de energia 210 pode enviar um segundo sinal para o controlador SRAM 230 para fazer com que os dados de status de bateria na memória 216 sejam transferidos para os blocos de memória 225.

[0028] Em uma modalidade, em resposta ao recebimento de uma indicação a partir da lógica de indicador de energia 210, o acionador de exibição 215 pode fazer com que os dados de status de bateria sejam transferidos a partir da memória 216 para os blocos de memória 225-A a 225-N ou um subconjunto dos blocos de memória 225. Em uma modalidade, o status de bateria pode representar dados visuais tal como símbolo de bateria, por exemplo, o qual quando apresentado pode prover um meio fácil para que o usuário entenda o status da bateria. Em uma modalidade, o driver de tela 215 pode então configurar os registradores de configuração no controlador de tela 165 da unidade de tela 160. Em uma modalidade, o driver de tela 215 pode configurar os registradores de configuração 251 e 261. Em uma modalidade, o driver de tela 135 pode configurar o primeiro registrador de configuração 251 com (0, dram_id, strt_addr, end_addr)

nos campos PIB 252, DRAMID 253, STRT ADDR 254 e END ADDR 255, respectivamente. Além disso, o driver de tela 135 pode configurar o segundo registrador de configuração 261 com (1, sram_id, strt_addr, end_addr) nos campos PIB 262, SRAM ID 263, STRT ADDR 264 e END ADDR 265, respectivamente. Em uma modalidade, se o PIB 262 for configurado com um primeiro valor (1, por exemplo) então os dados de status crítico de bateria podem ser lidos com base nos valores armazenados nos campos SRAM ID 263, STRT ADDR 264 e END ADDR 265. Em uma modalidade, os valores de configuração armazenados nos campos 263, 264 e 265 podem ser válidos apenas se o PIB 262 for configurado com um primeiro valor (1, por exemplo) e os valores nos campos 263 a 265 podem ser inválidos se o PIB 262 for configurado com um segundo valor (0, por exemplo). Em uma modalidade, o SRAM ID 23 pode ser configurado com um identificador da memória estática, isto é, identificador da unidade SRAM 130, STRT ADDR 264 pode ser configurado com um endereço inicial ou identificador dos blocos de memória (por exemplo, 225-A) a partir do qual os dados de status crítico de bateria podem ser recuperados, e END ADDR 264 pode ser configurado com um endereço final ou identificador dos blocos de memória (por exemplo, 225-Q) até o qual os dados de status crítico de bateria são armazenados. Em outra modalidade, o driver de tela 215 pode prover os valores de configuração para a unidade de controle 250, a qual por sua vez pode configurar o primeiro e o segundo registradores de configuração 251 e 261. Ainda em outra modalidade, a unidade de controle de energia

150 pode configurar os registradores de configuração 251 e 261 além de ligar a unidade SRAM 130 e a unidade de tela 160.

[0029] Em uma modalidade, a unidade SRAM 130 pode incluir um ou mais blocos de memória 225-A a 225-N e um controlador SRAM 230. Em uma modalidade, o controlador SRAM 230 pode receber o segundo sinal a partir da lógica de indicação de energia 210 e em resposta o controlador SRAM 230 pode transferir os dados de status de bateria para os blocos de memória 225-A a 225-N ou suas porções. Em uma modalidade, o controlador SRAM 230 pode enviar um terceiro sinal para a unidade de controle 250 para indicar que os dados de status de bateria estão prontos para recuperação.

[0030] Em uma modalidade, a unidade de tela 160 pode incluir um controlador de tela 165 e um buffer de quadro 270. Em uma modalidade, o controlador de tela 165 pode incluir uma unidade de controle 250 e um primeiro e segundo registradores de configuração 251. Em uma modalidade, a unidade de controle 250 pode transferir os dados de status de bateria a partir dos blocos de memória 225 e armazenar os dados de status de bateria no buffer de quadro 270 em resposta ao recebimento de uma solicitação a partir do controlador SRAM 230 ou do driver de tela 215. Em uma modalidade, a unidade de controle 250 pode receber um ou mais valores de configuração a partir do driver de tela 215 e em resposta, a unidade de controle 250 pode configurar os registradores de configuração 251 e 261. Em uma modalidade, a unidade de controle 250 pode apresentar os

dados de status de bateria, armazenados no buffer de quadro 270, em um dispositivo de exibição.

[0031] Uma modalidade de um diagrama de linhas 300 ilustrando os sinais trocados entre o controlador 135, a PCU 150, a unidade SRAM 130 e a unidade de tela 170 é ilustrada na Figura 3. Em uma modalidade, o controlador 135 pode detectar que a carga na bateria atingiu ou diminuiu abaixo de um nível ou status crítico de carga de bateria e tal detecção é representada como um evento 330. Em uma modalidade, a unidade de controle de energia 150 pode ter desligado (ou qualquer outro tal estado de economia de energia baixo) o SoC 100 em resposta à detecção do nível ou status crítico de carga de bateria. Em uma modalidade, o controlador 135 pode enviar uma solicitação 335 para a unidade de controle de energia 150. Em uma modalidade, a solicitação 335 pode indicar uma solicitação para ligar apenas uma primeira porção do SoC 100 enquanto que a segunda porção (a qual é substancial) do SoC 150 pode continuar no estado desligado.

[0032] Em uma modalidade, a PCU 150 pode ligar a unidade SRAM 130 mediante envio de um primeiro sinal de ligar 357. Similarmente, a PCU 150 pode ligar a unidade de tela 160 mediante envio de um segundo sinal de ligar 356. Em uma modalidade, a unidade SRAM 130 e a unidade de tela 160 podem, respectivamente, enviar um sinal de confirmação 375 e 365 em resposta ao recebimento dos sinais de ligar 357 e 356. Em uma modalidade, a PCU 150 pode enviar um sinal de prontidão 355 ao controlador 135. Adicionalmente, em uma modalidade, a PCU 150 pode

enviar um sinal de configuração 336-B (linha pontilhada) para a unidade de tela 160 para configurar os registradores de configuração 251 e 261 providos no controlador de tela 165.

[0033] Em uma modalidade, o controlador 135 (ou mais especificamente a lógica de indicação de energia 210) pode armazenar os dados de status crítico de bateria nos blocos de memória 225-A a 225-N e a transferência de tais dados de status crítico de bateria a partir da memória 216 no controlador 135 para os blocos de memória 225 é indicada pelo sinal de transferência de dados 337. Em outras modalidades, a lógica de indicação de energia 210 pode enviar um sinal de transferência de dados para o controlador SRAM 230 e o controlador SRAM 230 pode recuperar os dados de status crítico de bateria a partir da memória 216 e armazenar tais dados no bloco de memória 225. Em outras modalidades, o controlador 135 pode configurar os registradores de configuração 251 e 261 se a PCU 150 delegar essa tarefa ao controlador 135 e tal atividade de configuração é ilustrada pelo sinal de configuração 336-A.

[0034] Em uma modalidade, o controlador de tela 165 pode enviar um sinal de leitura de dados 367 para o controlador SRAM 230 e o controlador SRAM 230, em resposta, pode gravar os dados críticos de bateria para o buffer de quadro 270. Tal atividade de transferência de dados é representada por um sinal de gravação de dados 376. Em outras modalidades, a unidade de controle 250 no controlador de tela 165 pode recuperar os dados críticos de bateria e armazenar tais dados no buffer de

quadro 270. Em uma modalidade, a unidade de controle 230 pode então exibir ou apresentar tais dados críticos de bateria na tela 280 e tal atividade é representada pelo sinal de apresentação (*render signal*) 368.

[0035] Uma modalidade de uma operação da primeira porção (ilustrada na Figura 2) do SoC 100 para indicar o status crítico de bateria em uma tela é ilustrada em um fluxograma da Figura 4. No bloco 410, o controlador 135 pode verificar se uma carga na bateria 190 atingiu um nível crítico de carga de bateria. Em uma modalidade, a PCU 150 pode gerar o indicador de status e o controlador 135 pode usar tal indicador de status para realizar outras tarefas descritas abaixo. O controle passa para o bloco 420 se a carga na bateria 190 tiver atingido o nível crítico de carga de bateria, caso contrário o controle passa para o bloco 490.

[0036] No bloco 420, o controlador 135 pode identificar a primeira porção (unidade SRAM 130 e a unidade de tela 160 e as interfaces 134 e 136, por exemplo) do SoC 100 a ser ligado. No bloco 430, o controlador 135 pode enviar os identificadores dos blocos, na primeira porção do SoC 100, para a PCU 150 junto com uma solicitação para ligar tais blocos na primeira porção do SoC 100.

[0037] No bloco 435, o controlador 135 pode verificar se os blocos na primeira porção do SoC 100 estão ligados e o controle passa para o bloco 440 se os blocos na primeira porção estiverem ligados. No bloco 440, o controlador 135 pode armazenar os dados críticos de bateria em uma memória estática tal como os blocos de

memória 225 da unidade SRAM 130. No bloco 450, o controlador 135 pode configurar os registradores de configuração tal como os registradores 251 e 261 com os valores de configuração conforme descritos acima.

[0038] No bloco 460, o controlador de tela 165 pode recuperar os dados críticos de bateria a partir da unidade SRAM 130 e armazenar tais dados no buffer de quadro 270. No bloco 470, o controlador de tela 165 pode apresentar os dados críticos de bateria em uma tela com base nos dados críticos de bateria recuperados a partir da memória estática. Em uma modalidade, o símbolo visual pode indicar o status de carregamento e bateria. Em uma modalidade, o símbolo visual pode ser um símbolo de bateria 550 conforme exibido na tela de um dispositivo móvel 500 ilustrado na Figura 5.

[0039] No bloco 475, o controlador 135 pode verificar se a carga na bateria excedeu um nível de carga crítico de bateria e o controle passa para o bloco 480 se a carga na bateria exceder o nível crítico de carga de bateria e caso contrário para o bloco 460. No bloco 480, a unidade de controle de energia 150 pode determinar se uma sequência de boot normal pode ser retomada e o controle passa para o bloco 490 se a sequência de boot normal deva ser retomada e caso contrário para o bloco 460.

[0040] A Figura 6 ilustra um sistema ou plataforma 600 para implementar os métodos aqui descritos de acordo com uma modalidade da invenção. O sistema 600 inclui, mas não é limitado a um computador desktop, um computador tablet, um computador laptop, um netbook, um computador

notebook, um assistente pessoal digital (PDA), um servidor, uma estação de trabalho, um telefone celular, um dispositivo de computação móvel, um telefone inteligente, um aparelho de Internet ou qualquer outro tipo de dispositivo de computação. Em outra modalidade, o sistema 600 usado para implementar os métodos aqui descritos pode ser um sistema em um sistema de chip (SoC).

[0041] O processador 610 tem um núcleo de processamento 512 para executar instruções do sistema 600. O núcleo de processamento 612 inclui, mas não é limitado à lógica de busca para buscar instruções, lógica de decodificação para decodificar as instruções, lógica de execução para executar as instruções e semelhante. O processador 610 tem uma memória cache 516 para armazenar em cache as instruções e/ou os dados do sistema 600. Em outra modalidade da invenção, a memória cache 616 inclui, mas não é limitada a, memória cache de nível 1, de nível 2 e de nível 3 ou qualquer outra configuração da memória cache dentro do processador 610. Em uma modalidade da invenção, o processador 610 tem uma unidade de controle de energia central PCU 613.

[0042] O hub de controle de memória (MCH) 614 realiza funções que possibilitam ao processador 610 acessar e se comunicar com uma memória 630 que inclui uma memória volátil 632 e/ou uma memória não volátil 634. A memória volátil 632 inclui, mas não é limitada à memória dinâmica síncrona de acesso aleatório (SDRAM), memória dinâmica de acesso aleatório (DRAM), memória dinâmica de acesso aleatório RAMBUS (RDRAM), e/ou qualquer outro

tipo de dispositivo de memória de acesso aleatório. A memória não volátil 634 inclui, mas não é limitada à memória flash NAND, memória de mudança de fase (PCM), memória de leitura (ROM), memória de leitura programável eletricamente apagável (EEPROM), ou qualquer outro tipo de dispositivo de memória não volátil.

[0043] A memória 630 armazena informações e instruções a serem executadas pelo processador 610. A memória 630 também pode armazenar variáveis temporárias ou outra informação intermediária enquanto o processador 610 estiver executando as instruções. O chipset 620 se conecta com o processador 510 por intermédio de interfaces de ponto a ponto (PtP) 617 e 622. O chipset 620 possibilita ao processador 610 se conectar com outros módulos no sistema 600. Em outra modalidade da invenção, o chipset 620 é um hub de controlador de plataforma (PCH). Em uma modalidade da invenção, as interfaces 617 e 622 operam de acordo com um protocolo de comunicação PtP tal como o Intel® QuickPath Interconnect (QPI) ou semelhante. O chipset 620 se conecta com uma GPU ou com um dispositivo de tela 640 que inclui, mas não é limitado à tela de cristal líquido (LCD), tela de tubo de raios catódicos (CRT), ou qualquer outra forma de dispositivo de exibição visual. Em outra modalidade da invenção, a GPU 640 não é conectada ao chipset 620 e é parte do processador 610 (não mostrado).

[0044] Além disso, o chipset 620 se conecta a um ou mais barramentos 650 e 660 que interconectam os vários módulos 674, 680, 682, 684 e 686. Os barramentos 650 e

660 podem ser interconectados em conjunto por intermédio de uma ponte de barramento 672 se houver um desacordo em velocidade de barramento ou protocolo de comunicação. O chipset 620 se acopla a, mas não é limitado a uma memória não volátil 680, dispositivo(s) de armazenamento em massa 682, um teclado/mouse 684 e uma interface de rede 686. O dispositivo de armazenamento em massa 682 inclui, mas não é limitado a, uma unidade de estado sólido, uma unidade de disco rígido, uma unidade de memória flash de barramento serial universal, ou qualquer outra forma de mídia de armazenamento de dados de computador. A interface de rede 686 é implementada utilizando qualquer tipo de padrão de interface de rede bem conhecida incluindo, mas não limitado a uma interface Ethernet, uma interface de barramento serial universal (USB), uma interface expressa de interligação de componentes periféricos (PCI), uma interface sem fio e/ou qualquer outro tipo adequado de interface. A interface sem fio opera de acordo com, mas não é limitada ao padrão IEEE 802.11 e sua família relacionada, Home Plug AV (HPAV), banda ultra larga (UWB), Bluetooth, WiMax, ou qualquer forma de protocolo de comunicação sem fio.

[0045] Embora os módulos mostrados na Figura 6 sejam ilustrados como blocos separados dentro do sistema 600, as funções executadas por alguns desses blocos podem ser integradas dentro de um único circuito semicondutor ou podem ser implementadas utilizando dois ou mais circuitos integrados separados. O sistema 600 pode

incluir mais do que um processador/núcleo de processamento em outra modalidade da invenção.

[0046] Os métodos aqui descritos podem ser implementados em hardware, software, firmware ou qualquer outra combinação dos mesmos. Embora exemplos das modalidades do objeto sejam descritos, aqueles de conhecimento comum na técnica pertinente considerarão prontamente que muitos outros métodos de implementar o objeto podem ser alternativamente usados. Na descrição precedente, vários aspectos do objeto foram descritos. Com o propósito de explanação, números específicos, sistemas e configurações foram apresentados para prover um entendimento completo do objeto. Contudo, é evidente para aqueles versados na técnica relevante com o benefício dessa invenção que o objeto pode ser praticado sem os detalhes específicos. Em outras instâncias, características, componentes, ou módulos bem conhecidos foram omitidos, simplificados, combinados ou divididos para não obscurecer a matéria em estudo reivindicada.

[0047] O termo "é operável" aqui usado significa que o dispositivo, sistema, protocolo, etc., sejam capazes de operar ou é adaptado para operar para sua funcionalidade desejada quando o dispositivo ou sistema estiver no estado desligado. Várias modalidades do objeto reivindicado podem ser implementados em hardware, firmware, software ou uma combinação dos mesmos, e pode ser descrita mediante referência ou em conjunto com código de programa, tal como instruções, funções, procedimentos, estruturas de dados, lógica, programas de aplicativo, representações de modelo ou formatos para

simulação, emulação e fabricação de um projeto, que quando acessados por uma máquina resultam na máquina realizando tarefas, definindo tipos abstratos de dados ou contextos de hardware de baixo nível, ou produzindo um resultado.

[0048] As técnicas mostradas nas figuras podem ser implementadas utilizando códigos e dados armazenados, e executados, em um ou mais dispositivos de computação tal como computadores de uso geral ou dispositivos de computação. Tais dispositivos de computação armazenam e comunicam (internamente e com outros dispositivos de computação através de uma rede) código e dados utilizando mídia legível por máquina, tal como a mídia de armazenamento legível por máquina (por exemplo, discos magnéticos; discos óticos, memória de acesso aleatório, memória de leitura, dispositivos de memória flash; memória de mudança de fase) e mídia de comunicação legível por máquina (por exemplo, elétricos, óticos, acústicos ou outra forma de sinais propagados - tal como ondas portadoras, sinais de infravermelho, sinais digitais, etc.).

[0049] Embora o objeto reivindicado tenha sido descrito com referência às modalidades ilustrativas, essa descrição não deve ser considerada em um sentido limitador. Diversas modificações das modalidades ilustrativas, assim como outras modalidades do objeto, que são evidentes para aqueles versados na técnica à qual a matéria em estudo reivindicada pertence, são consideradas como dentro do escopo do objeto reivindicado.

[0050] Algumas características da invenção foram descritas com referência às modalidades exemplares. Contudo, a descrição não deve ser considerada em um sentido limitador. Diversas modificações das modalidades exemplares, assim como outras modalidades da invenção, que são evidentes para aqueles versados na técnica à qual a invenção pertence, são consideradas como abrangidas pelo espírito e escopo da invenção.

REIVINDICAÇÕES

1. Circuito integrado compreendendo:

uma unidade de controle de energia para gerar um indicador de status se a carga em uma bateria for reduzida para um nível crítico de carga de bateria,

um controlador **caracterizado** por incluir:

uma lógica de indicação de energia para detectar a ocorrência do indicador de status e gerar a solicitação para ligar a primeira parte do circuito integrado, em que a solicitação inclui um identificador dos blocos na primeira parte, enviar uma solicitação para ligar a primeira parte em resposta à detecção do indicador de status, fazer com que os dados de status crítico de bateria armazenados em uma memória sejam transferidos para a memória estática, e

um driver de tela para gravar os valores de configuração em um ou mais registradores de configuração em resposta ao recebimento de um sinal a partir da lógica de indicador de energia,

um controlador de tela para:

determinar se os dados de status crítico de bateria devem ser recuperados a partir da memória estática com base nos valores de configuração,

recuperar os dados de status crítico da bateria a partir da memória estática, e

apresentar os dados de status crítico de bateria em uma forma visual em uma tela,

em que a primeira parte inclui a memória estática e o controlador de tela.

2. Circuito integrado, de acordo com a reivindicação 1, **caracterizado** pelo fato de que a memória estática compreende adicionalmente uma unidade de controle e um ou mais blocos de memória, em que os dados de status crítico de bateria são armazenados no um ou mais blocos de memória.

3. Circuito integrado, de acordo com a reivindicação 1, **caracterizado** pelo fato de que o um ou mais registradores de configuração incluem um primeiro registrador, em que o primeiro registrador inclui um bit de indicação de energia (PIB), campo de identificador de memória estática de acesso aleatório (SRAM ID), campo de endereço inicial (STRT ADDR), e um campo de endereço final (END ADDR), em que o PIB é configurado com um primeiro valor, o campo SRAM ID é configurado com um identificador da memória estática, STRT ADDR é configurado com um endereço inicial dos blocos de memória a partir dos quais os dados de status crítico de bateria devem ser recuperados e o campo END ADDR é configurado com um último endereço dos blocos de memória armazenando os dados de status crítico de bateria.

4. Circuito integrado, de acordo com a reivindicação 3, **caracterizado** pelo fato de que o armazenamento do primeiro valor no PIB é para indicar que os valores de configuração armazenados no campo SRAM ID, campo STRT ADDR e campo END ADDR são válidos.

5. Circuito integrado, de acordo com a reivindicação 3, **caracterizado** pelo fato de que o

armazenamento de um segundo valor no PIB é para indicar que um ou mais valores armazenados no campo SRAM ID, campo STRT ADDR e campo END ADDR são inválidos.

6. Circuito integrado, de acordo com a reivindicação 5, **caracterizado** pelo fato de que o controlador de tela deve armazenar os dados de status crítico de bateria em um buffer de quadro após recuperar os dados de status crítico de bateria a partir dos blocos de memória da memória estática antes de exibir a forma visual na tela.

7. Circuito integrado, de acordo com a reivindicação 6, **caracterizado** pelo fato de que o controlador de tela comprehende adicionalmente uma unidade de controle, em que a unidade de controle apresenta os dados de status crítico de bateria, em uma forma visual, em um tela.

8. Método em um circuito integrado, compreendendo:

gerar um indicador de status em resposta à detecção de que é atingido um nível de carga crítico de bateria,

enviar identificadores de um ou mais blocos a serem ligados em resposta à ocorrência do indicador de status,

caracterizado por ligar os um ou mais blocos com base nos identificadores dos um ou mais blocos, em que os um ou mais blocos incluem um bloco de memória estática e uma unidade de tela,

armazenar dados de status crítico de bateria no bloco de memória estática, em que o bloco de

memória estática é um dentre um ou mais blocos que são ligados,

configurar o primeiro registrador para fazer com que os dados de status crítico de bateria sejam recuperados a partir do bloco de memória estática, em que configurar o primeiro registrador inclui adicionalmente, configurar um bit de indicação de energia do primeiro registrador com um primeiro valor para indicar que os valores de configuração em outros campos do primeiro registrador são válidos, configurar um campo de identificador de memória estática com um identificador da memória estática no qual os dados de status crítico de bateria são armazenados, em que os outros campos incluem o campo de memória estática, configurar um campo de endereço inicial e um campo de endereço final, respectivamente, com um endereço inicial e um último endereço dos blocos de memória no qual o status crítico de bateria é armazenado,

configurar um bit de indicação de energia de um segundo registrador com um segundo valor para indicar que os valores de configuração em outros campos do segundo registrador são inválidos, em que os outros campos incluem um campo para armazenar um identificador de uma memória dinâmica,

recuperar os dados de status crítico de bateria com base no endereço inicial e no último endereço e armazenar os dados de status crítico de bateria em um buffer de quadro,

exibir um status de bateria em uma forma visual para indicar que uma bateria está sendo carregada

enquanto porção substancial incluindo o processador host está desligado.

9. Método, de acordo com a reivindicação 8, **caracterizado** pelo fato de que compreende exibir um símbolo de bateria na tela para indicar a um usuário que a bateria está carregando.

10. Método, de acordo com a reivindicação 8, **caracterizado** pelo fato de que compreende verificar um nível de carga na bateria em intervalos regulares e ligar a porção substancial em resposta ao recebimento de uma entrada a partir do usuário.

11. Método, de acordo com a reivindicação 10, **caracterizado** pelo fato de que compreende ligar pelo menos um processador host, um bloco de memória dinâmica e um agente de sistema em resposta ao recebimento da entrada a partir do usuário.

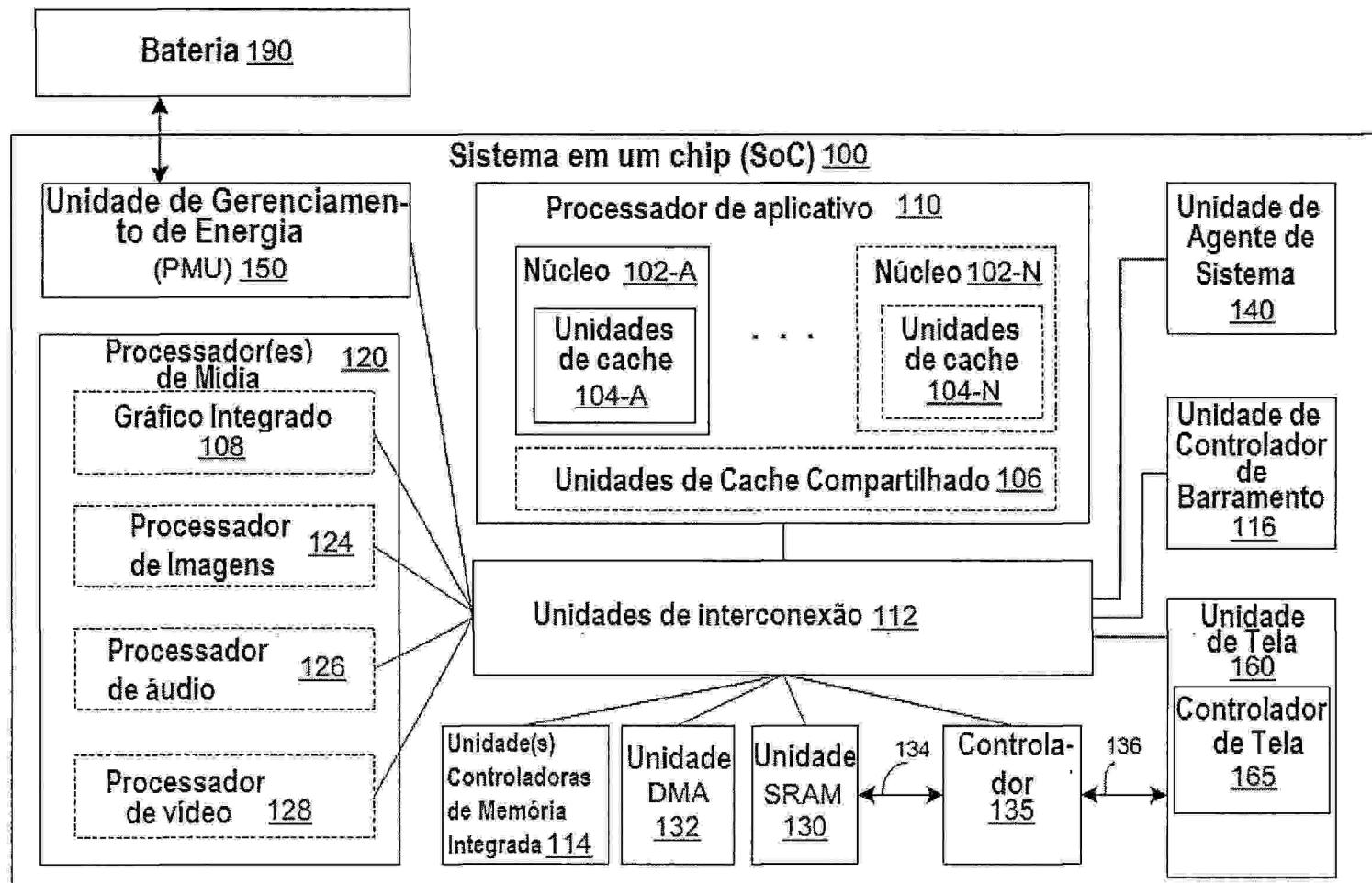
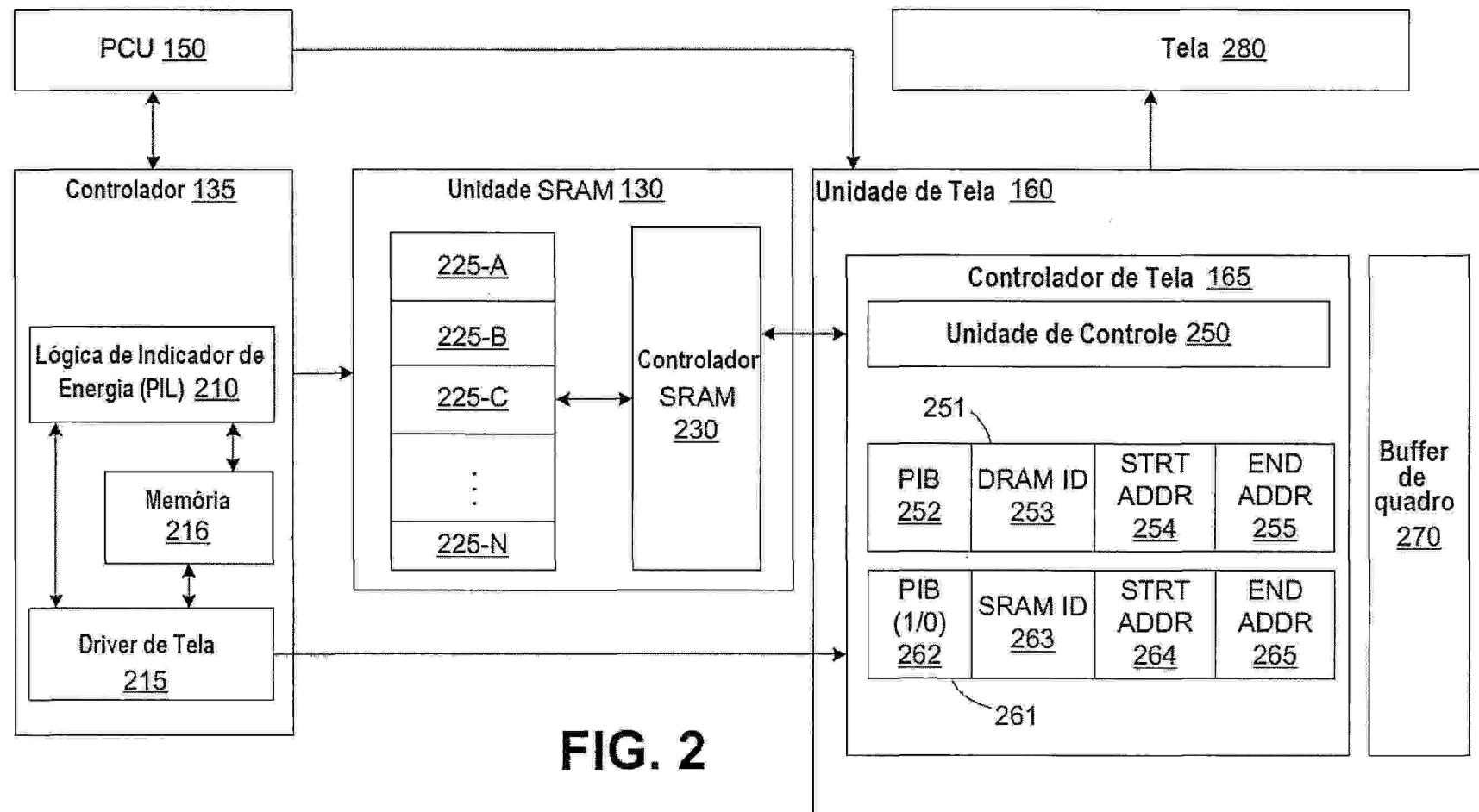


FIG. 1



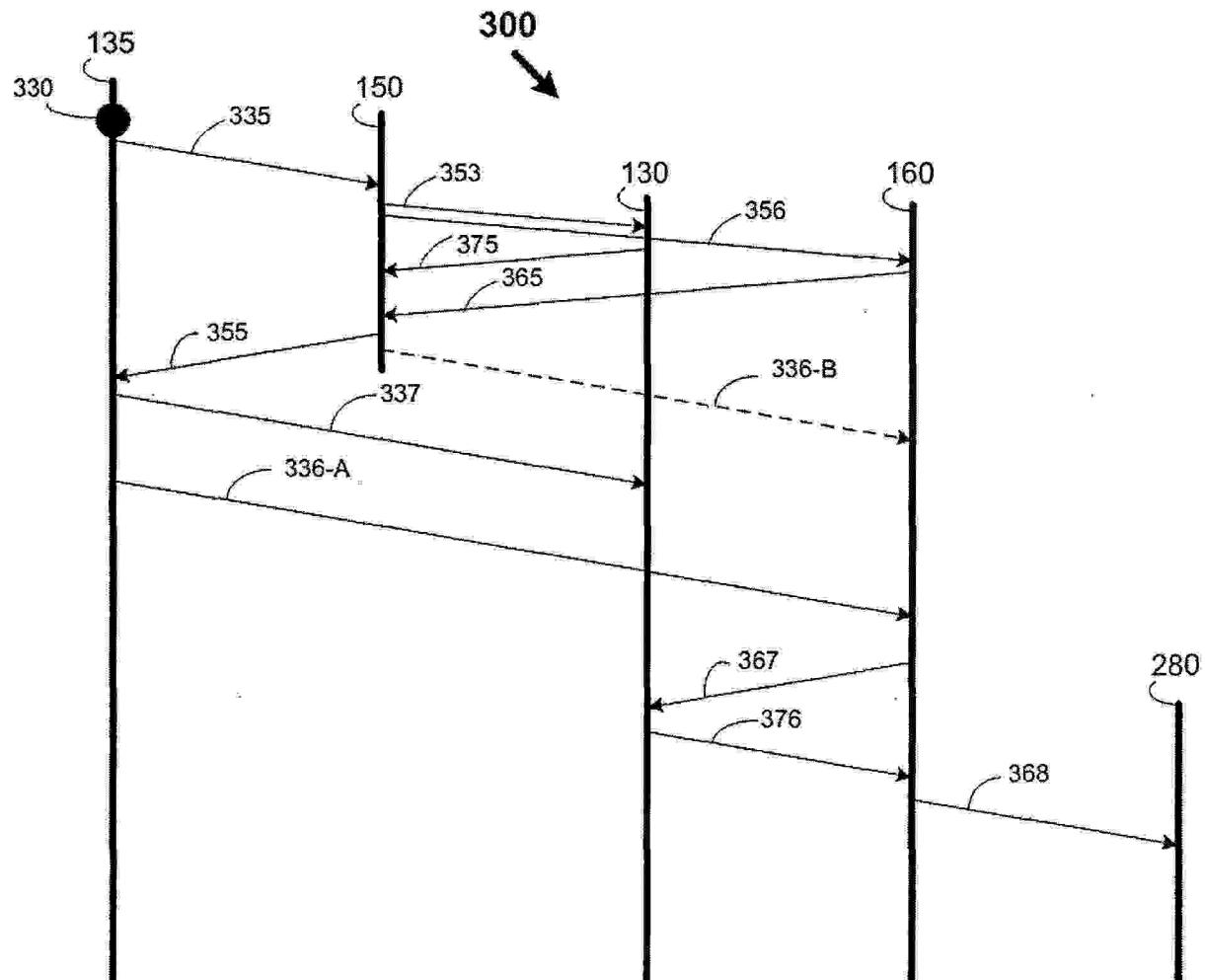
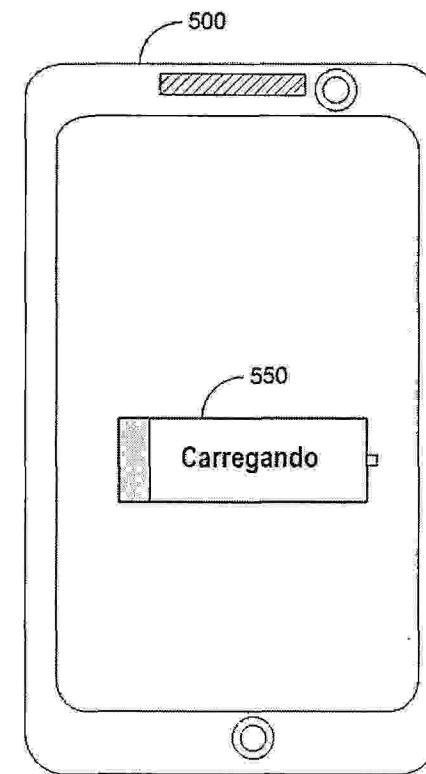
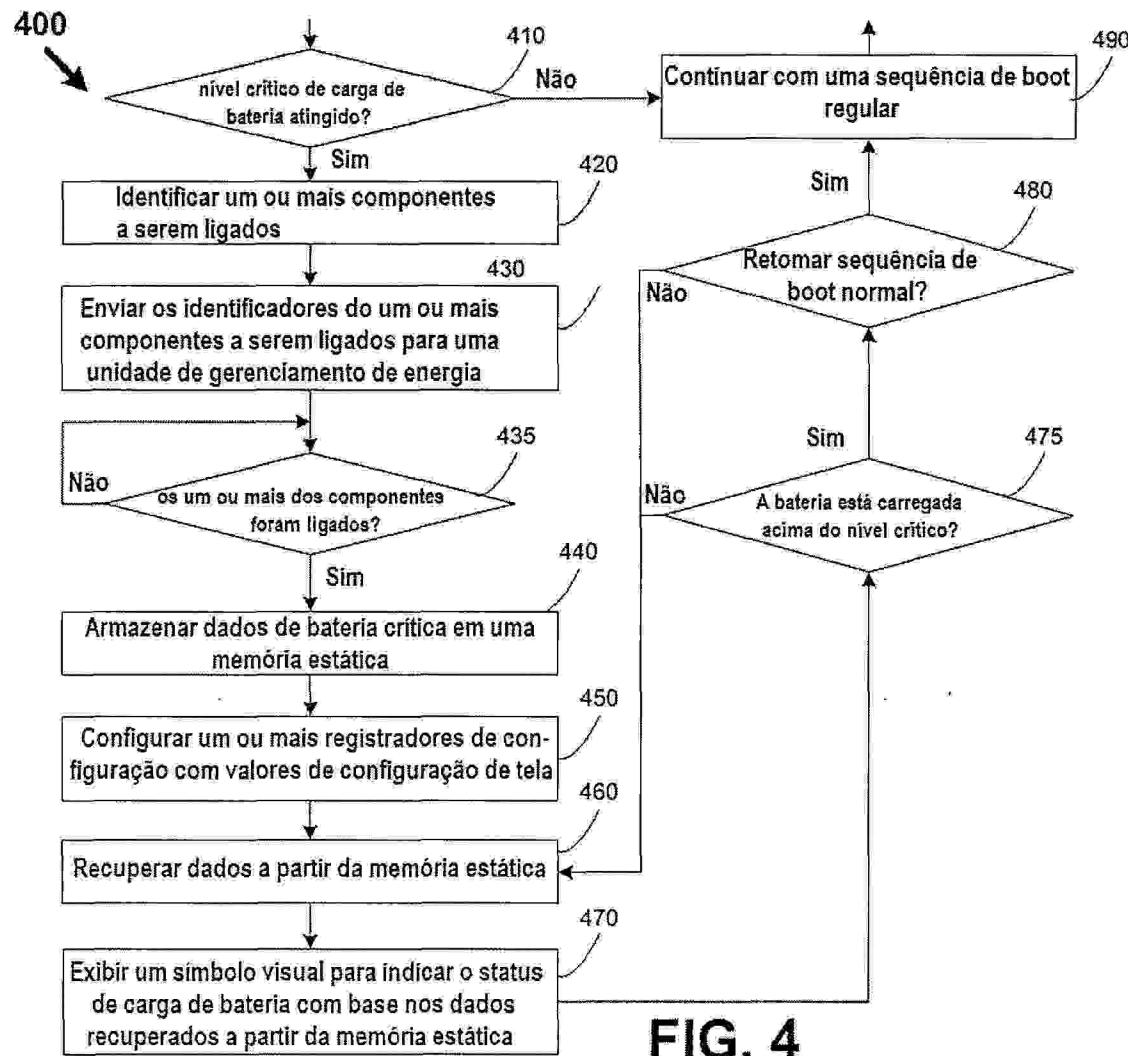


FIG. 3



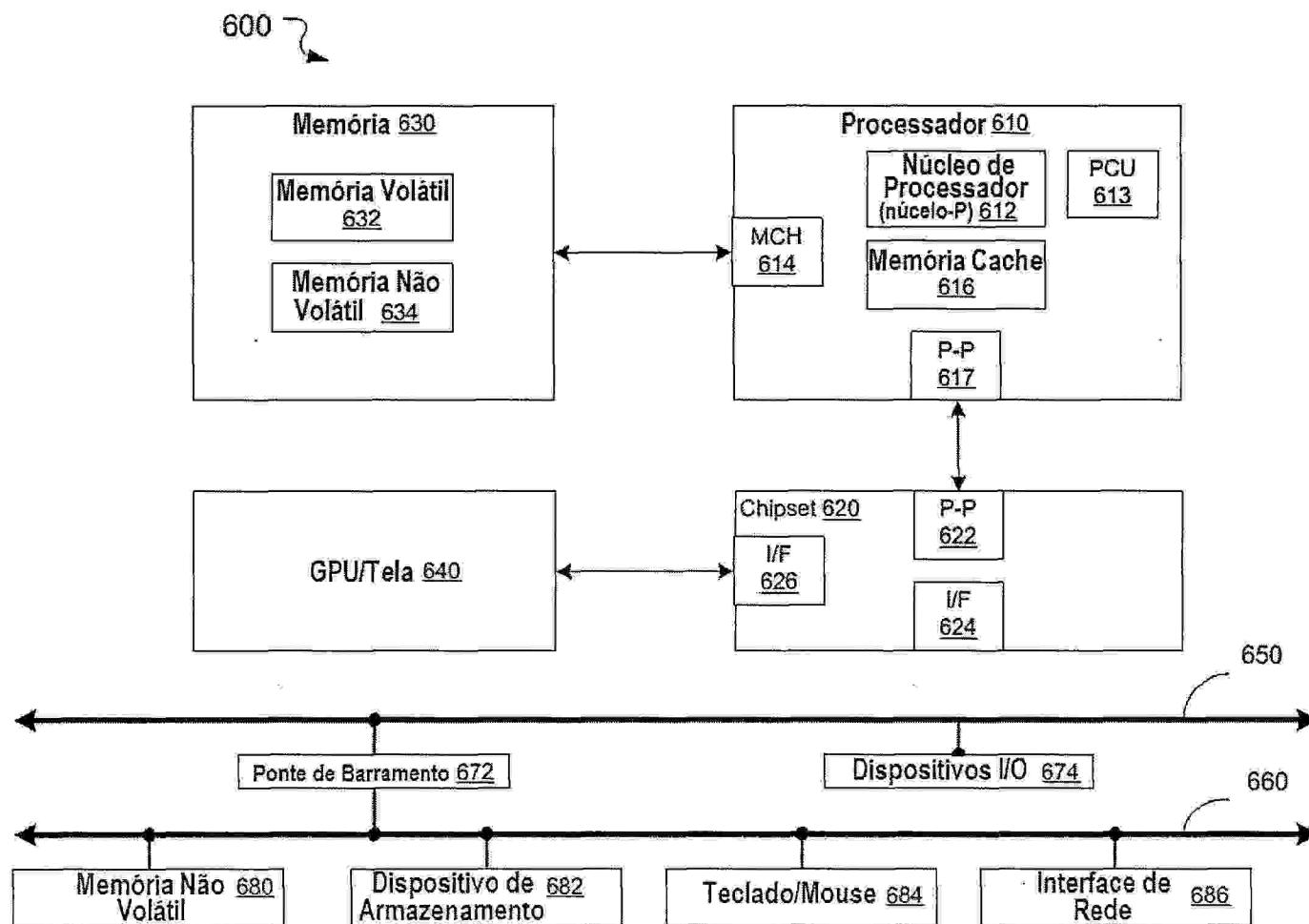


FIG. 6