(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03F 3/00

(45) 공고일자 1999년06월01일
(11) 등록번호 10-0187777
(24) 등록일자 1999년01월07일

(21) 출원번호 10-1994-0022048
(22) 출원일자 1994년09월02일
(65) 공개번호 특1995-0010336
(43) 공개일자 1995년04월28일
(30) 우선권주장 93-242139 1993년09월03일 일본(JP)
(73) 특허권자 캐논 가부시기가이샤 미따라이 하지메
일본 도꾜도 오오따꾸 시모마루꼬 3쪼메 30방 2고
(72) 발명자 시노하라 마히토
일본국 도쿄또 오오다구시 모마루고 3죠메 30반 2고 캐논 가부시기가이샤나이
(74) 대리인 신중훈, 임옥순

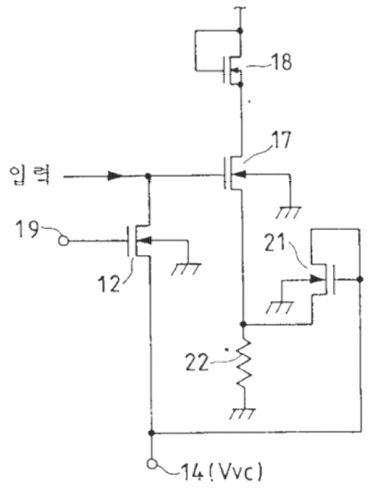
심사관 : 김재문

(54) 증폭 장치

요약

본 발명은 트랜지스터의 한계전압이 변동해도 증폭장치의 선형입력범위의 하한치가 변화되는 것을 방지하는 것을 목적으로 하며, 이 목적을 달성하기 위하여, 증폭장치의 입력을 수신하는 전계효과트랜지스터(17)의 소스전극에 인가되는 전원전압은, 전계효과트랜지스터로 구성된 소스폴로워(21, 22)의 출력에 의해 공급되거나, 또는 증폭장치의 입력을 수신하는 바이폴러트랜지스터의 이미터전극에 인가되는 전원전압은, 바이폴러트랜지스터로 구성된 이미터폴로워의 출력에 의해 공급되는 구성으로 하였다.

대표도



명세서

[발명의 명칭]

증폭장치

[도면의 간단한 설명]

제1도는 본 발명에 의한 증폭장치의 제1실시예를 도시한 회로도.

제2도는 본 발명에 의한 증폭장치의 제2실시예를 도시한 회로도.

제3도는 종래의 증폭장치를 사용한 센서의 회로도.

제4도는 증폭장치의 입출력특성을 도시한 그래프.

* 도면의 주요부분에 대한 부호의 설명

12, 17, 18, 21 : MOS트랜지스터　　14 : 전원단자

19 : 펄스입력단자　　22 : 저항

[발명의 상세한 설명]

본 발명은 증폭장치에 관한 것으로서, 특히 트랜지스터로 구성된 증폭장치에 관한 것이다. 본 발명은 예를 들면 센서신호 등을 증폭하는 정치증폭장치에 적합하게 이용되는 것이다.

제3도는 종래의 전치증폭장치가 사용되고 있는 2차원 센서의 등가회로도를 표시하고 있다. 제3도에서, 상기 2차원 센서는, 바이폴러트랜지스터(1)의 베이스에 광에너지를 입사할 때에 생성된 캐리어가 축적되는 센서를 구성하는 바이폴러트랜지스터(1), 상기 바이폴러트랜지스터(1)의 베이스전위를 제어하기 위한 용량(2) 및 상기 바이폴러트랜지스터(1)의 베이스전위를 리세트하기 위한 P-MOS트랜지스터(3)로 각각 구성된 광전변환셀을 구비하고 있다. 상기 2차원센서는 또한 각 셀을 구동하기 위한 구동선(4), 상기 바이폴러트랜지스터(1)의 이미터에 접속된 수직출력선(5), 수직시프트레지스터에 의해 각각 선택되어서, 구동될 구동선(4)에 펄스를 공급하는 버퍼용 MOS트랜지스터(6), 구동펄스를 인가하기 위한 펄스입력단자(7), 셀로부터의 출력신호전압을 축적하기 위한 용량(8), 상기 수직출력선(5)과 용량(5)과의 사이를 절환하기 위한 MOS트랜지스터(9), 수평출력선(10), 수평시프트레지스터로부터의 출력에 의해 각각 선택되어서, 대응하는 용량(8)으로부터의 신호전압을 수평출력선(10)에 전송하기 위한 MOS트랜지스터(11), 수평출력선(10)을 리세트하기 위한 MOS트랜지스터(12), 상기 센서셀과 수직출력선(5)및 용량(8)을 리세트하기 위한 MOS트랜지스터(13), 센서계의 기준전압으로서 리세트전압을 인가하는 전원단자(14), 상기 MOS트랜지스터(9)의 게이트에 펄스를 인가하기 위한 단자(15), 상기 MOS트랜지스터(13)의 게이트에 펄스를 인가하기 위한 단자(16), 증폭장치용 MOS트랜지스터(17)의 게이트가 수평출력선(10)과 접속되는 증폭장치용 MOS트랜지스터(17), 부하 MOS트랜지스터(18)의 웰(Well)과 소스가 상기 증폭장치용 MOS트랜지스터(17)의 드레인에 접속되고, 부하 MOS트랜지스터(18)의 게이트와 드레인이 전원전압에 접속되는 부하MOS트랜지스터(18), 상기 MOS트랜지스터(12)의 게이트에 펄스를 인가하기 위한 펄스입력단자(19)및 상기 증폭장치용 MOS트랜지스터(17)와 부하 MOS트랜지스터(18)에 의해서 형성된 전치증폭장치의 출력단자(20)를 구비하고 있다.

제3도에서는, 간단하게 하기 위해서 셀수가 2 × 2개인 센서를 예시하였으나, 이 종래의 2차센서의 동작은 일본국 특개소63-186466호 공보에 기재되어 있다.

다음에, MOS트랜지스터(17), (18)에 의해서 형성된 정치증폭장치의 특성에 대해서 제4도를 참조하여 설명한다.

입력전압의 변화분 △Vin에 대한 출력전압의 변화분 △Vout의 비△Vout / △Vin, 즉 이득은, MOS트랜지스터(17), (18)의 상호콘던턴스를 각각 gm1, gm2라 하면,

$$-\sqrt{gm^1/gm^2} \quad \cdots[1]$$

로 표현된다. MOS트랜지스터(17), (18)양자는 포화동작영역에서 일정한 상호콘덕턴스 gm1, gm2를 지니며, 증폭장치의 입력에 대해서 출력은 선형으로 된다. 이 선형입력범위를 V_1과 V_2 사이의 범위라고 가정하면, 이들 전압 V_1, V_2는 각각 이론상 $V_1=V_{th}$, $V_2=V_{DD}/(1+g)+ g/(1+g)\cdot V_{th}$로 된다(여기에서, V_{th}는 MOS트랜지스터(17), (18)의 한계치이고, V_{DD}는 전원전압이고, -g는 증폭장치의 이득이다). 이 증폭장치에 입력되는 입력전압은 V_{VC}～($V_{VC}+V_{SAT}$)의 범위로 된다(여기서, V_{VC}는 센서의 기준리세트전위이고, V_{SAT}는 센서의 포화전압이다)제4도에 도시한 바와 같이, 증폭장치가 V_1V_{VC}, ($V_{VC}+V_{SAT}$)V_2를 만족하도록 설정되면, 센서의 출력을 높은 선형성으로 증폭하는 것이 가능하다.

그러나, 상기 종래예에서는, 전치증폭기의 선형입력범위를 결정하는 MOS트랜지스터의 한계치전압V_{th}은 소자형성공정상의 편차 또는 동작온도의 변화에 의해 변동하므로, 해당 증폭기의 선형입력범위(V_1～V_2)가, 증폭기입력범위(V_{VC}～$V_{VC}+V_{SAT}$)로부터 벗어날 가능성이 있다. 또, 한계치전압(V_{th})이 변동해도 V_{th}(=V_1)V_{VC}를 만족하도록 V_{VC}를 비교적 높게 설정하고, 또($V_{VC}+V_{SAT}$)V_2를 만족하도록 선형입력범위를 넓게 하면, 증폭장치의 이득(g)을 적게 해야만 한다고 하는 과제가 있었다.

본 발명에 의하면, 전계효과트랜지스터로 구성된 증폭장치는, 입력을 수신하는 전계효과트랜지스터의 소스전극에 인가되는 전원전압은, 전계효과트랜지스터로 구성된 소스폴로워의 출력에 의해 공급되는 것을 특징으로 한다.

또, 본 발명에 의하면, 바이폴러트랜지스터로 구성된 증폭장치는, 입력을 수신하는 바이폴러트랜지스터의 이미터전극에 인가되는 전원전압은, 바이폴러트랜지스터로 구성된 이미터폴러워의 출력에 의해 공급되는 것을 특징으로 한다.

본 발명에 의하면, 증폭장치에서 입력을 수신하는 전계효과트랜지스터의 소스전극에 인가되는 전원전압은, 전계효과 트랜지스터로 구성된 소스폴로워의 출력에 의해 공급되므로, 전계효과트랜지스터의 한계치전압의 변동 등에 관계없이, 증폭장치의 선형입력범위의 하한 또는 상한이 입력전압범위의 하한보다 낮거나 또는 상한보다 높은 값으로 된다.

또, 본 발명에 의하면, 증폭장치에서 입력을 수신하는 바이폴러트랜지스터의 이미터전극에 인가되는 전원전압은, 바이폴러트랜지스터로 구성된 이미터폴로워의 출력에 의해 공급되므로, 바이폴러트랜지스터의 한계치전압의 변동 등에 관계없이, 증폭장치의 선형입력범위의 하한 또는 상한이, 입력전압범위의 하한보다 낮거나 또는 상한보다 높은 값으로 된다.

예를 들면, 입력신호를 광전변환장치의 광센서로부터의 센서신호출력으로 가정한 경우, 센서의 리세트전위보다 전계효과트랜지스터의 한계치전압치만큼 낮은 전압은 소스폴로워를 이용해서 형성되고, 또한 이 전압은 증폭장치에서 입력을 수신하는 트랜지스터의 소스전극에 공급된다. 따라서, 전계효과트랜지스터의 한계치전압이 변동해도, 증폭장치의 선형입력범위의 하한치가 변하지 않도록 제어할 수 있고, 또 이득이 높고 또한 V_{th}변동의 의존도가 작은 증폭장치의 입출력특성을 실현하는 것이 가능하다.

이하, 본 발명의 바람직한 실시예에 대해, 첨부도면을 참조해서 상세히 설명한다. 또, 이하에 설명하는 실시예는 2차원센서에 이용되는 전치증폭장치에 본 발명을 적용한 경우를 설명하고 있으나, 본 발명은 이러한 용도로 한정되는 것은 아니다.

제1도는 본 발명에 의한 증폭장치의 제1실시예를 도시한 회로도이다.

또, 제1도에 있어서 제3도와 동일한 구성부재에 대해서는 동일부호를 붙이고 그에 대한 상세한 설명을 생략한다. 제1도에 있어서, MOS트랜지스터(21)는 저항(22)에 접속되어 있다. 증폭장치입력의 리세트전원레벨의 전압(V_{VC})이 단자(14)로부터 MOS트랜지스터(21)의 게이트와 드레인에 인가되고 있다.

MOS트랜지스터(21)와 저항(22)은 소스폴로워를 구성하고 있고, 그 소스폴로워의 출력, 즉 MOS트랜지스터(21)의 소스는 증폭장치의 저전압전원으로서 기능하고 있다. MOS트랜지스터(21)의 한계치레벨을 V_{th}로 나타내면, 이 소스폴로워의 출력레벨은(V_{VC}-V_{th}-△)로 된다(여기서, △는 소스폴로워의 설계치에 의해 결정되는 낮은 전압이다).

이와 같은 방식으로 증폭장치의 저전위를 결정하면, 증폭장치의 선형입력범위의 하한은(V_{VC}-△)로 되어, 증폭장치입력의 최소치V_{VC}로부터 항상 마진(△)을 가지게 된다. MOS트랜지스터(17)와 MOS트랜지스터(21)를 단일칩상에 서로 가까운 위치에 형성하면, 이들 트랜지스터의 한계치는, 제조편차 및 온도변화에 의해 초래되는 변동량이 거의 동일하게 되고, 이 때문에, 종래예와 달이 한계치전압의 변동을 고려해서, 선형입력범위의 하한치와 전압(V_{VC})에 큰 마진을 가지게 할 필요가 없어, 큰 이득 및 광범위한 입력범위를 지닌 증폭장치를 설계하는 것이 가능하다.

제2도는 본 발명에 의한 증폭장치의 제2실시예를 도시한 것으로서, 동도에 있어서, MOS트랜지스터(17)의 기판측전극과 소스전극이 서로 접속되고, MOS트랜지스터(21)의 기판측전극과 소스전극이 서로 접속되어 있다 제1실시예에 있어서는, MOS트랜지스터(18)의 소스전극과 기판측전극이 서로 접속되어 있는 반면, MOS트랜지스터(17)는 소스전위와 기판전위가 상이하며, 백게이트바이어스(back-gate-bias)가 걸린 상태로 되어 있기 때문에, MOS트랜지스터(17), (18)의 채널이동도의 차이에 의해, 증폭장치의 이득이 낮게 될 수도 있었으나, 제2도에 도시한 구성에 의하면, MOS트랜지스터(17), (18)는 항상 동일한 채널이동도를 지니므로, 증폭장치의 이득을 정확하게 설계할 수 있다. 이 증폭장치의 입력범위는 제1실시예와 마찬가지로 MOS트랜지스터의 한계치전압변동에 대해서 일정하게 된다.

이상의 각 실시예에 있어서는, 입력전압의 하한을 소정의 리세트전위에 의거해서 설정하였으나, 입력전압의 상한을 소정의 리세트전위에 의거해서 설정한 경우에도 본 발명을 적용할 수 있음은 물론이다. 예를 들면, 제1도에서 구성요소인 n-MOS트랜지스터를 p-MOS트랜지스퍼로 교체한 때에는, GND는 고전위 VDD로 되고, 트랜지스터(18)용의 드레인전원은 GND 로 된다. 이때, p-MOS트랜지스터로 구성된 증폭장치에서 입력전압의 상한은 리세트전위에 의거해서 설정된다.

또, 본 발명은 전계효과트랜지스터로 구성된 증폭장치로 한정되지 않고 바이폴러트랜지스터로 구성된 증폭장치에도 적용할 수 있다. 이 경우, 입력을 수신하는 바이플러트랜스터의 이미터전극에 인가되는 전원전압은, 바이폴러트랜지스터로 구성된 이미터폴로워의 출력에 의해 공급될 수 있다.

이상 설명한 바와 같이, 본 발명에 의하면, 증폭장치에서 입력을 수신하는 전계효과 트랜지스터의 소스전극에 인가되는 전원전압은, 전계효과트랜지스터로 구성된 소스폴로워의 출력에 의해 공급되거나, 또는 증폭장치에서 입력을 수신하는 바이폴러트랜지스터의 이미터전극에 인가되는 전원전압은 바이폴러트랜지스터로 구성된 이미터폴로워의 출력에 의해 공급되므로, 증폭장치를 구성하는 트랜지스터의 한계치전압이 제조조건, 온도변화에 의한 설계치로부터 벗어나는 경우에는, 증폭장치의 선형입력범위는 변하지 않도록 제어할 수 있으므로, 높은 이득 및 광범위한 입력범위를 지닌 증폭장치를 제공하는 것이 가능하다.

(57) 청구의 범위

청구항 1

증폭장치는 소스폴로워를 가지고, 상기 소스폴로워는, 입력을 수신하는 입력단자에 접속된 제1전계효과트랜지스터(17)와, 기준전압(14)의 입력단자를 리세트하는 제2전계효과트랜지스터(12)와, 기준전압에 접속된 드레인과 상기 제1전계효과트랜지스터에 접속된 소스를 가지는 제3전계효과트랜지스터(21)를 포함하는 증폭장치 에 있어서, 상기 소스폴로워로부터의 출력은 상기 제1트랜지스터(17)의 소스에 공급되는 것을 특징으로 하는 증폭장치.

청구항 2

상기 제1, 제3전계효과트랜지스터는 각각 기판측전극과 소스전극이 단락되어 있는 것을 특징으로 하는 증폭장치.

청구항 3

제3항에 있어서, 상기 제1, 제3전계효과트랜지스터는 동일한 칩위에 서로 접근하여 형성되어 있는 것을 특징으로 하는 증폭장치.

청구항 4

증폭장치는 이미터폴로워를 가지고, 상기 이미터폴로워는, 입력을 수신하는 입력단자에 접속된 제1바이폴러트랜지스터와 기준전압의 입력단자를 리세트하는 제2바이폴러트랜지스터와, 기준전압에 접속된 콜렉터와 상기 제1바이폴러트랜지스터에 접속된 이미터를 가지는 제3바이폴러트77지스터를 포함하는 증폭장치에 있어서, 상기 이미터폴로워로부터의 출력은 상기 제1바이폴러트랜지스터의 이미터에 공급되는 것을 특징으로 하는 증폭장치.

청구항 5

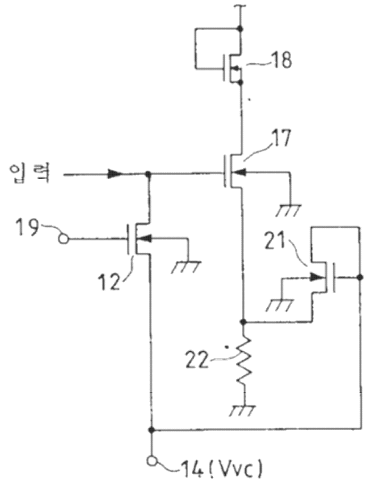
제4항에 있어서, 상기 제1, 제3바이폴러트랜지스터는 각각 기판측전극과 이미터전극이 단락되어 있는 것을 특징으로 하는 증폭장치.

청구항 6

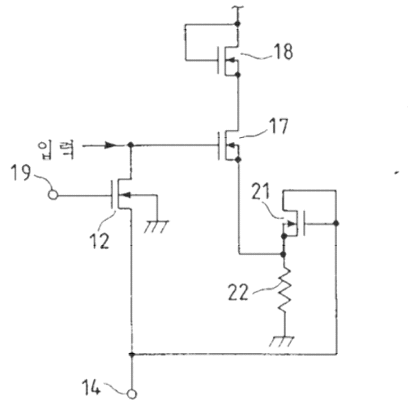
제5항에 있어서, 상기 제1, 제3바이폴러트랜지스터는 동일한 칩위에 서로 접근하여 형성되어 있는 것을 특징으로 하는 증폭장치.

도면

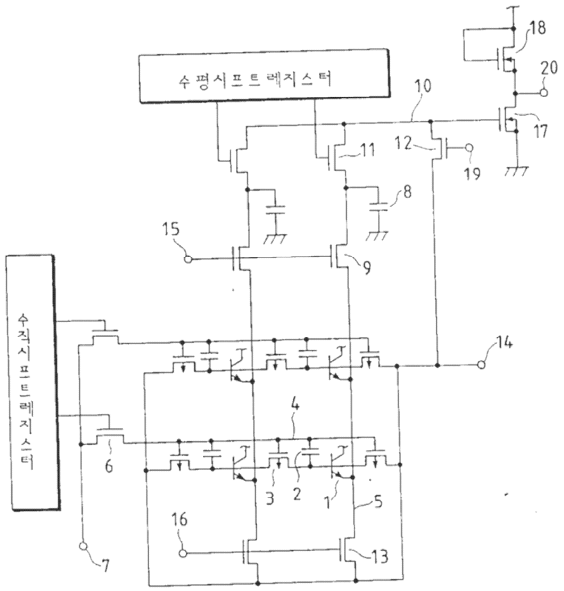
도면1



도면2


18
17
입력
19
21
12
22
14

도면3


수평시프트레지스터
18
20
10
17
11
12
19
8
15
9
수직시프트레지스터
14
4
6
3
2
1
5
16
13
7

도면4

