



(12)发明专利

(10)授权公告号 CN 103038882 B

(45)授权公告日 2016.10.26

(21)申请号 201180037212.1

(22)申请日 2011.06.24

(65)同一申请的已公布的文献号
申请公布号 CN 103038882 A

(43)申请公布日 2013.04.10

(30)优先权数据
12/825,211 2010.06.28 US

(85)PCT国际申请进入国家阶段日
2013.01.29

(86)PCT国际申请的申请数据
PCT/US2011/041888 2011.06.24

(87)PCT国际申请的公布数据
W02012/009140 EN 2012.01.19

(73)专利权人 美光科技公司

地址 美国爱达荷州

(72)发明人 山·D·唐 约翰·K·查胡瑞

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

代理人 宋献涛

(51)Int. Cl.
H01L 27/115(2006.01)
H01L 21/8247(2006.01)

(56)对比文件
CN 101409290 A, 2009.04.15,
JP 特开2009-117843 A, 2009.05.28,
US 2009/0267139 A1, 2009.10.29,

审查员 张海洋

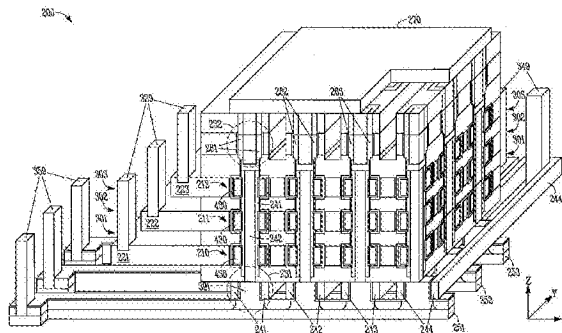
权利要求书5页 说明书11页 附图37页

(54)发明名称

三维存储器及形成所述三维存储器的方法

(57)摘要

一些实施例包含一种存储器装置及形成所述存储器装置的方法。一个此种存储器装置包含存储器单元的第一群组,所述第一群组的所述存储器单元中的每一者形成于位于所述存储器装置的一个装置层级中的第一控制栅极的腔中。所述存储器装置还包含存储器单元的第二群组,所述第二群组的所述存储器单元中的每一者形成于位于所述存储器装置的另一装置层级中的第二控制栅极的腔中。本发明还描述额外设备及方法。



1. 一种存储器,其包括:

第一存储器单元,其位于存储器装置的第一装置层级中;

第二存储器单元,其位于所述存储器装置的第二装置层级中;

第一控制栅极,其形成于所述第一装置层级中,所述第一控制栅极用以控制对所述第一存储器单元的存取,其中所述第一存储器单元中的每一者包含形成于所述第一控制栅极的腔中的存储器元件,且所述第一控制栅极的所述腔通过所述第一控制栅极的一部分的侧壁、位于所述第一控制栅极的第一侧上的电介质材料、以及位于所述第一控制栅极的第二侧上且与所述第一控制栅极的所述第一侧上的所述电介质材料相对的另一电介质材料所形成;及

第二控制栅极,其形成于所述第二装置层级中,所述第二控制栅极用以控制对所述第二存储器单元的存取,其中所述第二存储器单元中的每一者包含形成于所述第二控制栅极的腔中的存储器元件,且所述第二控制栅极的所述腔通过所述第二控制栅极的一部分的侧壁、位于所述第二控制栅极的第一侧上的电介质材料、以及位于所述第二控制栅极的第二侧上且与所述第二控制栅极的所述第一侧的所述电介质材料相对的另一电介质材料所形成。

2. 根据权利要求1所述的存储器,其中所述第一及第二存储器单元中的每一者包含沿第一方向布置的多个存储器单元及沿第二方向布置的多个存储器单元,所述存储器进一步包括:

共用源极;及

数据线,其经配置以通过导电材料选择性地耦合到所述共用源极及所述存储器单元,所述导电材料沿第三方向延伸穿过所述第一及第二存储器单元,所述第三方向大致垂直于所述第一及第二方向。

3. 根据权利要求2所述的存储器,其中所述共用源极形成于所述存储器装置的衬底上方,使得所述共用源极在所述第一及第二存储器单元与所述衬底之间以在擦除操作期间允许电子从所述第一及第二存储器单元中的至少一者的所述存储器元件移动到所述共用源极。

4. 根据权利要求1所述的存储器,其中所述第一存储器单元与所述第二存储器单元大致垂直对准。

5. 根据权利要求1所述的存储器,其中所述第一存储器单元中的每一者的所述存储器元件与所述第二存储器单元中的一者的所述存储器元件大致垂直对准。

6. 根据权利要求1所述的存储器,其进一步包括用以在所述存储器装置的存储器操作期间将所述第一及第二存储器单元选择性地耦合到与所述第一及第二存储器单元相关联的数据线的晶体管,其中所述晶体管中的至少一者包括双栅极。

7. 根据权利要求1所述的存储器,其进一步包括用以在所述存储器装置的存储器操作期间将所述第一及第二存储器单元选择性地耦合到与所述第一及第二存储器单元相关联的数据线的晶体管,其中所述晶体管中的至少一者包括环绕式栅极。

8. 一种存储器,其包括:

第一存储器单元,其位于存储器装置的第一装置层级中;

第二存储器单元,其位于所述存储器装置的第二装置层级中;

第一控制栅极,其形成于所述第一装置层级中,所述第一控制栅极用以控制对所述第一存储器单元的存取,其中所述第一存储器单元中的每一者包含形成于所述第一控制栅极的腔中的存储器元件;

第二控制栅极,其形成于所述第二装置层级中,所述第二控制栅极用以控制对所述第二存储器单元的存取,其中所述第二存储器单元中的每一者包含形成于所述第二控制栅极的腔中的存储器元件,其中,所述第一存储器单元和所述第二存储器单元的每一者包含沿第一方向布置的多个存储器单元及沿第二方向布置的多个存储器单元;

共用源极;及

数据线,其经配置以通过导电材料选择性地耦合到所述共用源极及所述存储器单元,所述导电材料沿第三方向延伸穿过所述第一及第二存储器单元,所述第三方向大致垂直于所述第一及第二方向

其中所述共用源极形成于所述存储器装置的衬底上方,使得所述第一及第二存储器单元在所述共用源极与所述衬底之间。

9. 一种存储器,其包括:

第一非易失性存储器单元,其包含位于第一控制栅极的第一腔中的第一存储器元件,所述第一存储器元件具有环形状,且所述第一控制栅极的所述第一腔通过所述第一控制栅极的一部分的侧壁、位于所述第一控制栅极的第一侧上的电介质材料、以及位于所述第一控制栅极的第二侧上且与所述第一控制栅极的所述第一侧上的所述电介质材料相对的另一电介质材料所形成;

第二非易失性存储器单元,其包含位于第二控制栅极的第二腔中的第二存储器元件,所述第二存储器元件具有环形状,且所述第二控制栅极的所述第二腔通过所述第二控制栅极的一部分的侧壁、位于所述第二控制栅极的第一侧上的电介质材料、以及位于所述第二控制栅极的第二侧上且与所述第二控制栅极的所述第一侧的所述电介质材料相对的另一电介质材料所形成;及

导电材料,其延伸穿过所述第一及第二存储器元件。

10. 根据权利要求9所述的存储器,其进一步包括:

第一额外导电材料,其经配置以作为用以存取所述第一存储器单元的所述第一控制栅极操作,其中所述第一存储器元件及所述第一额外导电材料位于所述第一及第二存储器单元位于其中的所述存储器装置的第一装置层级中;及

第二额外导电材料,其经配置以作为用以存取所述第二存储器单元的所述第二控制栅极操作,其中所述第二存储器元件及所述第二额外导电材料位于所述存储器装置的第二装置层级中。

11. 根据权利要求10所述的存储器,其中所述存储器单元中的每一者进一步包含在相应存储器元件与所述导电材料之间的第一电介质。

12. 根据权利要求11所述的存储器,其中所述存储器单元中的每一者进一步包含在所述相应存储器元件与相应额外导电材料之间的第二电介质。

13. 根据权利要求9所述的存储器,其进一步包括在衬底上方以载运表示存储于所述第一及第二存储器单元中的信息的值的信号的数据线,其中所述第一及第二存储器单元位于所述衬底与所述数据线之间。

14. 一种存储器,其包括:

第一非易失性存储器单元,其包含位于第一控制栅极的第一腔中的第一存储器元件,所述第一存储器元件具有环形状,且所述第一控制栅极的所述第一腔通过所述第一控制栅极的一部分的侧壁、位于所述第一控制栅极的第一侧上的电介质材料、以及位于所述第一控制栅极的第二侧上且与所述第一控制栅极的所述第一侧上的所述电介质材料相对的另一电介质材料所形成;

第二非易失性存储器单元,其包含位于第二控制栅极的第二腔中的第二存储器元件,所述第二存储器元件具有环形状,且所述第二控制栅极的所述第二腔通过所述第二控制栅极的一部分的侧壁、位于所述第二控制栅极的第一侧上的电介质材料、以及位于所述第二控制栅极的第二侧上且与所述第二控制栅极的所述第一侧的所述电介质材料相对的另一电介质材料所形成;

导电材料,其延伸穿过所述第一及第二存储器元件;及

在衬底上方以载运表示存储于所述第一及第二存储器单元中的信息的值的信号的数据线,其中所述数据线位于所述衬底与所述第一存储器单元之间。

15. 一种存储器,其包括:

第一导电材料,其位于存储器装置的第一装置层级中,所述第一导电材料包含第一腔,所述第一腔具有第一侧壁,所述第一腔通过所述第一导电材料的一部分、位于所述第一导电材料的第一侧上的电介质材料、以及位于所述第一导电材料的第二侧上且与所述第一导电材料的所述第一侧上的所述电介质材料相对的另一电介质材料所形成;

第二导电材料,其位于所述存储器装置的第二装置层级中,所述第二导电材料包含第二腔,所述第二腔具有第二侧壁,所述第二腔通过所述第一导电材料的一部分、位于所述第二导电材料的第一侧的电介质材料、以及位于所述第二导电材料的第二侧上且与所述第二导电材料的所述第一侧上的所述电介质材料相对的另一电介质材料所形成;

第一电介质,其形成于所述第一侧壁及所述第二侧壁上;

第一存储器元件,其位于所述第一腔中且通过所述第一电介质的第一部分与所述第一导电材料电隔离;

第二存储器元件,其位于所述第二腔中且通过所述第一电介质的第二部分与所述第二导电材料电隔离;

第二电介质,其形成于所述第一存储器元件的一侧上及所述第二存储器元件的一侧上;及

导电沟道,其从所述第一装置层级延伸到所述第二装置层级且面向所述第一及第二存储器元件,使得所述导电沟道通过所述第二电介质的至少一相应部分与所述第一及第二存储器元件电隔离。

16. 根据权利要求15所述的存储器,其中所述第一及第二存储器元件包括多晶硅。

17. 根据权利要求15所述的存储器,其中所述第一及第二存储器元件包括电介质材料。

18. 根据权利要求17所述的存储器,其中所述电介质材料包括氮化硅。

19. 根据权利要求15所述的存储器,其进一步包括在所述第一与第二导电材料之间的电介质材料。

20. 根据权利要求15所述的存储器,其进一步包括:

衬底;及

数据线,其经配置以选择性地耦合到所述导电沟道,其中所述第一及第二存储器元件位于所述数据线与所述衬底之间。

21.一种存储器,其包括:

第一导电材料,其位于存储器装置的第一装置层级中,所述第一导电材料包含第一腔,所述第一腔具有第一侧壁;

第二导电材料,其位于所述存储器装置的第二装置层级中,所述第二导电材料包含第二腔,所述第二腔具有第二侧壁;

第一电介质,其形成于所述第一侧壁及所述第二侧壁上;

第一存储器元件,其位于所述第一腔中且通过所述第一电介质的第一部分与所述第一导电材料电隔离;

第二存储器元件,其位于所述第二腔中且通过所述第一电介质的第二部分与所述第二导电材料电隔离;

第二电介质,其形成于所述第一存储器元件的一侧上及所述第二存储器元件的一侧上;

导电沟道,其从所述第一装置层级延伸到所述第二装置层级且面向所述第一及第二存储器元件,使得所述导电沟道通过所述第二电介质的至少一相应部分与所述第一及第二存储器元件电隔离;

衬底;及

数据线,其经配置以选择性地耦合到所述导电沟道,其中所述数据线位于所述第二导电材料与所述衬底之间。

22.一种用于形成存储器的方法,其包括:

形成包含位于第一控制栅极的第一腔中的第一存储器元件的第一非易失性存储器单元,所述第一存储器元件具有环形状,且所述第一控制栅极的所述第一腔通过所述第一控制栅极的一部分的侧壁、位于所述第一控制栅极的第一侧上的电介质材料、以及位于所述第一控制栅极的第二侧上且与所述第一控制栅极的所述第一侧上的所述电介质材料相对的另一电介质材料所形成;

形成包含位于第二控制栅极的第二腔中的第二存储器元件的第二非易失性存储器单元,所述第二存储器元件具有环形状,且所述第二控制栅极的所述第二腔通过所述第二控制栅极的一部分的侧壁、位于所述第二控制栅极的第一侧上的电介质材料、以及位于所述第二控制栅极的第二侧上且与所述第二控制栅极的所述第一侧的所述电介质材料相对的另一电介质材料所形成;及

形成延伸穿过所述第一及第二存储器元件的导电材料。

23.根据权利要求22所述的方法,其中形成所述第一存储器单元包括在第一导电材料中形成第一腔,其中所述第一存储器元件形成于所述第一腔中,其中形成所述第二存储器单元包括在第二导电材料中形成第二腔,且其中所述第二存储器元件形成于所述第二腔中。

24.根据权利要求23所述的方法,其中使所述第一腔在所述第二腔上方大致对准。

25.根据权利要求22所述的方法,其进一步包括:

在衬底上方形成数据线,其中所述第一及第二存储器单元位于所述衬底与所述数据线之间。

26.一种用于形成存储器的方法,其包括:

形成包含位于第一控制栅极的第一腔中的具有环形状的第一存储器元件的第一非易失性存储器单元,且所述第一控制栅极的所述第一腔通过所述第一控制栅极的一部分的侧壁、位于所述第一控制栅极的第一侧上的电介质材料、以及位于所述第一控制栅极的第二侧上且与所述第一控制栅极的所述第一侧上的所述电介质材料相对的另一电介质材料所形成;

形成包含位于第二控制栅极的第二腔中的具有环形状的第二存储器元件的第二非易失性存储器单元,且所述第二控制栅极的所述第二腔通过所述第二控制栅极的一部分的侧壁、位于所述第二控制栅极的第一侧上的电介质材料、以及位于所述第二控制栅极的第二侧上且与所述第二控制栅极的所述第一侧的所述电介质材料相对的另一电介质材料所形成;

形成延伸穿过所述第一及第二存储器元件的导电材料;及

在衬底上方形成数据线,其中所述数据线位于所述衬底与所述第一及第二存储器单元之间。

27.一种用于形成存储器的方法,其包括:

形成导电材料层及电介质材料层,使得所述导电材料层通过所述电介质材料层彼此电隔离;

穿过所述导电材料层及所述电介质材料层形成开口以在所述导电材料中形成初始腔和在所述电介质材料层中的每一者中形成第二腔;扩大所述初始腔的大小以在所述导电材料层中的每一者中形成若干腔,其中当扩大所述初始腔的所述大小时所述第二腔的大小保持大致不变;及

在所述腔中的每一者中形成存储器元件。

28.根据权利要求27所述的方法,其中所述导电材料层中的每一者在所述电介质材料层中的两个电介质材料层之间,且所述导电材料层中的至少一者在所述导电材料层中的两个导电材料层之间。

29.根据权利要求27所述的方法,其中所述存储器元件包括多晶硅。

30.根据权利要求27所述的方法,其中所述存储器元件包括电介质材料。

31.根据权利要求27所述的方法,其中所述第二腔中的每一者及所述初始腔中的每一者具有大致相同的直径。

三维存储器及形成所述三维存储器的方法

[0001] 优先权申请

[0002] 本专利申请案主张2010年6月28日提出申请的第12/825,211号美国申请案的优先权权益,所述美国申请案以引用的方式并入本文中。

技术领域

背景技术

[0003] 例如快闪存储器装置的非易失性存储器装置在许多计算机及电子装置中用于存储信息。快闪存储器装置通常具有用以存储信息(例如,数据及指令代码)的写入操作、用以检索所存储信息的读取操作及用以从存储器清除信息的擦除操作。随着对更高密度存储器装置的需求的增加,已提出三维(3D)存储器装置。常规3D存储器装置的实例由金志映(Jiyoung Kim)等人描述于在2008年VLSI科技论文技术文摘座谈会(2008Symposium on VLSI Technology Digest of Technical Papers)中公开的标题为“用于具有垂直阵列晶体管(VRAT)及相同平面上的平面化集成(PIPE)的超高密度快闪存储器的新颖3-D结构(Novel 3-D Structure for Ultra High Density Flash Memory with Vertical-Array-Transistor(VRAT)and Planarized Integration on the same Plane(PIPE))”的文章(第22到23页)中。由于3D存储器装置为相对新的,因此制造这些装置可引起制作工艺挑战。

发明内容

附图说明

[0004] 图1展示根据本发明的实施例的具有带有存储器单元的存储器阵列的存储器装置的框图。

[0005] 图2展示根据本发明的实施例的具有位于存储器单元下面的数据线的存储器装置的一部分的示意图。

[0006] 图3展示根据本发明的实施例的图2的存储器装置的一部分的三维视图。

[0007] 图4展示根据本发明的实施例的图3的存储器装置的控制栅极及存储器单元的一部分。

[0008] 图5到图29展示根据本发明的实施例的形成具有位于存储器单元下面的数据线的存储器装置的各种工艺。

[0009] 图30展示根据本发明的实施例的具有位于存储器单元上面的数据线的存储器装置的一部分的示意图。

[0010] 图31展示根据本发明的实施例的图30的存储器装置的一部分的三维视图。

[0011] 图32到图38展示根据本发明的实施例的形成具有位于存储器单元上面的数据线的存储器装置的各种工艺。

具体实施方式

[0012] 图1展示根据本发明的实施例具有带有存储器单元110的存储器阵列102的存储器装置100的框图。存储器单元110可与存取线123(例如,具有信号WL0到WLM的字线)及线124(例如,具有信号BL0到BLN的位线)一起布置成若干行及若干列。存储器装置100使用线124及128在存储器单元110内传送信息。存储器单元110可在物理上位于多个装置层级中使得存储器单元110的一个群组可堆叠于其它存储器单元110的一个或一个以上群组上。行解码器132及列解码器134解码线125(例如,地址线)上的地址信号A0到AX以确定将存取哪些存储器单元110。行解码器132及列解码器134的行层级解码器136及列层级解码器138分别确定待存取的存储器单元110位于存储器装置100的多个装置层级中的哪一者上。

[0013] 感测放大器电路140操作以确定从存储器单元110读取的信息的值且将所述信息以信号形式提供到线124及128。感测放大器电路140还可使用线124及128上的信号来确定待写入到存储器单元110的信息的值。存储器装置100包含用以在存储器阵列102与线(例如,数据线)126之间传送信息的电路150。线126上的信号DQ0到DQN可表示从存储器单元110读取或写入到存储器单元110中的信息。线126可包含存储器装置100内的节点或存储器装置100驻存于其中的封装上的节点(例如,引脚或焊料球)。存储器装置100外部的其它装置(例如,存储器控制器或处理器)可通过线125、126及127与存储器装置100通信。

[0014] 存储器装置100执行存储器操作,例如用以从存储器单元110读取信息的读取操作及用以将信息存储到存储器单元110中的写入操作(有时称为编程操作)。存储器控制单元118基于线127上的控制信号来控制所述存储器操作。线127上的控制信号的实例包含一个或一个以上时钟信号及指示存储器装置100执行哪一操作(例如,写入或读取操作)的其它信号。存储器装置100外部的其它装置(例如,处理器或存储器控制器)可控制线127上的控制信号的值。这些线上的信号的组合的特定值可产生致使存储器装置100执行对应存储器操作(例如,写入或读取操作)的命令(例如,写入或读取命令)。

[0015] 存储器单元110中的每一者可存储表示单个位的值或多个位(例如两个、三个、四个或其它数目个位)的值的值的信息。举例来说,存储器单元110中的每一者可存储表示单个位的二进制值“0”或“1”的信息。在另一实例中,存储器单元110中的每一者可存储表示多个位的值(例如两个位的四个可能值“00”、“01”、“10”及“11”中的一者、八个可能值“000”、“001”、“010”、“011”、“100”、“101”、“110”及“111”中的一者或其它数目个多个位的其它值中的一者)的信息。

[0016] 存储器装置100可分别在线141及142上接收供应电压,包含供应电压信号Vcc及Vss。供应电压信号Vss可在接地电位(例如,具有约零伏的值)下操作。供应电压信号Vcc可包含从外部电源(例如电池或交流/直流(AC-DC)转换器电路)供应到存储器装置100的外部电压。

[0017] 存储器装置100的电路150可包含选择电路152及输入/输出(I/O)电路116。选择电路152响应于信号SEL0到SELn而选择线124及128上的可表示从存储器单元110读取或写入到存储器单元110中的信息的信号。列解码器134基于地址信号A0到AX而选择性地激活SEL0到SELn信号。选择电路152在读取及写入操作期间选择线124及128上的信号以提供存储器阵列102与I/O电路116之间的通信。

[0018] 存储器装置100可为非易失性存储器装置,且存储器单元110可为非易失性存储器单元使得存储器单元110可在将电力(例如, V_{cc} 或 V_{ss} 或其两者)与存储器装置100切断连接时保持存储于其上的信息。举例来说,存储器装置100可为快闪存储器装置(例如NAND快闪或NOR快闪存储器装置)或其它种类的存储器装置,例如可变电阻存储器装置(例如,相变随机存取存储器(PCRAM)、电阻式RAM(RRAM)等)。

[0019] 所属领域的技术人员可认识到,存储器装置100可包含图1中未展示以帮助集中于本文中所描述的实施例上的其它特征。

[0020] 存储器装置100可包含下文参考图2到图38所描述的存储器装置及存储器单元中的至少一者。

[0021] 图2展示根据本发明的实施例的具有位于存储器单元210、211及212下面的数据线251、252及253的存储器装置200的一部分的示意图。存储器单元210、211及212可被分组成为若干群组,例如存储器单元210的群组、存储器单元211的群组及存储器单元212的群组。如图2中所展示,每一群组中的存储器单元可共享相同控制栅极,例如控制栅极221、222或223(具有相关联信号WL0、WL1及WL2)。所述存储器单元串联耦合为若干串,例如串215及216。每一串可包含来自不同群组的存储器单元中的一者且耦合于晶体管231中的一者与晶体管232中的一者之间。

[0022] 如图2中所展示,晶体管231具有耦合到选择线241、242及243(具有相关联信号SGD0、SGD1及SGD2)的栅极。晶体管231具有耦合到数据线251、252及253(具有相关联信号BL0、BL1及BL2)的节点(例如,源极)。数据线251、252及253有时对应于非易失性存储器装置的位线或感测线。

[0023] 晶体管232具有耦合到选择线261、262及263(具有相关联信号SGS0、SGS1及SGS2)的栅极。晶体管232具有耦合到非易失性存储器装置中的存储器单元串的共用源极270的节点(例如,漏极)。

[0024] 作为一实例,图2展示具有耦合到其的相关联组件的三个存储器单元群组。存储器单元群组及其相关联组件(例如,控制栅极及数据线)的数目可变化。

[0025] 存储器装置200在用以感测(例如,读取)存储于存储器单元210、211及212中的信息的读取操作期间及在用以将信息存储到存储器单元210、211及212中的写入操作期间使用控制栅极221、221及223来控制对存储器单元210、211及212的存取。存储器装置200在读取操作期间使用数据线251、252及253来传送从这些存储器单元读取的信息。

[0026] 晶体管231及232在读取或写入操作期间分别响应于信号SGD0、SGD1及SGD2以及信号SGS0、SGS1及SGS2而将存储器单元选择性地耦合到数据线251、252及253以及共用源极270。

[0027] 为了帮助集中于本文中的描述上,本文中的描述省略了对存储器装置的操作(例如写入、读取及擦除操作)的详细描述。所属领域的技术人员将认识到这些操作。举例来说,在存储器装置200的擦除操作中,可将约20伏的电压施加到数据线251、252及253,同时可使控制栅极221、221及223、选择线241、242及243以及选择线261、262及263“浮动”(例如,使得不连接到电压)。在此擦除操作中,来自存储器单元210、211及212的存储器元件的电子可移动到数据线251、253及253。

[0028] 图3展示根据本发明的实施例的存储器装置200的一部分的3D视图。图3还展示X、Y

及Z方向以及沿Z方向布置的装置层级301、302及303。相同群组的存储器单元210可沿X方向及Y方向布置成若干行及列。存储器单元的每一群组位于不同装置层级301、302或303中。举例来说,具有存储器单元210的群组位于装置层级301中。具有存储器单元211的群组位于装置层级302中。具有存储器单元212的群组位于装置层级303中。

[0029] 如图3中所展示,每一串中的存储器单元210、211及212(例如,在晶体管231与232之间的存储器单元)相对于数据线251、252及253下方的衬底沿Z方向大致垂直对准。所述衬底未展示于图3中,但可类似于图5及图6的衬底503。图3还展示沿Z方向垂直延伸且穿过在对应于图2的晶体管231及232的晶体管231与232之间的相同串中的存储器单元210、211及212的存储器元件430的沟道341及导电材料部分342。如图3中所展示,晶体管231可包含耦合到本体391(例如,晶体管沟道)以控制(接通或关断)所述晶体管的双栅极。所述双栅极的结构可包含相同选择线241的两个段(如图3中所展示),使得所述两个段位于本体391的仅两个相应侧上。

[0030] 图3中的存储器装置200还可包含触点329、349及359。触点329提供通往控制栅极221、222及223的电连接。触点349提供通往选择线241、242、243及244的电连接。触点359提供通往及来自数据线251、252及253的电连接。图2中未展示选择线244及沿Z方向与其相关联的存储器单元。

[0031] 图4展示图3的存储器装置200的控制栅极221及存储器单元210的一部分。图2的控制栅极222及223以及存储器单元211及212具有分别类似于控制栅极221及存储器单元210的结构。如图4中所展示,控制栅极221可包含具有腔420的同质材料,每一腔填充有各种组件,包含不同于所述同质材料材料。所述各种组件包含:存储器元件430;沟道441、导电材料部分442以及电介质421及427。电介质421可包含布置为不同层的多种材料422、423及424。如图4中所展示,每一存储器单元210的存储器元件430具有带有内侧451及外侧452的环形状(例如,炸面圈形状)。图3中所展示的其他存储器单元211及212中的每一者也具有环形状。如图3中所展示,在相同串(例如,在晶体管231与232之间)中的存储器单元210、211及212内,每一存储器单元的整个环形状存储器元件430与相同串中的其他存储器单元中的每一者的整个环形状存储器元件大致垂直对准(沿Z方向)。

[0032] 每一存储器元件430可例如基于其中的电荷量(例如,电子数目)而存储信息。在每一此种存储器元件430中,所述电荷量对应于所述存储器元件存储的信息的值。可在写入操作中或在擦除操作中控制所述电荷量。举例来说,在写入操作期间,来自沟道441或导电材料部分442或其两者的电子可由于所属领域的技术人员已知的隧穿效应而移动到存储器元件430。在擦除操作中,来自存储器元件430的电子可移动回到沟道441或导电材料部分442或其两者而到达数据线251、253及253(图2及图3)。举例来说,替代实施例可使用存储器元件430,存储器元件430可例如基于元件430的电阻而存储信息。

[0033] 可使用类似于或等同于下文参考图5到图29所描述的那些工艺的工艺来形成图3的存储器装置200。

[0034] 图5到图29展示根据本发明的实施例的形成具有位于存储器单元下面的数据线的存储器装置500的各种工艺。存储器装置500(图29中更详细地展示)可对应于图3的存储器装置300。

[0035] 图5展示具有衬底503的存储器装置500,衬底503可包含布置为若干层的材料501

及502。材料501可包含块体硅或可为另一半导体材料。材料502可为电介质材料,举例来说,氧化硅。图5还展示形成于衬底503上方的材料504及505。形成材料504及505可包含在衬底503上方沉积导电材料且接着在材料504上方沉积另一导电材料。材料504可包含金属或其它导电材料。材料505可包含未掺杂多晶硅或经掺杂多晶硅,例如p型硅或另一些导电材料。

[0036] 图5还展示X方向、垂直于X方向的Y方向以及垂直于X方向及Y方向两者的Z方向。如图5中所展示,材料504及505可沿Z方向以一个层在一个或一个以上其它层上方(或一个或一个以上其它层上)的方式形成为不同层。

[0037] 如本文中所使用,关于两种或两种以上材料(一者“在”另一者“上”)使用的术语“在…上”意指所述材料之间的至少某一接触,而“在…上方”或“上覆于…上”可指代一材料“在”另一材料“上”或其中在所述材料之间存在一种或一种以上额外介入材料(例如,未必需要接触)。术语“在…上”、“在…上方”或“上覆于…上”并不暗含如本文中所使用的任何方向性,除非另外明确地如此陈述。

[0038] 图6展示在已形成数据线651、652及653以及装置结构605之后的存储器装置500。可使用例如蚀刻(例如,干蚀刻)的工艺来移除材料504及505(图5)的部分以形成沟槽511及512,沟槽511及512具有在材料502处的沟槽底部。数据线651、652及653中的每一者以及装置结构605中的每一者具有沿X方向延伸的较大尺寸(例如,长度)。可使用具有沿X方向延伸的单独开口的掩模(图6中未展示)来形成沟槽511及512。如图6中所展示,沟槽511及512将材料504(图5)划分成可对应于图2的数据线251、252及253的单独数据线651、652及653。

[0039] 图7展示在已在存储器装置500的区域701中形成柱705之后的存储器装置500。不在存储器装置500的区域702中形成柱705。为简单起见,图7到图29未展示图6的衬底503。在图7中,可使用例如蚀刻(例如,干蚀刻)的工艺来移除装置结构605的部分以沿Y方向垂直于沟槽511及512形成沟槽711、712及713,使得可如图7中所展示形成柱705。可使用具有沿Y方向延伸的单独开口的掩模(图7中未展示)来形成沟槽711、712及713。每一柱705可包含沿Z方向约20纳米到50纳米的高度。如图7中所展示,柱705沿X方向及Y方向布置成若干行及列(例如,成一矩阵)。为简单起见,图7未展示填充于沟槽511及512中的电介质材料。然而,形成图7中的存储器装置500还可包含形成电介质材料(例如,氧化硅)以填充沟槽511及512直到装置结构605的顶部表面715。

[0040] 图8展示在已形成电介质831以及选择线841、842、843及844之后的存储器装置500。选择线841、842、843及844可分别对应于图3的选择线241、242、243及244。在图8中,形成电介质831以使选择线841、842、843及844与柱705电隔离。可通过(举例来说)在每一柱705的至少两个侧上沉积电介质材料(例如,氧化硅)或通过使柱705氧化来形成电介质831。在形成电介质831之后,可通过(举例来说)在柱705以及沟槽711、712及713(图7)上方沉积导电材料且接着移除(例如,蚀刻)所述导电材料的一部分以形成具有图8中所展示的结构的选择线841、842、843及844来形成选择线841、842、843及844。用于选择线841、842、843及844的导电材料的实例包含多晶硅、金属或其它导电材料,例如TiN及Ta₂N₅。

[0041] 图8还展示可通过将n型杂质插入(例如,植入)到装置结构605的选择性部分中而形成的经掺杂区833。n型杂质的实例包含例如磷(P)或砷(As)的元素。装置结构605的尚未被插入n型杂质的剩余部分可维持其原始材料,例如p型硅,如上文参考图5所描述。

[0042] 图9展示具有选择线941、942、943及944(其为图8的选择线841、842、843及844的替

代结构)的存储器装置500。在图8中,每一柱705的相对侧与相同选择线841、842、843或844的两个不同段相关联。在图9中,除柱705的顶部表面外,每一柱705可由选择线941、942、943或944中的一者的材料完全环绕(例如,每一柱705的四个侧与相同选择线的四个不同段相关联)。与选择线841、842、843及844相比,可用选择线941、942、943及944实现更高效的存储器装置。选择线941、942、943及944也可分别为图3的选择线241、242、243及244的替代结构。因此,图2及图3的每一晶体管231可包含具有图9中所展示的结构的环境式栅极。因此,代替图3中所展示的双栅极,图3的每一晶体管231可替代地包含具有相同选择线(例如选择线941)的环境本体391(图3)的四个不同段的环境式栅极。

[0043] 图10展示在于柱705以及选择线841、842、843及844上方形成材料1001到1007之后的存储器装置500。可在存储器装置500的区域701及702两者中形成材料1001到1007。然而,为了集中于本文中的描述上,图10未展示区域702中的材料1001到1007的一些部分。下文参考图28及图29的描述描述了在存储器装置500的区域702中形成额外组件(例如,类似于图3的触点329的组件)。

[0044] 在图10到图29中,为简单起见,可能不在不同图之间重复与存储器装置500的一些组件相关联的一些编号标识。在图10中,在形成材料1001到1007之前,可形成例如氧化硅的电介质材料(图10中未展示)以填充间隙1041、1042及1043。形成材料1001到1007可包含以交错方式交替地沉积电介质材料及导电材料,使得这些材料沿Z方向交替地彼此上下堆叠,如图10中所展示。材料1001、1003、1005及1007可包含电介质材料,例如氧化硅。材料1002、1004及1006可包含导电材料,例如金属或多晶硅(例如,用于p型硅的n型硅)。如图10中所展示,材料1001到1007经形成使得材料1002、1004及1006通过材料1001、1003、1005及1007彼此电隔离。

[0045] 图11展示在已在材料1002到1107中形成开口(例如,孔)1101之后的存储器装置500。孔1101经形成使得每一孔1101可在对应柱705正上方大致对准,如图11中所图解说明。形成孔1101可包含移除(例如,蚀刻)材料1002到1007中的每一者的一部分,在材料1001处停止,使得材料1001的至少一部分或整个材料1001保留下来以分离孔1101与柱705。形成孔1101导致形成材料1003、1005及1007中的每一者中的腔1110以及材料1002、1004及1006中的每一者中的腔1120。如图12中所展示,材料1003、1005及1007中的腔1110在其它材料1002、1004及1006中的腔1120正上方大致对准。每一腔1110及每一腔1120可具有大致相同的直径D1。还可将直径D1视为每一孔1101在每一腔1110及每一腔1120的位置处的直径。

[0046] 图12展示在已在材料1002、1004及1006(用于形成控制栅极1221、1222及1223)中形成腔1220之后的存储器装置500。形成腔1220可包含扩大腔1120(图11)的大小,同时使腔1110的大小保持大致不变(例如,保持大致为直径D1)。举例来说,扩大腔1120(图11)的大小可包含选择性地移除(例如,选择性湿蚀刻或干蚀刻)材料1002、1004及1006中的每一者的在每一腔1120(图11)处的一部分,使得每一腔1220的直径增加到大致直径D2,同时每一腔1110处的直径D1保持大致不变。直径D2大于直径D1。在材料1002、1004及1006中形成腔1120还形成可对应于图2的控制栅极221、222及223的控制栅极1221、1222及1223。

[0047] 图13展示图12的控制栅极1221的更多细节。图12的控制栅极1222及1223具有与控制栅极1221类似的结构。如图13中所展示,控制栅极1221可包含同质材料,其中图11的腔1220沿X方向及Y方向布置成若干行及列。每一腔1220可包含侧壁1225。

[0048] 图14及图15展示在已在腔1220中形成电介质1421及存储器元件1430之后的存储器装置500。为简单起见,图15未展示所有腔1220中的电介质1421及存储器元件1430。可在侧壁1225上形成每一电介质1421,使得电介质1421可位于控制栅极1221的材料与存储器元件1430之间,且使得存储器元件1430可通过电介质1421的至少一部分与控制栅极1221的材料电隔离。形成电介质1421可包含在不同时间处一种材料接另一种材料地形成多种材料1422、1423及1424(图15)。形成材料1422可包含使侧壁1225的一部分(例如,表面)氧化以在侧壁1225上形成电介质材料(例如,氧化硅)。或者,形成材料1422可包含在侧壁1225上沉积电介质材料(例如,氧化硅)。形成材料1423可包含在材料1422上沉积电介质材料(例如,氮化硅),其中所述电介质材料的一部分还可形成于每一腔1110的侧壁1425上。形成材料1424可包含在材料1423上沉积电介质材料(例如,氧化硅)。

[0049] 可在形成电介质1421之后形成存储器元件1430。如图15中所展示,每一存储器元件1430具有带有图14的内侧1451及外侧1452的环形状(例如,炸面圈形状)。形成存储器元件1430可包含在孔1101中沉积材料。由于图14的腔1220与腔1110大致对准,因此所述材料(其形成存储器元件1430)可填充腔1110及1120两者。接着,可(例如,通过在相同、单个蚀刻步骤中蚀刻)移除形成存储器元件1430的材料的一部分(例如,每一孔中的中心部分),使得腔1110中的材料可被移除(例如,完全移除)且腔1220中的材料未被完全移除而是部分地移除。如图14中所展示,在从腔1110移除形成存储器元件1430的材料之后,可暴露电介质材料1423(例如,氮化硅,其形成于材料1422上)的一部分。如图14中所展示,在从腔1220部分地移除形成存储器元件1430的材料之后,与相同孔1101相关联的存储器元件1430(由腔1220中的剩余材料形成)可使其内侧1451与腔1110的侧壁1425(或腔1110的具有材料1422及1423的部分的侧壁1425)大致对准。

[0050] 举例来说,存储器元件1430的材料可包含半导体材料(例如,多晶硅)、电介质电荷陷获材料(例如氮化硅或其它电介质电荷陷获材料)或可变电阻材料(例如相变材料(例如,GST))。在移除(例如,蚀刻)形成存储器元件1430的材料的一部分期间,还可移除材料1001的位于柱705上方的部分1401以减小部分1401的厚度。

[0051] 图16及图17展示在已在存储器元件1430的内侧1451上及腔1110中形成电介质1627之后的存储器装置500。形成电介质1627可包含在内侧1451上沉积电介质材料(例如,氧化硅)。或者,形成电介质1627可包含使存储器元件1430的一部分(例如,内侧1451)氧化。形成电介质1627(例如,通过氧化)还可消耗形成于在腔1110的侧壁1425上形成的材料1422上的材料1423(图14)。因此,电介质1627还可形成于腔中材料1422上方。

[0052] 图18及图19展示在已在腔1110及1220两者中电介质1627上形成沟道1841之后的存储器装置500。形成沟道1841可包含在电介质1627上沉积导电材料。可在沉积导电材料之后使用蚀刻工艺来减小所述导电材料的厚度。沟道1841的导电材料可包含可具有与柱705相同的材料类型(例如,p型)的经掺杂多晶硅。图18还展示可通过移除(例如,通过蚀刻)位于柱705上方的部分1401(图14)而形成的开口1801的形成。如图19中所展示,沟道1841面向存储器元件1430且通过电介质1627的至少一部分与存储器元件1430电隔离。

[0053] 图20展示在已通过(举例来说)沉积未掺杂或经轻掺杂多晶硅形成导电材料2001以将沟道1841置成与柱705电连通之后的存储器装置500。如图20中所展示,导电材料2001形成在沟道1841与数据线651、652及653之间通过柱705的连续导电路径。

[0054] 图21展示在已在导电材料2001上方形成电介质材料2101(例如,氧化硅)之后的存储器装置500。

[0055] 图22展示在形成开口(例如,孔2201)、导电材料部分2260及导电材料部分2241之后的存储器装置500。孔2201经形成使得每一孔2201可在沟道1841正上方大致对准,如图22中所图解说明。形成孔2201可包含移除(例如,蚀刻)电介质材料2101的一部分及导电材料2001的一部分(图21),在材料1007中的一位置处停止。孔2201可经形成使得在于形成孔2201期间移除导电材料2001的一部分之后,将导电材料2001分离成导电材料部分2260及导电材料部分2241,如图22中所图解说明。

[0056] 图23展示已形成经掺杂区2301之后的存储器装置500。形成经掺杂区2301可包含将n型杂质插入(例如,植入)到导电材料部分2241的顶部部分中。经掺杂区2301可提供沟道1841与存储器装置500的其它组件之间的相对低电阻连接。

[0057] 图24展示已形成电介质2401及沟道2402之后的存储器装置500。电介质2401(例如,氧化硅)形成于导电材料部分2260的侧壁上孔2201的位置处。沟道2402形成于电介质材料2101的侧壁上及电介质2401上。

[0058] 图25展示在已在孔2201中的每一者中形成导电材料2501使得沟道2402可通过导电材料2501、经掺杂区2301及导电材料部分2241电耦合到沟道1841之后的存储器装置500。在孔2201中的每一者中形成导电材料2501可包含在材料上方沉积导电材料(例如,多晶硅),使得所述导电材料填充孔2201。接着,可通过(举例来说)回蚀导电材料或通过化学机械平面化(CMP)来移除所述导电材料的顶部部分。

[0059] 图26展示在已形成经掺杂区2601以及选择线2661、2662及2663之后的存储器装置500。形成经掺杂区2601可包含将n型杂质插入(例如,植入)到导电材料2501的顶部部分中。形成选择线2661、2662及2663可包含移除电介质材料2101及导电材料部分2260的部分以形成沟槽2602,沟槽2602具有部分地延伸到材料1007中的沟槽底部。如图26中所展示,沟槽2602将导电材料部分2260分离成可对应于图2的选择线261、262及263的选择线2661、2662及2663。

[0060] 图27展示在已形成材料2701及共用源极2770之后的存储器装置500。形成材料2701可包含在材料2101上方沉积电介质材料(例如,二氧化硅),使得所述电介质材料填充沟槽2602。接着,可通过(举例来说)回蚀电介质材料或通过CMP来移除所述电介质材料的顶部部分。形成共用源极2770可包含在材料2701及2101上方沉积导电材料(例如,金属)。

[0061] 图28展示在处理(例如,通过图案化)区域702(图10)中的材料1001到1007以形成阶梯状图案之后的存储器装置500,其中图28中未展示阶梯之间的材料。如上文在图10的描述中所提及,为清晰起见从图10到图27的区域702省略材料1001到1007的一些部分。图28展示在已处理区域702中的材料1001到1007以形成阶梯状图案之后的所述材料。如图28中所展示,控制栅极1221、1222及1223分别由形成于阶梯状图案中的材料1002、1004及1006形成。

[0062] 图29展示在已形成触点2929、2949及2959之后的存储器装置500。触点2929提供通往控制栅极1221、1222及1223的电连接。触点2949通往选择线841、842、843及844的电连接。触点2959提供通往及来自数据线651、652及653的电连接。

[0063] 如图29中所展示,存储器装置500可包含类似于或等同于上文参考图2及图3所描

述的存储器装置300的组件及存储器单元210、211及212的组件及存储器单元2910、2911及2912。

[0064] 所属领域的技术人员可容易认识到,可执行额外工艺以形成存储器装置(例如上文所描述的存储器装置500)的额外特征。因此,为了帮助集中于本文中所描述的实施例上,上文所描述的图5到图29及下文所描述的图30到图38展示存储器装置(例如存储器装置500)的特征中的仅一些特征。

[0065] 图30展示根据本发明的实施例的具有位于存储器单元210、211及212上面的数据线251、252及253的存储器装置300的一部分的示意图。存储器装置300可包含类似于图3的存储器装置200的那些组件的组件。因此,为简单起见,对存储器装置200与存储器装置3000之间的类似或相同组件赋予相同编号标识。图30中不重复对这些类似组件的详细描述。存储器装置3000与存储器装置200之间的主要差异包含存储器装置3000的数据线251、252及253以及共用源极3070的位置以实现全局擦除操作。如图30中所展示,数据线251、252及253位于存储器单元210、211及212上面。共用源极3070位于存储器单元210、211及212下面且可直接耦合到存储器装置3000的衬底(例如,图31中的衬底3101)的至少一部分。与存储器装置200的擦除操作(例如,局部擦除操作)相比,此主要差异可允许在擦除操作期间以不同方式将电压施加到存储器装置3000的各种组件,且存储器装置3000以不同方式发挥作用(例如,在全局擦除操作期间)。举例来说,在存储器装置3000的擦除操作中,可将约20伏的电压施加到共用源极3070,同时可使控制栅极221、221及223、数据线251、252及253、选择线241、242及243以及选择线261、262及263“浮动”。在此擦除操作中,来自存储器单元210、211及212的存储器元件的电子可移动(例如,通过隧穿)到共用源极3070(例如,全局擦除)。在如上文参考图2、图3及图4所描述的存储器200中,在擦除操作期间,来自存储器单元210、211及212的存储器元件的电子可移动到数据线251、253及253(例如,局部擦除)。

[0066] 图31展示根据本发明的实施例的图30的存储器装置3000的一部分的3D视图。如图31中所展示,数据线251、252及253位于存储器单元210、211及212上面,共用源极3070位于存储器单元210、211及212下面且耦合到衬底3101。衬底3101可包含半导体材料,例如p型硅。

[0067] 如图31中所展示,每一串中的存储器单元210、211及212(例如,在晶体管231与232之间的存储器单元)相对于衬底3101沿Z方向大致垂直对准。晶体管232可包含类似于图3的晶体管231的双栅极(图3)或环绕式栅极(图9)的双栅极或环绕式栅极。图31还展示沿Z方向垂直延伸且穿过在对应于图30的晶体管231及232的晶体管231与232之间的相同串中的存储器单元210、211及212的存储器元件430的沟道441及导电材料部分442。

[0068] 存储器单元210、211及212中的每一者中的存储器元件430具有环形状。如图31中所展示,在相同串中的存储器单元210、211及212内,每一存储器单元的整个环形状存储器元件430与相同串中的其它存储器单元中的每一者的整个环形状存储器元件大致垂直对准(沿Z方向)。

[0069] 图32到图38展示根据本发明的实施例的形成具有位于存储器单元上面的数据线的存储器装置3200的各种工艺。存储器装置3200(图38中更详细地展示)可对应于图31的存储器装置3000。

[0070] 图32展示具有衬底3201以及形成于衬底3201的顶部部分上的沟槽3211、3212及

3213以及衬底部分3270及3271的存储器装置3200。衬底3201可包含半导体材料,例如块体硅。可通过将p型杂质插入(例如,植入)到衬底3201的顶部部分中来形成顶部衬底部分3270及3271。因此,衬底部分3270及3271可包含p型硅。形成沟槽3211、3212及3213以及衬底部分3270可包含移除(例如,蚀刻)衬底部分3271的一部分。在存储器装置3200的写入或读取操作期间,衬底部分3270可耦合到一电位,例如耦合到接地。在存储器装置3200的擦除操作期间,衬底部分3270可耦合到一电压,举例来说,约20伏。

[0071] 图33展示在已在沟槽3211、3212及3213(图32)中形成材料3301之后的存储器装置3200。形成材料3301可包含在衬底3201上方沉积电介质材料(例如,氧化硅)以填充沟槽3211、3212及3213。接着,可通过(举例来说)CMP来移除所述电介质材料的顶部部分。

[0072] 图34展示在已形成材料3401以及沟槽3411、3412及3413以及装置结构3460之后的存储器装置3200。形成材料3401可包含在衬底3201及材料3301上方沉积电介质材料(例如,氧化硅或氮化硅)。形成沟槽3411、3412及3413可包含移除(例如,蚀刻)衬底3201、材料3301及材料3401的部分。由于沟槽3411、3412及3413的形成而形成装置结构3460。

[0073] 图35展示在形成经掺杂区3501、材料3502以及选择线3561、3562及3563之后的存储器装置3200。形成经掺杂区3501可包含将n型杂质插入(例如,植入)到衬底部分3271的选择性部分中。可在每一装置结构3460的两个侧上形成材料3502(例如,氧化硅)以使选择线3561、3562及3563与装置结构3460电隔离。选择线3561、3562及3563的材料可包含一种或一种以上导电材料,例如一种或一种以上金属、合金、其它导电材料或其组合。选择线3561、3562及3563可对应于图30的存储器装置3000的选择线261、262及263。

[0074] 图36展示在已在沟槽3411、3412及3413中形成材料3601之后的存储器装置3200。形成材料3601可包含沉积电介质材料(例如,二氧化硅)以填充沟槽3411、3412及3413。接着,可通过(举例来说)回蚀导电材料或通过CMP(在衬底部分3270处停止)来移除所述电介质材料的顶部部分。

[0075] 图37展示在已通过移除(例如,通过湿蚀刻)用于形成选择线3561、3562及3563的材料的顶部部分形成凹槽3701之后的存储器装置3200。或者,可省略形成凹槽3701。

[0076] 图38展示在已形成其它组件之后的存储器装置3200。用于形成图38中的存储器装置3200的组件的工艺可包含用于形成上文参考图10到图29所描述的存储器装置500的组件的类似或等同工艺。举例来说,可使用类似于或等同于形成上文参考图5到图29所描述的存储器装置500的控制栅极1221、1222及1223的那些工艺的工艺来形成图38的控制栅极3821、3822及3823。图38的数据线3851、3852及3853可对应于图30及图31的数据线251、252及253。如图38中所展示,存储器装置3200可包含可使用类似于或等同于形成上文参考图5到图29所描述的存储器装置500的存储器单元2910、2911及2912的那些工艺的工艺而形成的存储器单元3810、3811及3812。

[0077] 本文中所述的一个或一个以上实施例包含一种存储器装置及形成所述存储器装置的方法。一个此种存储器装置可包含存储器单元的第一群组,所述第一群组中的每一单元形成于位于所述存储器装置的一个装置层级中的第一控制栅极的相应腔中。所述存储器装置还可包含存储器单元的第二群组,所述第二群组中的每一单元形成于位于所述存储器装置的另一装置层级中的第二控制栅极的腔中。还描述额外设备及方法。上文参考图1到图38描述了包含额外设备及方法的其它实施例。

[0078] 对例如存储器装置100、200、500、3000及3200以及存储器单元210、211、212、2910、2911、2912、3010、3811及3812的设备的图解说明既定提供各种实施例的结构的大体理解而非对可利用本文中所描述的结构的所有元件及特征的完整描述。

[0079] 各种实施例的设备可包含或包含于用于高速计算机、通信与信号处理电路、存储器模块、便携式存储器存储装置(例如,拇指驱动器)、单或多处理器模块、单个或多个嵌入式处理器、多核心处理器、数据交换机及包含多层、多芯片模块的专用模块中的电子电路中。此设备可作为子组件进一步包含于多种电子系统内,例如电视、蜂窝式电话、个人计算机(例如,膝上型计算机、桌上型计算机、手持式计算机、平板计算机等)、工作站、无线电装置、视频播放器、音频播放器(例如,MP3(动画专家组,音频层3)播放器)、车辆、医疗装置(例如,心脏监测器、血压监测器等)、机顶盒及其它电子系统。

[0080] 以上描述及图式图解说明本发明的一些实施例以使所属领域的技术人员能够实践本发明的实施例。其它实施例可并入有结构、逻辑、电、工艺及其它改变。实例仅代表可能的变化形式。一些实施例的部分及特征可包含于其它实施例的那些部分及特征中或替代其它实施例的那些部分及特征。在研究并理解以上描述之后,所属领域的技术人员将即刻明了许多其它实施例。

[0081] 提供本发明摘要以符合37C.F.R. §1.72(b),其需要将允许读者快速探知技术揭示内容的本质及要旨的摘要。提交本发明摘要是基于以下理解:其并非将用于解释或限制权利要求书的范围或含义。

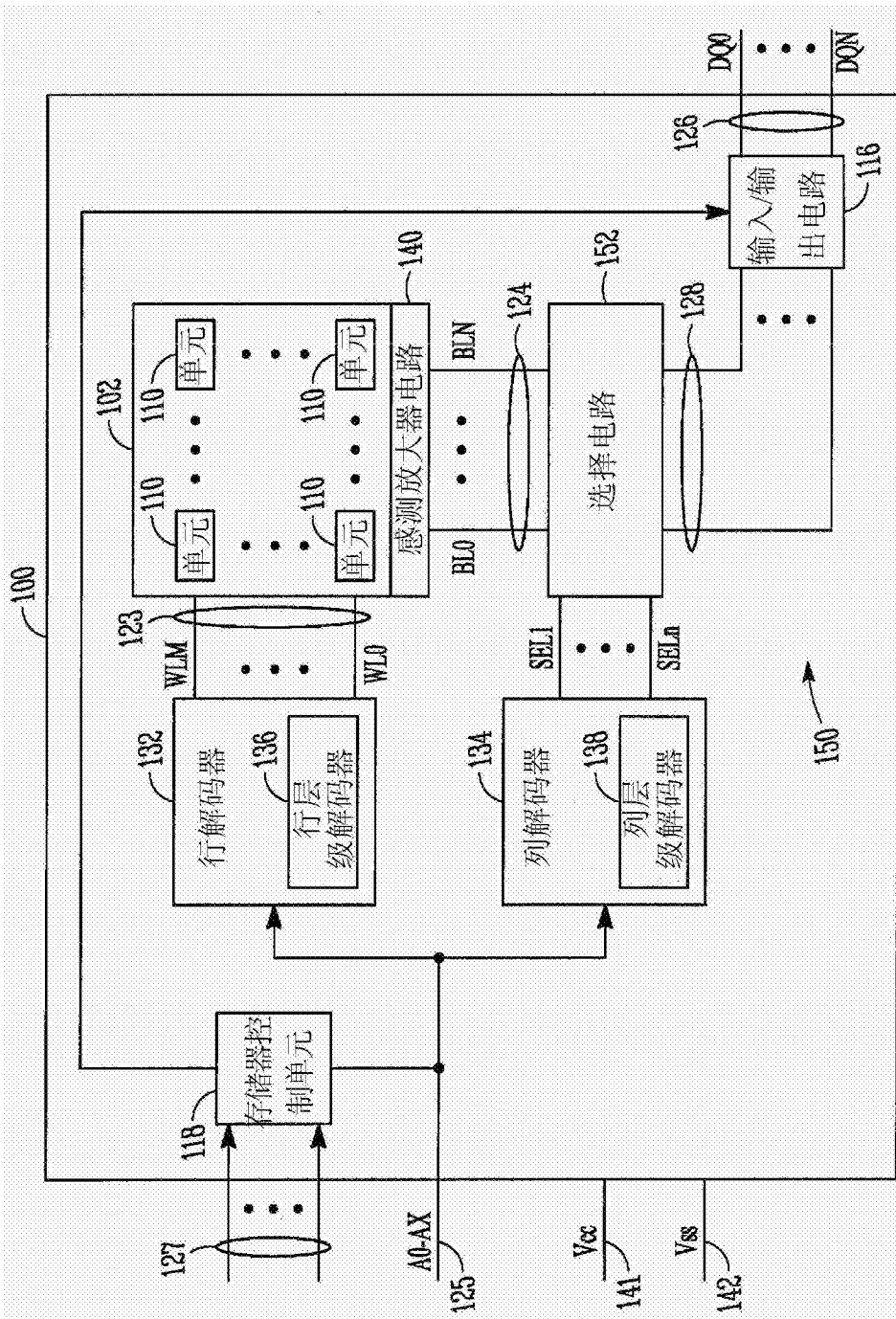


图1

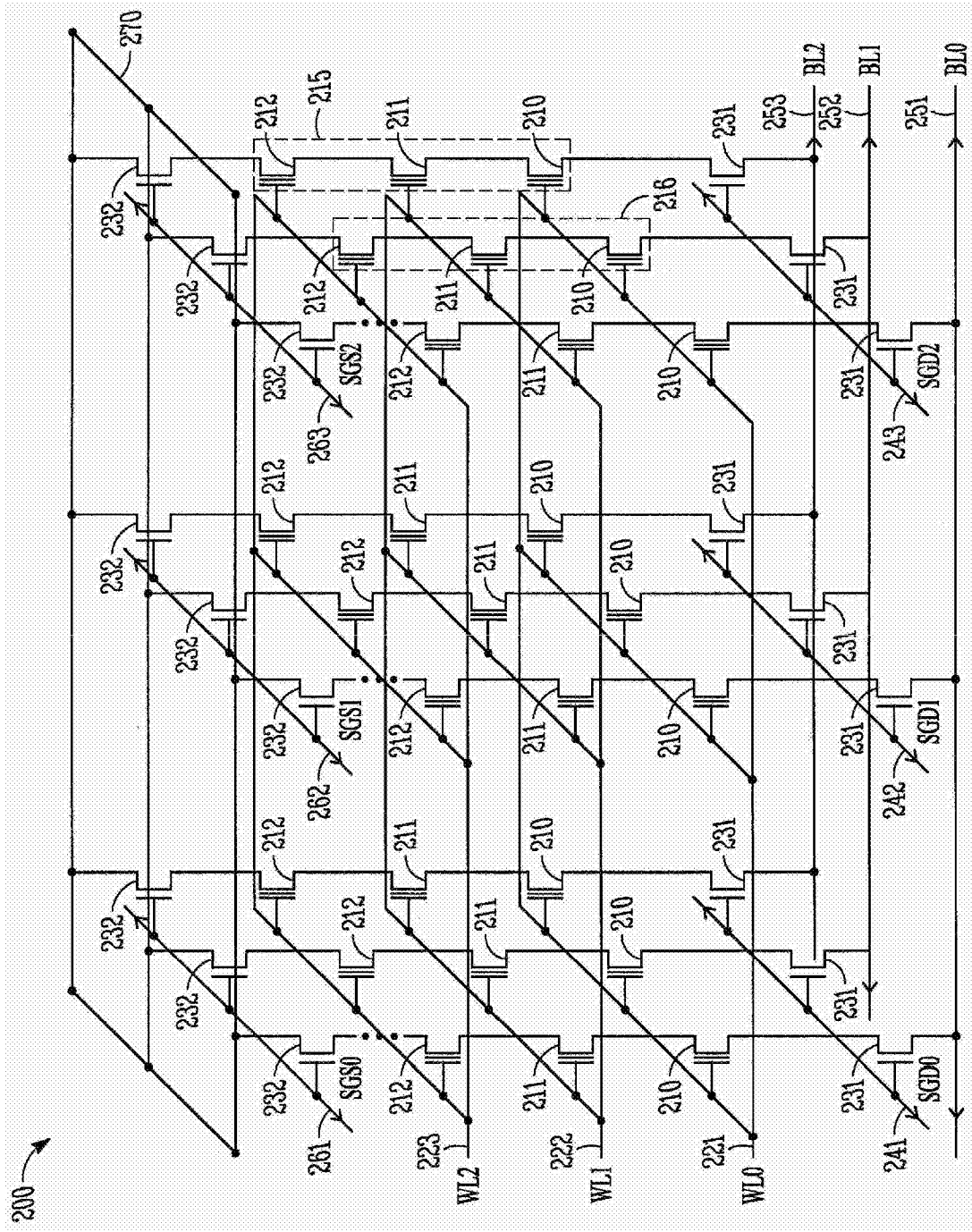


图2

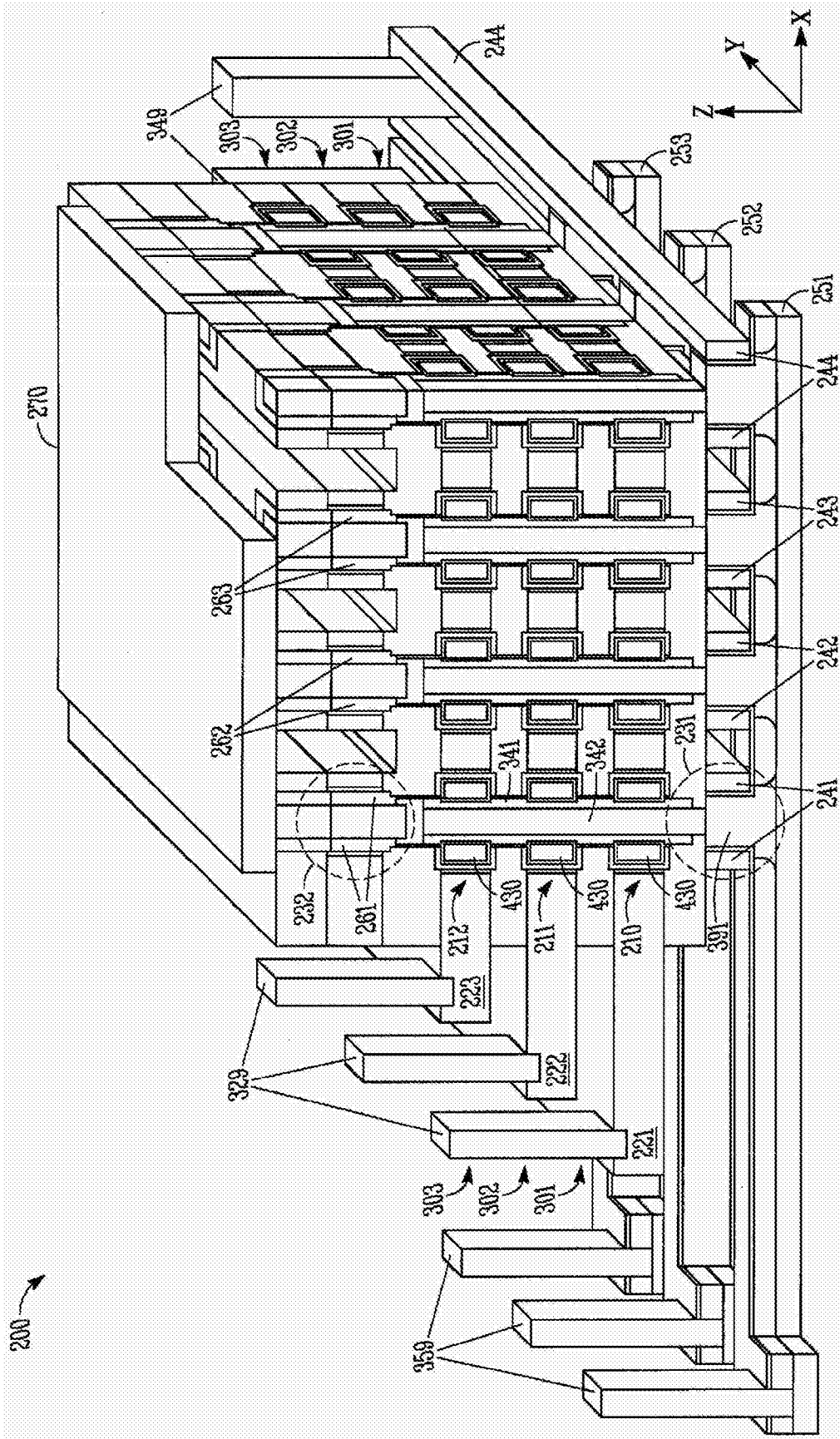


图3

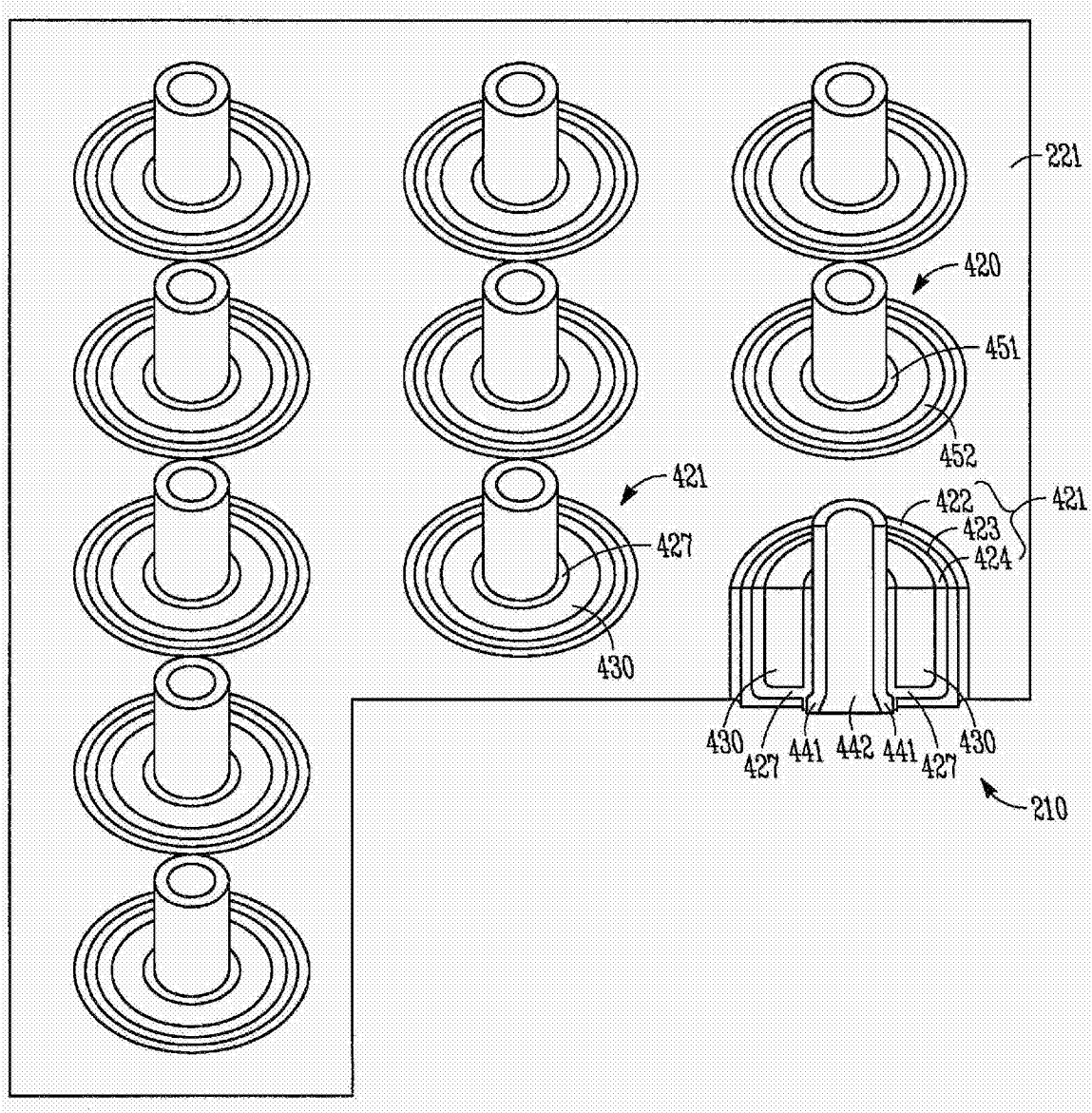


图4

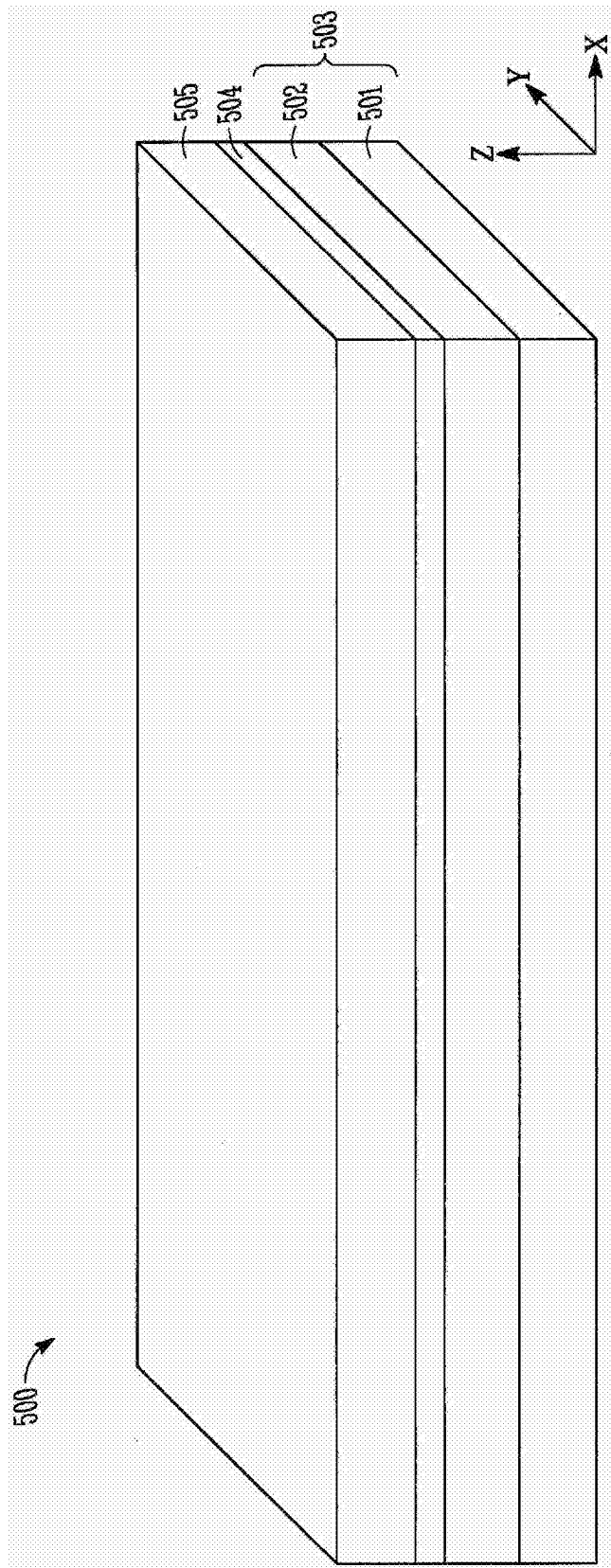


图5

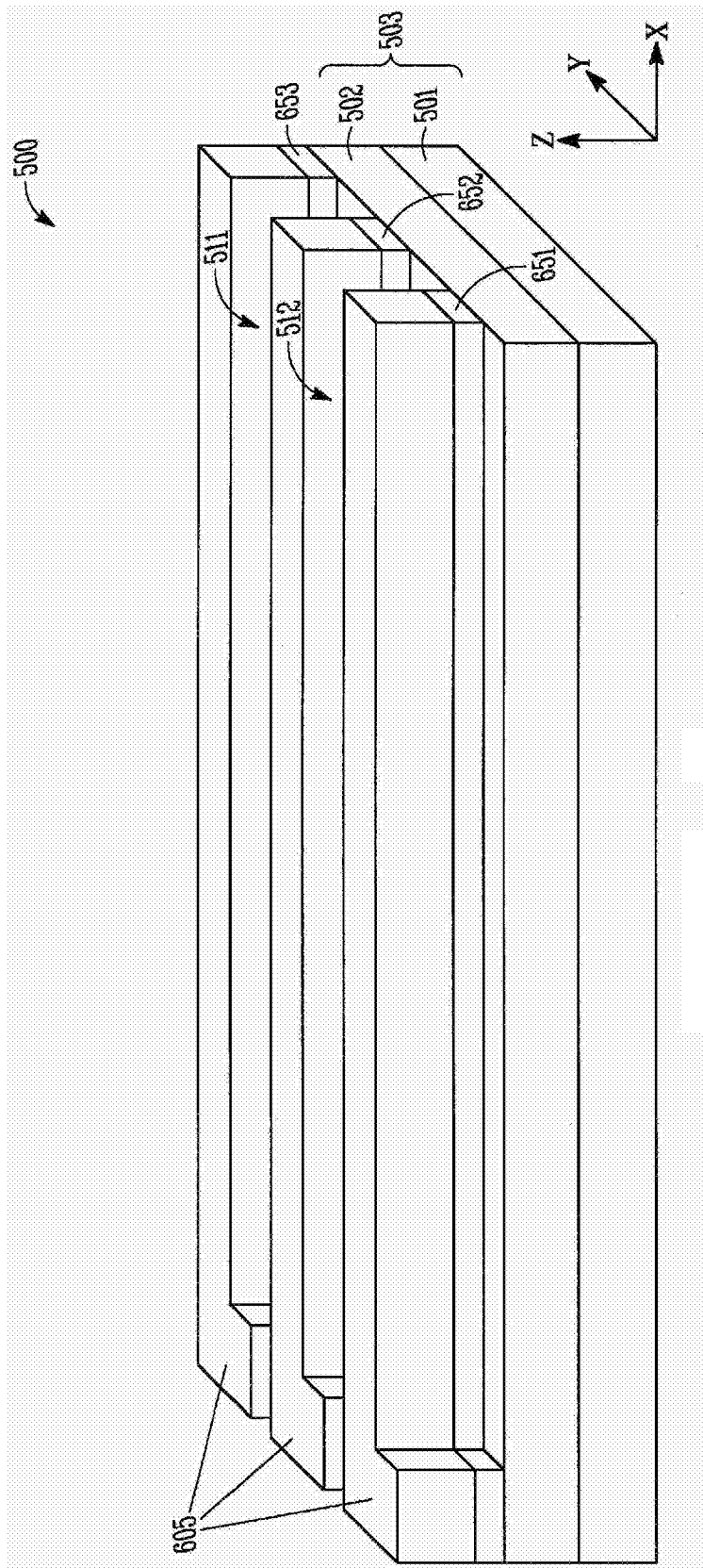


图6

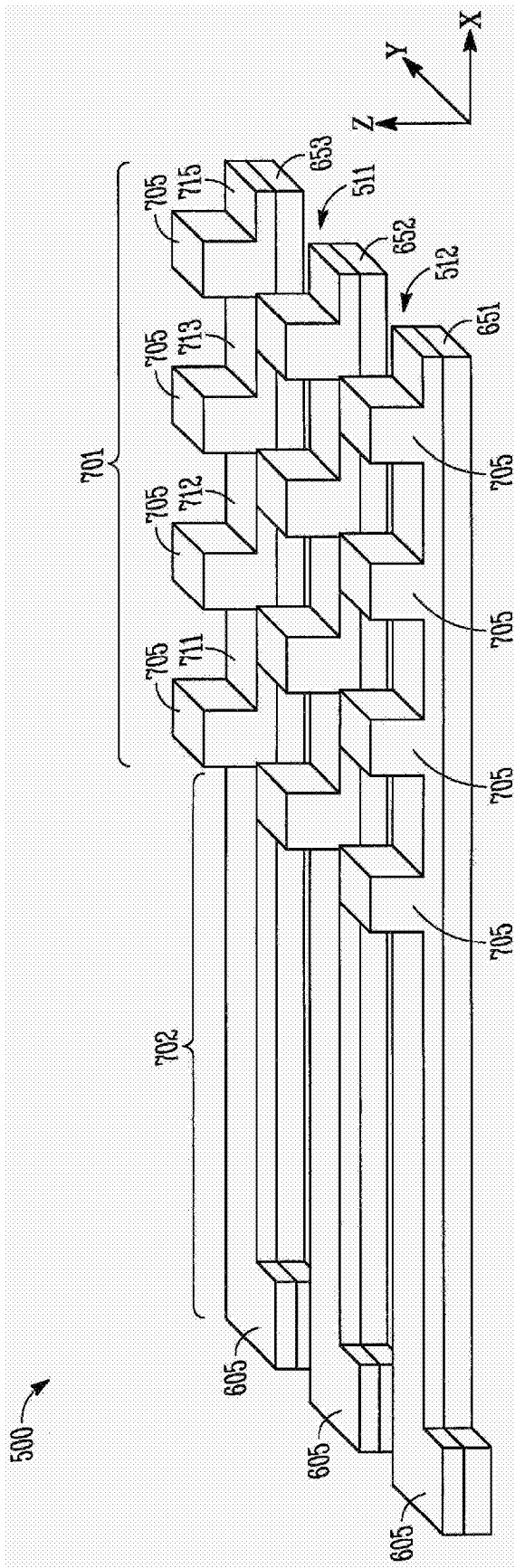


图7

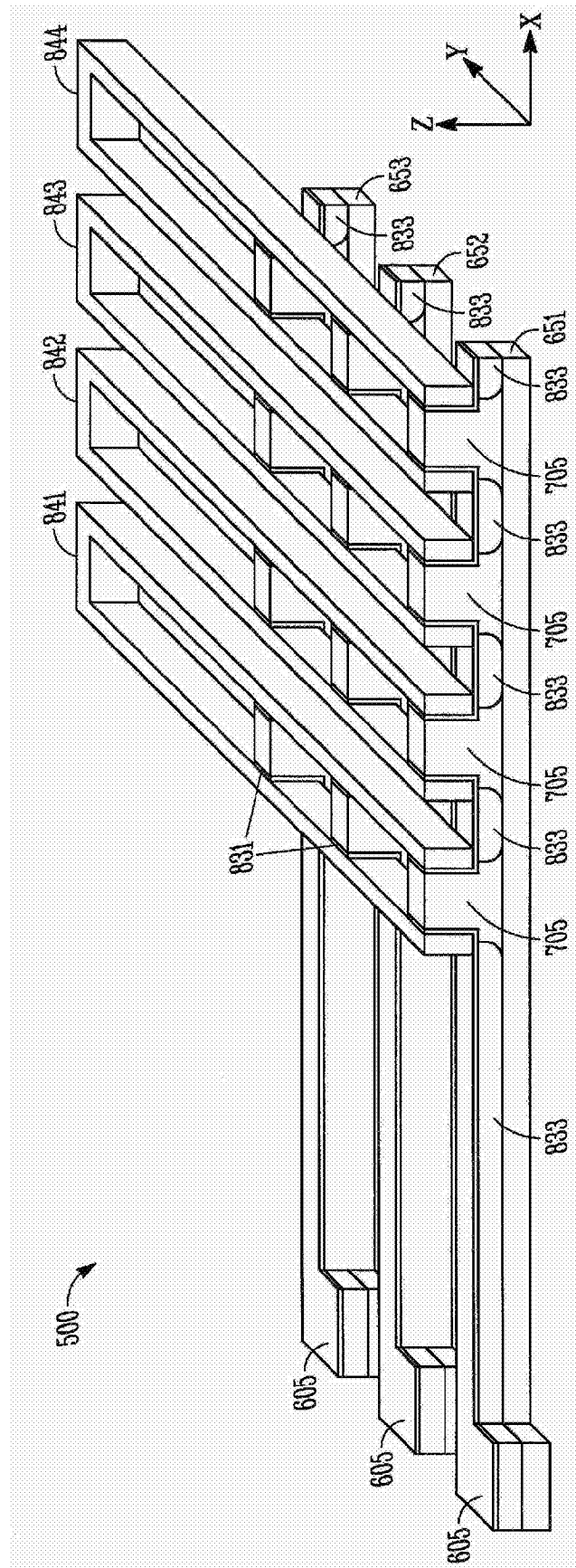


图8

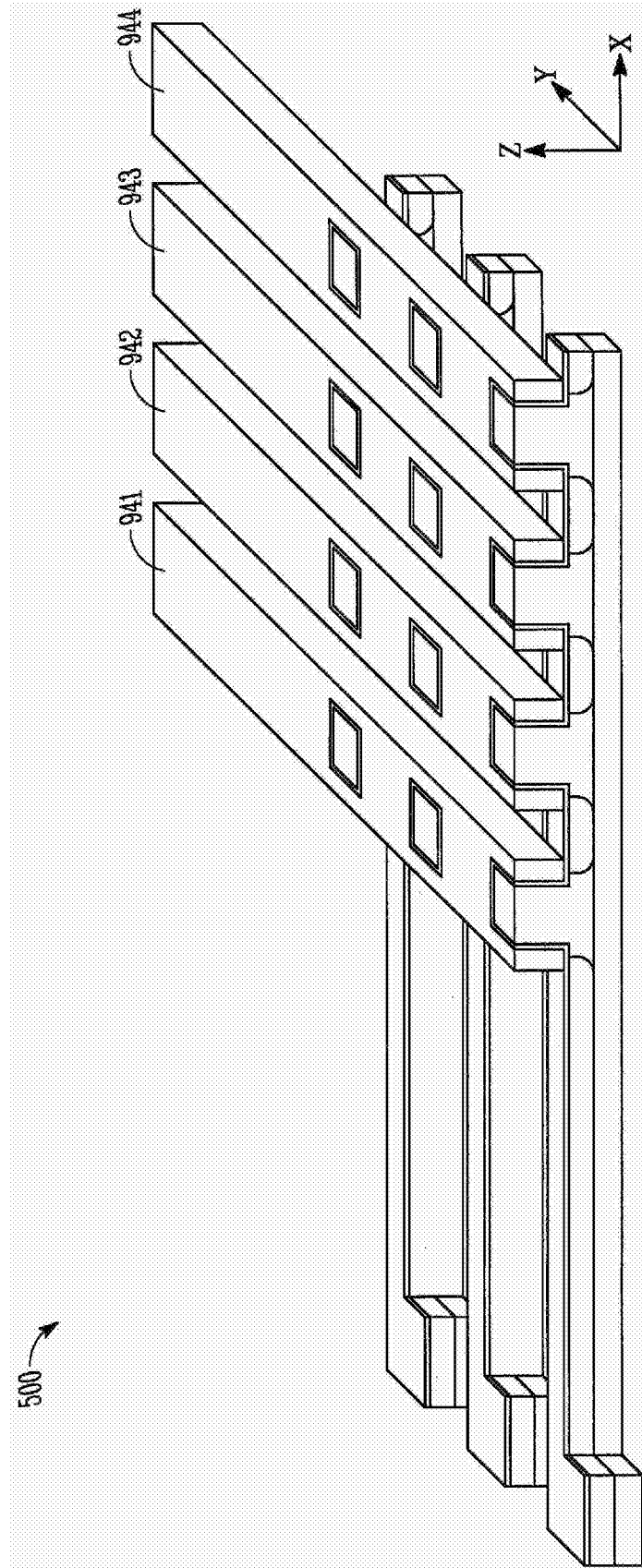


图9

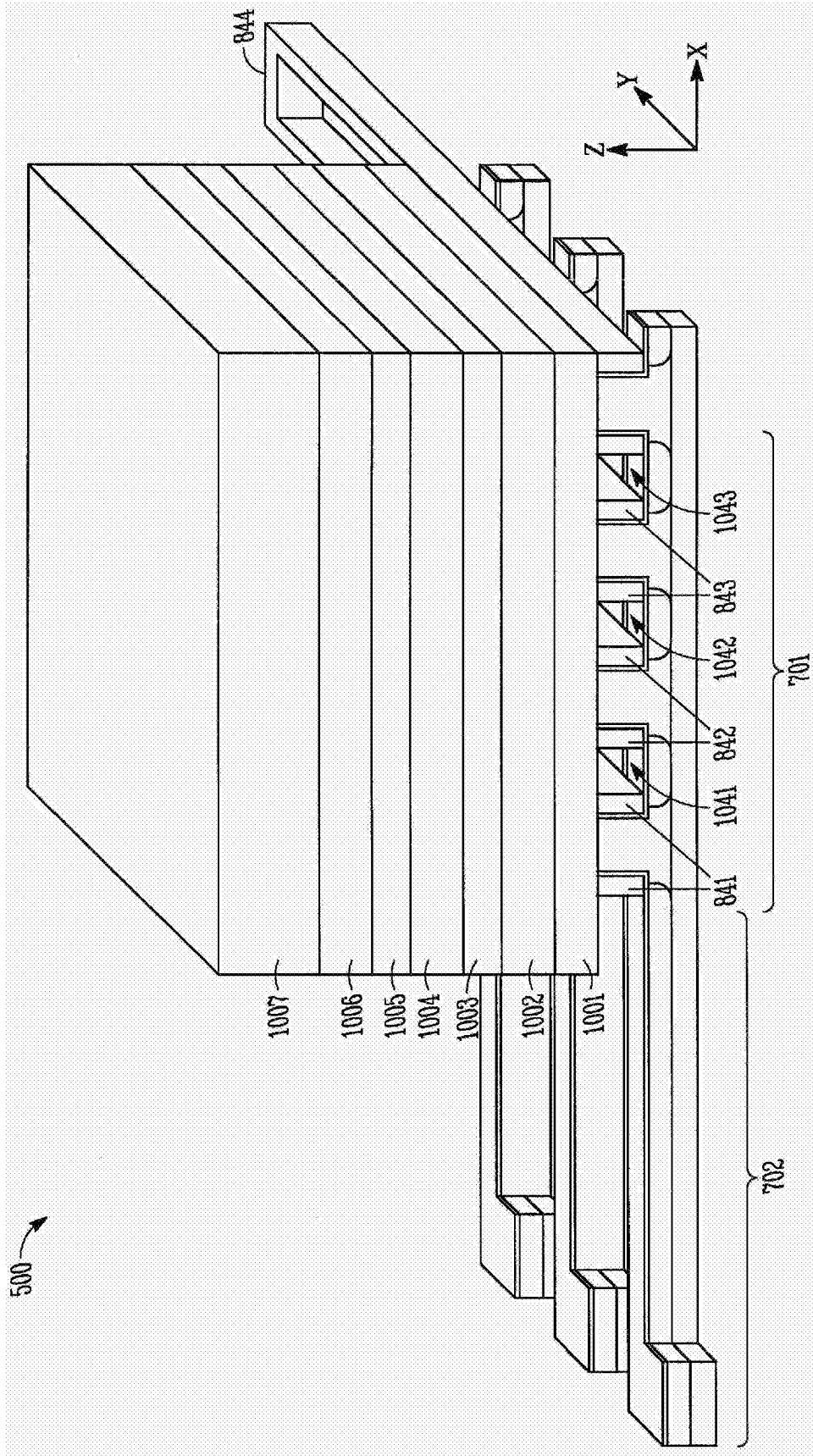


图10

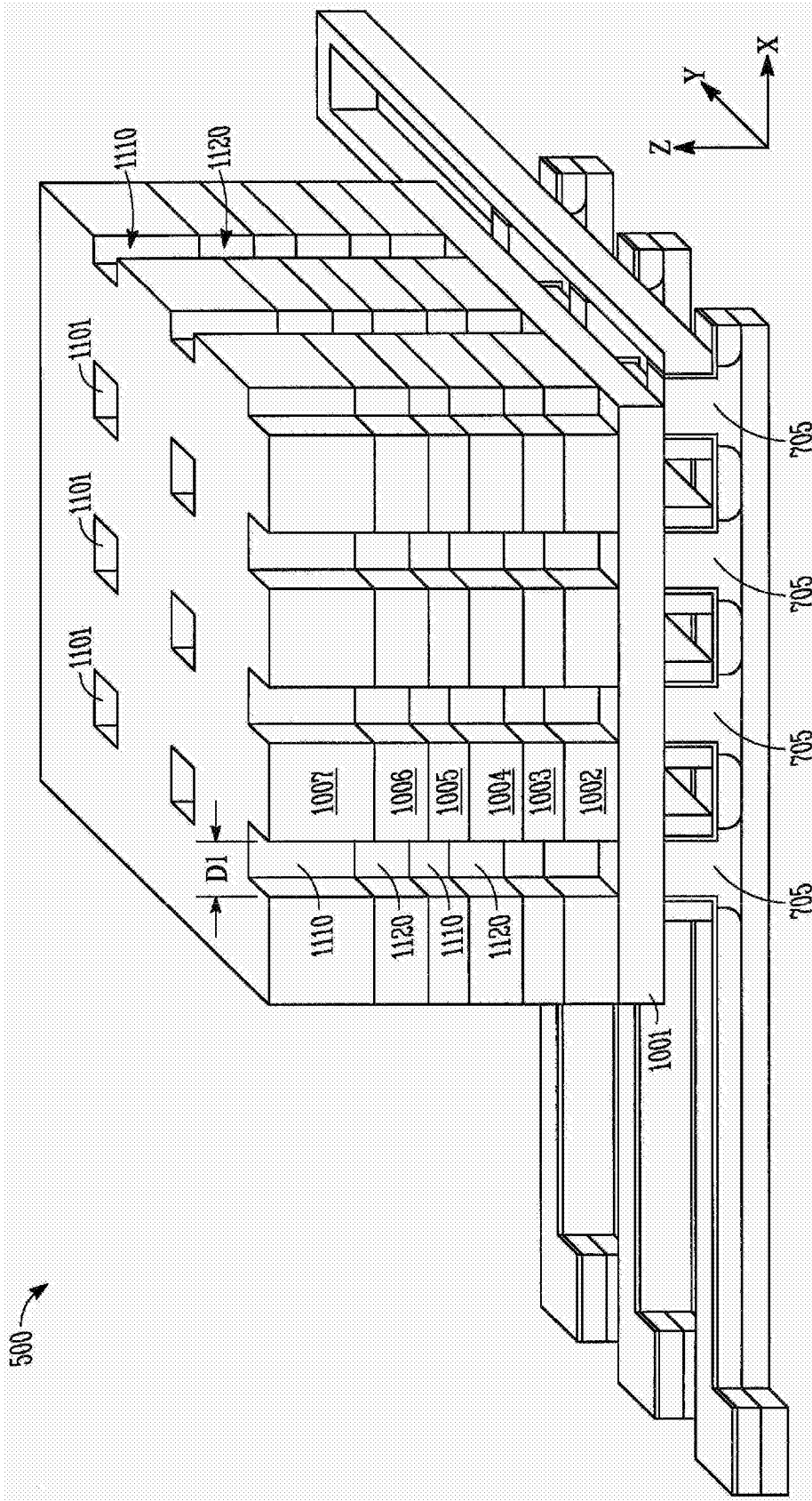


图11

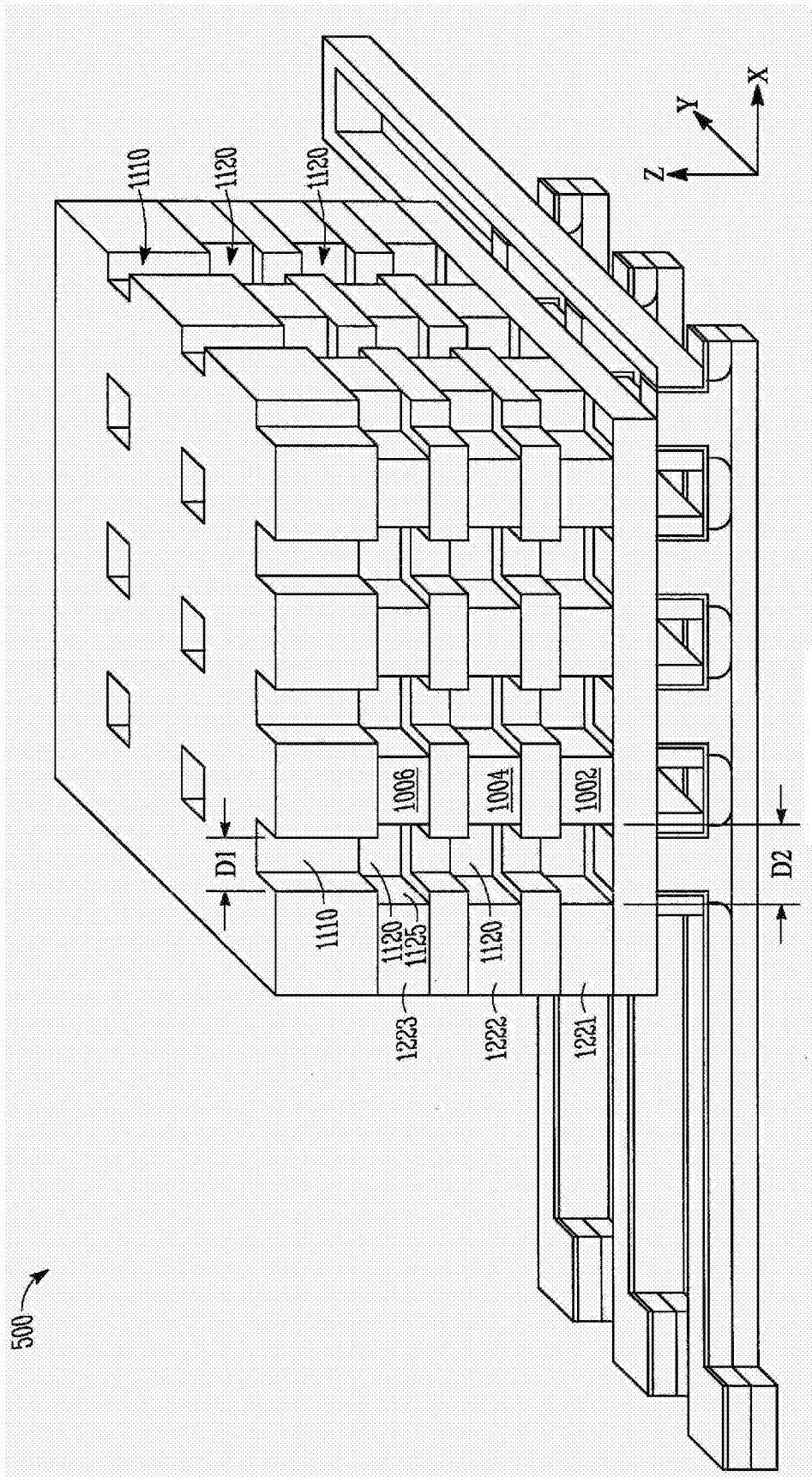


图12

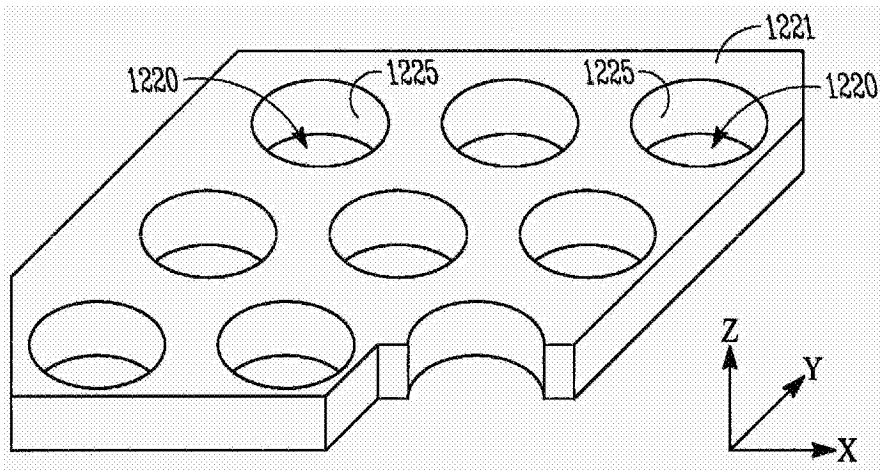


图13

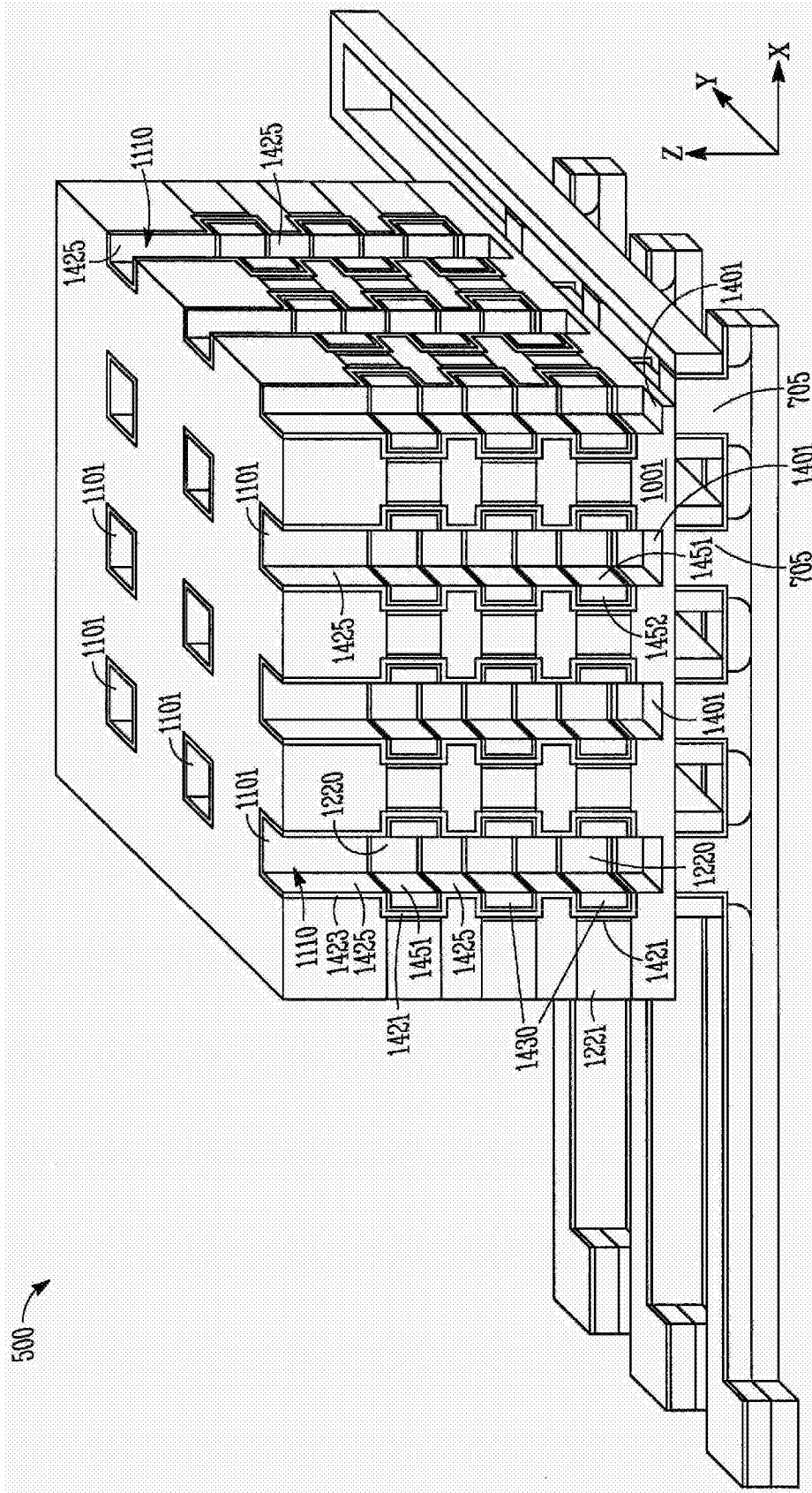


图14

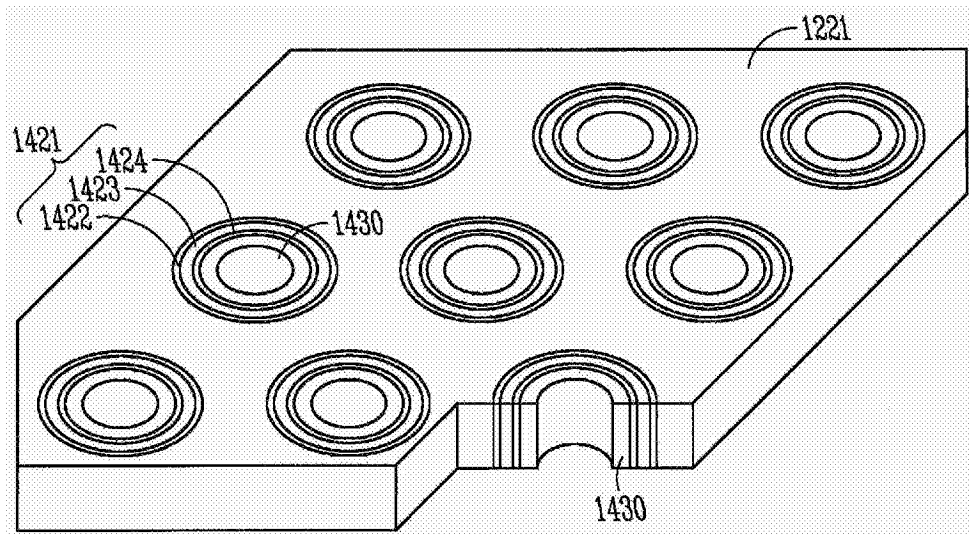


图15

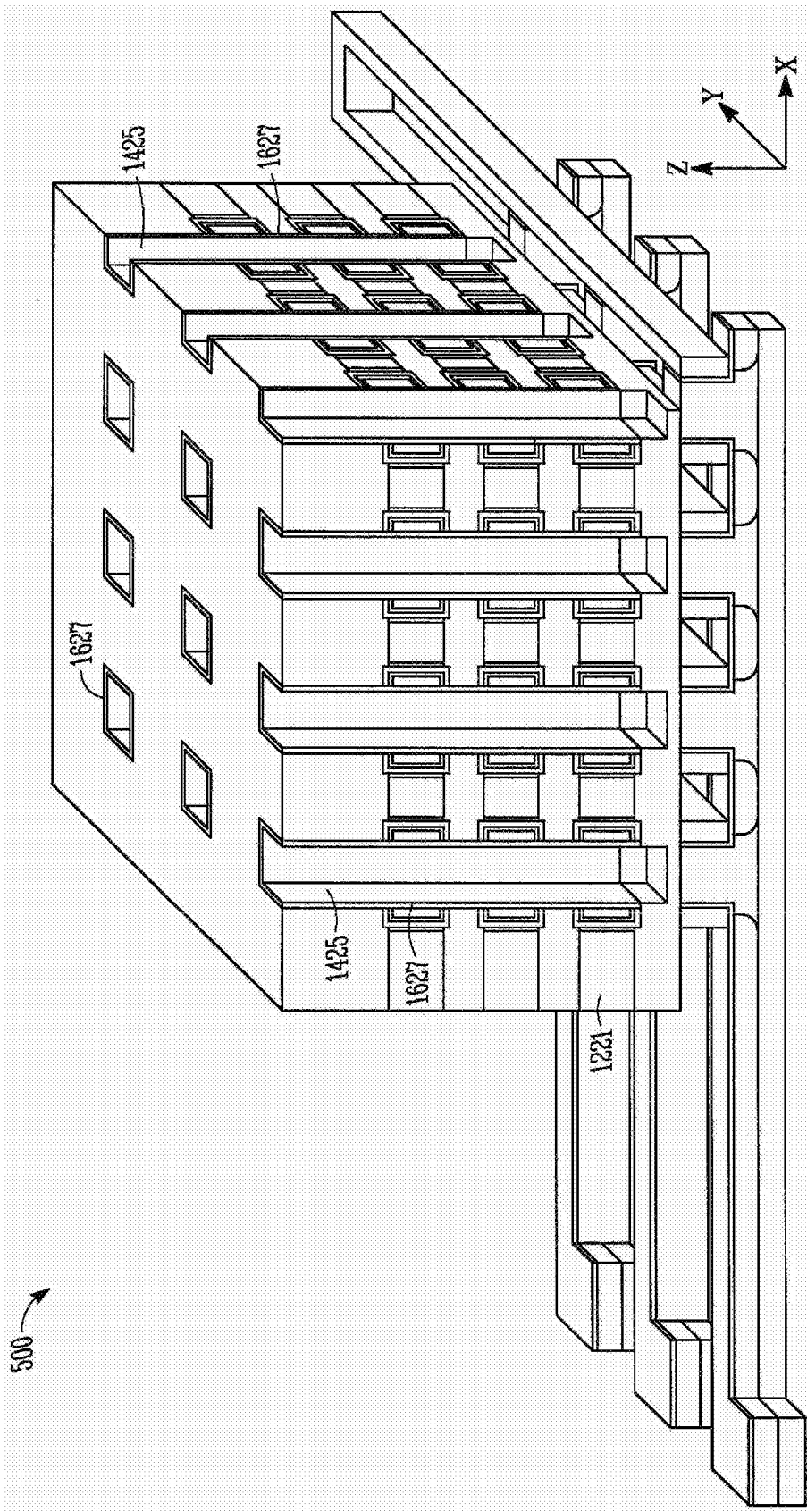


图16

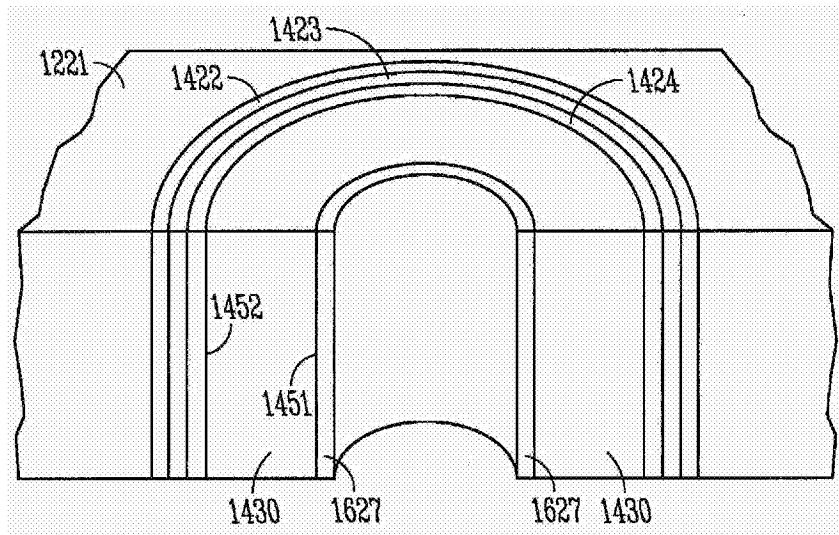


图17

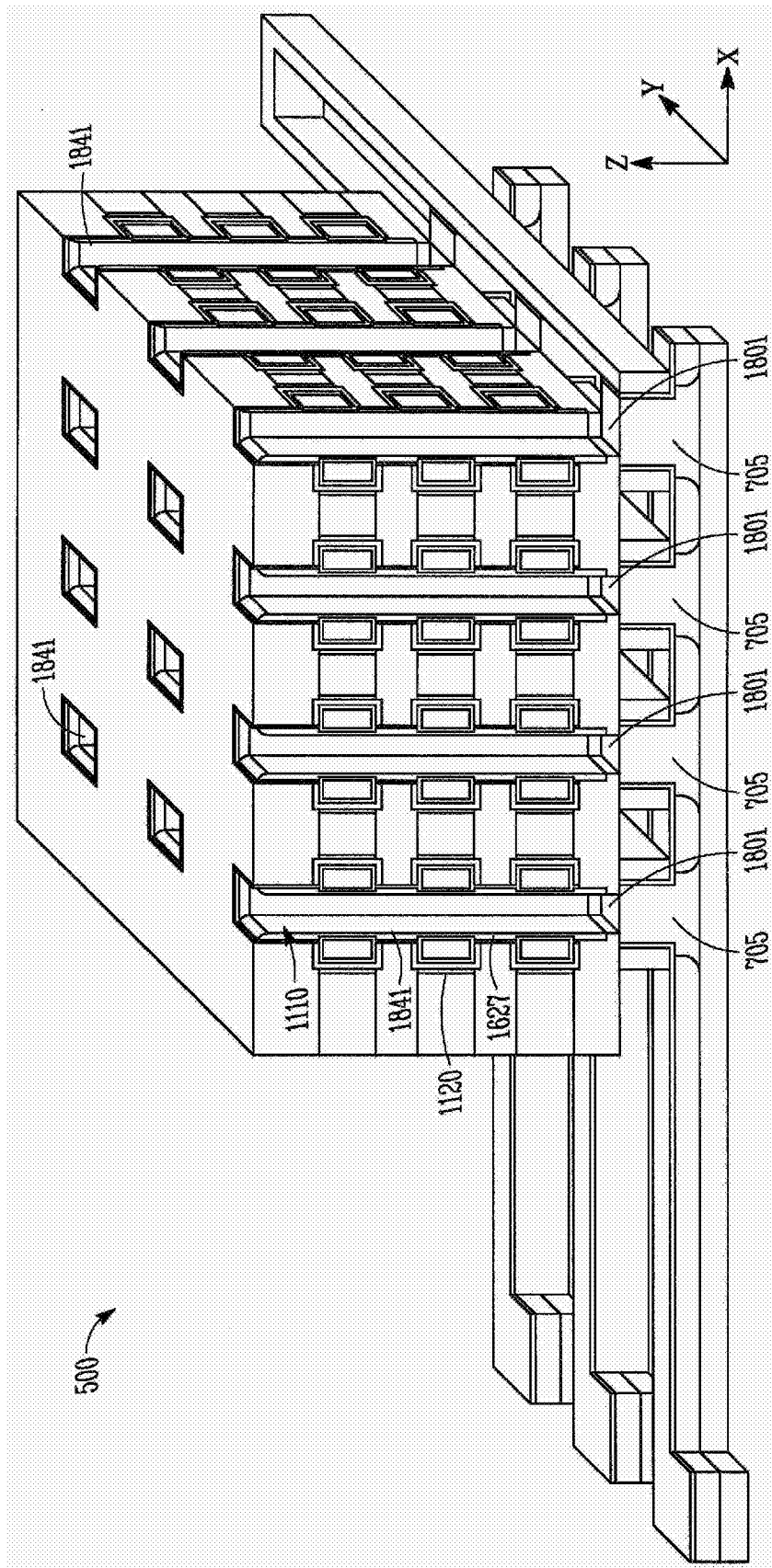


图18

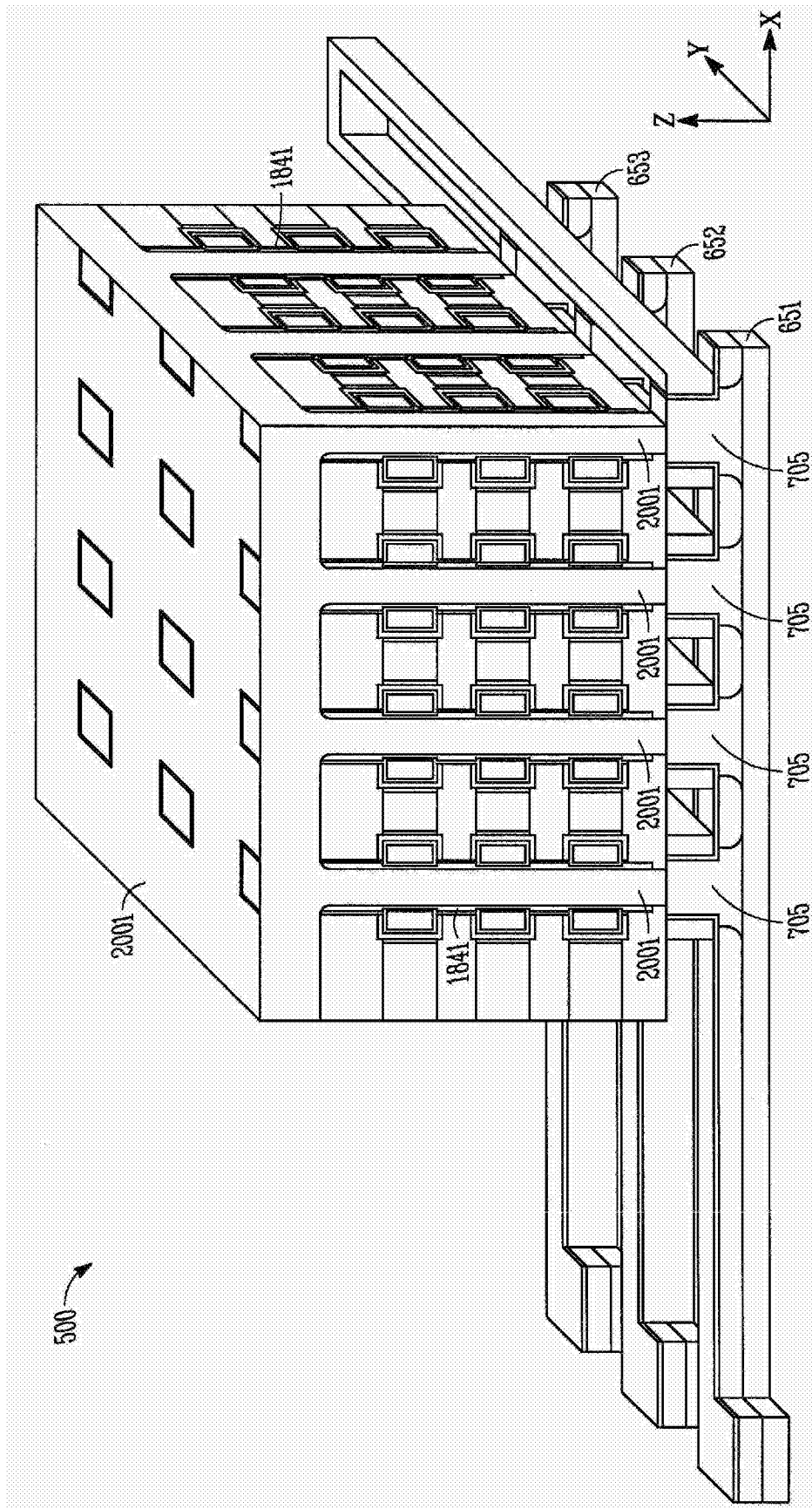


图20

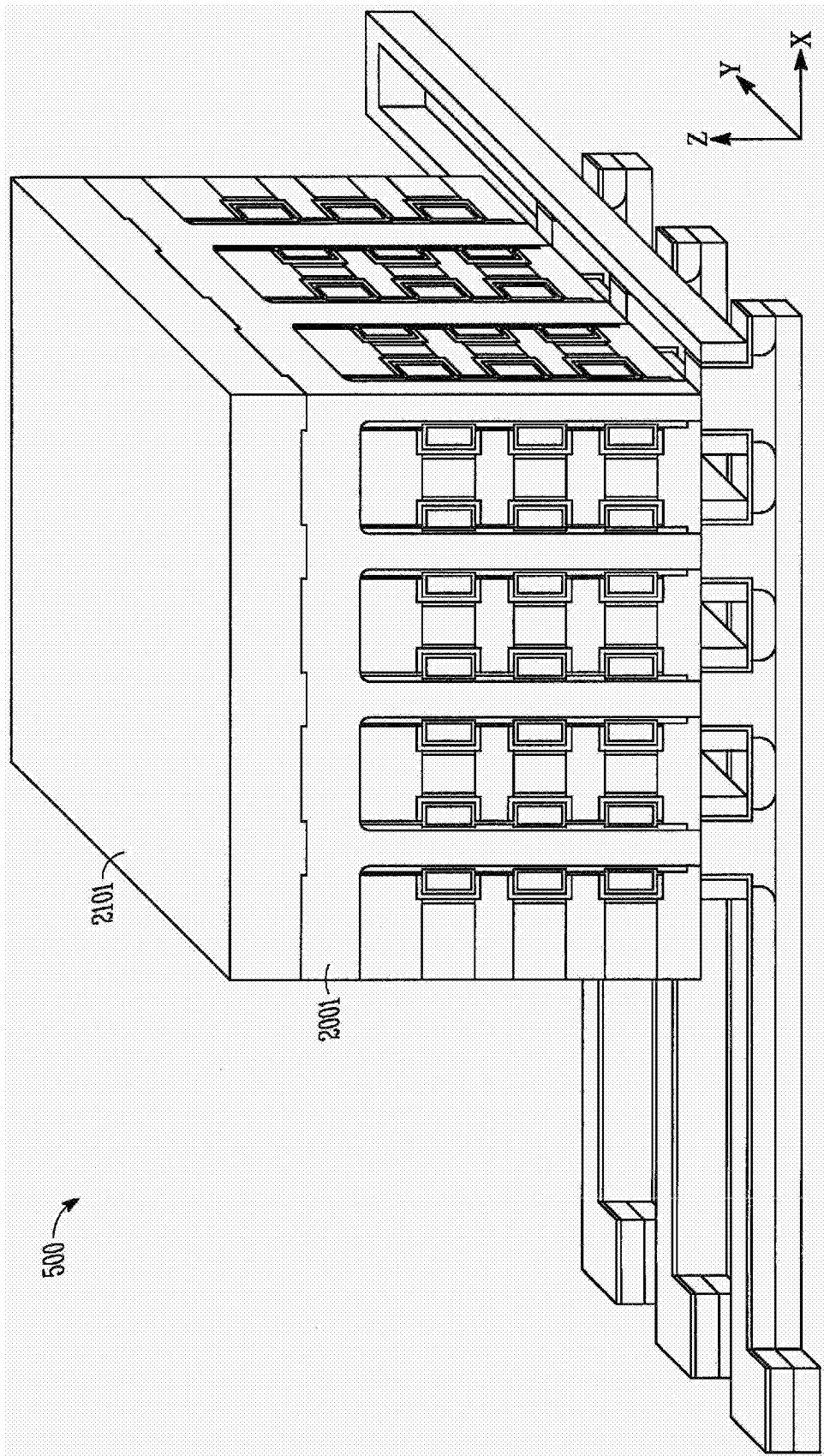


图21

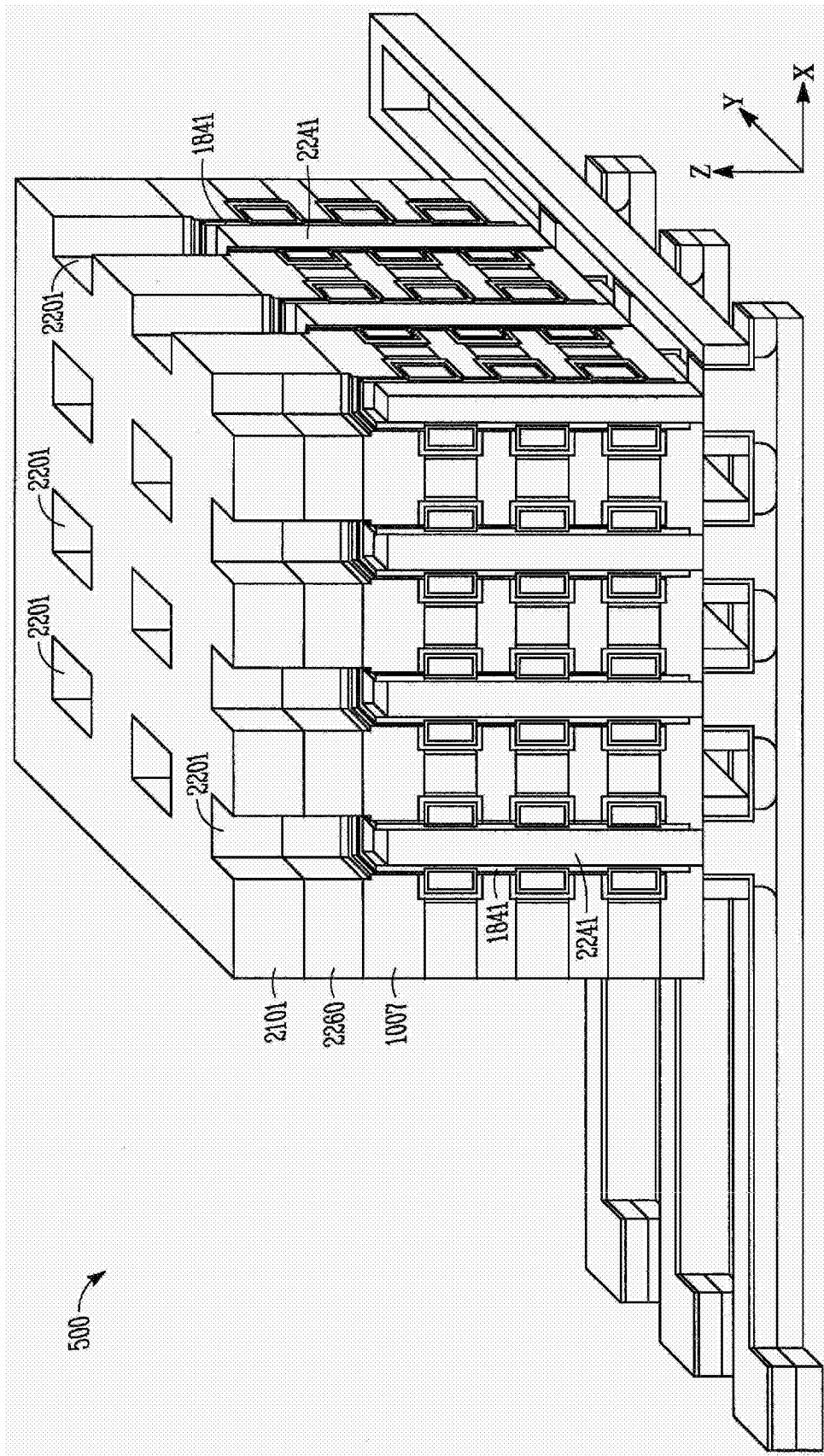


图22

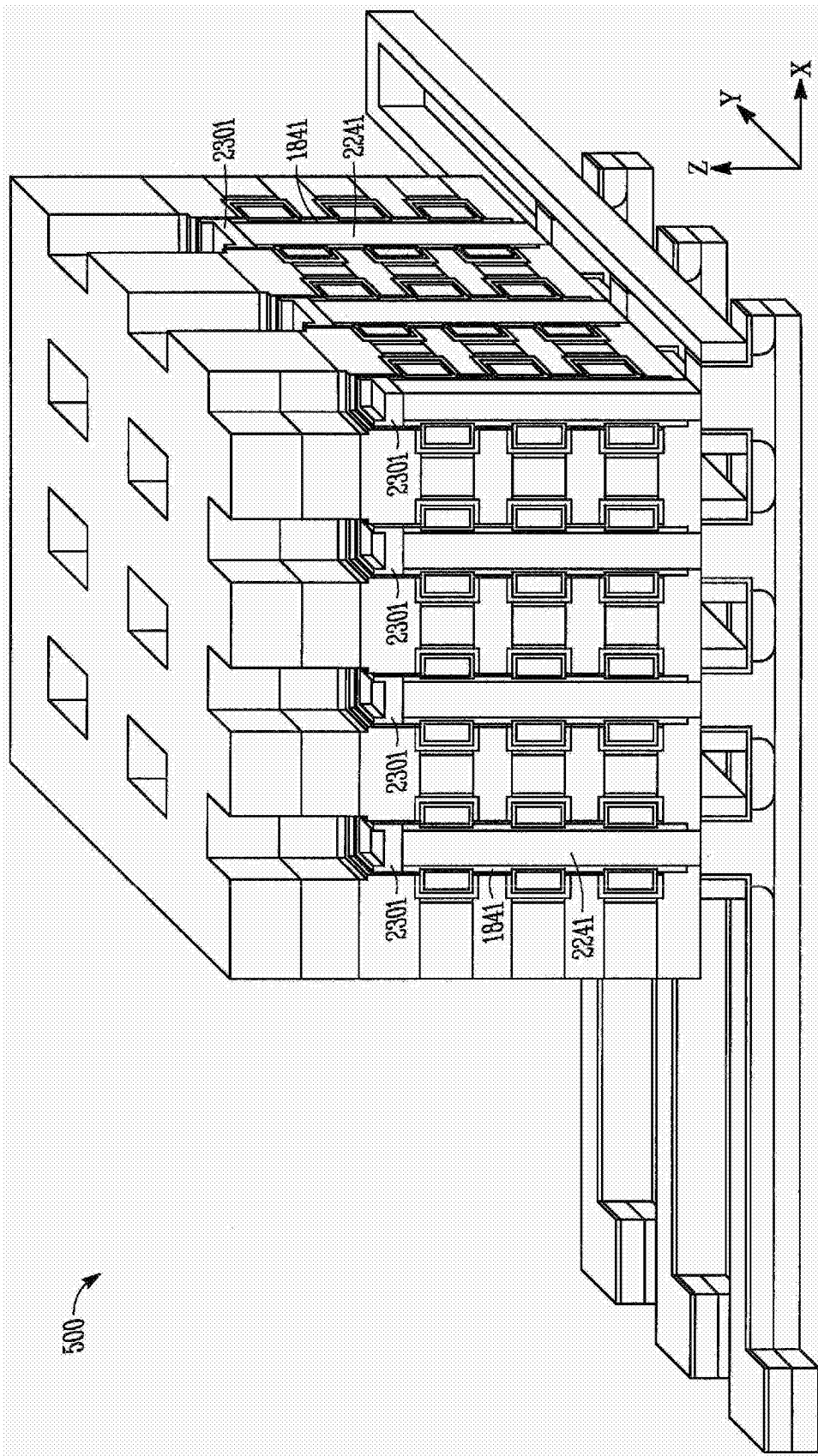


图23

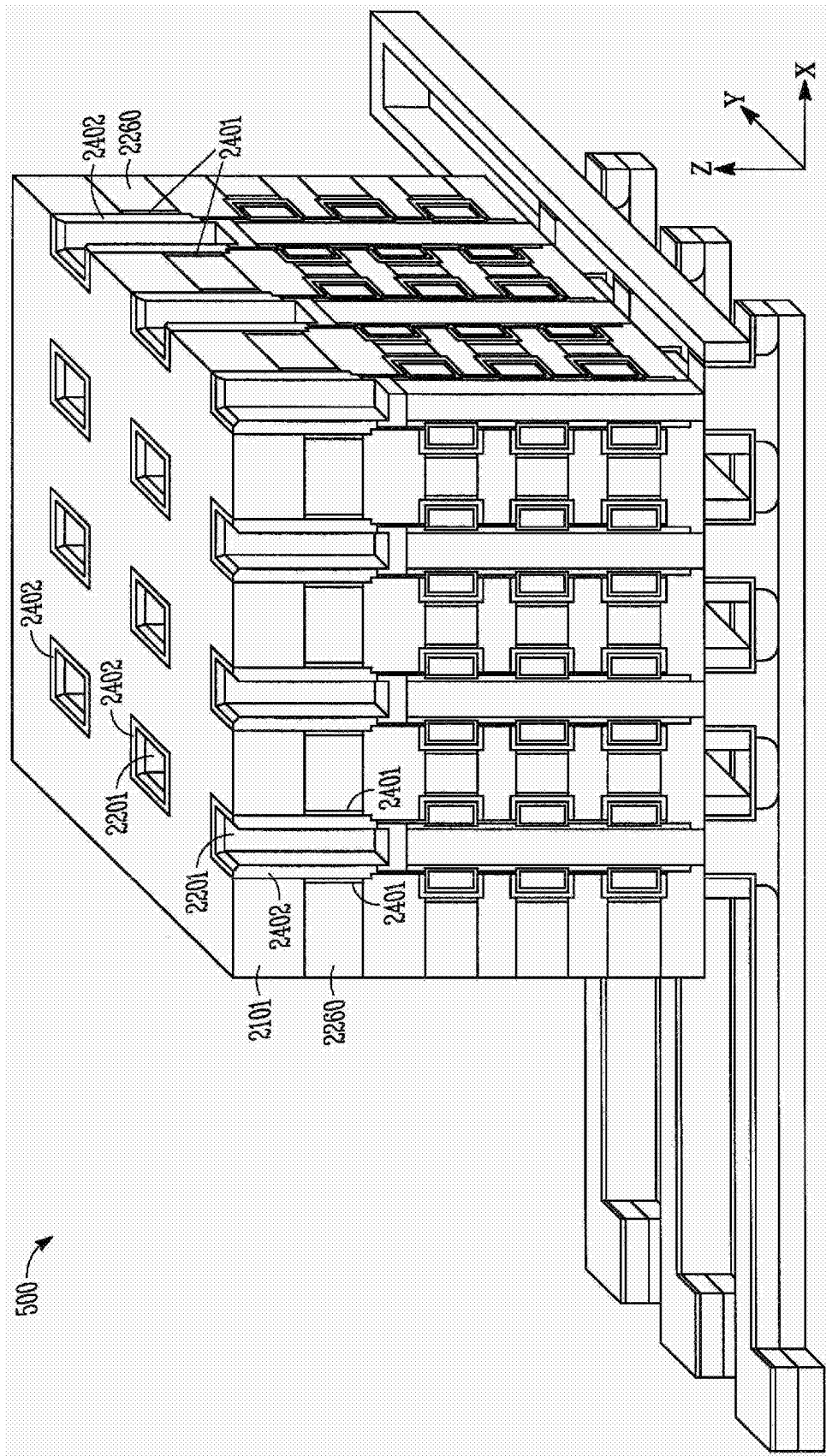


图24

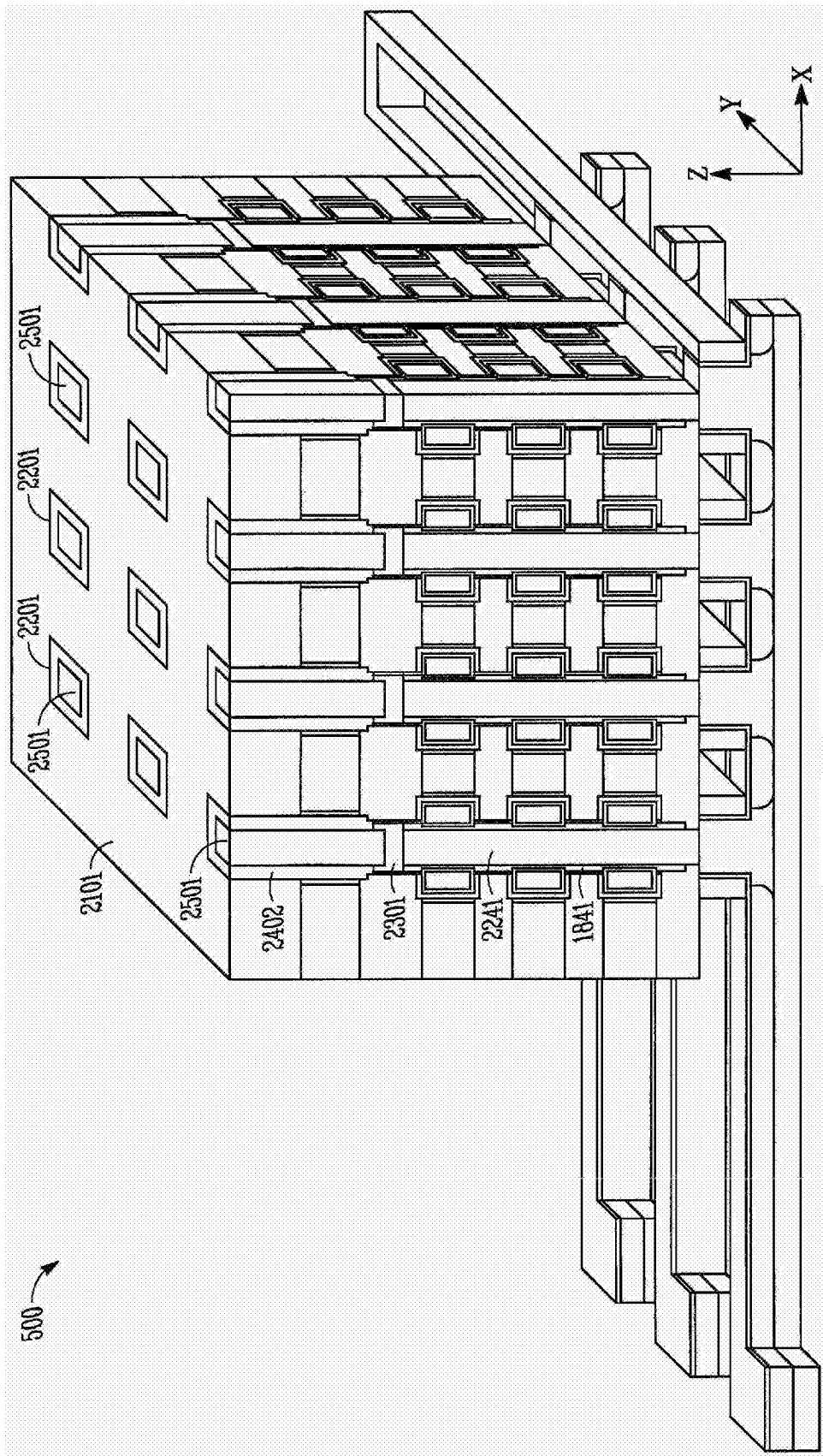


图25

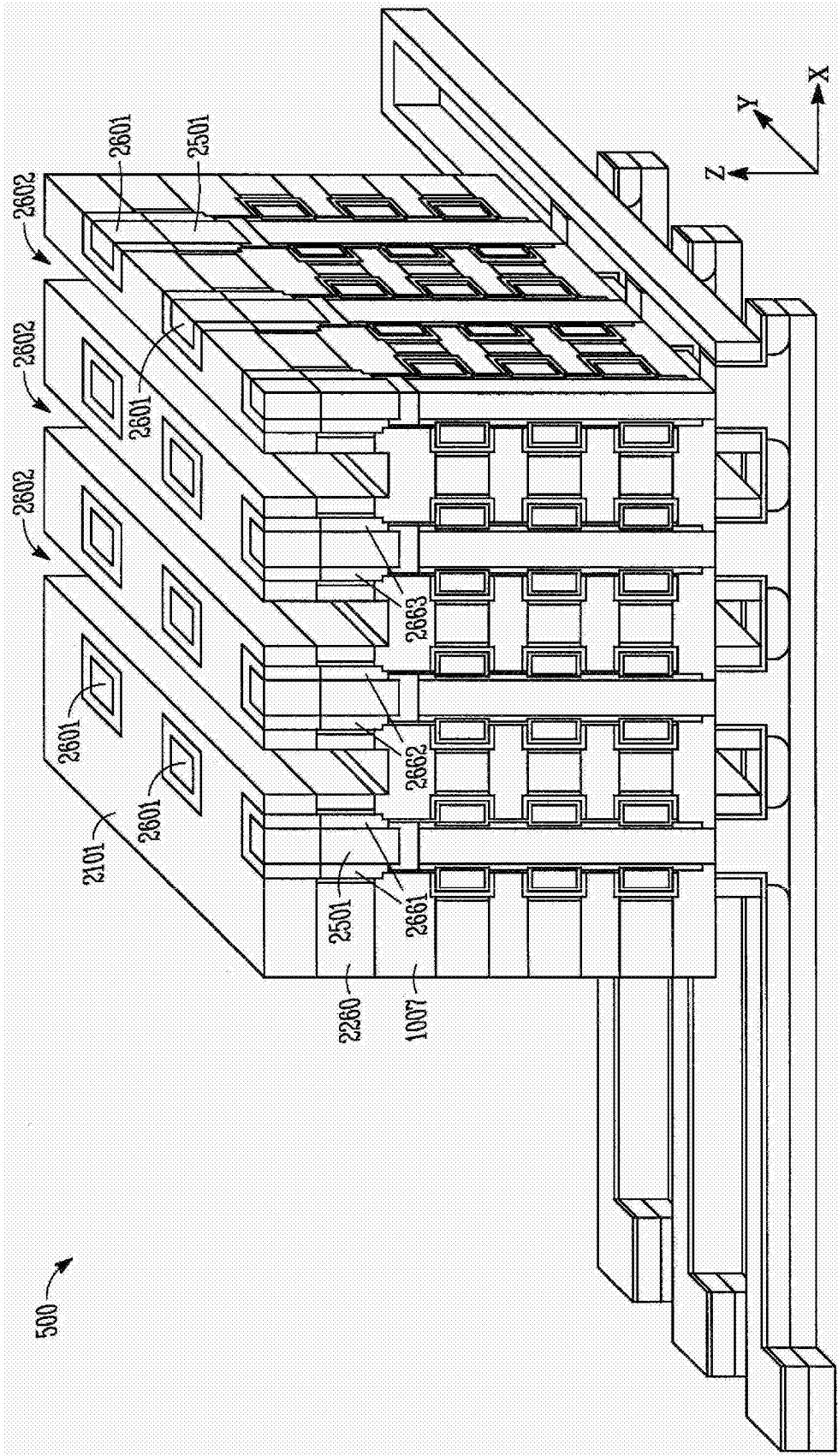


图26

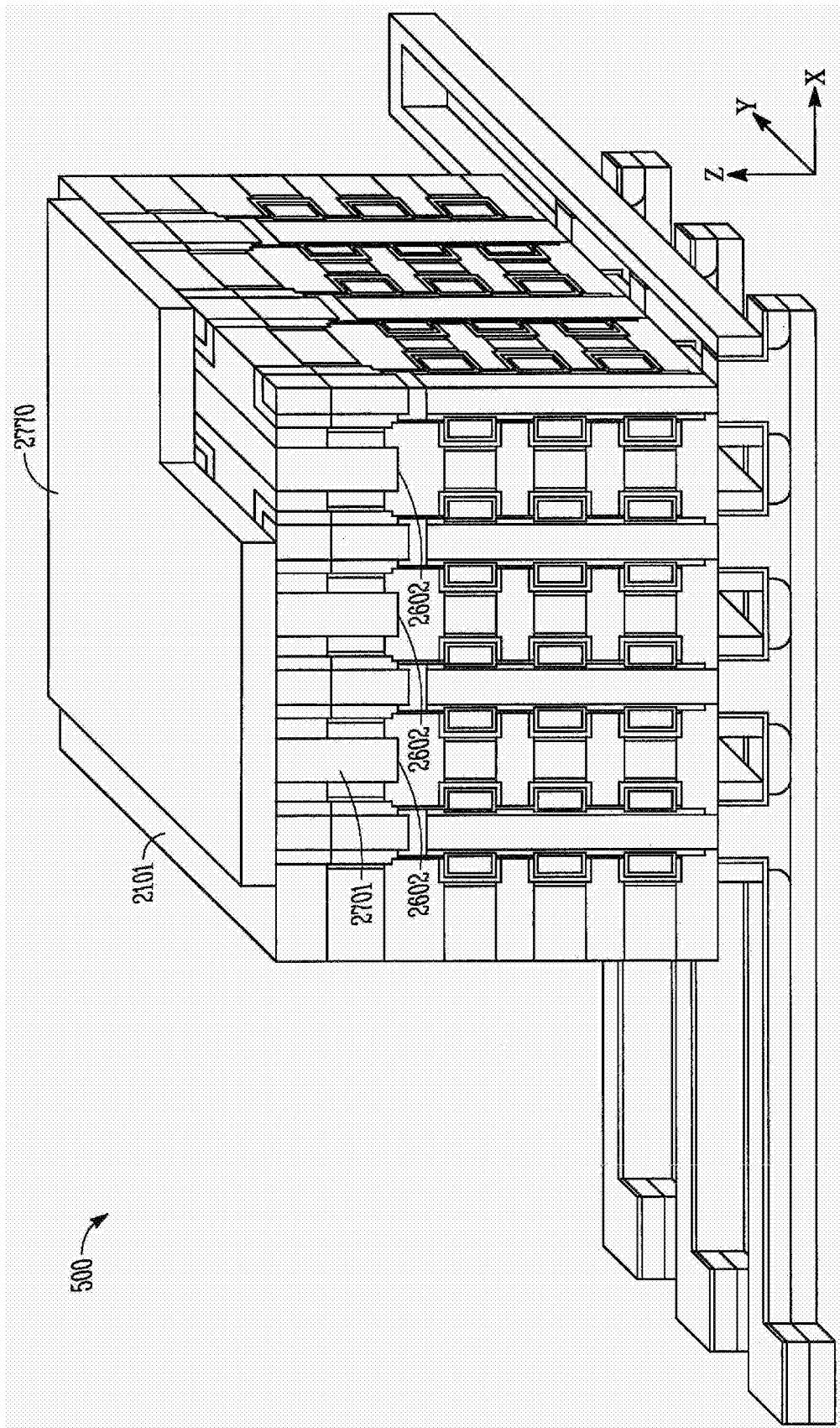


图27

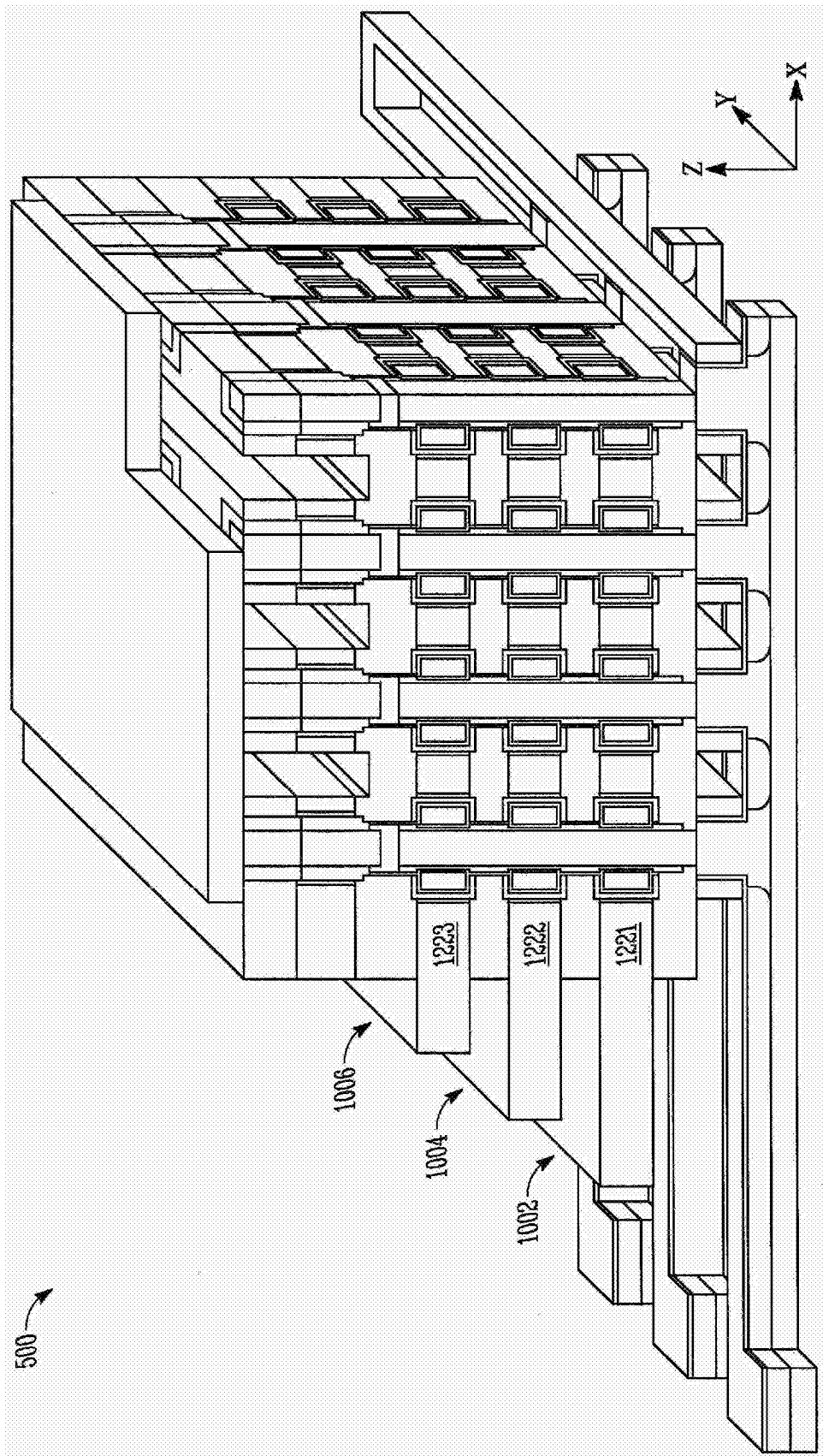


图28

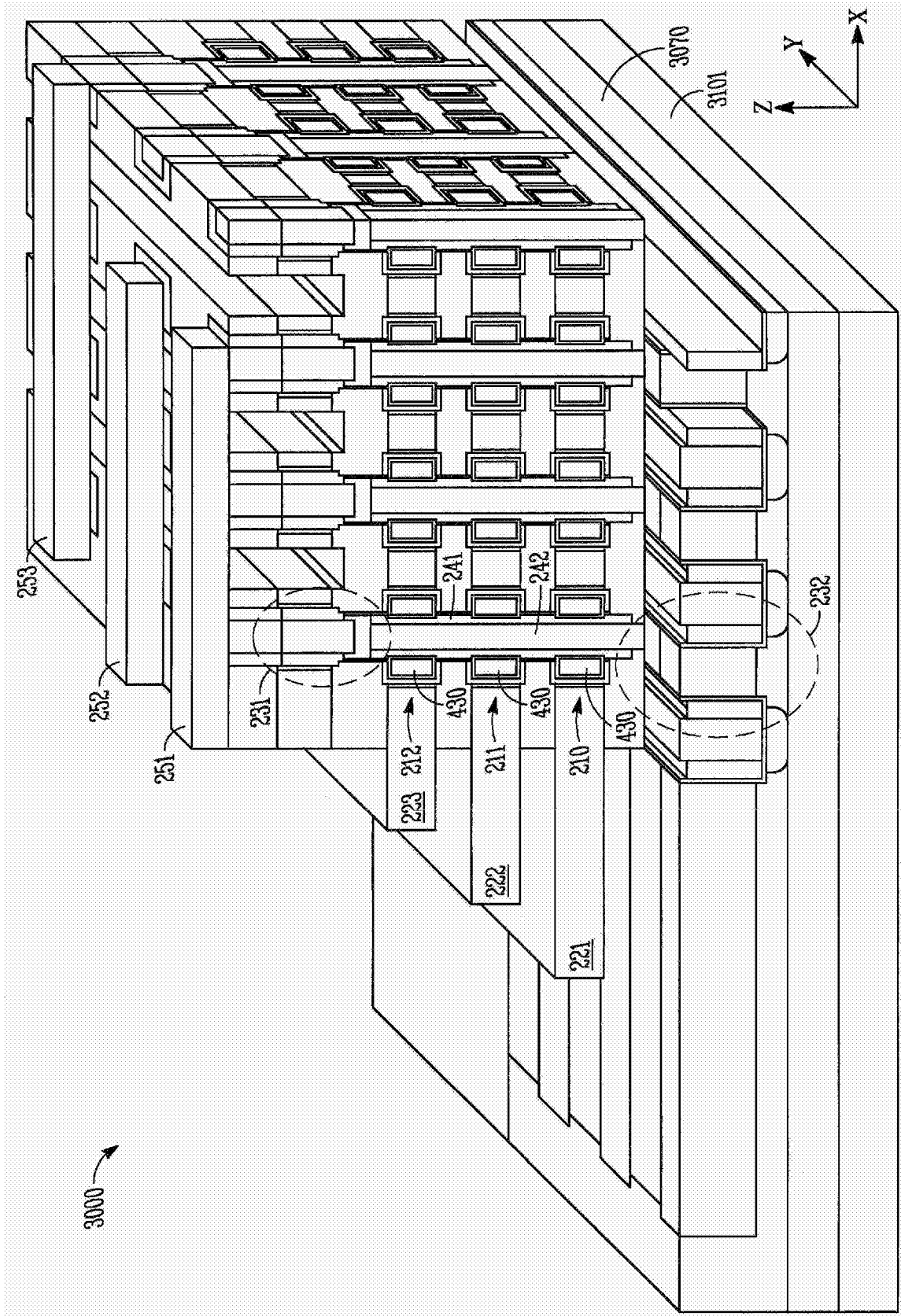


图31

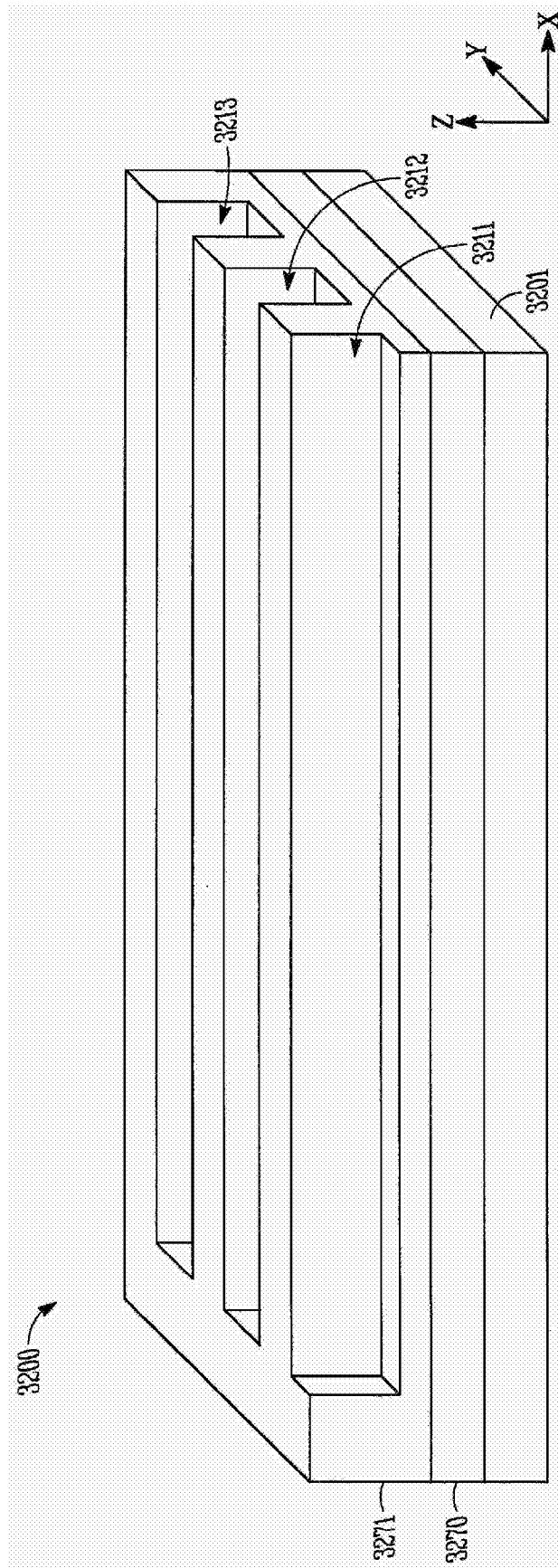


图32

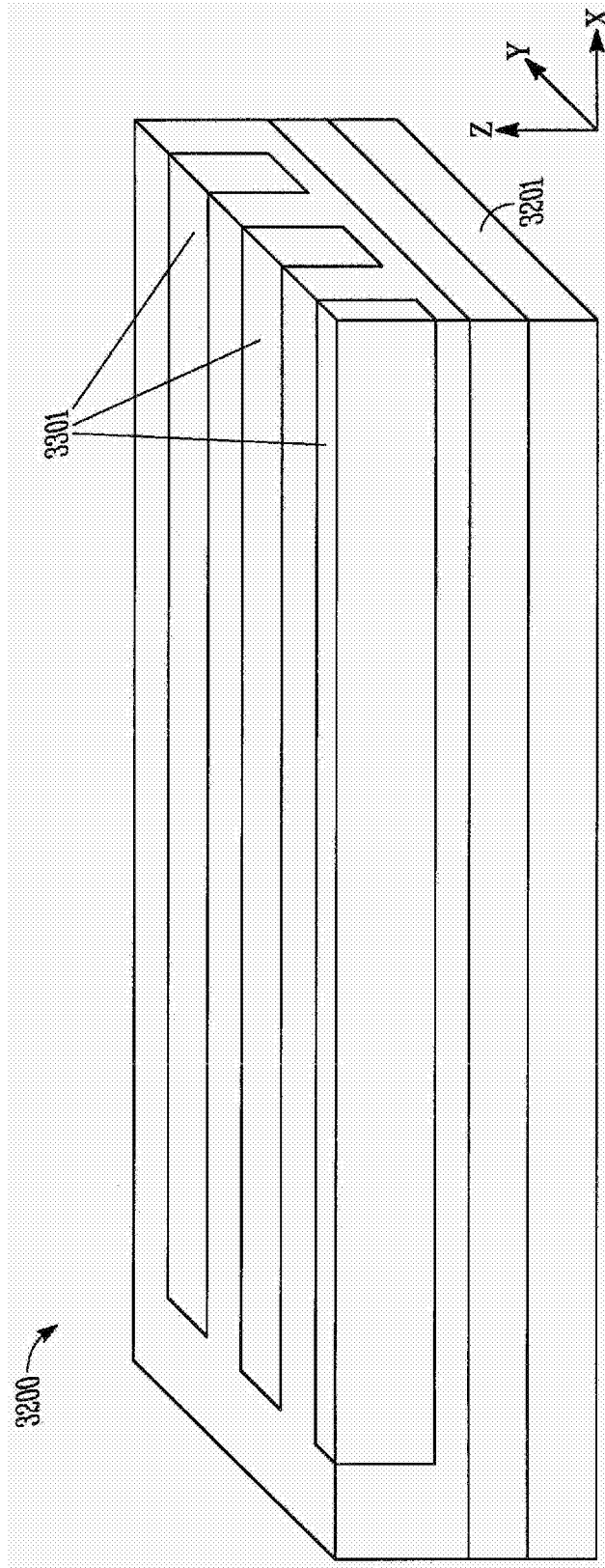


图33

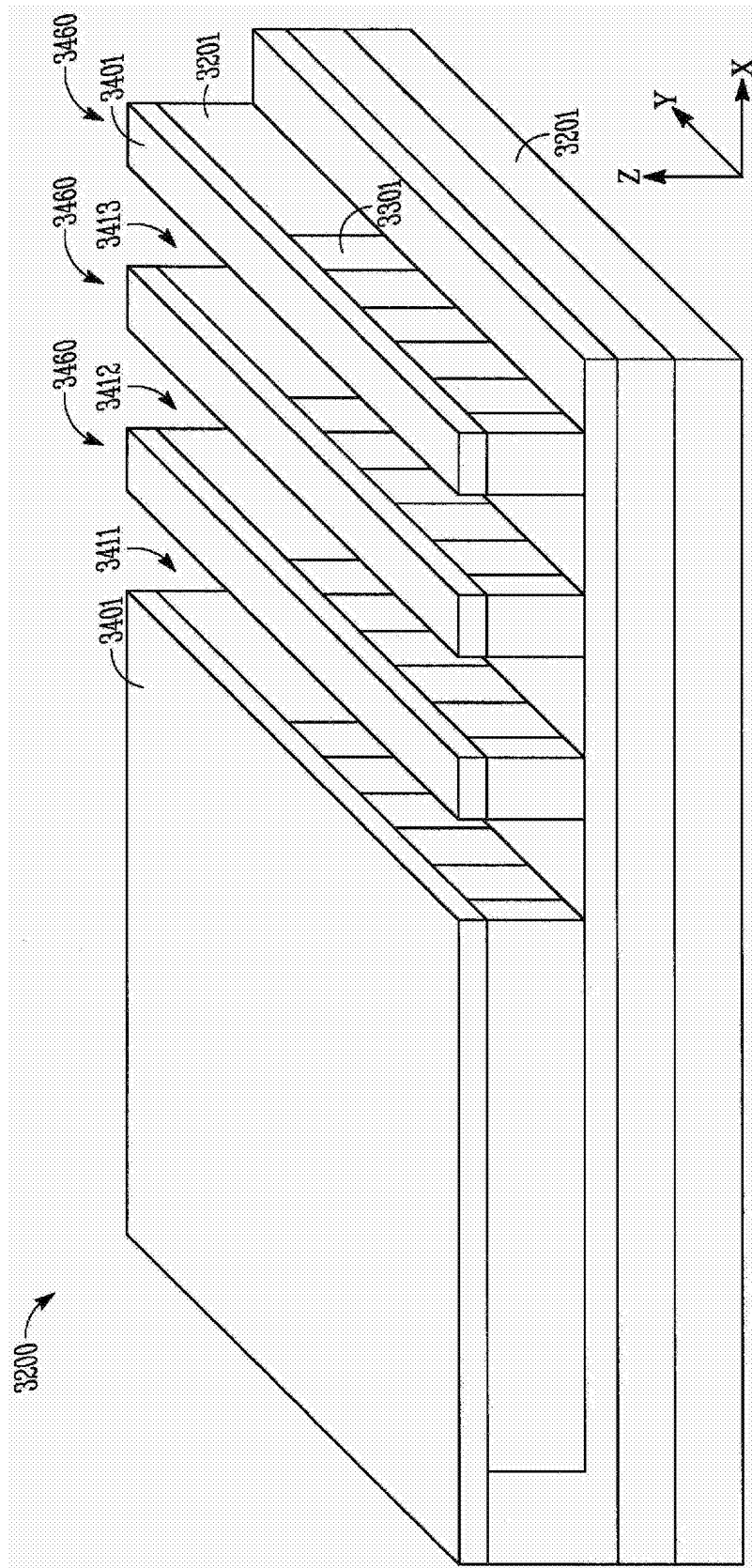


图34

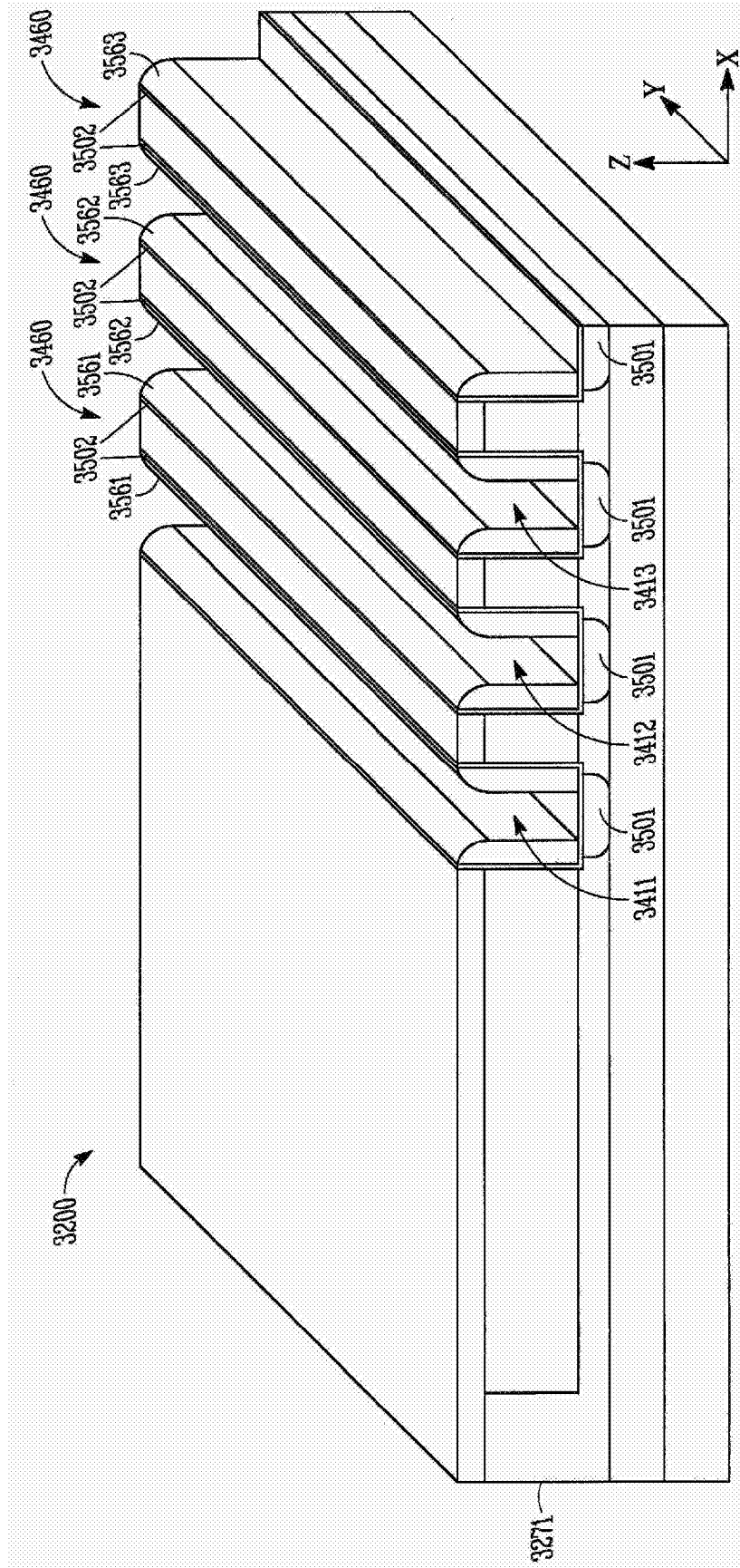


图35

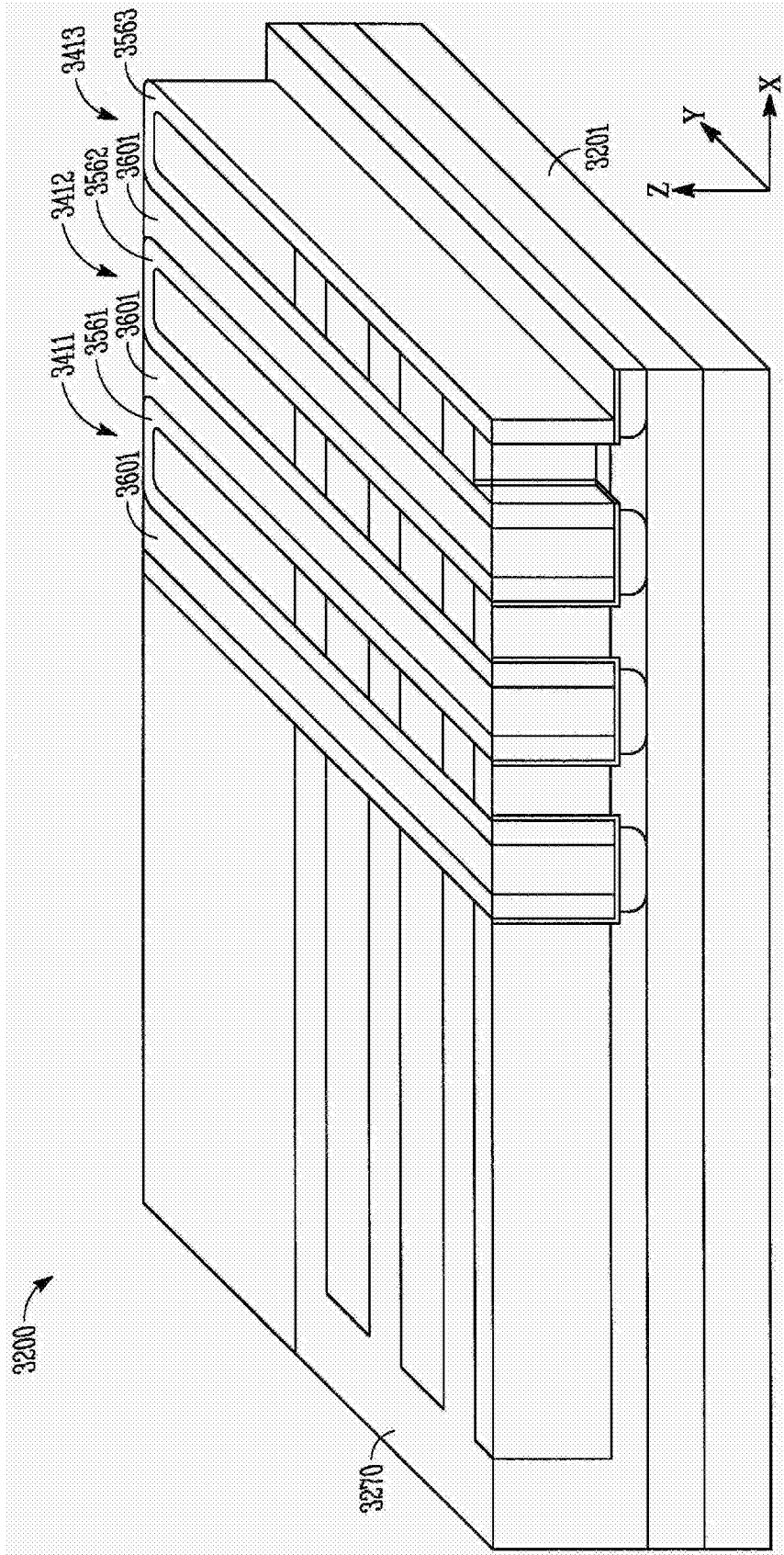


图36

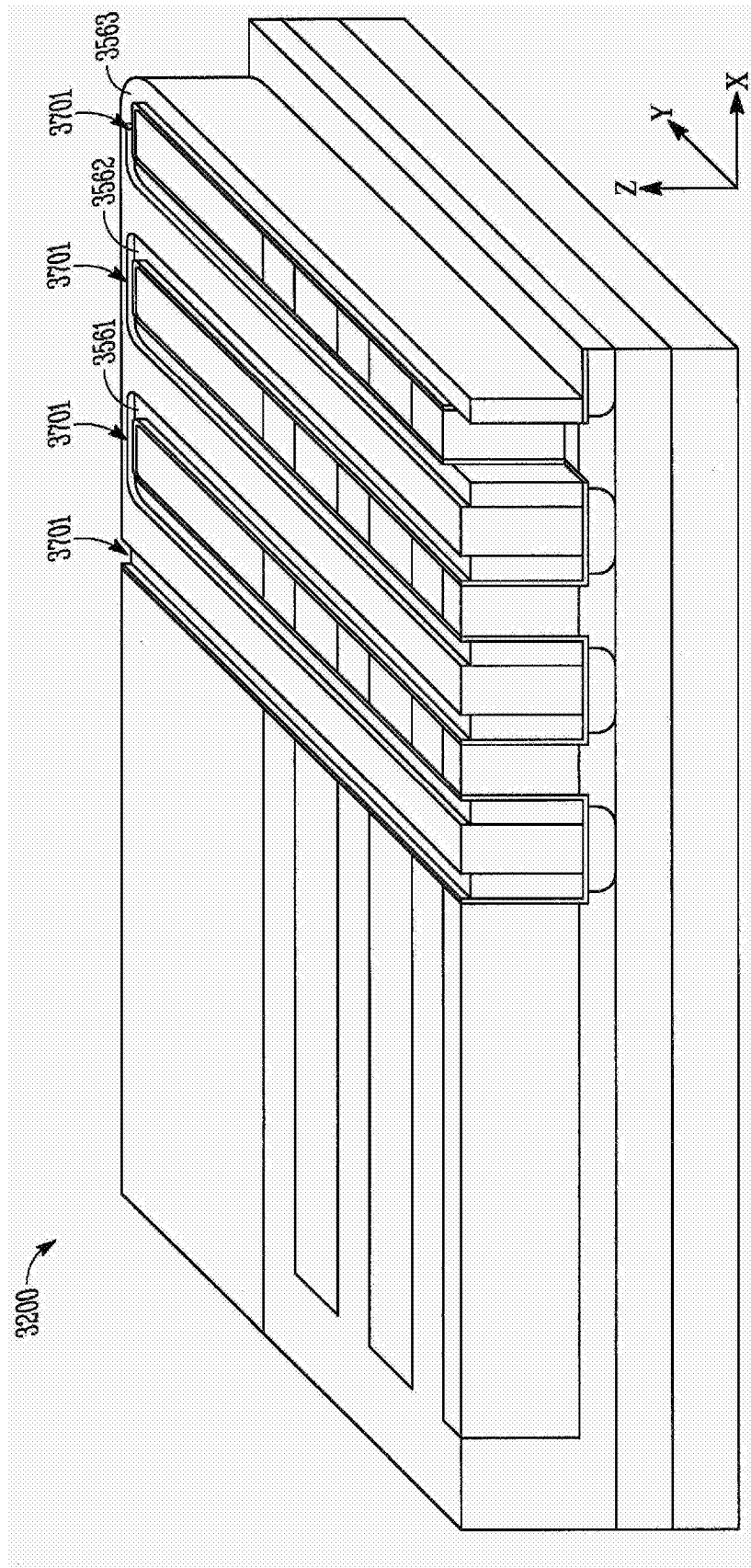


图37

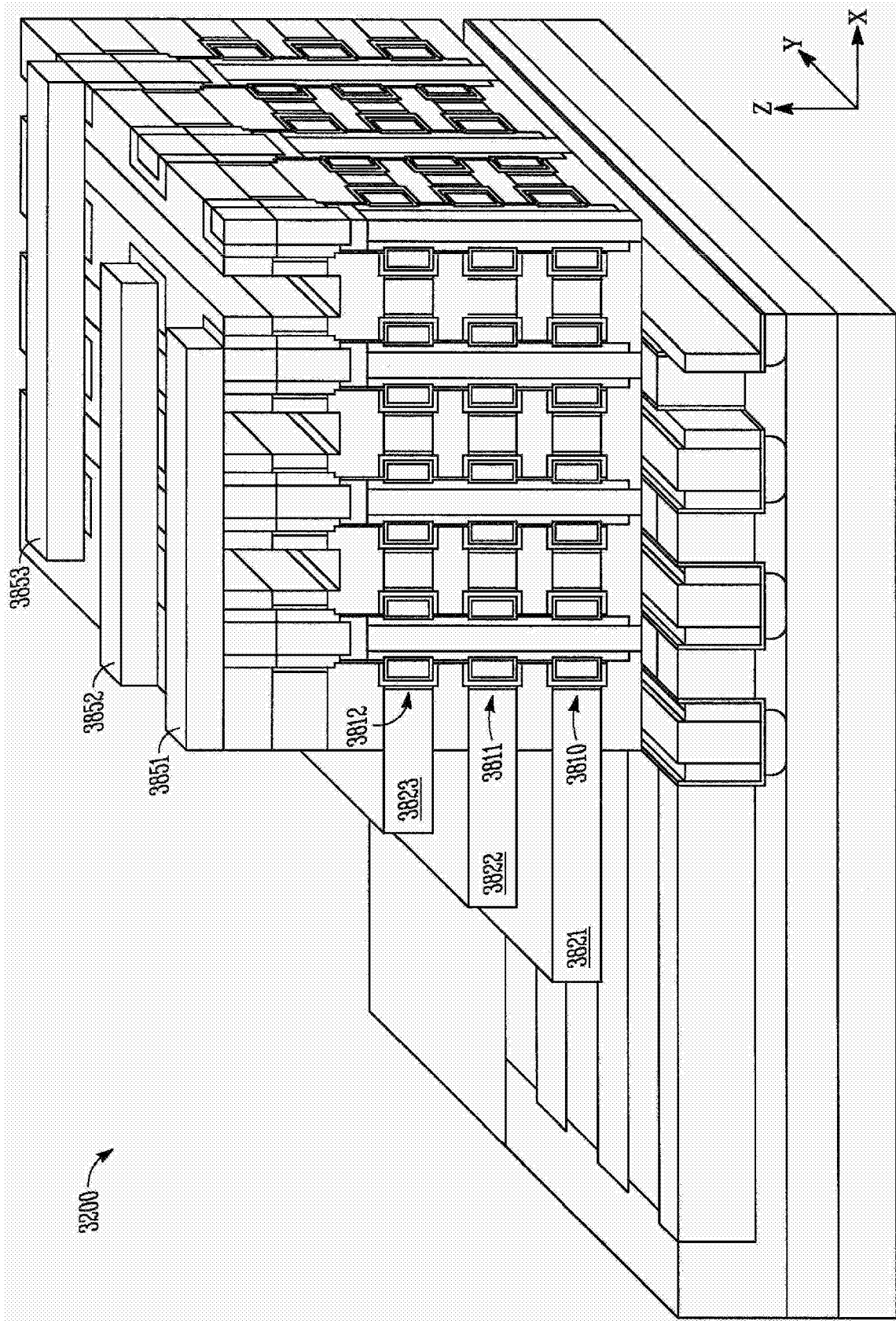


图38