СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1746324 A1

(51)5 G 01 R 23/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4875485/21
(22) 17.10.90
(46) 07.07.92. Бюл. № 25

(72) М.Я.Минц, В.Н.Чинков, Ю.А.Немшилов, А.Л.Савицкий и В.А.Бернадский

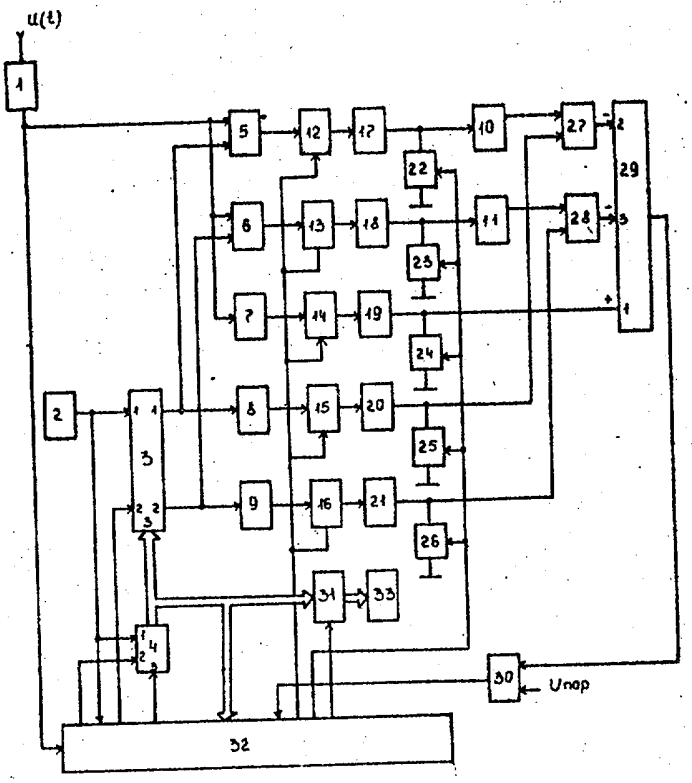
(53) 681.3 (088.8)

(56) Авторское свидетельство СССР № 1160327, кл. G 01 R 23/00, 1985.

(54) УСТРОЙСТВО ДЛЯ ИЗМЕРЕНИЯ ЧАСТОТЫ ГАРМОНИЧЕСКИХ СИГНАЛОВ

2

(57) Изобретение может быть использовано при создании помехозащищенных приборов для измерения и контроля частоты гармонических сигналов. Устройство содержит входной формирователь 1, генератор 2 образцовой частоты, формирователь 3 опорных сигналов, преобразователь 4 период – код, блоки 5, 6 перемещения, квадраторы 7-11, аналоговые ключи 12-16, 22-26, интеграторы 17-21, блоки 27, 28 деления, сумматор 29, компаратор 30, делитель 31 кодов, блок 32 управления, блок 33 индикации. 1 з.п. ф-лы, 5 ил.



Фиг. 1

(19) SU (11) 1746324 A1

Изобретение относится к электроизмерительной технике и может быть использовано при создании помехозащищенных приборов для измерения и контроля частоты гармонических сигналов.

Цель изобретения – повышение помехозащищенности измерения частоты гармонических сигналов.

На фиг. 1 приведена структурная схема устройства для измерения частоты гармонических сигналов; на фиг. 2 – функциональная схема формирователя опорных сигналов; на фиг. 3 – функциональные схемы блока управления и преобразователя период-код; на фиг. 4 – временные диаграммы, поясняющие принцип действия устройства; на фиг. 5 – временные диаграммы опорных сигналов.

Устройство для измерения частоты гармонических сигналов (фиг.1) содержит входной формирователь 1, генератор 2 образцовой часоты, формирователь 3 опорных сигналов, преобразователь 4 период-код, блоки 5 и 6 перемножения, квадраторы 7-11, аналоговые ключи 12-16, интеграторы 17-21, аналоговые ключи 22-26, блоки 27 и 28 деления, сумматор 29, компаратор 30, делитель 31 кодов, блок 32 управления, блок 33 индикации.

Вход устройства через входной формирователь 1 соединен с первыми входами блоков 5 и 6 перемножения, с входом квадратора 7 и с первым входом блока 32 управления. Выход генератора 2 образцовой частоты соединен с первыми входами формирователя 3 опорных сигналов и преобразователя 4 период-код, а также с вторым входом блока 32 управления. Второй вход формирователя 3 опорных сигналов подключен к второму выходу блока 32 управления, а третий вход – к кодовому выходу преобразователя 4 период-код, который соединен также с третьим входом блока 32 управления и кодовым входом делителя 31 кодов, управляющий вход которого соединен с шестым выходом блока 32 управления, а выход подключен к входу блока 33 индикации. Второй и третий входы преобразователя 4 период-код подключены соответственно к первому и третьему выходам блока 32 управления. Первый выход формирователя 3 опорных сигналов соединен с вторым входом блока 5 перемножения и входом квадратора 8, а второй выход – с вторым входом блока 6 перемножения и входом квадратора 9. Выходы блоков 5 и 6 перемножения и квадраторов 7-9 подключены через аналоговые ключи 12-16 к входам интеграторов 17-21 соответственно. Управляющие входы аналоговых ключей 12-16 объединены и подключены к четвертому выходу блока 32 управления. Выходы интеграторов 17 и 18 через квадраторы 10 и 11 соединены с первыми входами блоков 27 и 28 деления соответственно, вторые входы которых подключены к выходам интеграторов 20 и 21 соответственно. Выходы интеграторов 17-21 через аналоговые ключи 22-26 соответственно соединены с нулевой шиной устройства, управляющие входы аналоговых ключей 22-26 объединены и подключены к пятому выходу блока 32 управления. Выход интегратора 19 соединен с входом суммирования сумматора 29, а выходы блоков 27 и 28 деления подключены к входам вычитания сумматора 29, выход которого соединен с первым входом компаратора 30, второй вход которого подключен к шине образцового напряжения, а выход подключен к четвертому входу блока 32 управления.

Формирователь 3 опорных сигналов (фиг.2) содержит элемент ИЛИ 34, счетчик 35 с переменным коэффициентом пересчета, делитель 36 кода, реверсивный счетчик 37, блок 38 реверса, постоянные запоминающие устройства (ПЗУ) 39 и 40, цифроаналоговые преобразователи (ЦАП) 41 и 42, источник 43 образцового напряжения, выходные усилители 44 и 45.

Первый вход формирователя 3 опорных сигналов содеинен со счетным входом счетчика 35, управляющий вход и вход записи которого подключены к выходу элемента ИЛИ 34, а установочные, кодовые входы – к выходам делителя 36 кода на постоянное число. Второй вход формирователя 3 опорных сигналов соединен с первым входом элемента ИЛИ 34 и установочным входом реверсивного счетчика 37. Третий вход формирователя 3 опорных сигналов подключен шиной к кодовому входу делителя 36 кода. Выход счетчика 35 соединен с вторым входом элемента ИЛИ 34 и счетным входом реверсивного счетчика 37, первые кодовые выходы которого подключены к блоку 38 реверса. Вторые кодовые выходы реверсивного счетчика 37 соединены параллельно с адресными входами ПЗУ 39 и 40. Блок 38 реверса первым, вторым и третьим выходами подключены к входам управления реверсивного счетчика 37, ЦАП 41 и 42 соответственно. К выходам ПЗУ 39 и 40 подключены кодовые входы ЦАП 41 и 42 соответственно, входы питания которых объединены и соединены с выходом источника 43 образцового напряжения, а выходы ЦАП 41 и 42 через выходные усилители 44 и 45 подключены к первому и второму выходам формирователя 3 опорных сигналов.

Преобразователь 4 период-код (фиг.3) имеет элемент И 46 и реверсивный счетчик 47. Первый и второй входы преобразователя 4 период-код соединены с первым и вторым входами элемента И 46, выход которого подключен к входу суммирования реверсивного счетчика 47, вход вычитания которого соединен с третьим входом преобразователя 4 период-код, а кодовые выходы реверсивного счетчика являются выходом преобразователя 4 период-код.

Блок 32 управления (фиг.3) содержит вычитатель 48, вычитающие счетчики 49 и 50, нуль-орган 51, триггеры 52-59, элементы И 60-65, элементы ИЛИ 66 и 67, элементы 68-71 задержки, формирователь 72 импульса, кнопку "Пуск" 73.

Первый вход блока 32 управления соединен с входом нуль-органа 51, выход которого подключен к первым входам элементов И 60 и 61. Второй вход элемента И 60 соединен с прямым выходом триггера 52, единичный вход которого через элемент 68 задержки и формирователь 72 импульса подключен к кнопке "Пуск" 73. Выход элемента И 60 соединен со счетным входом триггера 54, прямой выход которого является первым выходом блока 32 управления, а инверсный выход подключен к нулевому входу триггера 52, первому входу элемента ИЛИ 67 и входу элемента 69 задержки, выход которого соединен с первым входом элемента ИЛИ 66. Второй вход элемента И 61 подключен к прямому выходу триггера 53, а выход элемента И 61 соединен с нулевым входом триггера 53 и вторым входом элемента ИЛИ 66, выход которого соединен с единичным входом триггера 56. Прямой выход триггера 56 подключен к второму входу элемента И 63, первый вход которого соединен с вторым входом блока 32 управления и первым входом элемента И 64, второй вход которого поключен к прямому выходу триггера 57, а выход – к счетному входу вычитающего счетчика 50. Выход элемента И 63 соединен со счетным входом вычитающего счетчика 49, кодовый вход которого соединен поразрядно с кодовым выходом вычитателя 48, а кодовый вход последнего служит третьим входом блока 32 управления. Управлюящий вход, вход записи вычитающего счетчика 49 через элемент 70 задержки подключен к второму выходу блока 32 управления, выходу элемента ИЛИ 67 и упрвляющему входу, входу записи вычитателя 48. Выход вычитающего счетчика 49 соединен с нулевым входом триггера 56 и единичным входом триггеров 57-59. Выход вычитающего счетчика 50 подключен к нулевым входам триггеров 57 и 58. Прямой выход триггера 58 является четвертым выходом блока 32 управления, а его инверсный выход соединен с третьим выходом блока 32 управления, первым входом элемента И 65 и входом элемента 71 задержки, выход которого подключен к второму входу элемента ИЛИ 67, первому входу элемента И 62 и нулевому входу триггера 59, инверсный выход которого служит пятым выходом блока 32 управления, а прямой выход соединен с вторым входом элемента И 65. Второй вход элемента И 62 соединен с инверсным выходом триггера 55, а выход – с единичным входом триггера 53. Тактовый вход С триггера 55 подключен к четвертому входу блока 32 управления, R-вход обнуления – к выходу элемента И 65, а прямой выход триггера 55 – к шестому выходу блока 32 управления.

Устройство для измерения частоты гармонических сигналов работает следующим образом.

Исследуемый сигнал u(t) (фиг.4а) через формирователь 1 поступает на первые входы блоков 5 и 6 перемножения, на вход квадратора 7 и на первый вход блока 32 управления. На второй вход блока 5 перемножения подается опорный (или базисный) сигнал $\sin \omega t$, а на второй вход блока 6 перемножения – опорный (или базисный) сигнал $\cos \omega t$ с первого и второго выходов формирователя 3 опорных сигналов. В исходном состоянии аналоговые ключи 12-16 закрыты по своим управляющим входам потенциалом с четвертого выхода блока 32 управления, интеграторы 17-21 обнулены, так как их выходы через аналоговые ключи 22-26, открытые по управляющим входам потенциалом с пятого выхода блока 32 управления, подключены к корпусу (или нулевому потенциалу).

В блоке 32 управления триггеры 52-59 находятся в нулевом состоянии. Сигналами низкого уровня с прямых выходом триггеров 52, 53, 56 и 57 закрыты по одному из входов соответственно элементы И 60, 61, 63 и 64. С выхода элемента И 65 подан запрещающий сигнал на R-вход триггера 55, чтобы исключить его ложное срабатывание при возможном формировании сигнала на выходе компаратора 30 вне интервала интегрирования.

Потенциалом с инверсного выхода триггера 55 открыт элемент И 62, а потенциалом с прямого выхода триггера 54 преобразователь 4 период-код заперт. Потенциалом с прямого выхода триггера 58 закрыты по управляющему входу аналоговые ключи 12-16, а потенциалом с инверсного выхода тригге-

ра 59 открыты аналоговые ключи 22-26 и выходы интеграторов 17-21 закорочены на корпус, тем самым интеграторы находятся в нулевом состоянии. В вычитатель 48 записано число ($N_T/2$), где $N_T = T \cdot f_o$, T – время интегрирования, fo – образцовая частота генератора 2. Вычитающий счетчик 49, для исключения ложных срабатываний устройства, установлен в максимальное состояние, а в вычитающий счетчик 50 записано число N_T. Исследуемый сигнал u(t) подается на нуль-орган 51, которым формируются импульсы в момент перехода сигнала u(t) через одно из нулевых значений, например из отрицательной области в положительную (фиг.4б).

На первом и втором выходах формирователя 3 организуются опорные сигналы, которые на этом этапе не синхронизированы с входным сигналом u(t).

Опорный сигнал $\sin \omega t$ с первого выхода формирователя 3 подается на второй вход блока 5 перемножения и на вход квадратора 8. Опорный сигнал $\cos \omega t$ с второго выхода формирователя 3 поступает на второй вход блока 6 перемножения и на вход квадратора 9. На выходах блоков 5 и 6 перемножения образуются сигналы $u(t) \sin \omega t$ и $u(t) \cos \omega t$ соответственно, а на выходах квадраторов 8 и 9 – сигналы $\sin^2 \omega t$ и $\cos^2 \omega t$ соответственно. На выходе квадратора 7 образуется сигнал $u^2(t)$. Сигналы с выходов блоков 5 и 6 перемножения и квадраторов 7-9 поступают на сигнальные входы аналоговых ключей 12-16, однако на их выходы не проходят, так как они закрыты по управляющим входам сигналом с четвертого выхода блока 32 управления.

Процесс измерений начинается при нажатии кнопки "Пуск" 73 в блоке 32 управления, при этом на выходе формирователя 72 импульса образуется импульс "Сброс" (фиг.4в), которым осуществляется сброс или установка элементов устройства в исходное состояние (цепи сброса не показаны) и перевод схемы в рабочее состояние. Для этого импульс с выхода формирователя 72 через элемент 68 задержки (импульсы "Пуск", фиг.4в) поступает на единичный вход триггера 52, переводя его в единичное состояние. Потенциалом с прямого выхода триггера 52 открывается элемент И 60 для прохождения импульсов с нуль-органа 51. Первым выходным импульсом U_1 нуль-органа 51 (фиг.4,б), поступающим через элемент И 60 на счетный вход триггера 54, последний устанавливается в единичное состояние и на его прямом выходе образуется управляющий сигнал, который по первому выходу блока 32 управления подается в преобразователь 4 период-код по его второму входу. Этим сигналом преобразователь 4 период-код переводится в режим измерения периода Tx исследуемого сигнала u(t) (фиг.4г).

Такое состояние функциональных узлов устройства сохраняется на время измерения периода T_x исследуемого сигнала u(t), которое завершается с поступлением выходного импульса U_2 нуль-органа 51 (фиг.4б) через элемент И 60 на счетный вход триггера 54. Этим импульсом триггер 54 возвращается в исходное состояние и потенциалом с его прямого выхода прекращается режим измерения периода в преобразователе 4 период-код, в котором к этому моменту времени получен код N_x периода T_x (фиг.4г), причем $N_x = T_x \cdot f_o$.

Сигнал с инверсного выхода триггера 54 подается на нулевой вход триггера 52, возвращая его в исходное состояние и закрывая элемент И 60 потенциалом с прямого выхода триггера 52, на первый вход элемента ИЛИ 67 и на вход элемента 69 задержки. С выхода элемента ИЛИ 67 сигнал поступает по второму выходу блока 32 управления на второй вход формирователя 3 опорных сигналов, на вход записи вычитателя 48 и через элемент 70 задержки на вход записи вычитающего счетчика 49.

Управляющим сигналом с второго выхода блока 32 управления в формирователь 3 опорных сигналов по его третьему входу записывается код N_x с выхода преобразователя 4 период-код, а также устанавливается исходное состояние формирователя 3, которое соответствует следующим значениям опорных сигналов на его выходах: $\sin \omega t = 0$ на первом выходе и $\cos \omega t = 1$ на втором выходе. В дальнейшем от этих начальных значений осуществляется формирование синусоидальных опорных сигналов $\sin \omega t$ и $\cos \omega t$ с частотой $f_x = 1/T_x$.

Опорные сигналы $\sin \omega t$ и $\cos \omega t$ формируются независимо от времени измерения T как непрерывные функции времени. В то же время они должны быть расположены симметрично относительно середины t_o временного интервала 0, T, т.е. относительно границ – T/2, T/2 (фиг.5). Момент времени t_o, а следовательно, и положение опорных сигналов $\sin \omega t$ и $\cos \omega t$ никак не связано с какой-либо точкой (или фазой) входного сигнала u(t) и не зависит от начальной фазы напряжения u(t).

Однако для определенности технической реализации в качестве опорного момента времени t_o, относительно которого

отсчитываются границы – T/2, T/2 интервала измерения, выбраны моменты перехода напряжения u(t) через нулевые значения из отрицательной области в положительную, но точность выделения этих моментов не является принципиальной.

По третьему входу блока 32 управления в вычитатель 48 по сигналу, поступающему с элемента ИЛИ 67 на его вход записи, переписывается код N_X с выхода преобразователя 4 период-код и в вычитателе 48 образуется разность чисел (N_X - $N_{T/2}$). Код этой разности (фиг.4д) сигналом с выхода элемента 70 задержки переносится из вычитателя 48 в вычитающий счетчик 49. После этого сигналом с выхода элемента 69 задержки, поступающим через элемент ИЛИ 66 на единичный вход триггера 56, этот триггер переводится в единичное состояние, потенциалом с его прямого выхода открывается элемент И 63, и импульсы образцовой частоты f_o, поступающие с генератора 2 образцовой частоты по второму входу блока 32 управления, проходят через открытый элемент И 63 на вход вычитающего счетчика 49.

С поступлением N_X - $N_{T/2}$ импульсов вычитающий счетчик 59 обнуляется и на его выходе образуется сигнал заема U_3 (фиг.4д), который подается на нулевой вход триггера 56 и на единичное входы триггеров 57-59. Триггер 56 возвращается в исходное состояние, потенциалом с его прямого выхода закрывается элемент И 63 и через него прекращается поступление импульсов в образцовой частоты f_o на вход вычитающего счетчика 49. Триггер 57 устанавливается в единичное состояние, потенциалом с его прямого выхода открывается элемент И 64, и импульсы образовой частоты fo, поступающие с второго входа блока 32 управления, проходят через элемент И 64 на вход вычитающего счетчика 50, в котором записано число $N_T = T\ f_o$ (фиг.4е). Триггер 58 устанавливается в единичное состояние и сигналом с его прямого выхода (фиг.4ж), поступающим по четвертому выходу блока 32 управления на управляющие входы аналоговых ключей 12-16, эти ключи открываются. Сигналы с выходов блоков 5 и 6 перемножения и квадраторов 7-9 подаются через них на входы интеграторов 17-21 соответственно.

Триггер 59 устанавливается в единичное состояние и сигналом с его инверсного выхода (фиг.4з), поступающим по пятому выходу блока 32 управления на управляющие входы аналоговых ключей 22-26, эти ключи закрываются, и интеграторы 17-21 переводятся в режим интегрирования. Время интегрирования T, симметричное относительно перехода исследуемого сигнала u(t) через нулевое значение, задается вычитающим счетчиком 50. После поступления на вычитающий счетчик 50 N_T импульсов он обнуляется и на его выходе формируется сигнал U_4 (фиг.4е), который подается на нулевые входы триггеров 57 и 58, возвращая их в исходное состояние. Потенциалом с прямого выхода триггера 57 закрывается элемент И 64, а потенциалом с прямого выхода триггера 58 закрывается аналоговые ключи 12-17. В этот же момент времени на выходе элеменат И 65 образуется сигнал высокого уровня, который является разрешающим по R-входу триггера 55. К этому моменту времени на выходах интеграторов 17-21 образуются постоянные напряжения, пропорциональные величинам U_s, U_c, U^2, λ_2 и λ_1 соответственно. Напряжение U_5 и U_c с выходов интеграторов 17 и 18 подаются на квадраторы 10 и 11, на выходах последних образуются сигналы U_5^2 и U_c^2, которые поступают на первые входы блоков 27 и 28 деления. На второй вход блока 27 деления поступает выходное напряжение интегратора 20, пропорциональное величине λ_2, и на его выходе образуется напряжение, пропорциональное отношению U_s^2/λ_2. На второй вход блока 28 деления подается выходное напряжение интегратора 21, пропорциональное величине λ_1, и на его выходе образуется напряжение, пропорциональное отношению U_c^2/λ_1. Выходное напряжение с интегратора 19, пропорциональное U^2, поступает на вход суммирования сумматора 29, а выходные напряжения с выходов блоков 27 и 28 деления, пропорциональные U_s^2/λ_2 и U_c^2/λ_1 соответственно, подаются на входы вычитания сумматора 29. На выходе сумматора 29 образуется напряжение ΔU, пропорциональное разности $U^2 - \frac{U_s^2}{\lambda_2} - \frac{U_c^2}{\lambda_1}$. Это напряжение поступает на первый вход компаратора 30, на второй вход которого подается постоянное напряжение $U_{пор}$, близкое к нулю и выбираемое исходя из допустимой погрешности измерений. Если $|\Delta U| > U_{пор}$, то на выходе компаратора 30 сигнал не формируется. В этом случае блок 32 управления переходит к второму циклу измерений. Он начинается с некоторой задержкой после завершения времени интегрирования T, необходимой для выполнения операций в квадраторах 10 и 11, блоках 27 и 28 деления, сумматоре 29 и компараторе 30. Для этого сигнал с инверсного выхода триггера 58 подается на элемент 70 задержки, а с его

выхода сигнал U_5 (фиг.4и) – на нулевой вход триггера 59, на вход элемента ИЛИ 67 и через открытый элемент И 62 на единичный вход триггера 53. Триггер 59 возвращается в исходное состояние (фиг.4з) и потенциалом с его инверсного выхода, подаваемым по пятому выходу блока 32 управления на управляющие входы аналоговых ключей 22-26, последние открываются, закорачивая выходы интеграторов 17-21. Интеграторы обнуляются и подготавливаются к следующему циклу интегрирования. На выходе элемента И 65 снова восстанавливается сигнал запрета по R-входу триггера 55.

Сигнал с выхода элемента ИЛИ 67 выполняет описанные операции: осуществляет перенос нового кода N_{x1} периода с преобразователя 4 период-код в формирователь 3 опорных сигналов, перестраивая соответствующим образом частоту его выходного сигнала, и устанавливает исходное состояние формирователя 3; осуществляет перенос нового кода N_{x1} периода с преобразователя 4 период-код в вычиталель 48 блока 32 управления, в котором образуется код $(N_{x1} - N_{T/2})$; с некоторой задержкой, определяемой элементом 70 задержки, осуществляет запись кода $(N_{x1} - N_{T/2})$ с вычитателя 48 в вычитающий счетчик 49.

Триггер 53 переводится в единичное состояние (фиг.4к) потенциалом с прямого выхода открывает элемент И 61 для прохождения выходных импульсов нуль-органа 51. Ближайший выходной импульс U_6 нуль-органа 51 (фиг.4б), проходя через элемент И 61 и элемент ИЛИ 66, переводит триггер 56 в единичное состяоние, открывая элемент И 63. Таким образом, воздействие импульса U_6 аналогично импульсу U_2, а следовательно, физические процессы, протекающие в устройстве после импульса U_6 те же, что и после импульса U_2 (фиг.4д-к). Кроме того, импульс U_6 с выхода элемента И 61 подается на нулевой вход триггера 53, возвращая его в исходное состояние и закрывая элемент И 61.

В дальнейшем все последующие циклы протекают аналогично до тех пор, пока на выходе компаратора не появляется сигнал. Сигнал с выхода компаратора 30 поступает по четвертому входу блока 32 управления на единичный вход триггера 55, устанавливая его в единичное состояние. Потенциалом с инверсного выхода триггера 55 закрывается элемент И 62, а сигналом с его прямого выхода, поступающим по шестому выходу блока 32 управления на вход записи делителя 31 кодов, производится перенос кода N_x периода с преобразователя 4 период-код в делитель 31 кодов, в котором осуществляется вычисление кода частоты $N_f = 1/N_x$. Код частоты N_f подается в блок 33 индикации для отображения результата измерения частоты. В блок 33 индикации может также вводится код периода N_x непосредственно с преобразователя 4 период-код. На этом процесс измерений завершается.

В процессе работы устройства частоты входного и опорных сигналов не совпадают, т.е. входной и опорные сигналы имеют разные периоды. И только при завершении процесса измерений частоты (и периоды) входного и опорных сигналов совпадут с определенной погрешностью.

Формирователь 3 опорных сигналов работает следующим образом.

Импульсы образцовой частоты f_o с генератора 2 поступают по первому входу формирователя 3 на счетчик 35 с переменным коэффициентом пересчета, задаваемым с делителя 36 кода. На последний по третьему входу формирователя 3 опорных сигналов подается код периода N_x исследуемого сигнала u(t) с выхода преобразователя 4 период-код, точнее с кодовых выходов счетчика 47 (фиг.3). Делитель 36 кода выполнен так, что в нем либо схемно, либо программно (с клавиш передней панели устройства по сигналу "Сброс") установлен коэффициент деления n, где n – число ступенек на период формируемых кусочно-ступенчатых сигналов, аппроксимирующих с заданной точностью опорные синусоидальные сигналы $\sin \omega t$ и $\cos \omega t$. Тогда в счетчик 35 вводится число $\Delta N = N_x/n$, определяющее шаг дискретизации или моменты переключения ступенек формируемых опорных сигналов $\sin \omega t$ и $\cos \omega t$ через образцовую частоту f_o: $\Delta T = \Delta N/f_o$. Дискретность и погрешность изменения периода опорных сигналов могут быть сделаны как угодно малыми соответствующим выбором частоты f_o. Например, даже при $f = 10^3$ кГц и $f = 1$ МГц дискретность изменения периода составляет 10^{-3}. При более низких частотах входного сигнала дискретность соответственно уменьшается. Счетчик 35 может быть суммирующим (тогда число ΔN вводится в дополнительном коде) либо вычитающим (тогда число ΔN вводится в него в прямом коде). Запись числа ΔN из делителя 36 кода в счетчик 35 производится сигналом "Строб записи", поступающим сначала с второго выхода блока 32 управления по второму входу формирователя 3 опорных сигналов, через элемент ИЛИ 34 на управляющий вход, вход записи счетчика 35. Этот сигнал образуется после получения кода периода

N_x исследуемого сигнала u(t) в преобразователе 4 период-код. Затем сигнал "Строб записи" поступает через элемент ИЛИ 34 на вход записи счетчика 35 с выхода этого счетчика. Тем самым выходные импульсы счетчика 35 следуют с частотой f_q, в n раз большей частоты исследуемого сигнала f_x, т.е. с частотой $f_q = nf_x$. Выходные импульсы счетчика 35 поступают на счетный вход реверсивного счетчика 37 с блоком 38 реверса. К кодовым выходам реверсивного счетчика 37 подключены адресные входы ПЗУ 39 и 40, в которые записаны коды функций $\sin \omega t_i$ и $\cos \omega t_i$. Все мгновенные значения опорных сигналов формируются совершенно одинаково: в строго заданные моменты времени t_i (или фазы ωt_i), равномерно расположенные по периоду опорных сигналов T_x, реверсивным счетчиком 37 задаются коды адреса на ПЗУ 39 и 40, с выходов которых коды $\sin \omega t_i$ и $\cos \omega t_i$ подаются на ЦАП 41 и 42, где они преобразуются в уровни кусочно-ступенчатых опорных напряжений.

Поскольку мгновенные значения функций $\sin \omega t$ и $\cos \omega t$ повторяются через каждые $T_x/4$ периода, т.е. через n/4 значений, то в ПЗУ записаны коды n/4 значений функций $\sin \omega t_i$ и $\cos \omega t_i$ ($i = 0, \frac{n}{4} - 1$). Режим работы реверсивного счетчика 37 поочередно переключается сигналом с первого выхода блока 38 реверса с суммирования на вычитание и снова на суммирование через каждые n/4 входных счетных импульса. С выхода ПЗУ 39 и 40 коды $\sin \omega t_i$ и $\cos \omega t_i$ подаются на двухполярные ЦАП 41 и 42 соответственно, на входы опорных напряжений которых поступает высокостабильное постоянное напряжение с источника 43 образцового напряжения. Для формирования положительной и отрицательной полуволн сигналов $\sin \omega t$ и $\cos \omega t$ осуществляется коммутация полярности выходного напряжения ЦАП 41 и 42 управляющими сигналами с второго и третьего выходов блока 38 реверса. Последний может быть выполнен на логических элементах И и ИЛИ. Два элемента И формируют сигналы при состояниях 0 и n/2 реверсивного счетчика 37, эти сигналы объединяются через первый элемент ИЛИ и поступают на вход управления (или коммутации) ЦАП 41. Два других элемента И формируют сигналы при состояниях n/4 и 3n/4 реверсивного счетчика 37, эти сигналы объединяются через второй элемент ИЛИ и поступают на вход управления (или коммутации) ЦАП 42. Выходы первого и второго элементов ИЛИ блока 38 реверса объединены третьим элементом ИЛИ, на выходе которого формируются сигналы управления при состояниях 0, n/4, n/2, 3n/4 реверсивного счетчика 37. Эти сигналы подаются на счетный вход триггера реверса, осуществляющего реверс счетчика 37. С выходов ЦАП 41 и 42 сигналы $\sin \omega t$ и $\cos \omega t$ поступают через выходные усилители 44 и 45 на первый и второй выходы формирователя 3 опорных сигналов.

Преобразователь 4 период-код (фиг.3) работает следующим образом.

В исходном состоянии элемент И 46 закрыт сигналом с прямого выхода триггера 54 в блоке 32 управления. Этот управляющий сигнал подается по первому выходу блока 32 управления и второму входу преобразователя 4 период-код на один из входов элемента И 46. Поэтому импульсы образцовой частоты f_o, поступающие по первому входу преобразователя 4 на другой вход элемента И 46, через него не проходят. В реверсивном счетчике 47 в исходном состоянии, задаваемом, например, импульсом "Сброс", записано некоторое число ΔN_x на суммирование, так чтобы результат измерения периода был несколько завышенным. Элемент И 46 открывается сигналом, поступающим по второму входу преобразователя 4 с первого выхода блока 32 управления, на время, равное периоду T_x исследуемого сигнала u(t), и импульсом образцовой частоты f_o, подаваемые по первому входу преобразователя 4 проходят через элемент И 46 на вход суммирования реверсивного четчика 47. За время T_x открытого состояния элемента И 46 в счетчик 47 записывается число импульсов $N_{xo} = T_x \cdot f_o$. А так как в реверсивном счетчике 47 в исходном состоянии записано некоторое число ΔN_x, то код счетчика $N_x = N_{xo} + \Delta N_x$. Этот код и является начальным, используемым в первом цикле измерений. Во втором и каждом последующем цикле измерений код Nx уменьшается на единицу младшего разряда, для чего на вход вычитания реверсивного счетчика 47 подается сигнал по третьему входу преобразователя 4 период-код с третьего выхода блока 32 управления, а точнее с инверсного выхода триггера 58. Этот сигнал, как показано, формируется в конце каждого цикла измерений до тех пор, пока он будет соответствовать равенству измеряемой частоты (периода) исследуемого сигнала и частоты (периода) опорных сигналов, задаваемой с реверсивного счетчика 47 преобразователя 4 период-код.

Таким образом, использование изобретения при создании измерительных средств для измерения частоты гармонических сиг-

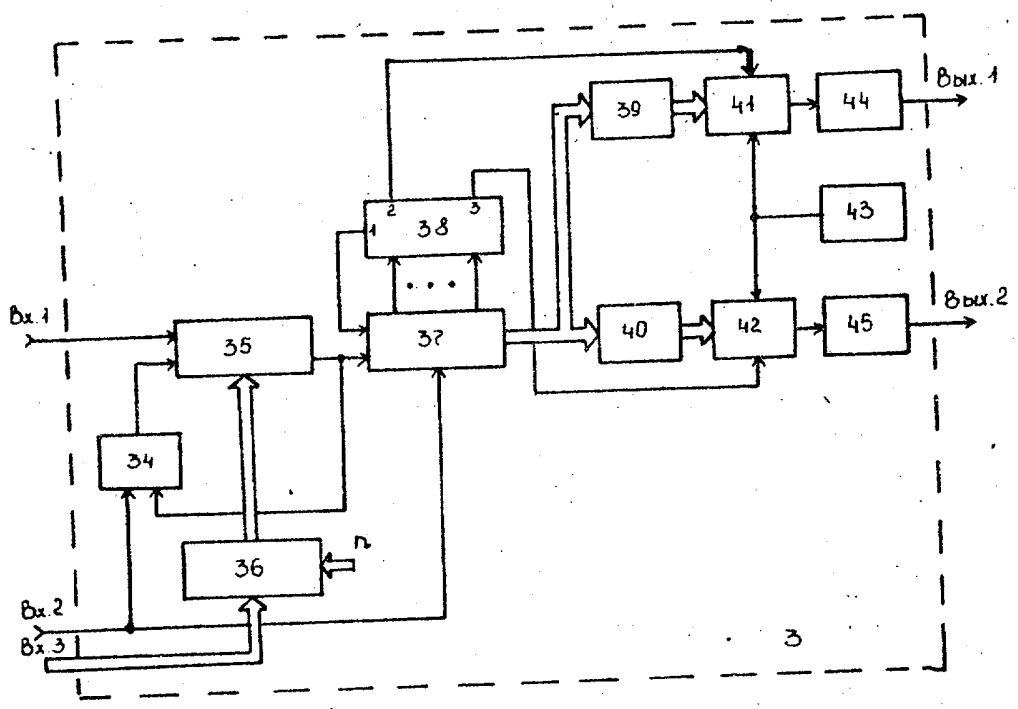
налов при наличии помех позволяет существенно повысить их помехозащищенность, а тем самым расширить область применения и повысить достоверность измерений.

Формула изобретения

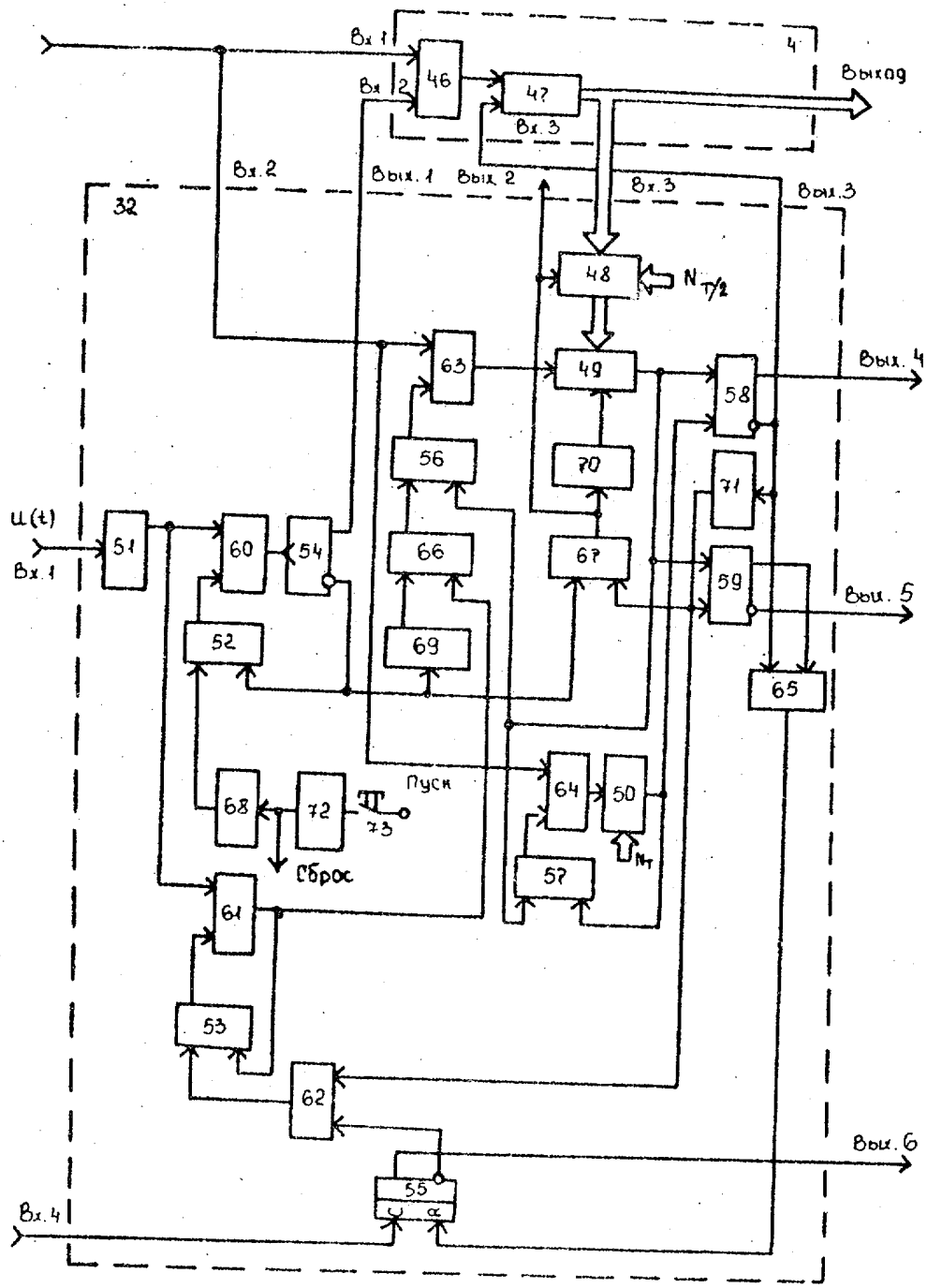
1. Устройство для измерения частоты гармонических сигналов, содержащее входной формирователь, первый и второй блоки перемножения, первый и второй квадраторы, первый и второй блоки деления, сумматор, блок управления и блок индикации, при этом первый вход первого блока перемножения соединен через входной формирователь с входом устройства, отличающееся тем, что, с целью повышения помехозащищенности, в него введены последовательно соединенные первый аналоговый ключ и первый интегратор, последовательно соединенные второй аналоговый ключ и второй интегратор, последовательно соединенные третий квадратор, третий аналоговый ключ и третий интегратор, последовательно соединенные четвертый квадратор, четвертый аналоговый ключ и четвертый интегратор, последовательно соединенные пятый квадратор, пятый аналоговый ключ и пятый интегратор, а также генератор образцовой частоты, формирователь опорных сигналов, преобразователь период-код, компаратор и шестой-десятый аналоговый ключи, причем выход входного блока соединен с первым входом второго блока перемножения, входом третьего квадратора и первым входом блока управления, выход генератора образцовой частоты подключен к первым входам формирователя опорных сигналов, преобразователя период-код и вторым входом блока управления, второй вход формирователя опорных сигналов соединен с вторым выходом блока управления, второй и третий входы преобразователя период-код подключены соответственно к первому и третьему выходам блока управления, а кодовые выходы преобразователя период-код соединены с третьими входами блока управления, кодовыми входами делителя кодов и третьими входами формирователя опорных сигналов, первый выход которого подключен к второму входу первого блока перемножения и входу четвертого квадратора, а второй выход подключен к второму входу второго блока перемножения и входу пятого квадратора, выходы первого и второго блоков перемножения соединены с сигнальными входами соответственно первого и второго аналоговых ключей, управляющие входы первого-пятого аналоговых ключей объединены и подключены к четвертому выходу блока управления, выходы интеграторов через шестой-десятый аналоговые ключи соответственно соединены с нулевой шиной, управляющие входы этих аналоговых ключей объединены и подключены к пятому выходу блока управления, выход первого интегратора соединен через первый квадратор с первым входом первого блока деления, второй вход которого подключен к выходу четвертого интегратора, выход второго интегратора соединен через второй квадратор с первым входом второго блока деления, второй вход которого подключен к выходу пятого интегратора, выход третьего интегратора соединен с входом суммирования сумматора, а выходы первого и второго блоков деления подключены к первому и второму входам вычитания сумматора, выход которого соединен с первым входом компаратора, второй вход которого подключен к шине образцового напряжения, а выход подключен к четвертому входу блока управления, шестой выход которого соединен с входом управления делителя кодов, к выходу которого подключен блок индикации.

2. Устройство по п.1, отличающееся тем, что блок управления содержит вычитатель, первый и второй вычитающие счетчики, нуль-орган, восемь триггеров, шесть элементов И, два элемента ИЛИ, четыре элемента задержки, формирователь импульса и кнопку "Пуск", при этом первый вход блока управления подключен к входу нуль-органа, выход которого соединен с первыми входами первого и второго элементов И, второй вход первого элемента И подключен к прямому выходу первого триггера, а второй вход второго элемента И – к прямому выходу третьего триггера, выход первого элемента И подключен к счетному входу второго триггера, прямой выход которого соединен с первым выходом блока управления, а инверсный выход – с нулевым входом первого триггера, единичный вход которого подключен к последовательно соединенным первому элементу задержки, формирователю импульса и кнопке "Пуск", с входом второго элемента задержки и первым входом первого элемента ИЛИ, выход второго элемента задержки подключен к первому входу второго элемента ИЛИ, второй вход которого соединен с выходом второго элемента И и нулевым входом третьего триггера, а выход второго элемента ИЛИ подключен к единичному входу четвертого триггера, прямой выход которого соединен с вторым входом третьего элемента И, первый вход которого объединен с первым вхо-

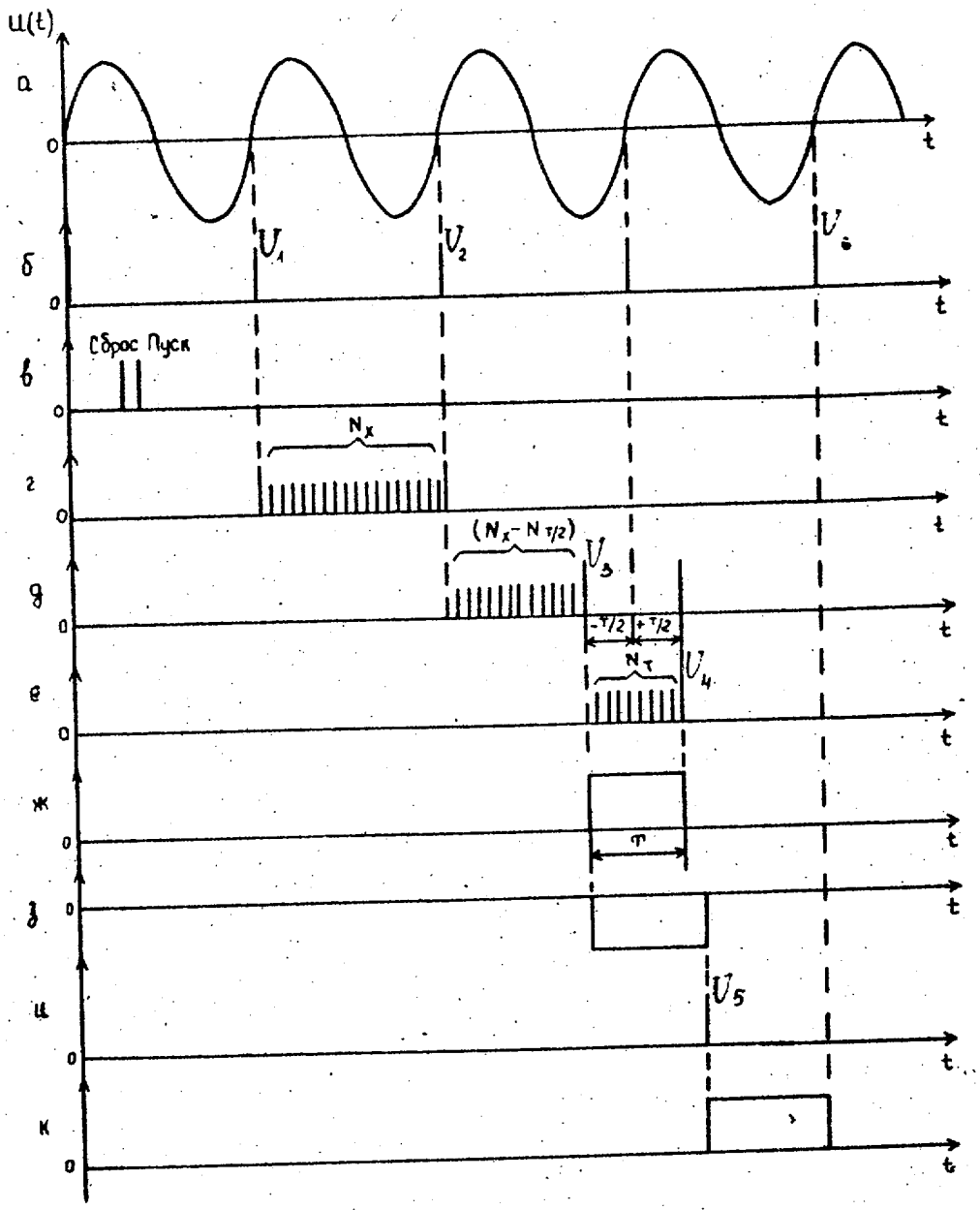
дом четвертого элемента И и подключен к второму входу блока управления, а выход третьего элемента И соединен со счетным входом первого вычитающего счетчика, кодовые входы которого поразрядно подключены к выходам вычитателя, кодовый вход которого соединен с третьим входом блока управления, управляющий вход первого вычитающего счетчика подключен через третий элемент задержки к второму выходу блока управления, управляющему входу вычитателя и выходу первого элемента ИЛИ, а выход первого вычитающего счетчика соединен с нулевым входом четвертого триггера и единичным входом пятого, шестого и седьмого триггеров, прямой выход седьмого триггера подключен к второму входу четвертого элемента И, выход которого соединен со счетным входом второго вычитающего счетчика, выход которого подключен к нулевым входам пятого и седьмого триггеров, прямой выход пятого триггера соединен с четвертым выходом блока управления, а инверсный выход соединен с третьим выходом блока управления, первым входом шестого элемента И и входом четвертого элемента задержки, к выходу которого подключены второй вход первого элемента ИЛИ, нулевой вход шестого триггера, прямой выход которого соединен с вторым входом шестого элемента И, а инверсный выход – с пятым выходом блока управления, и первым входом пятого элемента И, выход которого подключен к единичному входу третьего триггера, а второй вход – к инверсному выходу восьмого триггера, прямой выход которого соединен с шестым выходом, тактовый вход – с четвертым входом блока управления, а вход обнуления – с выходом шестого элемента И.



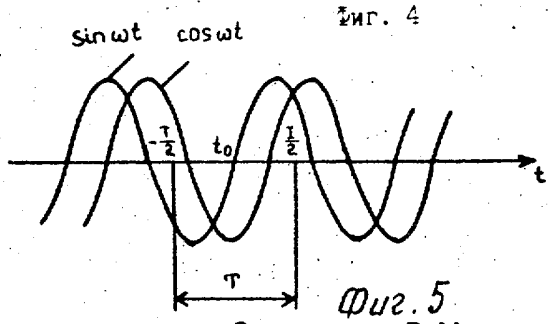
Фиг. 2


Вх.1
Вх.2
46
47
4
Выход
Вх.3
32
Вых.1
Вых.2
Вх.3
Вых.3
48
$N_{T/2}$
63
49
Вых.4
58
56
70
71
U(t)
Вх.1
51
60
54
66
67
59
Вых.5
52
69
65
Пуск
68
72
73
64
50
N_T
Сброс
57
61
53
62
Вых.6
55
Вх.4

Фиг. 3



Фиг. 4



Фиг. 5

Составитель Р. Матвеева
Редактор Н. Бобкова Техред М.Моргентал Корректор Л. Бескид

Заказ 2393 Тираж Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101