

411567

申請日期	88.4.7
案 號	87121216
類 別	Heil ²¹ /68

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書			411567
一、發明 名稱	中 文	降低之墊腐蝕作用	
	英 文	REDUCED PAD EROSION	
二、發明 創作人	姓 名	1. 貝崔蘭德富利納(Bertrand Flietner) 2. 羅伯特普洛瑟(Robert Ploessl) 3. 蒙尼卡葛索達拉(Monika Gschoederer)	
	國 籍	1.-3. 皆屬德國	
	住、居所	1. 美國紐約NY12533好望匯區基爾海灣1405號 2. 美國紐約NY14850伊薩卡西景巷135號 3. 美國紐約NY12590華平格斯瀑布區鎮景道154號	
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)	
	國 籍	德國	
	住、居所 (事務所)	德國慕黑尼D-80333威田巴契廣場2號	
	代 表 人 姓 名	1. 貝斯納(Basner) 2. 雷哈特(Reinhardt)	

裝

訂

線

411567

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地 區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權

1997年12月29日 案 號 08/998,856

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

-2a-

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明(1)

本發明之領域

本發明係廣泛地有關於半導體製造，並且更特別地是有關於墊膜腐蝕的減少。

本發明之背景

在積體電路(IC)或晶片的製造中，特徵(feature)係藉由蝕刻包含或未包含一層或多層裝置層之矽基板而產生。這些特徵係被用以形成裝置或裝置的一部份。例如，一種諸如深溝渠(DT)之特徵係被用以形成記憶體單元之溝渠電容器。典型地，在用以形成隨機存取記憶體(RAM)積體電路(IC)或晶片的方法中，一深溝渠陣列係被蝕刻於基板的陣列區中。其次，溝渠電容器係由溝渠所形成。該溝渠電容器係被用以形成記憶體單元陣列，其係以字元線或位元線互連以形成記憶體IC。

第1a-d圖係顯示用以形成溝渠電容器陣列之部分方法。如第1a圖所示，一傳統墊堆疊110係被形成於基板101的表面。該墊堆疊包含諸如諸墊氧化層112與一墊氮化物114。墊堆疊上為由諸如TEOS所組成的一硬式罩幕116。該硬式罩幕層作為用以形成DT的硬式罩幕。一光阻層(為表示於圖中)係被沈積於硬式罩幕上並被刻劃以選擇性地曝露出DT所被形成於其中的陣列區中的區域。其次，該基板係以活性離子蝕刻(RIE)被蝕刻而形成DT。

RIE對陣列區135中之硬式罩幕層的侵蝕速率較非陣列(場)區130中為快，其將在場區與陣列區間產生一大階梯。其次，至少於節狀介電質形成後，該溝渠係以諸如

五、發明說明(>)

大量摻雜的多晶矽 150 填充之。因為多晶矽係為保形的，所以 RIE 所形成的表面形貌亦將完全被轉移至多晶矽層。

在第 1b 圖中，一化學機械研磨 (CMP) 係被執行以提供一平坦表面。該 CMP 對於硬式罩幕層有選擇性，而於未有效移除硬式罩幕下將該多晶矽移除。如所見，CMP 將侵蝕陣列區中的多晶矽，而使其形成凹陷。此係被稱為碟狀化 (dishing)。基於所存在的大階梯，多晶矽在 CMP 後仍殘留於陣列的角落 160。硬式罩幕層如第 1c 圖所示被移除後，多晶矽耳 (poly"ears") 165 係於 DT 中的墊氮化層上凸起。因為表面形貌的因素而使得在前述 CMP 步驟期間仍留置於角落的多晶矽殘留物，在陣列角落的耳係高於在中間或高台部份 162 的耳。例如，在角落的耳的高度可大於大約 2500 Å，而在高台的耳的高則為大約 0-1500 Å 的範圍。

一修整 CMP 係被要求以移除多晶矽耳。然而，如第 1d 圖所示，該修整 CMP 將產生陣列區中之墊氮化層的腐蝕。此外，墊氮化物腐蝕在角落較在陣列區高台部份明顯。該腐蝕將引起閘極啓始電壓的波動，且在部份設計中將增加鑲埋帶 (buried strap) 阻抗，而對良率有不良影響。

如前述之說明所示，提供蝕刻 DT 時所使用之經改良的墊堆疊係為所欲。

本發明之概要

本發明係有關於積體電路的製造。更特別地是，本發

五、發明說明(3)

明將提供用於形成深溝渠之經改良的技術。

圖示之說明

第1a-d圖係表示形成深溝渠之傳統方法；

第2圖係表示溝渠電容器DRAM單元；以及

第3a-h圖係表示根據本發明之一實施例之形成深溝渠的方法。

本發明之細節說明

本發明係有關於IC製造。複數個IC典型地同時被被製造於諸如矽晶圓等半導體基板上。其他形式的半導體晶圓亦可被使用。形成IC後，晶圓將被切割以分割成個別的晶片。該晶片於後序將被封裝並整合為消費者產品。該消費者產品包含諸如個人電腦、蜂巢式電話以及其他電子產品。

為了作為說明的用途，本發明係以形成晶片之一部份的內容作說明。特別地是，本發明係以形成用於諸如DRAM單元等記憶體單元之溝渠電容器的內容作說明。然而，本發明亦可廣泛地使用於包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)、同步DRAM(SDRAM)以及靜態隨機存取記憶體(SRAM)等IC的製造。其他IC包含諸如可程式化邏輯陣列、特殊應用IC(ASIC)以及合併式邏輯-動態隨機存取記憶體(鑲埋式DRAM)等邏輯裝置。

參考第2圖，一溝渠電容器DRAM單元係被表示。該DRAM單元係被說明於諸如Nesbit等人所撰之A 0.6 μ m 256Mb Trench DRAM Cell With Self-Aligned Buried Strao

五、發明說明(4)

(BEST) IEDM93-627中，其將為各種目的作為參考文獻而納編於此。如所示，該DRAM單元包含形成於基板101中的溝渠電容器260。該溝渠係典型地以為n型摻質所大量摻雜之多晶矽261填充之。作為電容器之電極的多晶矽係被稱為"儲存節狀物"。以n型摻質摻雜的一鑲埋板265將環繞於溝渠的下面。該鑲埋板將形成電容器的第二極。溝渠的上面係為用以減少寄生漏電流的環168。一節狀介電質263將隔離電容器之二電極板。包括有n型摻質的一鑲埋井270將被提供以連接陣列中之DRAM單元的鑲埋板。鑲埋井上係為p井273。該p井係用以減少垂直漏電流。

該DRAM單元亦包含電晶體110。該電晶體包含一閘極212與包括有n型摻質的擴散區213與214。該擴散區係被稱為源極與汲極區。源極與汲極區的命名取決於電晶體的作業。電晶體對電容器的連接係經由被稱為節點擴散(node diffusion)的擴散區225而獲得。該閘極，亦被稱為字元線，係典型地包含多晶矽366與氮化物層368。此外，層357係為包含諸如矽化鉬(MoSi_x)、矽化鉬(TaSi_x)、矽化鎢(WSi_x)、矽化鈦(TiSi_x)或矽化鈷(CoSi_x)等位於多晶矽層上以減少字元線電阻的之矽化物的多晶矽化金屬層。

在一實施例中，該多晶矽化金屬層包含位於多晶矽上的WSi_x。一氮化物襯墊369係覆蓋於閘極堆疊與基板上。該氮化物層368與氮化物襯墊係作為後序加工用之蝕刻或

五、發明說明(5)

研磨阻絕層。

一淺溝渠隔離(STI)280係被提供以將DRAM單元與其他單元或裝置隔離。如所示，一字元線220係被形成於溝渠上並為STI所隔離。字元線220係被稱為"通行字元線"(passing wordline)。該結構係被稱為摺疊位元線架構。諸如開放式或開放式摺疊位元線架構或單元設計等其他結構亦可被使用。

一中間介電層289係被形成於字元線上。代表一位元線的一導電層係被形成於該中間介電層上。一位元線接觸窗口286係被提供於該中間介電層中以將源極213與位元線290接觸。

複數個該單元係被組成於陣列中。該單元陣列係藉由字元線與位元線而互連。藉由啓動單元的字元線與位元線而可與單元相通。

第3a-h圖係表示一種形成溝渠電容器陣列的方法。溝渠電容器所形成於其中的基板係被提供。該基板係為諸如矽晶圓。其他諸如砷化鎵、銻、砷在絕緣體上(SOI)或其他半導體材料等其他半導體基板亦可被使用。例如，該基板可以預定導電度的摻質微量或大量摻雜，以獲得所欲之電性。

一墊堆疊層310係被形成於基板表面上。該墊堆疊310係為諸如傳統墊堆疊，其係被說明於第1a圖。如所示，該墊堆疊包含一墊氧化層312與一墊阻絕層314。該墊氧化物係使用諸如墊氧化等所熟知的技術而被形成於基板

五、發明說明 (b)

表面。該墊氧化物係足夠厚以減少應力並改善墊阻絕層與基板間的黏著性。墊氧化層的典型厚度係為大約 10nm。

墊氧化物上係為墊阻絕層。該墊阻絕層係由對於用以填充溝渠的材料有足夠的選擇性的材料所組成。在一實施例中，該墊蝕刻阻絕層由較用以填充溝渠的多晶矽有更低蝕刻速率的氮化矽 (Si_3N_4) 所組成。多晶矽與蝕刻阻絕層間的蝕刻選擇性係典型地大約為 60:1。在研磨時，選擇性為 300:1。該氮化物層係以諸如低壓化學氣相沈積 (LPCVD) 所形成。其他用以沈積氮化層的技術亦可使用。該墊氮化層係典型地大約為 200-220nm。

該墊氮化物上方係被形成一硬式罩幕層 315。根據本發明，該硬式罩幕層包含在第一與第二硬化罩幕層 316 與 320 間的一蝕刻阻絕 318。該第一與第二硬式罩幕層由足夠密或足夠硬而可於深溝渠形成期間耐得住 RIE 的離子撞擊的材料所組成。此外，該蝕刻罩幕應具有較墊蝕刻阻絕層更高的濕式蝕刻速率。其選擇性係典型地高於大約 80。在一實施例中，該硬式罩幕層由諸如 TEOS 等未摻雜矽酸鹽玻璃所組成。諸如硼摻雜矽酸鹽玻璃 (BSG) 或回流氧化物等其他適當的硬式罩幕材料亦可使用。此外，應瞭解地是，第一與第二硬式罩幕層必須以相同的材料形成。藉由在第一與第二罩幕層間提供一蝕刻阻絕層，則 DT 蝕刻期間所形成的表面形貌在後序加工中不會被反射，進而改善良率。

參考第 3b 圖，該閘極堆疊係使用傳統微影技術而被刻

五、發明說明(7)

劃。該技術包含沈積一光阻層於該墊堆疊上，而以曝光源與罩幕將其選擇性地曝光。依所使用者為正或負光阻而定，則若非光阻層之被曝光部份在顯影中被移除則為未曝光之部分被移除，而留下未被保護之墊堆疊區。該未被保護之區域係為溝渠所被形成之區域。

諸如活性離子蝕刻(RIE)等蝕刻係被執行以形成未為光阻所保護之區域中之墊堆疊中的窗口。該窗口將暴露出下面的基板。RIE不斷地蝕刻基板而形成DT305。RIE將以較場區330更高的速率侵蝕陣列區135中的第二罩幕層320，而在其間形成不平坦的表面形貌。因為該第二罩幕層係足夠厚，所以蝕刻阻絕層318係不被暴露。第二罩幕層典型的厚度係為大約200-220nm。其實際厚度將依據諸如RIE製程和/或所形成之DT深度而變化。

環繞溝渠較低部份的擴散區係選擇性地被形成，以作為鑲埋板。鑲埋板的形成係藉由各種熟知的技術而獲得，例如提供使摻質擴散進入基板的來源物。其次，電容的節點介電質係被形成於溝渠中。

參考第3c圖，多晶矽350係被沈積以填充DT。該多晶矽將過度填充溝渠以確保完全填充。該多晶矽過度填充將產生過多之覆蓋基板表面的多晶矽。因為多晶矽係為保形的，所以下面的表面形貌將反應於所沈積的層中。如此，在整個陣列區335中的多晶矽的表面將含有凹陷。

參考第3d圖，過多的多晶矽係藉由諸如CMP而被研磨。CMP對於第二罩幕層有選擇性。由於陣列與場區間存在

五、發明說明(8)

有大階梯，所以多晶矽在CMP後仍將殘留於陣列邊緣360。

在第3e圖中，第二單幕係以對於多晶矽與第二蝕刻阻絕層有選擇性地被移除。此係典型地以濕式蝕刻而獲得。如所示，第二墊單幕的移除將留在DT中之墊氮化物層上突起的多晶矽"耳"365。由於多晶矽因表面形貌的因素在CMP步驟後仍將留置於邊緣，所以在陣列區360之耳的高度係高於在中間或高台部份362的高度。

參考第3f圖，基板表面係以諸如CMP研磨。CMP的用途係為移除多晶矽耳。該CMP係對於蝕刻阻絕層318有選擇性，以形成較平坦的頂端表面370。該蝕刻阻絕層係足夠厚以作為CMP蝕刻阻絕層。蝕刻阻絕層的典型厚度係為大約20nm。

如所示，CMP將侵蝕部份的陣列區中之蝕刻阻絕層。然而，該第一單幕層316將足夠厚以保護墊阻絕層314不被暴露。第一單幕層的厚度係為大約諸如200-220nm。然而，該第一單幕層將依據CMP的性能而有厚度的變化。

參考第3g圖，該蝕刻阻絕與第一單幕層係被移除。蝕刻阻絕層的移除係以諸如濕式蝕刻而獲得。一濕式蝕刻亦被使用以對阻絕層314與多晶矽有選擇性地將第一硬式單幕移除。多晶矽耳因而被留置於阻絕層314上。如所示，該多晶矽耳的高度係相當的。

該多晶矽耳係使用以墊阻絕層作為研磨阻絕的CMP而被移除。如第3h圖所示，該CMP將形成完全平坦表面380。基於該多晶矽耳高度皆相當的事實，該CMP將不會過

五、發明說明(9)

度侵蝕陣列區中的蝕刻阻絕層。因此，本發明所提供之單幕層將減少由DT溝渠所形成之表面形貌所造成的反效果。

此時，諸如RIE等蝕刻係被執行以將溝渠中的多晶矽變凹。其次，一環係藉由沈積並刻劃諸如一介電層而被形成。環形成後，DRAM的其他部份係使用傳統技術而製造，例如Nesbit等人所撰之A 0.6 μ m 256Mb Trench DRAM Cell With Self-Aligned Buried Strao(BEST), IEDM 93-627中所述，其將為各種目的作為參考文獻而納編於此。例如，其包含填充溝渠、形成鑲埋帶、形成隔離區以形成STI、沈積包括有閘極堆疊的各層並刻劃這些層以形成代表字元線的閘極導體，沈積一中間介電層、形成接觸窗口以及形成位元線。

雖然本發明已被特別地揭示並參考不同的實施例做說明，但在不違背本發明之範疇下對本發明所做的改良與改變將可為熟習本技藝之人士所辨別。因此，本發明之範疇並非取決於參考上述說明，而係取決於參考所附之申請專利範圍與其所有相當的範疇。

五、發明說明 (10)

參 考 符 號 說 明

- 101.....基 板
- 110.....傳 統 墊 堆 疊
- 112.....墊 氧 化 物
- 114.....墊 氮 化 物
- 116.....硬 式 罩 幕 層
- 130.....陣 列 區
- 135.....非 陣 列 區
- 150.....大 量 摻 雜 之 多 晶 矽
- 160.....陣 列 邊 緣
- 162.....高 台 部 分
- 165.....多 晶 矽 " 耳 "
- 168.....環
- 214.....擴 散 區
- 213.....擴 散 區
- 212.....閘 極
- 220.....字 元 線
- 225.....擴 散 區
- 260.....溝 渠 電 容
- 261.....多 晶 矽
- 263.....介 電 質
- 265.....鑲 埋 板
- 270.....鑲 埋 井
- 280.....淺 溝 渠 隔 離

五、發明說明 (11)

- 286 位 元 線 接 觸 窗 口
- 289 中 間 介 電 層
- 290 位 元 線
- 301 墊 堆 疊 層
- 305 深 溝 渠
- 310 墊 堆 層
- 312 墊 氧 化 層
- 314 墊 阻 絕 層
- 315 硬 式 罩 幕 層
- 316 第 一 硬 式 罩 幕 層
- 318 蝕 刻 終 點
- 320 第 二 硬 式 罩 幕 層
- 330 場 區 域
- 335 陣 列 區
- 350 多 晶 矽
- 360 陣 列 邊 緣
- 362 高 台 部 分
- 365 多 晶 矽 " 耳 "
- 366 多 晶 矽
- 368 氮 化 矽
- 369 氮 化 矽 襯 墊
- 370 頂 端 表 面
- 380 平 坦 表 面

四、中文發明摘要(發明之名稱：

)

降低之墊腐蝕作用

本發明提供一經過改良的硬式罩幕以減少在半導體製造期間的墊侵蝕。該硬式罩幕包括有位於第一與第二硬式罩幕層間的一蝕刻阻絕層。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

泉

英文發明摘要(發明之名稱：REDUCED PAD EROSION

)

An improved hard mask is provided to reduced pad erosion during semiconductor fabrication. The hard mask includes an etch stop layer between first and second hard mask layers.

六、申請專利範圍

1. 一種形成積體電路的方法，包括有：

提供一基板；

於基板上形成一墊堆疊；以及

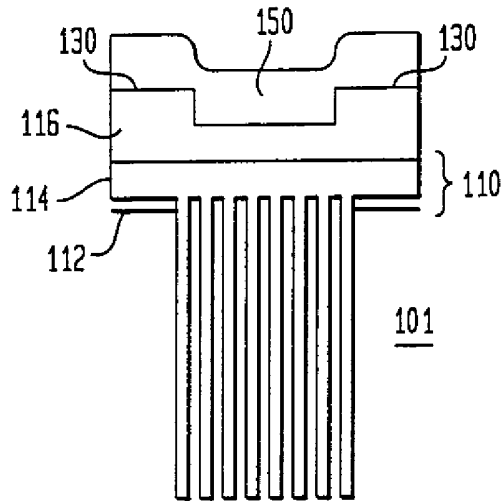
於墊堆疊上形成一硬式罩幕，其中該硬式罩幕包括有位於第一與第二硬式罩幕層間的一蝕刻阻絕層。

(請先閱讀背面之注意事項再填寫本頁)

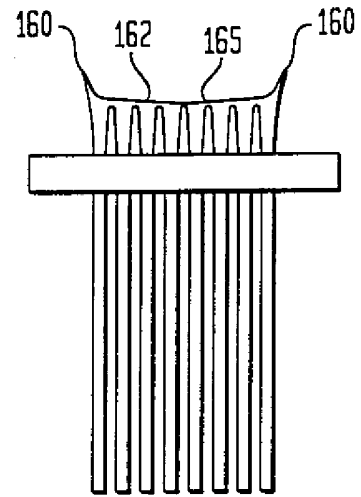
訂

1/4

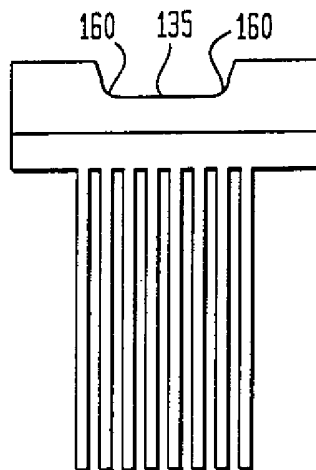
第 1A 圖



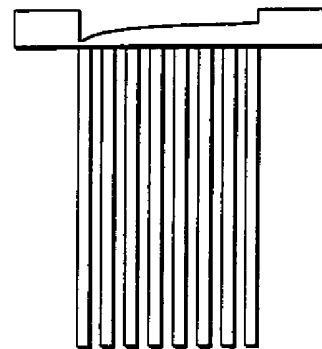
第 1C 圖



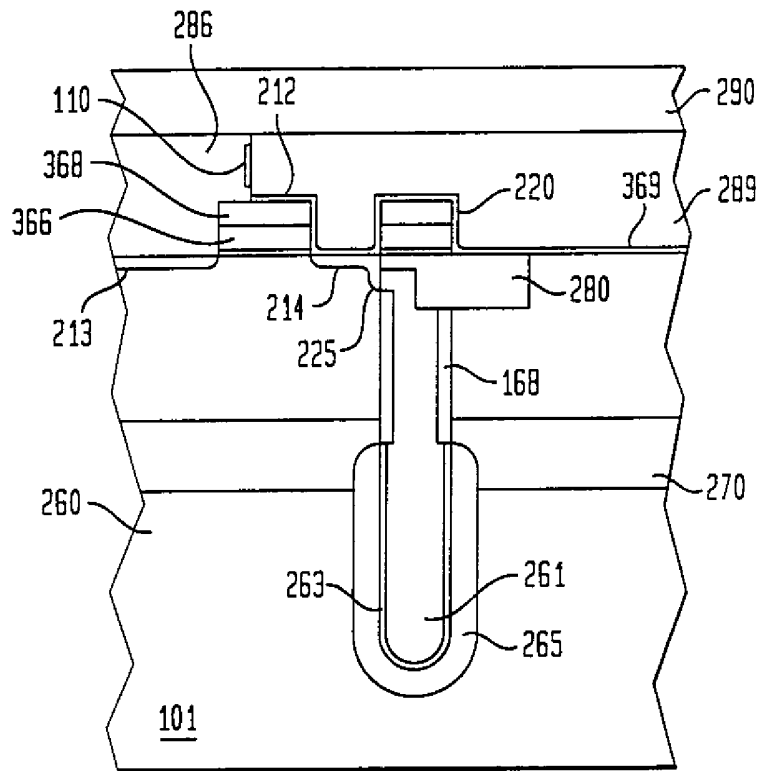
第 1B 圖



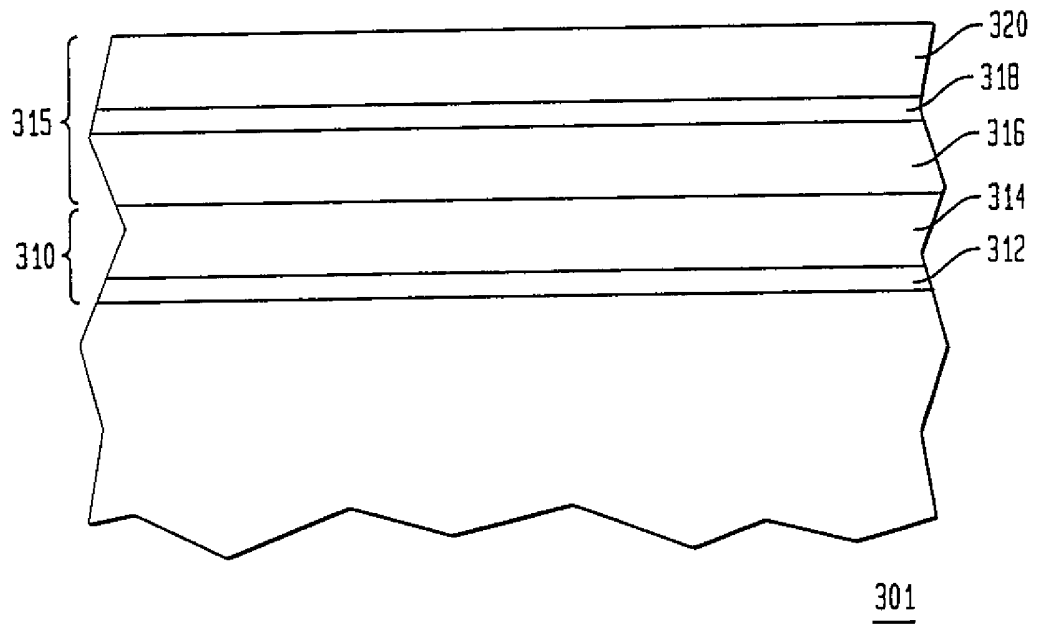
第 1D 圖



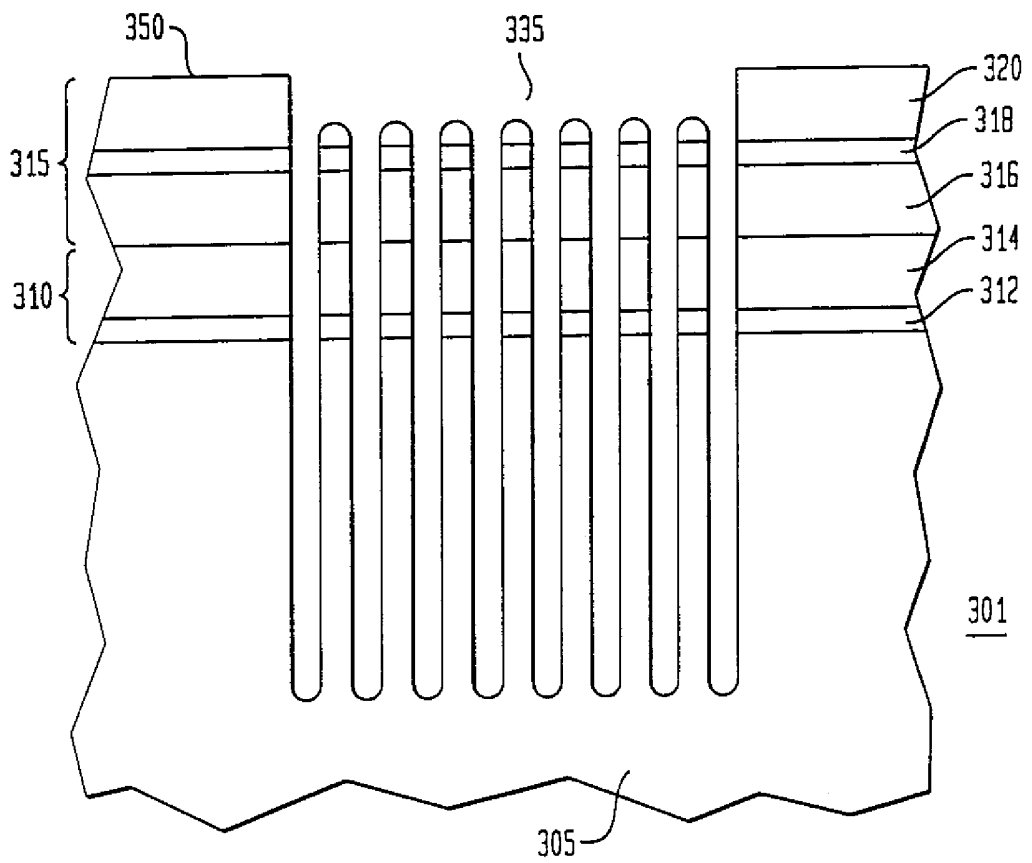
第 2 圖



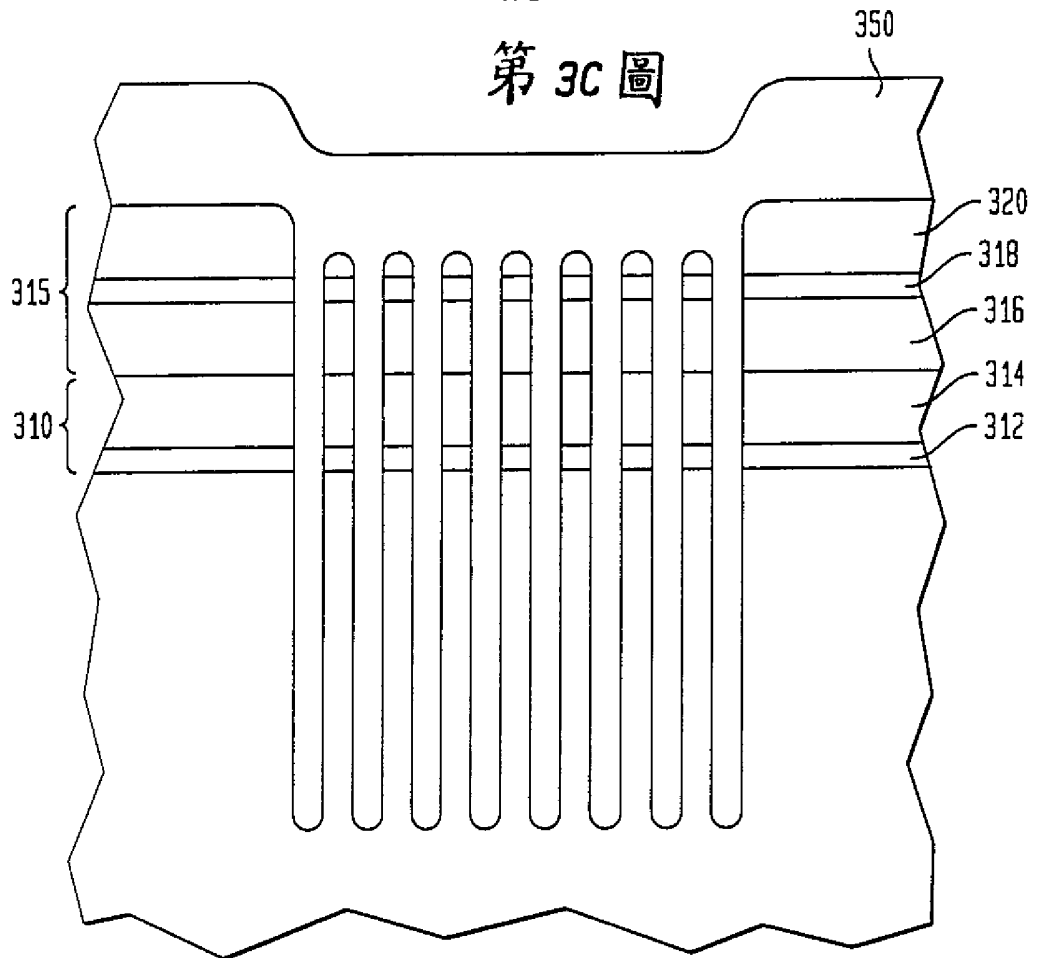
第 3A 圖



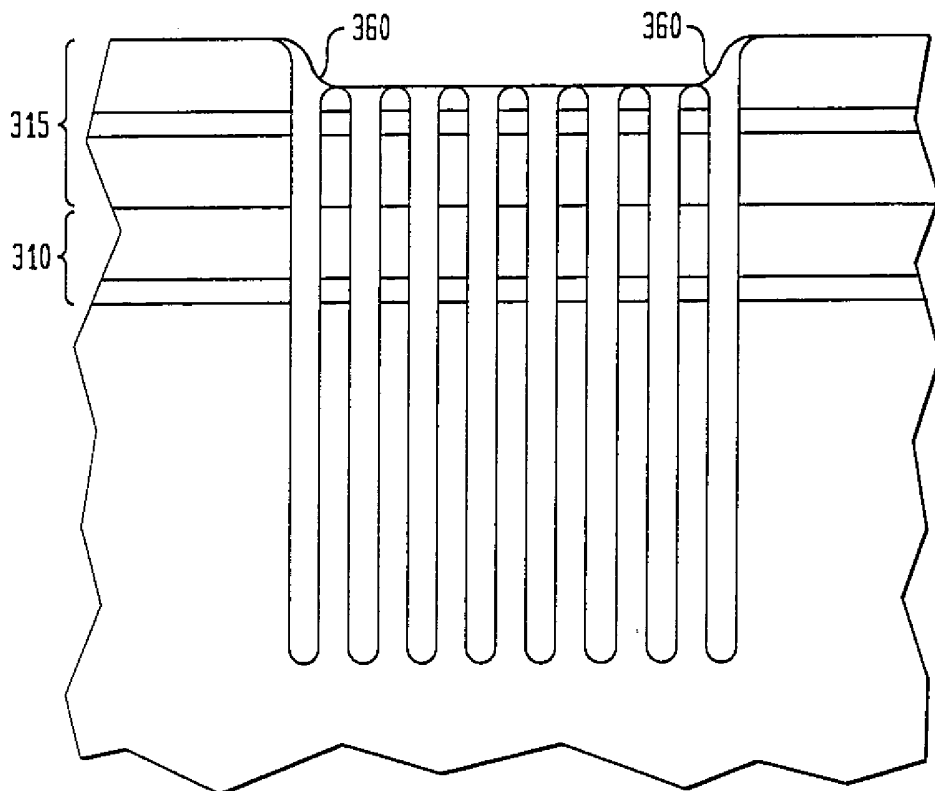
第 3B 圖



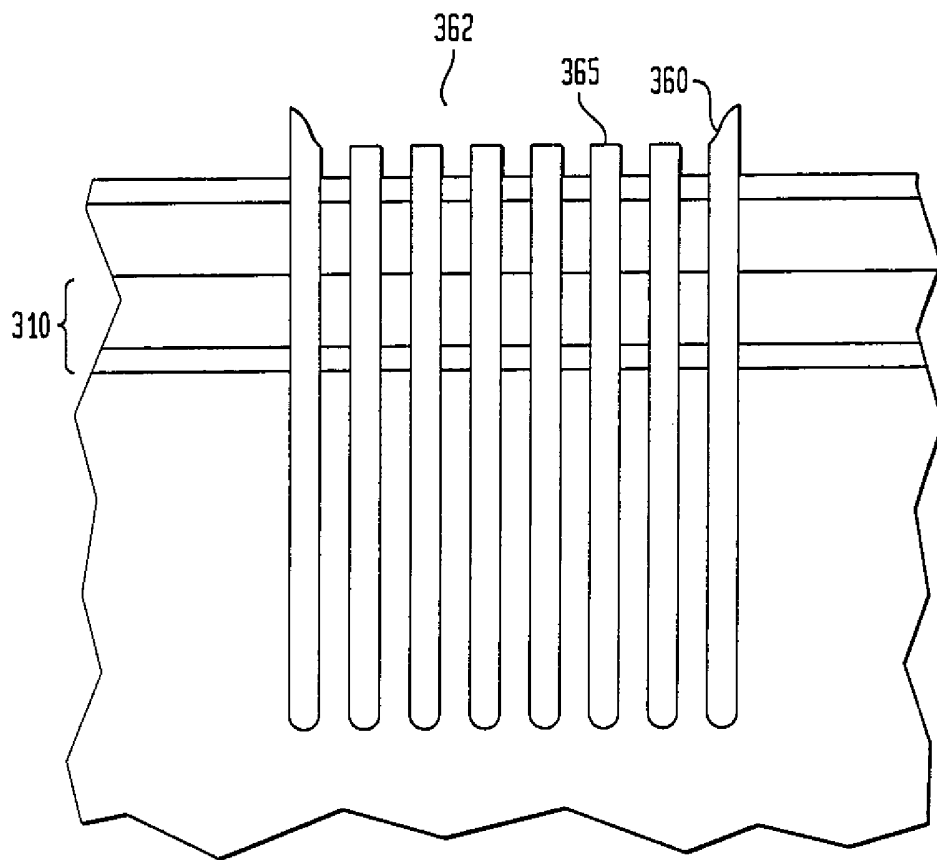
第 3C 圖



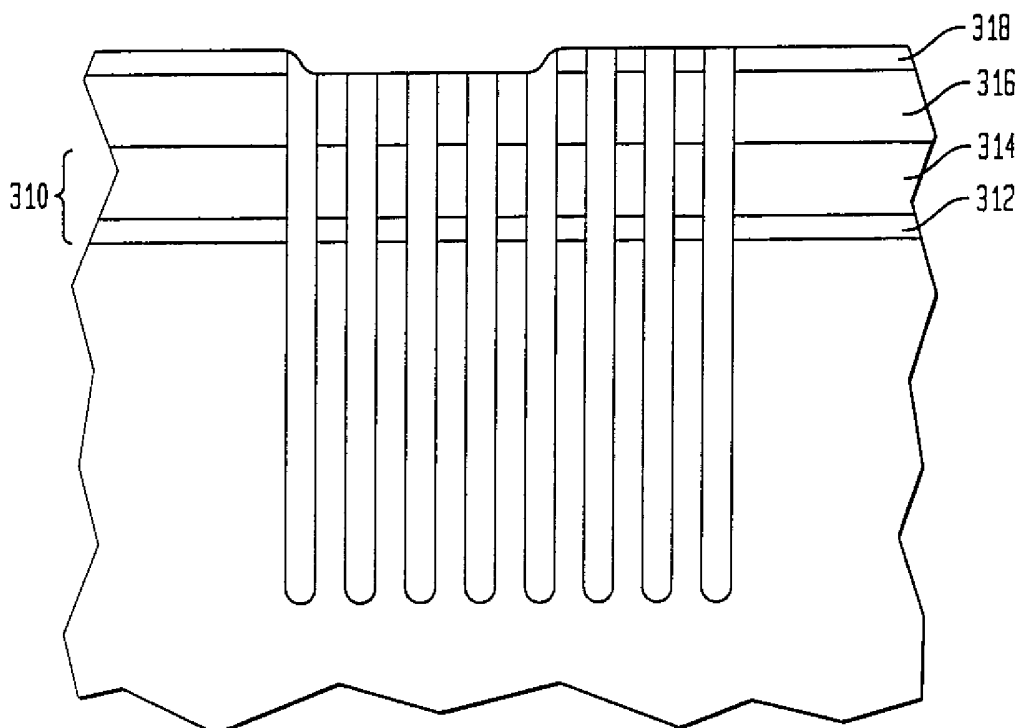
第 3D 圖



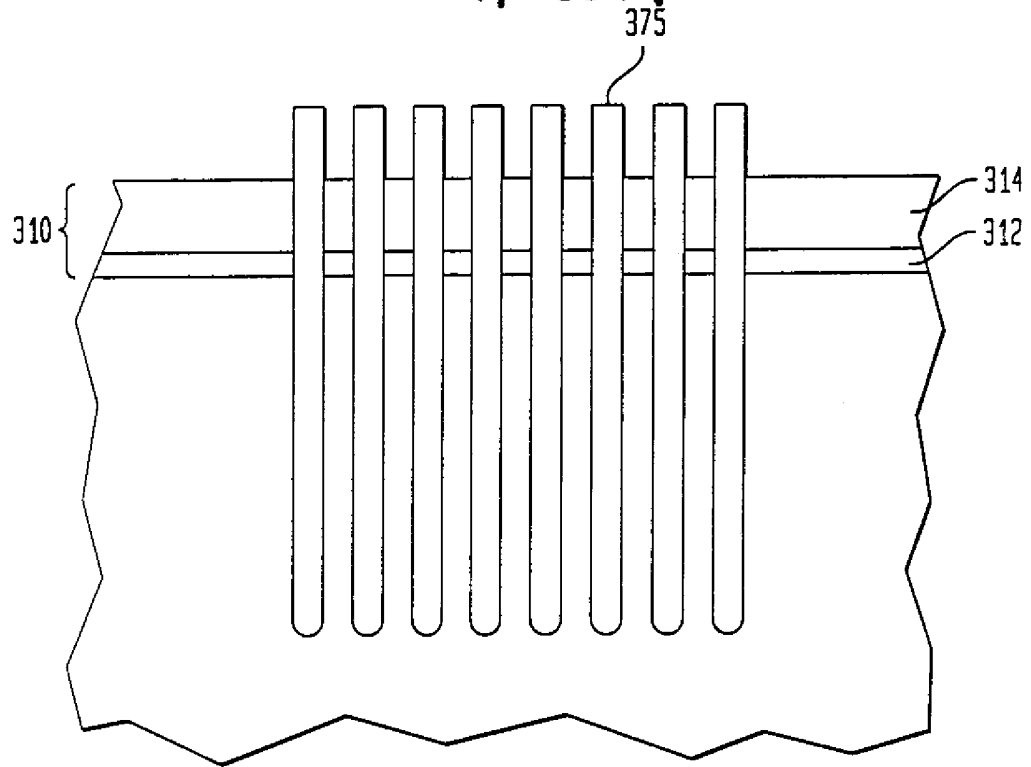
第 3E 圖



第 3F 圖



第 3G 圖



第 3H 圖

