【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成23年6月16日(2011.6.16)

【公開番号】特開2009-4758(P2009-4758A)
【公開日】平成21年1月8日(2009.1.8)
【年通号数】公開・登録公報2009-001
【出願番号】特願2008-128292(P2008-128292)
【国際特許分類】
Ｈ０１Ｌ　27/12　(2006.01)
Ｈ０１Ｌ　21/02　(2006.01)
Ｈ０１Ｌ　21/336　(2006.01)
Ｈ０１Ｌ　29/786　(2006.01)
Ｈ０１Ｌ　21/762　(2006.01)
Ｈ０１Ｌ　21/764　(2006.01)
Ｇ０２Ｆ　1/1368　(2006.01)
Ｇ０２Ｆ　1/1345　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　27/12　Ｂ
Ｈ０１Ｌ　27/12　Ｌ
Ｈ０１Ｌ　29/78　６２７Ｄ
Ｈ０１Ｌ　29/78　６１８Ｃ
Ｈ０１Ｌ　29/78　６２０
Ｈ０１Ｌ　29/78　６１３Ａ
Ｈ０１Ｌ　21/76　Ｄ
Ｈ０１Ｌ　21/76　Ａ
Ｇ０２Ｆ　1/1368
Ｇ０２Ｆ　1/1345

【手続補正書】
【提出日】平成23年4月25日(2011.4.25)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１のイオンを第１の単結晶半導体基板の一方の面に照射して、前記第１の単結晶半導体基板の表面から所定の深さの領域に第１の脆化層を形成し、
前記第１の単結晶半導体基板の一方の面に、複数の第１の素子形成用パターン及び複数の前記第１の素子形成用パターンの間に所定の間隔で配置された第１のダミーパターンをエッチングにより形成し、
前記第１の単結晶半導体基板と絶縁表面を有する基板を、前記第１の単結晶半導体基板の前記第１の素子形成用パターン及び前記第１のダミーパターンの形成された面と前記絶縁表面を重ね合わせて接合し、
前記第１の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第１の素子形成用パターンの単結晶半導体層及び前記第１のダミーパターンの単結晶半導体層を残存させたまま前記第１の単結晶半導体基板を分離することを特徴とする半導体基板の作製方法。

【請求項２】
第１のイオンを第１の単結晶半導体基板の一方の面に照射して、前記第１の単結晶半導体基板の表面から所定の深さの領域に第１の脆化層を形成し、
前記第１の単結晶半導体基板の一方の面上にシラン系ガスを用いて化学気相成長法により第１の酸化シリコン膜を形成し、
前記第１の単結晶半導体基板の前記第１の酸化シリコン膜を有する面及び前記第１の酸化シリコン膜に、複数の第１の素子形成用パターン及び複数の前記第１の素子形成用パターンの間に所定の間隔で配置された第１のダミーパターンをエッチングにより形成し、
前記第１の単結晶半導体基板と絶縁表面を有する基板を、前記第１の酸化シリコン膜を挟んで重ね合わせて接合し、
前記第１の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第１の素子形成用パターンの前記第１の酸化シリコン膜及び単結晶半導体層並びに前記第１のダミーパターンの前記第１の酸化シリコン膜及び単結晶半導体層を残存させたまま前記第１の単結晶半導体基板を分離することを特徴とする半導体基板の作製方法。
【請求項３】
請求項１又は請求項２において、
前記第１の素子形成用パターン及び前記第１のダミーパターン以外の前記第１の単結晶半導体基板を、前記第１の脆化層より深くエッチングすることより前記第１の素子形成用パターン及び前記第１のダミーパターンを形成することを特徴とする半導体基板の作製方法。
【請求項４】
請求項１乃至請求項３のいずれか一項において、
少なくとも前記第１の素子形成用パターンの断面形状が逆テーパ状になる如く前記第１の単結晶半導体基板をエッチングし、前記絶縁表面を有する基板上に残存した前記第１の素子形成用パターンの断面形状がテーパ状であることを特徴とする半導体基板の作製方法。
【請求項５】
請求項１乃至請求項４のいずれか一項において、
前記絶縁表面を有する基板上に残存した前記第１のダミーパターンを除去する工程を有することを特徴とする半導体基板の作製方法。
【請求項６】
請求項１乃至請求項５のいずれか一項において、
前記第１の素子形成用パターン及び前記第１のダミーパターンの間隔は２００μｍ以内であることを特徴とする半導体装置の作製方法。
【請求項７】
請求項１乃至請求項６のいずれか一項に記載の半導体基板の作製方法を用いて作製した半導体基板の半導体を用いてチャネル領域、ソース領域又はドレイン領域を形成することを特徴とする薄膜トランジスタの作製方法。
【請求項８】
請求項１乃至請求項６のいずれか一項において、
第２のイオンを第２の単結晶半導体基板の一方の面に照射して、前記第２の単結晶半導体基板の表面から所定の深さの領域に第２の脆化層を形成し、
前記第２の単結晶半導体基板の一方の面に、複数の第２の素子形成用パターン及び複数の前記第２の素子形成用パターンの間に所定の間隔で配置された第２のダミーパターンをエッチングにより形成し、
前記第２の単結晶半導体基板と少なくとも前記第１の素子形成用パターンが残存する前記絶縁表面を有する基板を、前記第１の素子形成用パターン及び前記第１のダミーパターンと前記第２の素子形成用パターン及び前記第２のダミーパターンが重ならないように、前記第２の単結晶半導体基板の前記第２の素子形成用パターン及び前記第２のダミーパタ

ーンの形成された面と前記絶縁表面を重ね合わせて接合し、
前記第２の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第２の素子形成用パターンの単結晶半導体層及び前記第２のダミーパターンの単結晶半導体層を残存させたまま前記第２の単結晶半導体基板を分離することを特徴とする半導体基板の作製方法。
【請求項９】
請求項１乃至請求項６のいずれか一項において、
第２のイオンを第２の単結晶半導体基板の一方の面に照射して、前記第２の単結晶半導体基板の表面から所定の深さの領域に第２の脆化層を形成し、
前記第２の単結晶半導体基板の一方の面上にシラン系ガスを用いて化学気相成長法により第２の酸化シリコン膜を形成し、
前記第２の単結晶半導体基板の前記第２の酸化シリコン膜を有する面及び前記第２の酸化シリコン膜に、複数の第２の素子形成用パターン及び複数の前記第２の素子形成用パターンの間に所定の間隔で配置された第２のダミーパターンをエッチングにより形成し、
前記第２の単結晶半導体基板と少なくとも前記第１の素子形成用パターンが残存する前記絶縁表面を有する基板を、前記第１の素子形成用パターン及び前記第１のダミーパターンと前記第２の素子形成用パターン及び前記第２のダミーパターンが重ならないように、前記第２の酸化シリコン膜を挟んで重ね合わせて接合し、
前記第２の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第２の素子形成用パターンの前記第２の酸化シリコン膜及び単結晶半導体層並びに前記第２のダミーパターンの前記第２の酸化シリコン膜及び単結晶半導体層を残存させたまま前記第２の単結晶半導体基板を分離することを特徴とする半導体基板の作製方法。
【請求項１０】
請求項８又は請求項９において、
前記第２の素子形成用パターン及び前記第２のダミーパターン以外の前記第２の単結晶半導体基板を、前記第２の脆化層より深くエッチングすることより前記第２の素子形成用パターン及び前記第２のダミーパターンを形成することを特徴とする半導体基板の作製方法。
【請求項１１】
請求項８乃至請求項１０のいずれか一項において、
少なくとも前記第２の素子形成用パターンの断面形状が逆テーパ状になる如く前記第２の単結晶半導体基板をエッチングし、前記絶縁表面を有する基板上に残存した前記第２の素子形成用パターンの断面形状がテーパ状であることを特徴とする半導体基板の作製方法。
【請求項１２】
請求項８乃至請求項１１のいずれか一項において、
前記第２の素子形成用パターン及び前記第２のダミーパターンの厚さが、前記第１の素子形成用パターン及び前記第１のダミーパターンの厚さより厚いことを特徴とする半導体基板の作製方法。
【請求項１３】
請求項８乃至請求項１２のいずれか一項において、
前記第２の素子形成用パターン及び前記第２のダミーパターンの間隔は２００μｍ以内であることを特徴とする半導体装置の作製方法。
【請求項１４】
請求項８乃至請求項１３のいずれか一項において、
前記絶縁表面を有する基板上に残存した前記第２のダミーパターンを除去する工程を有することを特徴とする半導体基板の作製方法。
【請求項１５】
請求項８乃至請求項１４のいずれか一項において、

前記第１の単結晶半導体基板の表面と前記第２の単結晶半導体基板の表面は互いに異なる結晶面を有することを特徴とする半導体基板の作製方法。
【請求項１６】
請求項１５において、
前記異なる結晶面の一方が｛１００｝面で、他方が｛１１０｝面であることを特徴とする半導体基板の作製方法。
【請求項１７】
請求項１６記載の前記結晶面が｛１００｝面の単結晶半導体基板から形成された素子形成用パターンの半導体を用いてｎ型薄膜トランジスタを形成し、前記結晶面が｛１１０｝面の単結晶半導体基板から形成された素子形成用パターンの半導体を用いてｐ型薄膜トランジスタを形成することを特徴とする半導体装置の作製方法。
【請求項１８】
第１のイオンを第１の単結晶半導体基板の一方の面に照射して、前記第１の単結晶半導体基板の表面から所定の深さの領域に第１の脆化層を形成し、
前記第１の単結晶半導体基板と絶縁表面を有する基板を、前記第１の単結晶半導体基板の一方の面と前記絶縁表面を重ね合わせて接合し、
前記第１の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に単結晶半導体層を残存させたまま前記第１の単結晶半導体基板を分離し、
前記単結晶半導体層をエッチングすることにより、複数の第１の素子形成用パターンを形成し、
第２のイオンを第２の単結晶半導体基板の一方の面に照射して、前記第２の単結晶半導体基板の表面から所定の深さの領域に第２の脆化層を形成し、
前記第２の単結晶半導体基板の一方の面に、複数の第２の素子形成用パターン及び複数の前記第２の素子形成用パターンの間に所定の間隔で配置された第２のダミーパターンをエッチングにより形成し、
前記第２の単結晶半導体基板と前記第１の素子形成用パターンが残存する前記絶縁表面を有する基板を、前記第１の素子形成用パターンと前記第２の素子形成用パターン又は前記第２のダミーパターンが重ならないように、前記第２の単結晶半導体基板の前記第２の素子形成用パターン及び前記第２のダミーパターンの形成された面と前記絶縁表面を重ね合わせて接合し、
前記第２の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第２の素子形成用パターンの単結晶半導体層及び前記第２のダミーパターンの単結晶半導体層を残存させたまま前記第２の単結晶半導体基板を分離することを特徴とする半導体基板の作製方法。
【請求項１９】
第１のイオンを第１の単結晶半導体基板の一方の面に照射して、前記第１の単結晶半導体基板の表面から所定の深さの領域に第１の脆化層を形成し、
前記第１の単結晶半導体基板と絶縁表面を有する基板を、前記第１の単結晶半導体基板の一方の面と前記絶縁表面を重ね合わせて接合し、
前記第１の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に単結晶半導体層を残存させたまま前記第１の単結晶半導体基板を分離し、
前記単結晶半導体層をエッチングすることにより、複数の第１の素子形成用パターン及び複数の前記第１の素子形成用パターンの間に所定の間隔で配置された第１のダミーパターンを形成し、
第２のイオンを第２の単結晶半導体基板の一方の面に照射して、前記第２の単結晶半導体基板の表面から所定の深さの領域に第２の脆化層を形成し、
前記第２の単結晶半導体基板の一方の面に、複数の第２の素子形成用パターンをエッチングにより形成し、

前記第２の単結晶半導体基板と前記第１の素子形成用パターン及び前記第１のダミーパターンが残存する前記絶縁表面を有する基板を、前記第１の素子形成用パターン又は前記第１のダミーパターンと前記第２の素子形成用パターンが重ならないように、前記第２の単結晶半導体基板の前記第２の素子形成用パターンの形成された面と前記絶縁表面を重ね合わせて接合し、

前記第２の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第２の素子形成用パターンの単結晶半導体層を残存させたまま前記第２の単結晶半導体基板を分離することを特徴とする半導体基板の作製方法。

【請求項２０】

第１のイオンを第１の単結晶半導体基板の一方の面に照射して、前記第１の単結晶半導体基板の表面から所定の深さの領域に第１の脆化層を形成し、

前記第１の単結晶半導体基板の一方の面上にシラン系ガスを用いて化学気相成長法により第１の酸化シリコン膜を形成し、

前記第１の単結晶半導体基板と絶縁表面を有する基板を、前記第１の酸化シリコン膜を挟んで重ね合わせて接合し、

前記第１の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第１の酸化シリコン膜及び単結晶半導体層を残存させたまま前記第１の単結晶半導体基板を分離し、

前記単結晶半導体層及び前記第１の酸化シリコン膜をエッチングすることにより、複数の第１の素子形成用パターンを形成し、

第２のイオンを第２の単結晶半導体基板の一方の面に照射して、前記第２の単結晶半導体基板の表面から所定の深さの領域に第２の脆化層を形成し、

前記第２の単結晶半導体基板の一方の面上にシラン系ガスを用いて化学気相成長法により第２の酸化シリコン膜を形成し、

前記第２の単結晶半導体基板の前記第２の酸化シリコン膜を有する面及び前記第２の酸化シリコン膜に、複数の第２の素子形成用パターン及び複数の前記第２の素子形成用パターンの間に所定の間隔で配置された第２のダミーパターンをエッチングにより形成し、

前記第２の単結晶半導体基板と前記第１の素子形成用パターンが残存する前記絶縁表面を有する基板を、前記第１の素子形成用パターンと前記第２の素子形成用パターン又は前記第２のダミーパターンが重ならないように、前記第２の酸化シリコン膜を挟んで重ね合わせて接合し、

前記第２の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第２の素子形成用パターンの前記第２の酸化シリコン膜及び単結晶半導体層並びに前記第２のダミーパターンの前記第２の酸化シリコン膜及び単結晶半導体層を残存させたまま前記第２の単結晶半導体基板を分離することを特徴とする半導体基板の作製方法。

【請求項２１】

第１のイオンを第１の単結晶半導体基板の一方の面に照射して、前記第１の単結晶半導体基板の表面から所定の深さの領域に第１の脆化層を形成し、

前記第１の単結晶半導体基板の一方の面上にシラン系ガスを用いて化学気相成長法により第１の酸化シリコン膜を形成し、

前記第１の単結晶半導体基板と絶縁表面を有する基板を、前記第１の酸化シリコン膜を挟んで重ね合わせて接合し、

前記第１の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第１の酸化シリコン膜及び単結晶半導体層を残存させたまま前記第１の単結晶半導体基板を分離し、

前記単結晶半導体層及び前記第１の酸化シリコン膜をエッチングすることにより、複数の第１の素子形成用パターン及び複数の前記第１の素子形成用パターンの間に所定の間隔で配置された第１のダミーパターンを形成し、

第２のイオンを第２の単結晶半導体基板の一方の面に照射して、前記第２の単結晶半導体基板の表面から所定の深さの領域に第２の脆化層を形成し、
前記第２の単結晶半導体基板の一方の面上にシラン系ガスを用いて化学気相成長法により第２の酸化シリコン膜を形成し、
前記第２の単結晶半導体基板の前記第２の酸化シリコン膜を有する面及び前記第２の酸化シリコン膜に、複数の第２の素子形成用パターンをエッチングにより形成し、
前記第２の単結晶半導体基板と前記第１の素子形成用パターン及び第１のダミーパターンが残存する前記絶縁表面を有する基板を、前記第１の素子形成用パターン又は第１のダミーパターンと前記第２の素子形成用パターンが重ならないように、前記第２の酸化シリコン膜を挟んで重ね合わせて接合し、
前記第２の単結晶半導体基板と前記絶縁表面を有する基板を接合させた状態で熱処理を行い、前記絶縁表面を有する基板上に前記第２の素子形成用パターンの前記第２の酸化シリコン膜及び単結晶半導体層を残存させたまま前記第２の単結晶半導体基板を分離することを特徴とする半導体基板の作製方法。
【請求項２２】
請求項１８又は請求項２０において、
前記第２の素子形成用パターン及び前記第２のダミーパターン以外の前記第２の単結晶半導体基板を、前記第２の脆化層より深くエッチングすることより前記第２の素子形成用パターン及び前記第２のダミーパターンを形成することを特徴とする半導体基板の作製方法。
【請求項２３】
請求項１９又は請求項２１において、
前記第２の素子形成用パターン以外の前記第２の単結晶半導体基板を、前記第２の脆化層より深くエッチングすることより前記第２の素子形成用パターンを形成することを特徴とする半導体基板の作製方法。
【請求項２４】
請求項１８、請求項２０又は請求項２２のいずれか一項において、
前記第２の素子形成用パターン及び前記第２のダミーパターンの厚さが、前記第１の素子形成用パターン及び前記第１のダミーパターンの厚さより厚いことを特徴とする半導体基板の作製方法。
【請求項２５】
請求項１９、請求項２１又は請求項２３のいずれか一項において、
前記第１の素子形成用パターン及び前記第１のダミーパターンの間隔は２００μｍ以内であることを特徴とする半導体装置の作製方法。
【請求項２６】
請求項１８、請求項２０、請求項２２又は請求項２４のいずれか一項において、
前記第２の素子形成用パターン及び前記第２のダミーパターンの間隔は２００μｍ以内であることを特徴とする半導体装置の作製方法。
【請求項２７】
請求項１８、請求項２０、請求項２２、請求項２４又は請求項２６のいずれか一項において、
前記絶縁表面を有する基板上に残存した前記第２のダミーパターンを除去する工程を有することを特徴とする半導体基板の作製方法。
【請求項２８】
請求項１９、請求項２１、請求項２３又は請求項２５のいずれか一項において、
前記絶縁表面を有する基板上に残存した前記第１のダミーパターンを除去する工程を有することを特徴とする半導体基板の作製方法。
【請求項２９】
請求項１８乃至請求項２８のいずれか一項において、
少なくとも前記第２の素子形成用パターンの断面形状が逆テーパ状になる如く前記第２

の単結晶半導体基板をエッチングし、前記絶縁表面を有する基板上に残存した前記第２の素子形成用パターンの断面形状がテーパ状であることを特徴とする半導体基板の作製方法。

【請求項３０】

請求項１８乃至請求項２９のいずれか一項において、

前記第１の単結晶半導体基板の表面と前記第２の単結晶半導体基板の表面は互いに異なる結晶面を有することを特徴とする半導体基板の作製方法。

【請求項３１】

請求項３０において、

前記異なる結晶面の一方が｛１００｝面で、他方が｛１１０｝面であることを特徴とする半導体基板の作製方法。

【請求項３２】

請求項３１記載の前記結晶面が｛１００｝面の単結晶半導体基板から形成された素子形成用パターンの半導体を用いてｎ型薄膜トランジスタを形成し、前記結晶面が｛１１０｝面の単結晶半導体基板から形成された素子形成用パターンの半導体を用いてｐ型薄膜トランジスタを形成することを特徴とする半導体装置の作製方法。