

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3685997号
(P3685997)

(45) 発行日 平成17年8月24日(2005.8.24)

(24) 登録日 平成17年6月10日(2005.6.10)

(51) Int. Cl.⁷

F I

H O 1 L 21/8242

H O 1 L 27/10 6 2 5 A

H O 1 L 27/108

H O 1 L 27/10 6 7 1 B

請求項の数 10 (全 13 頁)

(21) 出願番号	特願2000-572933 (P2000-572933)	(73) 特許権者	599158797
(86) (22) 出願日	平成11年9月1日(1999.9.1)		インフィネオン テクノロジース アクチ
(65) 公表番号	特表2002-526927 (P2002-526927A)		エンゲゼルシャフト
(43) 公表日	平成14年8月20日(2002.8.20)		ドイツ連邦共和国 ミュンヘン ザンクト
(86) 国際出願番号	PCT/DE1999/002724		マルティン シュトラーセ 53
(87) 国際公開番号	W02000/019525	(74) 代理人	100061815
(87) 国際公開日	平成12年4月6日(2000.4.6)		弁理士 矢野 敏雄
審査請求日	平成13年3月29日(2001.3.29)	(74) 代理人	100094798
(31) 優先権主張番号	198 44 967.4		弁理士 山崎 利臣
(32) 優先日	平成10年9月30日(1998.9.30)	(74) 代理人	100099483
(33) 優先権主張国	ドイツ(DE)		弁理士 久野 琢也
		(74) 代理人	100114890
			弁理士 アインゼル・フェリックス＝ライ
			ンハルト

最終頁に続く

(54) 【発明の名称】 集積回路装置に適した凹部を備えた基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

集積回路装置に適している、凹部を備えた基板であって、
 凹部（V）が基板（S）主表面（H）から基板（S）内部へ浸透しており、
 前記凹部（V）は、上方領域と、該上方領域に接する下方領域とを有しており
 前記主表面（H）に並行する上方領域断面は4つの角を有し、
 前記凹部（V）の上方領域形成後に、マスクとして作用する補助スペーサ（f）が、当
 該凹部（V）内の上方領域の4つの角の領域にスペーサ材料の堆積によって形成され、下
 方領域の形成後にエッチバックされる形式のものにおいて、
 前記主表面（H）に並行する下方領域断面は、前記上方領域の少なくとも直ぐ近くで次
 のような違いを伴って当該上方領域断面に対応しており、すなわち
 前記下方領域のそれぞれの角が、マスクとして作用し後でエッチバックされる補助ス
 ーサ（f）に相応して、断面形状の中で、下方領域断面が上方領域断面よりも小さくかつ
 上方領域から下方領域への移行部において当該凹部（V）が窪みを有するように丸みを付
 けられており、
 前記上方領域の断面は矩形状であり、
 前記下方領域の断面は円形であるように構成されていることを特徴とする基板。

【請求項 2】

前記主表面（H）に並行する上方領域の寸法は、適用可能な技術において製造すること
 のできる最小の構造サイズよりも大きくない、請求項 1 記載の基板。

10

20

【請求項3】

前記下方領域は、キャパシタ誘電体 (d 1 , d 2) を備えており、
 キャパシタのメモリノード (K) の少なくとも一部が下方領域に設けられており、
 上方領域断面は、それぞれ2つの角の間で直線的な縁部を有しており、
 前記直線的な縁部に対応する上方領域側面 (F 1) の少なくとも一部がフラットに形成され、
 ゲート誘電体 (G d) を備えており、
 前記上方領域内の縦形トランジスタのゲート電極は前記ゲート誘電体 (G d) に接している、請求項1または2記載の基板。

【請求項4】

前記基板 (S) 内にトランジスタの下方のソース/ドレイン領域 (S / D 2) が設けられ、さらにメモリノード (K) と電気的に接続され、それによってトランジスタとキャパシタが直列に接続され、D R A Mセル配列構成のメモリセルが形成されてこれが基板 (S) 内に配設され、
 トランジスタの下方のソース/ドレイン領域 (S / D 2) の上方の凹部 (V) 縁部における上方のソース/ドレイン領域 (S / D 1) は、ビット線路と接続されており、
 前記ゲート電極はワード線路と接続されている、請求項3記載の基板。

【請求項5】

請求項1から4に記載の基板を製造するための方法において、
 基板 (S) の主表面 (H) から基板 (S) 内部に向けて凹部 (V) を形成し、
 その際前記凹部 (V) は、上方領域とそれに接する下方領域を有するように形成されており、
 前記上方領域は、前記主表面 (H) に並行する上方領域断面が4つの角を有し矩形状であるように形成され、
 前記凹部 (V) の上方領域形成後に、マスクとして作用する補助スペーサ (f) が、当該凹部 (V) 内の上方領域の4つの角の領域においてスペーサ材料の堆積によって形成され、
 下方領域の形成後にエッチバックされ、
 前記下方領域は、主表面 (H) に並行する下方領域断面が、前記上方領域の少なくとも直ぐ近くで次のような違いを伴って当該上方領域断面に対応しており、すなわち、
 前記下方領域のそれぞれの角が、マスクとして作用し後でエッチバックされる補助スペーサ (f) に相応して、断面形状の中で、下方領域断面が上方領域断面よりも小さくかつ
上方領域から下方領域への移行部において当該凹部 (V) が窪みを有するように丸みを付けられている、
 ことを特徴とする方法。

【請求項6】

前記凹部 (V) の上方領域の形成後に補助スペーサ (f) を、スペーサ材料の堆積とエッチバックによって凹部 (V) 内の上方領域の4つの角の領域に形成し、
 前記補助スペーサ (f) の縁部を等方性エッチングによって丸み付けし、
 前記凹部 (V) の下方領域を、補助スペーサ (f) に対して選択的に基板 (S) をエッチングすることによって形成する、請求項5記載の方法。

【請求項7】

相互に並行に延在する少なくとも2つのトレンチを形成し、
 前記トレンチを分離構造部 (T) で充填し、
 前記基板 (S) を、分離構造部 (T) を横切る方向に延在する少なくとも2つのストライプを有する帯状のマスク (P 2) を用いて、分離構造部 (T) に対して選択的にエッチングを施し、それによって前記トレンチの間と2つのストライプの間に凹部 (V) の上方領域を形成する、請求項6記載の方法。

【請求項8】

前記下方領域にキャパシタ誘電体 (d 1 , d 2) を設け、
 キャパシタのメモリノード (K) の少なくとも一部を前記下方領域に形成し、
 前記上方領域の側面 (F 1) の少なくとも一部にゲート誘電体 (G d) を設け、

10

20

30

40

50

トランジスタのゲート電極を上方領域の側面(F1)において形成する、請求項7記載の方法。

【請求項9】

前記基板(S)内にトランジスタの下方のソース/ドレイン領域(S/D2)を形成し、さらにそれをメモリノード(K)と電氣的に接続させ、それによってトランジスタとキャパシタが直列に接続され、DRAMセル配列構成のメモリセルを形成して基板(S)内に配設し、

トランジスタの上方のソース/ドレイン領域(S/D1)を形成してそれをビット線路に接続させ、

ゲート電極はワード線路に接続させる、請求項8記載の方法。

10

【請求項10】

前記主表面(H)に平行な上方領域の寸法が、適用可能な技術で製造できる最小の構造サイズに等しくなるように、前記凹部(V)を形成する、請求項5から9いずれか1項記載の方法。

【発明の詳細な説明】

【0001】

本発明は、集積回路装置に適した凹部を備えた基板及びその製造方法に関する。

【0002】

公知文献“ A Deep-trenched capacity technology for 4 megabit dynamic RAM, IEDM (1985) 702, in K.Yamada et al ”からは、基板の凹部内に配設されたキャパシタが紹介されており、ここではキャパシタ誘電体がエッジを持たない面に形成されている。前記凹部はまずフォトリソグラフィ技法によって矩形状の横断面を有するように形成される。次にエッジの丸み付けのために約50nmの厚さの熱的酸化物が成長され、引続き除去される。続いてキャパシタ誘電体が熱酸化によって成長される。このエッジの丸み付けは漏れ電流を少なくする。別の言い方をすれば、熱的酸化物をエッジを有している面上に成長させるならば、酸化物は特にエッジ部分において薄くなり、そのため漏れ電流がこのエッジの部分で生じるようになる。

20

【0003】

ドイツ連邦共和国特許出願 195 19 160 明細書では、そのパッケージ密度を高めるために、メモリキャパシタがトランジスタの下方に配設されているDRAMセル装置が記載されている。このトランジスタのゲート電極とキャパシタのメモリノードは、矩形状の横断面を有している凹部内に配設されている。そしてキャパシタ誘電体の配置されている面はエッジを有している。

30

【0004】

欧州特許出願 EP 0 852 396 明細書には、それぞれ1つのメモリセル毎に凹部がシリコン基板内に形成されているDRAMセル装置が記載されている。ここではまず絶縁された構造部が基板内に形成され、続いて基板上にビット線路が形成される。凹部の上方領域では、シリコンが選択的に絶縁性構造部とビット線路に対して最初のトレンチまでエッチングされる。次に凹部のエッジにSiO₂と窒化珪素からなる膜が設けられる。第2のトレンチまでの異方性エッチングによって、凹部の下方領域が形成される。続いて凹部の下方領域が等方性エッチングによって拡張される。この場合SiO₂からなる層と窒化珪素からなる層は上方領域を保護する。凹部の下方領域には、メモリセルのメモリキャパシタが形成される。メモリセルの上方領域には、ワード線路の一部が形成され、これはメモリセルのトランジスタのゲート電極として作用する。

40

【0005】

米国特許出願US-A 5,365,097 US-A 5,216,266 明細書、及び欧州特許出願 EP-A 0 333 426 明細書からは、それぞれ凹部が上方の領域と下方の領域からなっている基板が公知である。この場合上方の領域は、下方の領域よりも大きな断面を有している。これらの領域は、メモリセルのメモリキャパシタとスイッチングトランジスタを含んでいる。

【0006】

50

本発明の課題は、集積回路装置に適した凹部を備えた基板を提供することであり、この場合該凹部は、通常のプレーナ形MOSトランジスタなどで生じるような制御特性曲線を有するトランジスタの一部と、高い降伏電圧を有するキャパシタの一部であり得る。さらに本発明の課題は、そのような基板の製造方法を提供することである。

【0007】

前記課題は本発明により、凹部が基板主表面から基板内部へ浸透しており、前記凹部は、上方領域と、該上方領域に接する下方領域とを有しており、前記主表面に並行する上方領域断面が少なくとも1つのコーナーを有しており、前記主表面に並行する下方領域断面は、前記上方領域の少なくとも直ぐ近傍において該上方領域断面に対して、下方領域断面が上方領域断面よりも小さくなるように各コーナーが丸み付けされている点で相違を伴っており、前記凹部は上方領域から下方領域への移行部において窪みを有しているように構成されて解決される。

10

【0008】

さらに前記課題は本発明により、基板の主表面から基板内部に向けて凹部を形成し、その際前記凹部は、上方領域とそれに接する下方領域を有するように形成されており、前記上方領域は、前記主表面に並行する上方領域断面が少なくとも1つのコーナーを有するように形成され、前記下方領域は、前記主表面に並行する下方領域断面が、前記上方領域の少なくとも直ぐ近傍において該上方領域断面に対して、下方領域断面が上方領域断面よりも小さくなるように各コーナーが丸み付けされている相違を伴うように形成され、前記凹部は、上方領域から下方領域への移行部において窪みを有しているようにして解決される。

20

【0009】

この基板は、集積回路装置を含み得る。この場合上方領域に存在する凹部側方の第1の面が当該回路装置の第1の構成素子の一部であり、下方領域に存在する凹部の第2の面が回路装置の第2の構成素子の一部であり得る。この第1の構成素子と第2の構成素子は上下に配設されているので、当該回路装置は高いパッケージ密度を有するようになる。

【0010】

上方領域の断面は少なくとも1つのコーナーを有しているため、この断面は直線的な縁部を有し得るし、この縁部に対応する第1の面は平坦であり得る。この断面はこのようなケースにおいては少なくとも2つのコーナーを有し、そのコーナーでもって縁部を囲んでいる。第2の面は、第1の面の下方に配置される。下方領域の断面では、2つのコーナーが丸み付けられており、それに伴って第2の面も丸みを帯びている。

30

【0011】

本発明は次のような見識に基づいている。すなわち基板の1つの面上での熱酸化によって形成される酸化物層はこの面の結晶構造に対する配列方向に依存していることである。その面が平坦であるならば、酸化物層は均等な厚さで成長する。なぜなら平坦な面では丸みを帯びた面に比べて基板の結晶構造に対して相対的に定まった配列方向を有するからである。酸化物層がMOSトランジスタのゲート誘電体であって、このゲート誘電体が丸みを帯びた面上に成長されているならば、これは均等な厚みを有さない。そのため種々異なるトランジスタの領域が様々な閾値電圧を有するようになり、これは不均一な遮断特性とそれに伴う不都合なトランジスタの制御特性曲線すなわち下方閾値の急峻度の少ない制御特性曲線に結び付く。しかしながら第1の面は平坦であるため、第1の構成素子は縦形トランジスタであってもよく、その制御特性曲線は、従来のプレーナ形MOSトランジスタの遮断特性に十分に相応するものとなる。

40

【0012】

第2の構成素子は、例えばキャパシタであってもよく、そのキャパシタ誘電体が第2の面に配置される。

【0013】

丸み付けされた第2の面では、凹部の下方領域がエッジを持たない形状となる。このことは例えば下方領域の断面の全てのコーナーが丸みを帯びているケースである。これは有

50

利となる。なぜならキャパシタ誘電体も同様にエッジを持たなくなるからであり、それに伴ってエッジに起因するキャパシタ誘電体の膜薄箇所とキャパシタの降伏電圧の低下に結びつくフィールドの歪みが避けられる。その他にもエッジで覆われないように形成したい場合のキャパシタ誘電体を容易に形成することができる。

【0014】

その上さらに、温度周期の間でエッジ部における異なる膨張係数に起因した不都合に高いノッチストレスを引き起こす変位欠陥も避けられる。

【0015】

その他の構成素子、例えばマイクロメカニカルなセンサやアクチュエータに対しても、平坦な面や丸みを帯びた面に配設し得ること、あるいはこのような面を含むことは有利につながる。凹部においては、例えば次のような導電性の構造部を配設可能である。すなわち凹部上方領域は、構成素子の一部として作用し、凹部下方領域（これは基板の主平面とは反対側の面につながる）はコンタクトとして作用するような導電性構造部が配設可能である。

10

【0016】

本発明は、集積回路装置だけに適しているものではない。例えば凹部が扁平な第1の面と丸みを帯びた第2の面を有し、それらが上下に配置されているということは、機械的特性上でも有利となり得る。凹部には、例えば他の基板と接合される接合構造部を配置してもよい。

【0017】

本発明による基板は例えば、上方領域の形成の後で補助スペーサを材料の堆積とエッチングで凹部に形成するようにしてもよい。補助スペーサの等方性エッチングによってそのエッジ部は丸み付けられ、それによって補助スペースに接する凹部の底部が角を持たなくなる。さらに基板が補助スペーサに対して選択的にエッチングされることにより、下方領域が形成される。補助スペーサの下方では、主平面に対して実質的に並行した凹部の面が形成される。

20

【0018】

補助スペーサのエッジの丸み付けの際には、凹部上方領域のエッジに近い所に存在する部分が露出されてもよい。その際補助スペーサは上方領域のエッジに位置する部分が崩れるだけである。

30

【0019】

本発明の枠内では、上方領域は第1の面に対して付加的に丸み付けられた側面を有する。

【0020】

また本発明の枠内では、補助スペーサが下方領域の形成前に部分的に除去され得る。それにより上方の領域と下方の領域の面における選択された部分が段部なしで、すなわち窪みなしで相互に移行し得る。

【0021】

パッケージ密度を高めるために有利には、側方で凹部エッジによって仕切られた第1の面の、主表面に並行する寸法が、適用されている技術で製造可能な最小構造サイズFを越えない大きさである。

40

【0022】

さらにパッケージ密度を高めるために有利には、上方領域の断面が実質的に矩形状である。この矩形の側方の長さは、有利にはFである。下方領域の断面は、実質的に円形である。この場合その直径は、Fに等しいかそれ以下である。凹部の下方領域は例えば円筒状である。

【0023】

そのような上方領域は、単にマスクングによるフォトリソグラフィエッチング過程だけではその形成が困難である。なぜならこのように小さな寸法のもとではフォトリソグラフィの甘さがエッジの丸みに結び付きそれによって第2の面が丸みを帯びる。本発明の枠内

50

では、上方の領域を、まず帯状の第1のマスクを用いて2つのトレンチを形成するようにして上方領域を形成する。これらのトレンチの間隔は、有利にはFの値である。続いてこれらのトレンチを構造部で充填する。それに対しては例えばSiO₂の堆積とエッチバックが用いられてもよい。構造部の形成の後では、基板が、帯状の第2のマスクを用いたもとの構造部に対して選択的にエッチングされる。この第2のマスクは、トレンチに対して横方向に延在しそれらの相互間隔が有利にはFの値である、少なくとも2つのストライプを有している。このようにしてこれらのトレンチとストライプの間で、エッジを有した凹部上方領域が形成される。その断面が矩形で側方の長さがFの値であるこのような上方領域は、その他の手法で形成されてもよい。

【0024】

本発明の枠内では有利には、トレンチの間隔と2つのマスクのストライプの間隔がFの値よりも大きく、その上方領域の断面はF²よりも大きい。

【0025】

この基板は、DRAMセル装置を含み得る。凹部はメモリセルの一部であり、これは縦形トランジスタとそれに直列に接続されたメモリキャパシタを含む。凹部の下方領域は、キャパシタ誘電体を備えている。メモリキャパシタのメモリノードは、下方領域の最大部分に配設されている。凹部の上方領域は、ゲート誘電体を備えている。トランジスタのゲート電極は、上方の領域において少なくとも第1の面に配設されている。トランジスタの下方のソース/ドレイン領域は、基板内に配設され、メモリノードと電気的に接続されている。トランジスタの上方のソース/ドレイン領域は、ビット線路に接続されている。ゲート電極はワード線路に接続されている。これらのワード線路とビット線路は、有利には主平面上に配設され、導電性の高い材料から形成され、トランジスタのゲート電極と一緒にセル装置の周辺に構造化されてもよい。

【0026】

この基板は例えばシリコンやゲルマニウムを含んだ半導体基板であってもよい。

【0027】

実施例

次に本発明の実施例を図面に基づき以下の明細書で詳細に説明する。この場合図1aは、第1の層と、第2の層と、第3の層と、第4の層と分離構造部が形成された後の基板の断面を示したものであり、

図1bは、図1aにおいて第4の層が除去され補助構造部が形成された後の基板断面を示しており、

図2aは、図1bにおいて凹部上方領域と補助スペーサが形成された後の基板平面を示したものであり、この場合フォトレジストの位置が示されており、

図2bは、図2aのプロセスステップ終了後の図1aの基板の垂直方向断面を示した図であり、

図3は、補助スペーサを丸み付けした後の図2aの基板平面を示した図であり、

図4は、図2bにおいて凹部下方領域と、キャパシタ誘電体と、メモリノードとフォトレジストマスクを形成した後の基板断面を示した図であり、

図5は、図4においてゲート誘電体と、上方のソース/ドレイン領域と、下方のソース/ドレイン領域と、第5の層と、第6の層と、第7の層が形成された後の基板断面を示した図であり、

図6aは、図5において第5の層と、第6の層がワード線路に対して構造化され、さらにスペーサ、アイソレーション(図6bに示されている)、第8の層および第9の層、ビット線路が形成され、第10の層が形成された後の基板断面を示した図であり、

図6bは、図6aからのプロセスステップ終了後の基板断面を並行して示した図である。但しこれらの図面は実寸のものではない。

【0028】

本発明の実施例では、p形ドーピングされたシリコンからなる基板Sが出発材料であり、この基板Sの主平面Hに接する層は、約 10^{18} cm^{-3} のドーピング濃度を有してい

10

20

30

40

50

る。この主平面Hの上にはそれぞれ順に厚さ約20nmのSiO₂からなる第1の層1と、厚さ約100nmの窒化珪素からなる第2の層2と、厚さ約800nmのSiO₂からなる第3の層3と、さらに厚さ約100nmの窒化珪素からなる第4の層4が堆積されている(図1a参照)。

【0029】

帯状の第1のフォトレジストマスク(図示されていない)を用いて第4の層と、第3の層3と、第2の層2と、第1の層1と、基板Sは異方性エッチングされる。それによりこの基板S内に深さ約300nmの第1のトレンチが形成される。これらのトレンチは約100nmの幅を有し、それぞれ相互に約100nmの間隔を有している。エッチング剤として例えばCF₄, CHF₃, C₂F₆, HBrなどが適しており、これらはエッチングすべき材料に応じて組合わされる。

10

【0030】

第1のトレンチ内には分離構造部Tが形成される。その中にはSiO₂が厚さ約200nmでコンフォーマルに堆積され、化学機械的研磨によって第4の層4の上面が露出するまで平坦化される。続いてSiO₂が窒化珪素に対して選択的にエッチバックされ、それによりこの分離構造部Tの上面が第3の層3の上面の下方に位置する(図1a参照)。

【0031】

続いて窒化珪素が堆積され化学機械的研磨によって第3の層の上面が露出するまで平坦化される。このようにして分離構造部Tの上方に、窒化珪素からなる補助構造部Qが配設される(図1b参照)。

20

【0032】

そのストライプが第1のフォトレジストマスクを横切るように延在している帯状の第2のフォトレジストマスクP2を用いて(図2a参照)、SiO₂が窒化珪素に対して選択的に例えばC₄F₆, COなどによって第2の層2が部分的に露出するまでエッチングされる。続いて窒化珪素がエッチングされ、それによって補助構造部Qと第2の層の露出部が除去される。SiO₂に対する選択的なシリコンのエッチングによって、エッチングプロセスの有限的選択性に基づいてまず第1の層1が部分的に分離され、続いて凹部Vの上方の領域が形成される。この場合分離構造部Tと第3の層3は、厚いマスクとして作用する。凹部Vの上方領域は、約30nmの深さで基板S内にあり、主表面Hに対して並行する断面を有している。この断面は矩形状であり、その寸法は約100nmである。相互に隣接する凹部V間の間隔は、約100nmである(図2a及び図2b参照)。

30

【0033】

この凹部V内には補助スペーサfが形成される。このスペーサは、SiO₂が厚さ約30nmの厚さで堆積され、異方性エッチングを施されることによって形成される(図2a及び図2b参照)。凹部底部の露出部分は、実質的に矩形状であり、約40nmの側方の長さを有している。

【0034】

引続き補助スペーサfの丸み付けに対しては、例えばエッチング剤としてCF₄を用いた等方性バックエッチング実施される(図3)。凹部Vの底部の露出部分は、実質的に円形であり、その直径は約100nmである。

40

【0035】

そして基板SのシリコンがSiO₂に対して選択的に例えばHBrを用いてエッチングされる。それにより凹部Vの下方領域が形成される。これはマスクとして作用する補助スペーサfに基づいて円形の水平方向断面を有する。凹部Vはここにおいて約7μmの深さである(図4参照)。エッチングの際には、分離構造部Tと第3の層3が厚いマスクとして作用する。

【0036】

凹部Vの上方領域は、それぞれ4つの平坦な第1の側面F1を有している。この凹部Vの下方領域は、丸み付けられた第2の面F2を有している。凹部Vのうちの1つの水平方向、つまり主平面Hに対して並行する方向の下方領域断面は、丸みを帯びた縁部を有して

50

いる。基板Sの一部は、特に凹部Vの上方領域のコーナー下方に配置されている。なぜなら補助スペーサfが少なくともコーナーをカバーしそこからは深いエッチングがなされないからである。上方領域から下方領域への移行部では凹部Vが窪みを有している。

【0037】

キャパシタのキャパシタ電極Eの形成に対しては、約10nmのヒ素ガラスが堆積される。ヒ素ガラスを備えた凹部Vは、主平面Hの下方の約1μmのレベルまで(図4参照)フォトレジストで充填される。露出しているヒ素ガラスは除去される。フォトレジストの除去の後では、保護酸化膜(図示していない)が成長する。この保護酸化膜は後続の約1000の高温処理ステップにおいて基板S内でヒ素ガラスからのヒ素の不適切な拡散と蒸発を防ぐための保護膜である。それによりキャパシタ電極Eがヒ素でドーピングされた

10

基板S部分として形成され、凹部Vの下方領域の部分を囲繞する(図4参照)。保護酸化膜と補助スペーサfは、その後希釈されたフッ化水素酸で除去される。

【0038】

キャパシタ誘電体の第1の部分d1の形成に対しては、凹部Vの面に窒化珪素が設けられ引続きそれが部分的に酸化され、それによってキャパシタ誘電体の第1の部分は、均等に酸化された厚さ約3nmのいわゆるNO層として形成される(図4参照)。

【0039】

キャパシタのメモリノードKの形成に対しては、ポリシリコンがドーピングされたポリシリコンとして厚さ約100nmで堆積され、化学的機械的研磨によって第2の層2が露出するまで平坦化される。その際第3の層3は除去され、分離構造部Tはやや削られる。続いてポリシリコンが主平面Hの下方の深さ約1.1μmまで異方性エッチングによってエッチバックされ、それにより凹部Vは下方の高さuまでポリシリコンで充填される(図4参照)。キャパシタ誘電体の第1の部分d1の露出された部分は、例えばフッ化水素酸によって除去される。

20

【0040】

凹部V内のキャパシタ誘電体のスペーサ状の第2の部分d2の形成に対しては、SiO₂が厚さ約15nmで堆積され、異方性バックエッチングされる(図4参照)。このキャパシタ誘電体の第2の部分d2は、第1の部分d1よりも厚い。

【0041】

ポリシリコンはドーピングされたポリシリコンとして厚さ約100nmで堆積され、後続する主平面H下方の深さ約250nmまでのバックエッチングによってメモリノードKが拡大される。凹部Vは中間の高さmまでポリシリコンで充填される(図4参照)。

30

【0042】

多層の第3のフォトレジストマスクP3を用いて(図4参照)キャパシタ誘電体の第2の部分d2の一部が除去される。凹部Vの第1のエッジにおいては、キャパシタ誘電体の第2の部分が下方の高さuから中間の高さmまで到達する。

【0043】

続いて同部位にドーピングされたポリシリコンが厚さ約100nmで堆積され、化学機械的研磨によって第2の層2が露出するまで平坦化される。

40

【0044】

第1の層1の下方では、基板S内へのn形ドーピングイオンの注入によって約30nmの厚さの縦形トランジスタの上方のソース/ドレイン領域S/D1が形成される。分離構造部Tと凹部Vに基づいてこの上方のソース/ドレイン領域S/D1は矩形形状で側方長さが約100nmの水平方向断面を有する。相互に隣接する上方のソース/ドレイン領域S/D1は、分離構造部Tまたは凹部Vによって相互に分離される。

【0045】

引続きポリシリコンは、主平面H下方の深さ約200nmまでバックエッチングされる。それによりメモリノードKはさらに厚くされる。凹部Vは、上方の高さoまでポリシリコンで充填される(図5参照)。メモリノードKは、凹部Vの第1のエッジのもとで中間

50

の高さ m と上方の高さ o の間で基板に接する。メモリノード K の上方の部分は、凹部 V の上方領域に配設されている。焼入れによって拡散するメモリノード K から基板 S へのドーピング材によって、トランジスタの下方のソース/ドレイン領域 $S/D2$ が形成される。これは中間の高さ m と上方の高さ o の間で凹部 V の第1のエッジに当接している。

【0046】

引続き第2の層2は、例えばエッチング剤として白リン酸を用いて除去される。

【0047】

熱酸化によってゲート誘電体 Gd は、凹部 V の上方領域のエッジ部分と、主平面 H およびメモリノード K 上に形成される(図5参照)。

【0048】

続いて第5の層5は、同部位にドーピングされたポリシリコンから厚さ 60nm で堆積され、それによって凹部 V の上方領域が充填される。さらに厚さ約 50nm の第6の層6が珪化タングステンから形成され、さらに厚さ約 100nm の厚さの第7の層7が窒化珪素から堆積される(図5参照)。

【0049】

帯状の第4のフォトレジストマスク(図示していない)を用いて(それらのストライプは分離構造部 T を横切るように延在している)、第7の層7と、第6の層6と、第5の層5がゲート電極 Gd が露出するまでエッチングされる。第5の層5と、第6の層は互いに接し、絶縁性の第7の層7によって覆われたワード線路を形成している(図6a参照)。これらのワード線路は約 100nm の幅を有し、約 100nm の相互間隔を有している。これらのワード線路は、凹部 V に対してずらされて配置されている。それによりワード線路の第1の部分は帯状の水平方向断面を有し、ゲート誘電体 Gd によって覆われた上方のソース/ドレイン領域 $S/D1$ の部分の上を延在する。ワード線路第2の部分は、凹部 V の上方の領域において第1のエッジに配設されている。これらのワード線路は金属的な導電性を有している。

【0050】

前記凹部 V における絶縁性構造部 L の形成に対しては、 SiO_2 が厚さ約 50nm で堆積され、ゲート誘電体 Gd の上縁部が露出する(これはその密度に基づいて良好なエッチングが行えないため)まで、若しくは基板 S の主表面 H が露出するまでバックエッチングされる(図6a参照)。

【0051】

ワード線路の周囲からの絶縁に対しては、スペーサ Sp が形成される。これは窒化珪素を厚さ約 15nm で堆積させ異方性のバックエッチングを施して行われる(図6a参照)。

【0052】

アイソレーション I の形成に対しては、 SiO_2 が厚さ約 50nm で堆積され、化学機械的研磨によって平坦面が生じるまで平坦化される(図6b参照)。

【0053】

帯状の第5のフォトレジストマスク(図示していない)を用いて(これらのストライプはそれぞれ分離構造部 T の1つの上方に配置されている)、 SiO_2 が上方のソース/ドレイン領域 $S/D1$ が露出するまでとアイソレーション I に第2のトレンチが生じるまでエッチングされる。これはワード線路の間の領域内に深く浸透し、コンタクトホールを形成する。その際ゲート誘電体 Gd の部分が除去される。絶縁性の第7の層7とスペーサ Sp は、ワード線路を保護しているので、それによって第2のトレンチに対しては調整による偏差が大きくてもよい(つまりこの調整は必ずしも高精度に行われなくてもよい)。

【0054】

ビット線路の形成に対しては、第8の層8が同部位でドーピングされたポリシリコンから厚さ 50nm の厚さで堆積され、それによって第2のトレンチが充填される。引続きこのポリシリコンは、約 30nm の厚さのポリシリコンが第7の層上に存在するようになるまでバックエッチングされる。さらに約 20nm 厚さの第9の層9が窒化チタンとチタン

10

20

30

40

50

から堆積され、さらに厚さ約60nmの第10の層10がタングステンから堆積され、続いて化学機械的研磨によってアイソレーションIが露出するまで平坦化される。それにより自己調整されて第2のトレンチにおいて、第8の層8と第9の層9と第10の層10からビット線路が形成される。これらのビット線路の第1の部分は、ワード線路を横切るように延在するストライプを形成し、ビット線路の第2の部分は、コンタクトホールを充填し、さらに相互に隣接するワード線路間に配設される(図6a参照)。これらのビット線路は金属的な導電性を有している。

【0055】

当該実施例ではDRAMセル装置が形成されている。1つのメモリセルは、縦形トランジスタの1つと、このトランジスタに直列に接続されたキャパシタの1つを含んでいる。このトランジスタのゲート誘電体は、扁平な第1の面F1に配設されている。キャパシタ誘電体の第1の部分は、丸み付けられた第2の面F2に配設されている。

10

【0056】

凹部Vの上方領域の第1のエッジ部分に配設されているワード線路の部分は、これらのトランジスタのゲート電極として作用する。凹部Vの第2のエッジ部分における絶縁性構造部Lは、当該凹部V内に配設されているワード線路が、この凹部に隣接した別の凹部に配設されているトランジスタを起動制御してしまうことを回避する。

【0057】

トランジスタのチャンネル領域は、基板Sにおける、上方のソース/ドレイン領域S/D1と下方のソース/ドレイン領域S/D2の間に配置された部分である。このトランジスタのチャンネル領域は、相互に接続されており、それによって主平面に当接する基板S層の十分に高いドーピング濃度に基づいて浮遊体効果が回避される。

20

【0058】

当該実施例の変化例には本発明の枠内においても数多くのものが考えられる。そのため前述した層や凹部、構造部に関する寸法はそのつどの要求に応じて適合化される。同じようなことはドーピング濃度や材料の選定にも当て嵌まる。そのためワード線路とビット線路にも当該実施例で用いられたものとは異なる他の導電材料が含まれてもよい。

【0059】

前記したトランジスタのうちの1つの下方のソース/ドレイン領域は、二分割されてもよい。それにより第1の部分は第1のエッジに接し、第2の部分は所属の凹部の第2のエッジに接する。このケースでは、キャパシタ誘電体の第2の部分の中間の高さまでの除去にはマスクが何も用いられない。そのため凹部の第2のエッジにおけるキャパシタ誘電体の第2の部分も中間の高さまで除去される。メモリノードは第1のエッジのもとでも第2のエッジのもとでも基板に接する。

30

【0060】

絶縁性の構造部は、凹部の第2のエッジと隣接する凹部のトランジスタの下方のソース/ドレイン領域との間隔が十分に大きい場合には省いてもよい。

【0061】

絶縁性の構造部が設けられる場合には、下方のソース/ドレイン領域は、ドーピング材の拡散によってではなく、基板にドーピング層を設け、その構造化によって形成してもよい。

40

【0062】

絶縁性構造部は、ワード線路の周囲からの絶縁の際に、凹部を充填することのできる厚さの窒化珪素の堆積によって形成してもよい。このケースでは絶縁性構造部が窒化珪素からなる。

【図面の簡単な説明】

【図1a】 第1の層と、第2の層と、第3の層と、第4の層と分離構造部が形成された後の基板の断面を示したものである。

【図1b】 図1aにおいて第4の層が除去され補助構造部が形成された後の基板断面を示した図である。

50

【図2 a】 図1 bにおいて凹部上方領域と補助スペーサが形成された後の基板平面を示した図である。

【図2 b】 図2 aのプロセスステップ終了後の図1 aの基板の垂直方向断面を示した図である。

【図3】 補助スペーサを丸み付けした後の図2 aの基板平面を示した図である。

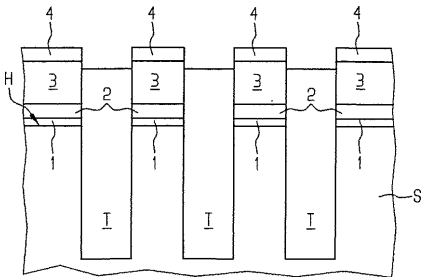
【図4】 図2 bにおいて凹部下方領域と、キャパシタ誘電体と、メモリノードとフォトレジストマスクを形成した後の基板断面を示した図である。

【図5】 図4においてゲート誘電体と、上方のソース/ドレイン領域と、下方のソース/ドレイン領域と、第5の層と、第6の層と、第7の層が形成された後の基板断面を示した図である。

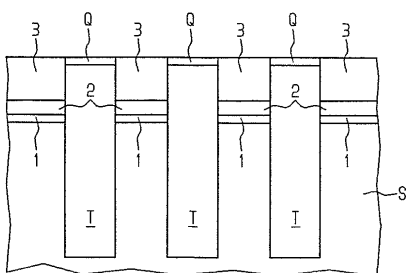
【図6 a】 図5において第5の層と、第6の層がワード線路に対して構造化され、さらにスペーサ、アイソレーション(図6 bに示されている)、第8の層および第9の層、ビット線路が形成され、第10の層が形成された後の基板断面を示した図である。

【図6 b】 図6 aからのプロセスステップ終了後の基板断面を並行して示した図である。

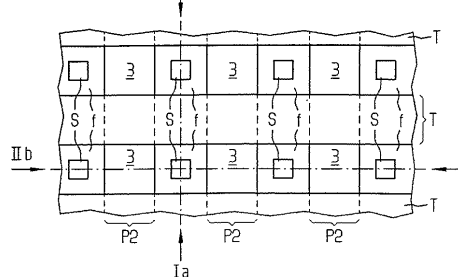
【図1 A】 FIG 1A



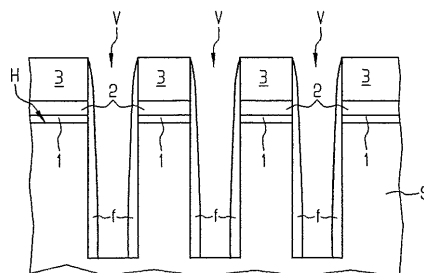
【図1 B】 FIG 1B



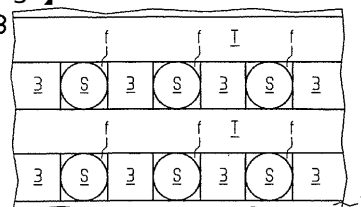
【図2 A】 FIG 2A



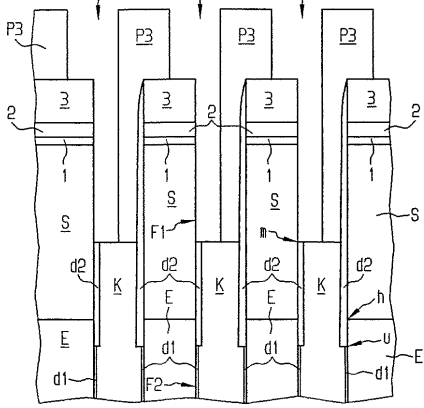
【図2 B】 FIG 2B



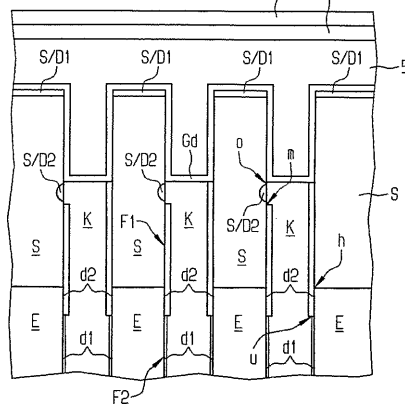
【図3】 FIG 3



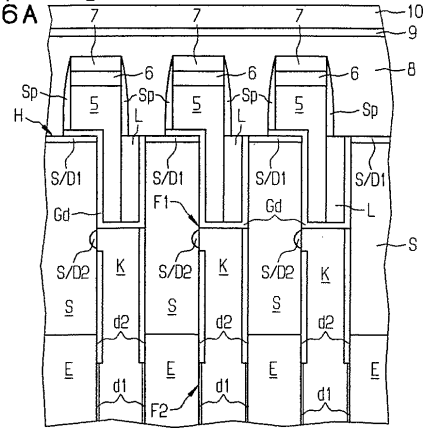
【 図 4 】
FIG 4



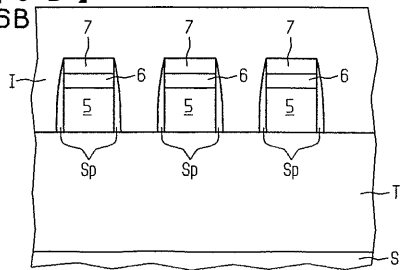
【 図 5 】
FIG 5



【 図 6 A 】
FIG 6A



【 図 6 B 】
FIG 6B



フロントページの続き

- (74)代理人 230100044
弁護士 ラインハルト・アインゼル
- (72)発明者 ヨーゼフ ヴィラー
ドイツ連邦共和国 リーマーリング フリードリッヒ - フレーベル - シュトラーセ 62
- (72)発明者 フランツ ホフマン
ドイツ連邦共和国 ミュンヘン ヘルベルクシュトラーセ 25 ベー
- (72)発明者 ティル シュレッサー
ドイツ連邦共和国 ドレスデン シュテンダーラー シュトラーセ 10

審査官 國島 明弘

- (56)参考文献 米国特許第5365097(US, A)
特開平08-330532(JP, A)
特開平07-235605(JP, A)
特開平05-206405(JP, A)
特開平04-212450(JP, A)
特開平03-227566(JP, A)
特開平02-094563(JP, A)
特開平01-248558(JP, A)
特開平01-235268(JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/8242

H01L 27/108