

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7516236号
(P7516236)

(45)発行日 令和6年7月16日(2024.7.16)

(24)登録日 令和6年7月5日(2024.7.5)

(51)国際特許分類		F I	
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78 6 5 2 Q
H 0 1 L	29/12 (2006.01)	H 0 1 L	29/78 6 5 2 T
H 0 1 L	29/872 (2006.01)	H 0 1 L	29/86 3 0 1 D
H 0 1 L	29/739 (2006.01)	H 0 1 L	29/78 6 5 2 D
H 0 1 L	21/28 (2006.01)	H 0 1 L	29/78 6 5 2 M
請求項の数 8 (全29頁) 最終頁に続く			
(21)出願番号	特願2020-207693(P2020-207693)	(73)特許権者	317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号
(22)出願日	令和2年12月15日(2020.12.15)	(73)特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(65)公開番号	特開2022-94676(P2022-94676A)	(74)代理人	100119035 弁理士 池上 徹真
(43)公開日	令和4年6月27日(2022.6.27)	(74)代理人	100141036 弁理士 須藤 章
審査請求日	令和5年2月2日(2023.2.2)	(74)代理人	100178984 弁理士 高下 雅弘
		(72)発明者	朝羽 俊介 東京都港区芝浦一丁目1番1号 東芝デ バイス&ストレージ株式会社内 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1の電極と、

第2の電極と、

前記第1の電極と前記第2の電極との間に設けられた炭化珪素層であって、

第1導電型の第1の炭化珪素領域と、

前記第1の電極と前記第1の炭化珪素領域との間に設けられた第2導電型の第2の炭化珪素領域と、

前記第1の電極と前記第2の炭化珪素領域との間に設けられた第1導電型の第3の炭化珪素領域と、を含む炭化珪素層と、

前記第1の電極と前記炭化珪素層との間に設けられ、第1の方向に延びる第1のゲート電極と、

前記第1の電極と前記炭化珪素層との間に設けられ、前記第1の方向に延びる第2のゲート電極と、

前記第1の電極と前記炭化珪素層との間に設けられ、前記第1の方向に延びる第3のゲート電極と、

前記第1の電極と前記炭化珪素層との間に設けられ、前記第1の方向に交差する第2の方向に延び、前記第1のゲート電極、前記第2のゲート電極、及び前記第3のゲート電極が接続されたゲート配線と、

前記第1のゲート電極と前記炭化珪素層との間、前記第2のゲート電極と前記炭化珪素

層との間、及び前記第 3 のゲート電極と前記炭化珪素層との間に設けられたゲート絶縁層と、を備え、

前記第 2 のゲート電極は、前記第 1 のゲート電極と前記第 3 のゲート電極との間に設けられ、

第 1 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_1 、前記第 1 の領域よりも前記ゲート配線に近い第 2 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_2 、前記第 1 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_3 、前記第 2 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_4 、とした場合に、下記式 1、下記式 2、下記式 3、及び下記式 4 を充足する半導体装置。

$$S_1 < S_3 \cdots (\text{式 } 1)$$

$$S_1 < S_2 \cdots (\text{式 } 2)$$

$$S_3 > S_4 \cdots (\text{式 } 3)$$

$$S_1 < S_4 \cdots (\text{式 } 4)$$

【請求項 2】

第 1 の電極と、

第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との間に設けられた炭化珪素層であって、

第 1 導電型の第 1 の炭化珪素領域と、

前記第 1 の電極と前記第 1 の炭化珪素領域との間に設けられた第 2 導電型の第 2 の炭化珪素領域と、

前記第 1 の電極と前記第 2 の炭化珪素領域との間に設けられた第 1 導電型の第 3 の炭化珪素領域と、を含む炭化珪素層と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、第 1 の方向に延びる第 1 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 2 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 3 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に交差する第 2 の方向に延び、前記第 1 のゲート電極、前記第 2 のゲート電極、及び前記第 3 のゲート電極が接続されたゲート配線と、

前記第 1 のゲート電極と前記炭化珪素層との間、前記第 2 のゲート電極と前記炭化珪素層との間、及び前記第 3 のゲート電極と前記炭化珪素層との間に設けられたゲート絶縁層と、を備え、

前記第 2 のゲート電極は、前記第 1 のゲート電極と前記第 3 のゲート電極との間に設けられ、

第 1 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_1 、前記第 1 の領域よりも前記ゲート配線に近い第 2 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_2 、前記第 1 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_3 、前記第 2 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_4 、とした場合に、下記式 1、下記式 2、下記式 3、及び下記式 5 を充足する半導体装置。

$$S_1 < S_3 \cdots (\text{式 } 1)$$

$$S_1 < S_2 \cdots (\text{式 } 2)$$

$$S_3 > S_4 \cdots (\text{式 } 3)$$

$$S_2 < S_3 \cdots (\text{式 } 5)$$

【請求項 3】

第 1 の電極と、

第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との間に設けられた炭化珪素層であって、

第 1 導電型の第 1 の炭化珪素領域と、

前記第 1 の電極と前記第 1 の炭化珪素領域との間に設けられた第 2 導電型の第 2 の炭化珪素領域と、

前記第 1 の電極と前記第 2 の炭化珪素領域との間に設けられた第 1 導電型の第 3 の炭化珪素領域と、を含む炭化珪素層と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、第 1 の方向に延びる第 1 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 2 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 3 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に交差する第 2 の方向に延び、前記第 1 のゲート電極、前記第 2 のゲート電極、及び前記第 3 のゲート電極が接続されたゲート配線と、

前記第 1 のゲート電極と前記炭化珪素層との間、前記第 2 のゲート電極と前記炭化珪素層との間、及び前記第 3 のゲート電極と前記炭化珪素層との間に設けられたゲート絶縁層と、を備え、

前記第 2 のゲート電極は、前記第 1 のゲート電極と前記第 3 のゲート電極との間に設けられ、

第 1 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_1 、前記第 1 の領域よりも前記ゲート配線に近い第 2 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_2 、前記第 1 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_3 、前記第 2 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_4 、とした場合に、下記式 1、下記式 2、下記式 3、及び下記式 6 を充足する半導体装置。

$$S_1 < S_3 \cdots (\text{式 1})$$

$$S_1 < S_2 \cdots (\text{式 2})$$

$$S_3 > S_4 \cdots (\text{式 3})$$

$$0.8 \times S_2 < S_4 < 1.2 \times S_2 \cdots (\text{式 6})$$

【請求項 4】

第 1 の電極と、

第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との間に設けられた炭化珪素層であって、

第 1 導電型の第 1 の炭化珪素領域と、

前記第 1 の電極と前記第 1 の炭化珪素領域との間に設けられた第 2 導電型の第 2 の炭化珪素領域と、

前記第 1 の電極と前記第 2 の炭化珪素領域との間に設けられた第 1 導電型の第 3 の炭化珪素領域と、を含む炭化珪素層と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、第 1 の方向に延びる第 1 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 2 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 3 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に交差する第 2 の方向に延び、前記第 1 のゲート電極、前記第 2 のゲート電極、及び前記第 3 のゲート電極

10

20

30

40

50

が接続されたゲート配線と、

前記第 1 のゲート電極と前記炭化珪素層との間、前記第 2 のゲート電極と前記炭化珪素層との間、及び前記第 3 のゲート電極と前記炭化珪素層との間に設けられたゲート絶縁層と、を備え、

前記第 2 のゲート電極は、前記第 1 のゲート電極と前記第 3 のゲート電極との間に設けられ、

第 1 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_1 、前記第 1 の領域よりも前記ゲート配線に近い第 2 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_2 、前記第 1 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_3 、前記第 2 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_4 、とした場合に、下記式 1、下記式 2、下記式 3、及び下記式 7 を充足する半導体装置。

$$S_1 < S_3 \cdots (\text{式 } 1)$$

$$S_1 < S_2 \cdots (\text{式 } 2)$$

$$S_3 > S_4 \cdots (\text{式 } 3)$$

$$2 \times S_1 < S_3 \cdots (\text{式 } 7)$$

【請求項 5】

下記式 8 を充足する請求項 1 ないし請求項 4 いずれか一項記載の半導体装置。

$$S_1 + S_3 = S_2 + S_4 \cdots (\text{式 } 8)$$

【請求項 6】

前記第 1 のゲート電極と前記第 1 の電極との間、前記第 2 のゲート電極と前記第 1 の電極との間、及び、前記ゲート配線と前記第 1 の電極との間に設けられた絶縁層を、更に備える請求項 1 ないし請求項 5 いずれか一項記載の半導体装置。

【請求項 7】

第 1 の電極と、

第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との間に設けられた炭化珪素層であって、

第 1 導電型の第 1 の炭化珪素領域と、

前記第 1 の電極と前記第 1 の炭化珪素領域との間に設けられた第 2 導電型の第 2 の炭化珪素領域と、

前記第 1 の電極と前記第 2 の炭化珪素領域との間に設けられた第 1 導電型の第 3 の炭化珪素領域と、を含む炭化珪素層と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、第 1 の方向に延びる第 1 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 2 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 3 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に交差する第 2 の方向に延び、前記第 1 のゲート電極、前記第 2 のゲート電極、及び前記第 3 のゲート電極が接続されたゲート配線と、

前記第 1 のゲート電極と前記炭化珪素層との間、前記第 2 のゲート電極と前記炭化珪素層との間、及び前記第 3 のゲート電極と前記炭化珪素層との間に設けられたゲート絶縁層と、を備え、

前記第 2 のゲート電極は、前記第 1 のゲート電極と前記第 3 のゲート電極との間に設けられ、

第 1 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_1 、前記第 1 の領域よりも前記ゲート配線に近い第 2 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_2 、前記第 1 の領域にお

10

20

30

40

50

ける前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_3 、前記第 2 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_4 、とした場合に、下記式 1、下記式 2、及び下記式 3 を充足し、

前記第 1 の電極は、第 1 の部分と第 2 の部分とを有し、

前記第 1 の部分は、前記第 1 のゲート電極と前記第 2 のゲート電極との間に位置し、

前記第 2 の部分は、前記第 2 のゲート電極と前記第 3 のゲート電極との間に位置し、前記第 1 の炭化珪素領域に接する半導体装置。

$$S_1 < S_3 \cdots (\text{式 } 1)$$

$$S_1 < S_2 \cdots (\text{式 } 2)$$

$$S_3 > S_4 \cdots (\text{式 } 3)$$

【請求項 8】

第 1 の電極と、

第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との間に設けられた炭化珪素層であって、

第 1 導電型の第 1 の炭化珪素領域と、

前記第 1 の電極と前記第 1 の炭化珪素領域との間に設けられた第 2 導電型の第 2 の炭化珪素領域と、

前記第 1 の電極と前記第 2 の炭化珪素領域との間に設けられた第 1 導電型の第 3 の炭化珪素領域と、を含む炭化珪素層と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、第 1 の方向に延びる第 1 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 2 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に延びる第 3 のゲート電極と、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 1 の方向に交差する第 2 の方向に延び、前記第 1 のゲート電極、前記第 2 のゲート電極、及び前記第 3 のゲート電極が接続されたゲート配線と、

前記第 1 のゲート電極と前記炭化珪素層との間、前記第 2 のゲート電極と前記炭化珪素層との間、及び前記第 3 のゲート電極と前記炭化珪素層との間に設けられたゲート絶縁層と、を備え、

前記第 2 のゲート電極は、前記第 1 のゲート電極と前記第 3 のゲート電極との間に設けられ、

第 1 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_1 、前記第 1 の領域よりも前記ゲート配線に近い第 2 の領域における前記第 1 のゲート電極と前記第 2 のゲート電極の前記第 2 の方向の間隔を S_2 、前記第 1 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_3 、前記第 2 の領域における前記第 2 のゲート電極と前記第 3 のゲート電極の前記第 2 の方向の間隔を S_4 、とした場合に、下記式 1、下記式 2、及び下記式 3 を充足し、

前記第 1 の電極と前記炭化珪素層との間に設けられ、前記第 2 のゲート電極との間に前記第 1 のゲート電極を挟み、前記第 1 の方向に延びる第 4 のゲート電極を、更に備え、

前記第 1 の領域における前記第 4 のゲート電極と前記第 1 のゲート電極の前記第 2 の方向の間隔を S_5 、前記第 2 の領域における前記第 4 のゲート電極と前記第 1 のゲート電極の前記第 2 の方向の間隔を S_6 、とした場合に、下記式 9 及び下記式 10 を充足する半導体装置。

$$S_1 < S_3 \cdots (\text{式 } 1)$$

$$S_1 < S_2 \cdots (\text{式 } 2)$$

$$S_3 > S_4 \cdots (\text{式 } 3)$$

$$S_5 < S_3 \cdots (\text{式 } 9)$$

$$S_5 < S_6 \cdots (\text{式 } 10)$$

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

次世代の半導体デバイス用の材料として炭化珪素が期待されている。炭化珪素はシリコンと比較して、バンドギャップが3倍、破壊電界強度が約10倍、熱伝導率が約3倍と優れた物性を有する。この特性を活用すれば、例えば、高耐圧、低損失かつ高温動作可能なMetal Oxide Semiconductor Field Effect Transistor (MOSFET)を実現することができる。

10

【0003】

MOSFETには、例えば、ストライプ状に配置された複数のゲート電極が設けられる。複数のゲート電極は、例えば1本のゲート配線に接続され、ゲート配線にゲート電圧が印加されることでMOSFETが駆動する。

【0004】

MOSFETの微細化が進むと、例えば、複数のゲート電極がゲート配線に接続される接続部で、層間絶縁層が薄くなり、層間絶縁層のリーク電流が大きくなるという問題が生じる。このため、MOSFETの微細化が困難となる。

【先行技術文献】

20

【特許文献】

【0005】

【文献】特許第5211666号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題は、微細化が可能な半導体装置を提供することにある。

【課題を解決するための手段】

【0007】

実施形態の半導体装置は、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極との間に設けられた炭化珪素層であって、第1導電型の第1の炭化珪素領域と、前記第1の電極と前記第1の炭化珪素領域との間に設けられた第2導電型の第2の炭化珪素領域と、前記第1の電極と前記第2の炭化珪素領域との間に設けられた第1導電型の第3の炭化珪素領域と、を含む炭化珪素層と、前記第1の電極と前記炭化珪素層との間に設けられ、第1の方向に延びる第1のゲート電極と、前記第1の電極と前記炭化珪素層との間に設けられ、前記第1の方向に延びる第2のゲート電極と、前記第1の電極と前記炭化珪素層との間に設けられ、前記第1の方向に延びる第3のゲート電極と、前記第1の電極と前記炭化珪素層との間に設けられ、前記第1の方向に交差する第2の方向に延び、前記第1のゲート電極、前記第2のゲート電極、及び前記第3のゲート電極が接続されたゲート配線と、前記第1のゲート電極と前記炭化珪素層との間、前記第2のゲート電極と前記炭化珪素層との間、及び前記第3のゲート電極と前記炭化珪素層との間に設けられたゲート絶縁層と、を備え、前記第2のゲート電極は、前記第1のゲート電極と前記第3のゲート電極との間に設けられ、第1の領域における前記第1のゲート電極と前記第2のゲート電極の前記第2の方向の間隔をS1、前記第1の領域よりも前記ゲート配線に近い第2の領域における前記第1のゲート電極と前記第2のゲート電極の前記第2の方向の間隔をS2、前記第1の領域における前記第2のゲート電極と前記第3のゲート電極の前記第2の方向の間隔をS3、前記第2の領域における前記第2のゲート電極と前記第3のゲート電極の前記第2の方向の間隔をS4、とした場合に、下記式1、下記式2、下記式3、及び下記式4を充足する。

30

40

$$S1 < S3 \cdots (式1)$$

50

$S_1 < S_2 \cdots$ (式 2)

$S_3 > S_4 \cdots$ (式 3)

$S_1 < S_4 \cdots$ (式 4)

【図面の簡単な説明】

【0008】

【図1】第1の実施形態の半導体装置の模式上面図。

【図2】第1の実施形態の半導体装置の拡大模式上面図。

【図3】第1の実施形態の半導体装置の拡大模式断面図。

【図4】第1の実施形態の半導体装置の拡大模式断面図。

【図5】第1の実施形態の半導体装置の拡大模式断面図。

10

【図6】第1の実施形態の半導体装置の等価回路図。

【図7】第1の実施形態の半導体装置の比較例の拡大模式上面図。

【図8】第1の実施形態の半導体装置の比較例の拡大模式断面図。

【図9】第1の実施形態の半導体装置の比較例の拡大模式断面図。

【図10】第1の実施形態の半導体装置の比較例の拡大模式断面図。

【図11】第1の実施形態の半導体装置の作用及び効果の説明図。

【図12】第1の実施形態の半導体装置の作用及び効果の説明図。

【図13】第1の実施形態の半導体装置の作用及び効果の説明図。

【図14】第2の実施形態の半導体装置の拡大模式上面図。

【図15】第2の実施形態の半導体装置の比較例の拡大模式断面図。

20

【図16】第3の実施形態の半導体装置の拡大模式上面図。

【図17】第3の実施形態の半導体装置の拡大模式断面図。

【図18】第3の実施形態の半導体装置の拡大模式断面図。

【図19】第3の実施形態の半導体装置の拡大模式断面図。

【発明を実施するための形態】

【0009】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する場合がある。

【0010】

30

また、以下の説明において、 n^+ 、 n 、 n^- 及び、 p^+ 、 p 、 p^- の表記がある場合は、各導電型における不純物濃度の相対的な高低を表すものとする。すなわち n^+ は n よりも n 型不純物濃度が相対的に高く、 n^- は n よりも n 型不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 型不純物濃度が相対的に高く、 p^- は p よりも p 型不純物濃度が相対的に低いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^+ 型、 p^- 型を単に p 型と記載する場合もある。

【0011】

不純物濃度は、例えば、Secondary Ion Mass Spectrometry (SIMS) により測定することが可能である。また、不純物濃度の相対的な高低は、例えば、Scanning Capacitance Microscopy (SCM) で求められるキャリア濃度の高低から判断することも可能である。また、不純物領域の深さ、厚さなどの距離は、例えば、SIMSで求めることが可能である。また、不純物領域の深さ、厚さ、幅、間隔などの距離は、例えば、SCM像とSIMSの測定結果を用いて求めることが可能である。また、導電層の幅及び間隔、絶縁層の厚さなどは、例えば、Scanning Electron Microscope (SEM)、又は、Transmission Electron Microscope (TEM) の画像上で測定することが可能である。

40

【0012】

(第1の実施形態)

第1の実施形態の半導体装置は、第1の電極と、第2の電極と、第1の電極と第2の電

50

極との間に設けられた炭化珪素層であって、第 1 導電型の第 1 の炭化珪素領域と、第 1 の電極と第 1 の炭化珪素領域との間に設けられた第 2 導電型の第 2 の炭化珪素領域と、第 1 の電極と第 2 の炭化珪素領域との間に設けられた第 1 導電型の第 3 の炭化珪素領域と、を有する炭化珪素層と、第 1 の電極と炭化珪素層との間に設けられ、第 1 の方向に延びる第 1 のゲート電極と、第 1 の電極と炭化珪素層との間に設けられ、第 1 の方向に延びる第 2 のゲート電極と、第 1 の電極と炭化珪素層との間に設けられ、第 1 の方向に延びる第 3 のゲート電極と、第 1 の電極と炭化珪素層との間に設けられ、第 1 の方向に交差する第 2 の方向に延び、第 1 のゲート電極、第 2 のゲート電極、及び第 3 のゲート電極が接続されたゲート配線と、第 1 のゲート電極と炭化珪素層との間、第 2 のゲート電極と炭化珪素層との間、及び第 3 のゲート電極と炭化珪素層との間に設けられたゲート絶縁層と、を備え、第 1 の領域における第 1 のゲート電極と第 2 のゲート電極の第 2 の方向の間隔を S_1 、第 1 の領域よりもゲート配線に近い第 2 の領域における第 1 のゲート電極と第 2 のゲート電極の第 2 の方向の間隔を S_2 、第 1 の領域における第 2 のゲート電極と第 3 のゲート電極の第 2 の方向の間隔を S_3 、第 2 の領域における第 2 のゲート電極と第 3 のゲート電極の第 2 の方向の間隔を S_4 、とした場合に、下記式 1、下記式 2、及び下記式 3 を充足する。

$$S_1 < S_3 \cdots (\text{式 } 1)$$

$$S_1 < S_2 \cdots (\text{式 } 2)$$

$$S_3 > S_4 \cdots (\text{式 } 3)$$

【0013】

図 1 は、第 1 の実施形態の半導体装置の模式上面図である。図 2 は、第 1 の実施形態の半導体装置の拡大模式上面図である。図 2 は、図 1 中に点線で囲まれた領域 X の拡大図である。図 2 は、ゲート電極及びゲート配線のパターンレイアウトを示す。

【0014】

図 3、図 4、及び図 5 は、第 1 の実施形態の半導体装置の拡大模式断面図である。図 3 は、図 2 の A A' 断面である。図 4 は、図 2 の B B' 断面である。図 5 は、図 2 の C C' 断面である。

【0015】

第 1 の実施形態の半導体装置は、炭化珪素を用いたプレーナゲート型の縦型の MOSFET 100 である。MOSFET 100 は、例えば、ボディ領域とソース領域をイオン注入で形成する、Double Implantation MOSFET (DIMOSFET) である。また、MOSFET 100 は、内蔵ダイオードとして Schottky Barrier Diode (SBD) を備える。

【0016】

以下、第 1 導電型が n 型、第 2 導電型が p 型である場合を例に説明する。MOSFET 100 は、電子をキャリアとする縦型の n チャネル型の MOSFET である。

【0017】

MOSFET 100 は、炭化珪素層 10、ソース電極 12 (第 1 の電極)、ドレイン電極 14 (第 2 の電極)、ゲート電極パッド 16、金属配線 18、第 1 のゲート電極 20 a、第 2 のゲート電極 20 b、第 3 のゲート電極 20 c、第 4 のゲート電極 20 d、第 5 のゲート電極 20 e、第 6 のゲート電極 20 f、ゲート配線 22、ゲート絶縁層 24、層間絶縁層 26、フィールド絶縁層 27、及びシリサイド層 28 を備える。ソース電極 12 は、第 1 の部分 12 a と第 2 の部分 12 b とを有する。層間絶縁層 26 は、コンタクトホール 26 a を有する。

【0018】

以下、第 1 のゲート電極 20 a、第 2 のゲート電極 20 b、第 3 のゲート電極 20 c、第 4 のゲート電極 20 d、第 5 のゲート電極 20 e、及び第 6 のゲート電極 20 f を総称して、単にゲート電極 20 と記載する場合がある。

【0019】

炭化珪素層 10 は、 n^+ 型のドレイン領域 30、 n^- 型のドリフト領域 32 (第 1 の炭化珪素領域)、p 型のボディ領域 34 (第 2 の炭化珪素領域)、 n^+ 型のソース領域 36

10

20

30

40

50

(第3の炭化珪素領域)、 p^+ 型のボディコンタクト領域40を含む。

【0020】

炭化珪素層10は、ソース電極12とドレイン電極14との間に設けられる。炭化珪素層10は、単結晶のSiCである。炭化珪素層10は、例えば、4H-SiCである。

【0021】

炭化珪素層10は、第1の面(図1中“P1”)と第2の面(図1中“P2”)とを備える。なお、以下、「深さ」とは、第1の面P1を基準とする深さを意味する。第1の面P1は炭化珪素層10の表面、第2の面P2は炭化珪素層10の裏面である。

【0022】

第1の面P1は、例えば、(0001)面に対し0度以上8度以下傾斜した面である。また、第2の面P2は、例えば、(000-1)面に対し0度以上8度以下傾斜した面である。(0001)面はシリコン面と称される。(000-1)面はカーボン面と称される。

10

【0023】

n^+ 型のドレイン領域30は、炭化珪素層10の中の第2の面P2の側に設けられる。ドレイン領域30は、例えば、窒素(N)を n 型不純物として含む。ドレイン領域30の n 型不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0024】

ドレイン領域30は、ドレイン電極14に電氣的に接続される。

【0025】

n^- 型のドリフト領域32は、ドリフト領域32は、ソース電極12とドレイン領域30との間に設けられる。ドリフト領域32は、ドレイン領域30と第1の面P1との間に設けられる。ドリフト領域32は、ドレイン領域30上に設けられる。

20

【0026】

ドリフト領域32は、例えば、窒素(N)を n 型不純物として含む。ドリフト領域32の n 型不純物濃度は、ドレイン領域30の n 型不純物濃度よりも低い。ドリフト領域32の n 型不純物濃度は、例えば、 $4 \times 10^{14} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下である。ドリフト領域32の厚さは、例えば、 $4 \mu\text{m}$ 以上 $150 \mu\text{m}$ 以下である。

【0027】

p 型のボディ領域34は、ソース電極12とドリフト領域32との間に設けられる。ボディ領域34は、ドリフト領域32と第1の面P1との間に設けられる。ボディ領域34は、MOSFET100のチャンネル領域として機能する。

30

【0028】

ボディ領域34は、例えば、アルミニウム(Al)を p 型不純物として含む。ボディ領域34の p 型不純物濃度は、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0029】

ボディ領域34の深さは、例えば、 $0.3 \mu\text{m}$ 以上 $0.8 \mu\text{m}$ 以下である。

【0030】

ボディ領域34の電位は、ソース電極12に電氣的に接続される。ボディ領域34の電位は、ソース電極12の電位に固定される。

40

【0031】

n^+ 型のソース領域36は、ソース電極12とボディ領域34との間に設けられる。ソース領域36は、ボディ領域34と第1の面P1との間に設けられる。

【0032】

ソース領域36は、例えば、リン(P)を n 型不純物として含む。ソース領域36の n 型不純物濃度は、ドリフト領域32の n 型不純物濃度よりも高い。

【0033】

ソース領域36の n 型不純物濃度は、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。ソース領域36の深さは、ボディ領域34の深さよりも浅い。ソース

50

領域 3 6 の深さは、例えば、 $0.1 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下である。

【0034】

ソース領域 3 6 は、ソース電極 1 2 に電氣的に接続される。ソース領域 3 6 は、ソース電極 1 2 の電位に固定される。

【0035】

p⁺ 型のボディコンタクト領域 4 0 は、ソース電極 1 2 とボディ領域 3 4 との間に設けられる。ボディコンタクト領域 4 0 は、ボディ領域 3 4 と第 1 の面 P 1 との間に設けられる。ボディコンタクト領域 4 0 は、例えば、ソース領域 3 6 の第 2 の方向に、ソース領域 3 6 に隣接して設けられる。ボディコンタクト領域 4 0 とソース領域 3 6 は、例えば、第 2 の方向に交互に配置される。

10

【0036】

ボディコンタクト領域 4 0 の p 型不純物の不純物濃度は、ボディ領域 3 4 の p 型不純物の不純物濃度よりも高い。

【0037】

ボディコンタクト領域 4 0 は、例えば、アルミニウム (Al) を p 型不純物として含む。ボディコンタクト領域 4 0 の p 型不純物濃度は、例えば、 $5 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{21} \text{cm}^{-3}$ 以下である。

【0038】

ボディコンタクト領域 4 0 の深さは、例えば、 $0.3 \mu\text{m}$ 以上 $0.6 \mu\text{m}$ 以下である。

【0039】

ボディコンタクト領域 4 0 は、ソース電極 1 2 に電氣的に接続される。ボディコンタクト領域 4 0 は、ソース電極 1 2 の電位に固定される。

20

【0040】

ソース領域 3 6 の上にはシリサイド層 2 8 が設けられる。ボディコンタクト領域 4 0 上にはシリサイド層 2 8 が設けられる。

【0041】

シリサイド層 2 8 は、ソース電極 1 2 とソース領域 3 6 との間に設けられる。シリサイド層 2 1 は、ソース電極 1 2 とボディコンタクト領域 4 0 との間に設けられる。

【0042】

シリサイド層 2 8 は、例えば、ニッケルサイド、チタンシリサイド、モリブデンシリサイド、又は、タングステンシリサイドである。

30

【0043】

第 1 のゲート電極 2 0 a は、ソース電極 1 2 と炭化珪素層 1 0 との間に設けられる。第 1 のゲート電極 2 0 a は、炭化珪素層 1 0 の第 1 の面 P 1 の側に設けられる。第 1 のゲート電極 2 0 a は、第 1 の方向に延びる。

【0044】

第 2 のゲート電極 2 0 b は、ソース電極 1 2 と炭化珪素層 1 0 との間に設けられる。第 2 のゲート電極 2 0 b は、炭化珪素層 1 0 の第 1 の面 P 1 の側に設けられる。第 2 のゲート電極 2 0 b は、第 1 の方向に延びる。第 2 のゲート電極 2 0 b は、第 1 のゲート電極 2 0 a と隣り合う。

40

【0045】

第 3 のゲート電極 2 0 c は、ソース電極 1 2 と炭化珪素層 1 0 との間に設けられる。第 3 のゲート電極 2 0 c は、炭化珪素層 1 0 の第 1 の面 P 1 の側に設けられる。第 3 のゲート電極 2 0 c は、第 1 の方向に延びる。第 3 のゲート電極 2 0 c は、第 2 のゲート電極 2 0 b と隣り合う。

【0046】

第 4 のゲート電極 2 0 d は、ソース電極 1 2 と炭化珪素層 1 0 との間に設けられる。第 4 のゲート電極 2 0 d は、炭化珪素層 1 0 の第 1 の面 P 1 の側に設けられる。第 4 のゲート電極 2 0 d は、第 1 の方向に延びる。第 4 のゲート電極 2 0 d は、第 1 のゲート電極 2 0 a と隣り合う。

50

【 0 0 4 7 】

第5のゲート電極20eは、ソース電極12と炭化珪素層10との間に設けられる。第5のゲート電極20eは、炭化珪素層10の第1の面P1の側に設けられる。第5のゲート電極20eは、第1の方向に延びる。第5のゲート電極20eは、第3のゲート電極20cと隣り合う。

【 0 0 4 8 】

第6のゲート電極20fは、ソース電極12と炭化珪素層10との間に設けられる。第6のゲート電極20fは、炭化珪素層10の第1の面P1の側に設けられる。第6のゲート電極20fは、第1の方向に延びる。第6のゲート電極20fは、第4のゲート電極20dと隣り合う。

10

【 0 0 4 9 】

ゲート電極20は、導電層である。ゲート電極20は、例えば、p型不純物又はn型不純物を含む多結晶質シリコンである。

【 0 0 5 0 】

ゲート電極20と対向するボディ領域34は、MOSFET100のチャネル領域として機能する。

【 0 0 5 1 】

ゲート配線22は、ソース電極12と炭化珪素層10との間に設けられる。ゲート配線22は、炭化珪素層10の第1の面P1の側に設けられる。ゲート配線22の一部は、ソース電極12とフィールド絶縁層27との間に設けられる。

20

【 0 0 5 2 】

ゲート配線22は、第1の方向に交差する第2の方向に延びる。ゲート配線22は、例えば、第1の方向に垂直な第2の方向に延びる。

【 0 0 5 3 】

ゲート電極20は、ゲート配線22に接続される。ゲート配線22には、例えば、第1のゲート電極20a、第2のゲート電極20b、及び第3のゲート電極20cが接続される。

【 0 0 5 4 】

ゲート配線22は、導電層である。ゲート配線22は、例えば、p型不純物又はn型不純物を含む多結晶質シリコンである。

30

【 0 0 5 5 】

ゲート配線22は、例えば、ゲート電極20と同一の材料で形成される。

【 0 0 5 6 】

ゲート配線22は、例えば、ゲート電極20と連続した多結晶層である。ゲート配線22は、例えば、ゲート電極20と連続した多結晶シリコン層である。

【 0 0 5 7 】

ゲート配線22及びゲート電極20は、例えば、形成された導電膜をパターニングすることによって、同時に形成される。

【 0 0 5 8 】

ゲート電極20とゲート配線22との接続部は、ソース電極12と炭化珪素層10との間に設けられる。例えば、第1のゲート電極20aとゲート配線22との接続部、及び、第2のゲート電極20bとゲート配線22との接続部は、ソース電極12と炭化珪素層10との間に設けられる。

40

【 0 0 5 9 】

図2に示すように、第1の領域R1における第1のゲート電極20aと第2のゲート電極20bの第2の方向の間隔をS1と定義する。また、第1の領域R1よりもゲート配線22に近い第2の領域R2における第1のゲート電極20aと第2のゲート電極20bの第2の方向の間隔をS2と定義する。

【 0 0 6 0 】

また、図2に示すように、第1の領域R1における第2のゲート電極20bと第3のゲ

50

ート電極 20c の第 2 の方向の間隔を S_3 と定義する。また、第 2 の領域 R2 における第 2 のゲート電極 20b と第 3 のゲート電極 20c の第 2 の方向の間隔を S_4 と定義する。

【0061】

MOSFET100 は、下記式 1、下記式 2、及び下記式 3 を充足する。

$S_1 < S_3 \dots$ (式 1)

$S_1 < S_2 \dots$ (式 2)

$S_3 > S_4 \dots$ (式 3)

【0062】

また、MOSFET100 は、例えば、下記式 4 を充足する。

$S_1 < S_4 \dots$ (式 4)

【0063】

また、MOSFET100 は、例えば、下記式 5 を充足する。

$S_2 < S_3 \dots$ (式 5)

【0064】

また、MOSFET100 は、例えば、下記式 6 を充足する。

$0.8 \times S_2 < S_4 < 1.2 \times S_2 \dots$ (式 6)

【0065】

また、MOSFET100 は、例えば、下記式 7 を充足する。

$2 \times S_1 < S_3 \dots$ (式 7)

【0066】

また、MOSFET100 は、例えば、下記式 8 を充足する。

$S_1 + S_3 = S_2 + S_4 \dots$ (式 8)

【0067】

ゲート電極 20 の第 2 の方向の幅は、例えば、 $1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下である。

【0068】

間隔 S_1 は、例えば、 $1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下である。間隔 S_2 は、例えば、 $1.5 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下である。間隔 S_3 は、例えば、 $2 \mu\text{m}$ 以上 $8 \mu\text{m}$ 以下である。間隔 S_4 は、例えば、 $1.5 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下である。

【0069】

ゲート絶縁層 24 は、ゲート電極 20 と炭化珪素層 10 との間に設けられる。ゲート絶縁層 24 は、例えば、第 1 のゲート電極 20a と、炭化珪素層 10 との間に設けられる。ゲート絶縁層 24 は、例えば、第 2 のゲート電極 20b と、炭化珪素層 10 との間に設けられる。

【0070】

ゲート絶縁層 24 は、ゲート電極 20 とボディ領域 34 との間に設けられる。ゲート絶縁層 24 は、例えば、第 1 のゲート電極 20a と、ボディ領域 34 との間に設けられる。ゲート絶縁層 24 は、例えば、第 2 のゲート電極 20b と、ボディ領域 34 との間に設けられる。

【0071】

ゲート絶縁層 24 は、例えば、酸化シリコンである。ゲート絶縁層 24 には、例えば、High-k 絶縁材料（高誘電率絶縁材料）が適用可能である。ゲート絶縁層 24 には、例えば、窒化処理を施した酸化シリコンが適用可能である。

【0072】

ゲート絶縁層 24 の厚さは、例えば、 20 nm 以上 100 nm 以下である。

【0073】

層間絶縁層 26 は、例えば、ゲート電極 20 とソース電極 12 との間に設けられる。層間絶縁層 26 は、例えば、ゲート配線 22 とソース電極 12 との間に設けられる。層間絶縁層 26 は、例えば、炭化珪素層 10 とソース電極 12 との間に設けられる。

【0074】

層間絶縁層 26 は、例えば、第 1 のゲート電極 20a とゲート配線 22 との接続部とソ

10

20

30

40

50

ース電極 1 2 との間に設けられる。また、層間絶縁層 2 6 は、例えば、第 2 のゲート電極 2 0 b とゲート配線 2 2 との接続部とソース電極 1 2 との間に設けられる。

【 0 0 7 5 】

層間絶縁層 2 6 は、例えば、第 1 のゲート電極 2 0 a、第 2 のゲート電極 2 0 b、第 3 のゲート電極 2 0 c、第 4 のゲート電極 2 0 d、第 5 のゲート電極 2 0 e、第 6 のゲート電極 2 0 f、及びゲート配線 2 2 と、ソース電極 1 2 との間を電氣的に分離する機能を有する。層間絶縁層 2 6 は、例えば、炭化珪素層 1 0 とソース電極 1 2 との間を電氣的に分離する機能を有する。

【 0 0 7 6 】

層間絶縁層 2 6 は、例えば、酸化シリコンを含む。層間絶縁層 2 6 は、例えば、酸化シリコンである。層間絶縁層 2 6 は、例えば、気相成長法によって形成された堆積膜である。

10

【 0 0 7 7 】

層間絶縁層 2 6 の厚さは、例えば、5 0 n m 以上 9 0 0 n m 以下である。

【 0 0 7 8 】

層間絶縁層 2 6 は、コンタクトホール 2 6 a を有する。コンタクトホール 2 6 a は、層間絶縁層 2 6 に設けられた開口部である。

【 0 0 7 9 】

フィールド絶縁層 2 7 は、ゲート配線 2 2 の一部と炭化珪素層 1 0 との間に設けられる。フィールド絶縁層 2 7 は、例えば、ゲート配線 2 2 と炭化珪素層 1 0 との間を電氣的に分離する機能を有する。

20

【 0 0 8 0 】

フィールド絶縁層 2 7 は、例えば、酸化シリコンを含む。フィールド絶縁層 2 7 は、例えば、酸化シリコンである。フィールド絶縁層 2 7 は、例えば、気相成長法によって形成された堆積膜である。

【 0 0 8 1 】

シリサイド層 2 8 は、ソース電極 1 2 と炭化珪素層 1 0 との間に設けられる。シリサイド層 2 8 は、例えば、ソース電極 1 2 とソース領域 3 6 との間に設けられる。シリサイド層 2 8 は、例えば、ソース電極 1 2 とボディコンタクト領域 4 0 との間に設けられる。シリサイド層 2 8 は、例えば、ニッケルシリサイドである。

【 0 0 8 2 】

シリサイド層 2 8 は、ソース電極 1 2 とソース領域 3 6 との間の電気抵抗を低減する機能を有する。シリサイド層 2 8 は、ソース電極 1 2 とボディコンタクト領域 4 0 との間の電気抵抗を低減する機能を有する。

30

【 0 0 8 3 】

ソース電極 1 2 は、炭化珪素層 1 0 の第 1 の面 P 1 の側に設けられる。ソース電極 1 2 は、金属を含む。

【 0 0 8 4 】

ソース電極 1 2 は、例えば、バリアメタル層とメインメタル層との積層構造を有する。例えば、バリアメタル層が炭化珪素層 1 0 に接する。

【 0 0 8 5 】

バリアメタル層は、例えば、チタン (T i) を含む。バリアメタル層は、例えば、チタン又は窒化チタンである。

40

【 0 0 8 6 】

メインメタル層は、例えば、アルミニウム (A l) を含む。メインメタル層は、例えば、アルミニウム又はアルミニウム合金である。

【 0 0 8 7 】

ソース電極 1 2 には、例えば、ソース電圧が印加される。ソース電圧は、例えば、0 V である。

【 0 0 8 8 】

ソース電極 1 2 は、第 1 の部分 1 2 a と第 2 の部分 1 2 b とを有する。

50

【 0 0 8 9 】

第 1 の部分 1 2 a は、例えば、第 1 のゲート電極 2 0 a と第 2 のゲート電極 2 0 b との間に位置する。第 1 の部分 1 2 a は、例えば、第 3 のゲート電極 2 0 c と第 5 のゲート電極 2 0 e との間に位置する。第 1 の部分 1 2 a は、シリサイド層 2 8 に接する。

【 0 0 9 0 】

第 2 の部分 1 2 b は、例えば、第 2 のゲート電極 2 0 b と第 3 のゲート電極 2 0 c との間に位置する。第 2 の部分 1 2 b は、ドリフト領域 3 2 に接する。第 2 の部分 1 2 b は、例えば、第 1 の面 P 1 でドリフト領域 3 2 に接する。第 2 の部分 1 2 b とドリフト領域 3 2 との間の接合は、ショットキー接合である。

【 0 0 9 1 】

M O S F E T 1 0 0 において、ソース電極 1 2 の第 2 の部分 1 2 b、ドリフト領域 3 2、ドレイン領域 3 0、及びドレイン電極 1 4 が S B D を形成する。第 2 の部分 1 2 b が S B D のアノード電極、ドレイン電極 1 4 が S B D のカソード電極となる。

【 0 0 9 2 】

金属配線 1 8 は、炭化珪素層 1 0 の第 1 の面 P 1 の側に設けられる。金属配線 1 8 は、金属を含む。

【 0 0 9 3 】

金属配線 1 8 は、図 1 に示すように、例えば、第 2 の方向に延びる。金属配線 1 8 は、ゲート電極パッド 1 6 に電氣的に接続される。

【 0 0 9 4 】

金属配線 1 8 は、ソース電極 1 2 と分離される。金属配線 1 8 は、ソース電極 1 2 と電氣的に分離される。

【 0 0 9 5 】

金属配線 1 8 は、例えば、バリアメタル層とメインメタル層との積層構造を有する。バリアメタル層は、例えば、チタン (T i) を含む。バリアメタル層は、例えば、チタン又は窒化チタンである。メインメタル層は、例えば、アルミニウム (A l) を含む。メインメタル層は、例えば、アルミニウム又はアルミニウム合金である。

【 0 0 9 6 】

金属配線 1 8 は、例えば、ソース電極 1 2 と同一の材料で形成される。

【 0 0 9 7 】

金属配線 1 8 及びソース電極 1 2 は、例えば、形成された導電膜をパターニングすることによって、同時に形成される。金属配線 1 8 とソース電極 1 2 は、パターニングにより分離される。

【 0 0 9 8 】

金属配線 1 8 は、ゲート配線 2 2 に電氣的に接続される。図 5 に示すように、金属配線 1 8 は、コンタクトホール 2 6 a を経由してゲート配線 2 2 に電氣的に接続される。金属配線 1 8 は、例えば、ゲート配線 2 2 に接する。

【 0 0 9 9 】

ドレイン電極 1 4 は、炭化珪素層 1 0 の第 2 の面 P 2 の側に設けられる。ドレイン電極 1 4 は、ドレイン領域 3 0 に接する。

【 0 1 0 0 】

ドレイン電極 1 4 は、例えば、金属又は金属半導体化合物である。ドレイン電極 1 4 は、例えば、ニッケルシリサイド、チタン (T i)、ニッケル (N i)、銀 (A g)、及び、金 (A u) から成る群から選ばれる少なくとも一つの材料を含む。

【 0 1 0 1 】

ドレイン電極 1 4 には、例えば、ドレイン電圧が印加される。ドレイン電圧は、例えば、5 0 0 V 以上 6 0 0 0 V 以下である。

【 0 1 0 2 】

ゲート電極パッド 1 6 は、炭化珪素層 1 0 の第 1 の面 P 1 側に設けられる。ゲート電極パッド 1 6 は、金属配線 1 8 に電氣的に接続される。

10

20

30

40

50

【 0 1 0 3 】

ゲート電極パッド 1 6 は、例えば、金属配線 1 8 及びソース電極 1 2 と同一の材料で形成される。

【 0 1 0 4 】

ゲート電極パッド 1 6、金属配線 1 8 及びソース電極 1 2 は、例えば、形成された導電膜をパターニングすることによって、同時に形成される。ゲート電極パッド 1 6 は、例えば、パターニングによりソース電極 1 2 と分離される。

【 0 1 0 5 】

ゲート電極パッド 1 6 には M O S F E T 1 0 0 を駆動するゲート電圧が印加される。ゲート電圧は、例えば、0 V 以上 3 0 V 以下である。

10

【 0 1 0 6 】

ゲート電極パッド 1 6 から、金属配線 1 8 及びゲート配線 2 2 を経由して、ゲート電極 2 0 にゲート電圧が印加される。

【 0 1 0 7 】

次に、第 1 の実施形態の M O S F E T 1 0 0 の作用及び効果について説明する。

【 0 1 0 8 】

図 6 は、第 1 の実施形態の半導体装置の等価回路図である。ソース電極 1 2 とドレイン電極 1 4 との間に、ゲート電極 2 0 を有するトランジスタに並列に p n ダイオードと S B D とが内蔵ダイオードとして接続される。ボディ領域 3 4 が p n 接合ダイオードのアノードであり、ドリフト領域 3 2 が p n 接合ダイオードのカソードである。また、ソース電極 1 2 の第 2 の部分 1 2 b が S B D のアノードであり、ドリフト領域 3 2 が S B D のカソードである。

20

【 0 1 0 9 】

以下、S B D を内蔵する M O S F E T において、ゲート電極を有するトランジスタが配置される領域をトランジスタ領域、S B D が配置される領域をショットキー領域と称する。

【 0 1 1 0 】

M O S F E T 1 0 0 は、3 本のゲート電極 2 0 に 1 つの割合でショットキー領域が設けられる。

【 0 1 1 1 】

例えば、M O S F E T 1 0 0 が、誘導性負荷に接続されたスイッチング素子として用いられる場合を考える。M O S F E T 1 0 0 のオフ時に、誘導性負荷に起因する負荷電流により、ソース電極 1 2 がドレイン電極 1 4 に対し正となる電圧が印加される場合がある。この場合、内蔵ダイオードに順方向の電流が流れる。この状態は、逆導通状態とも称される。

30

【 0 1 1 2 】

S B D に順方向電流が流れ始める順方向電圧 (V f) は、p n 接合ダイオードの順方向電圧 (V f) よりも低い。したがって、最初に、S B D に順方向電流が流れる。

【 0 1 1 3 】

S B D の順方向電圧 (V f) は、例えば、1 . 0 V である。p n 接合ダイオードの順方向電圧 (V f) は、例えば、2 . 5 V である。

40

【 0 1 1 4 】

S B D はユニポーラ動作をする。このため、順方向電流が流れても、キャリアの再結合エネルギーにより炭化珪素層 1 0 中に積層欠陥が成長することはない。

【 0 1 1 5 】

M O S F E T 1 0 0 では、S B D を内蔵することにより、炭化珪素層 1 0 中の積層欠陥の成長が抑制される。よって、M O S F E T 1 0 0 の信頼性が向上する。

【 0 1 1 6 】

M O S F E T 1 0 0 では、S B D を内蔵するために、ショットキー領域のゲート電極 2 0 とゲート電極 2 0 との間隔が、トランジスタ領域のゲート電極 2 0 とゲート電極 2 0 との間隔よりも広がっている。具体的には、ショットキー接合するソース電極 1 2 の第

50

2の部分12bとドリフト領域32との間の接触面積を大きくするために、ショットキー領域のゲート電極20とゲート電極20との間隔を広くする。

【0117】

第1の領域R1における第2のゲート電極20bと第3のゲート電極20cの間隔S3を、第1の領域R1における第1のゲート電極20aと第2のゲート電極20bの間隔S1よりも広くする。すなわち、下記式1を充足する。

$$S1 < S3 \cdots (\text{式1})$$

【0118】

図7は、第1の実施形態の半導体装置の比較例の拡大模式上面図である。図7は、ゲート電極及びゲート配線のパターンレイアウトを示す。図7は、図2に対応する図である。

10

【0119】

図8、図9、及び図10は、第1の実施形態の半導体装置の比較例の拡大模式断面図である。図8は、図7のDD'断面である。図9は、図7のEE'断面である。図10は、図7のFF'断面である。図8、図9、及び図10は、それぞれ、図3、図4、及び図5に対応する断面である。

【0120】

第1の実施形態の比較例のMOSFET900は、MOSFET100と同様、内蔵ダイオードとしてSBDを備える。MOSFET900は、第1の領域R1及び第2の領域R2の、ゲート電極20とゲート電極20との間隔が等しい点で、MOSFET100と異なる。

20

【0121】

具体的には、図7に示すように、第1の領域R1における第1のゲート電極20aと第2のゲート電極20bの第2の方向の間隔をS1'と定義する。また、第1の領域R1よりもゲート配線22に近い第2の領域R2における第1のゲート電極20aと第2のゲート電極20bの第2の方向の間隔をS2'と定義する。

【0122】

また、図7に示すように、第1の領域R1における第2のゲート電極20bと第3のゲート電極20cの第2の方向の間隔をS3'と定義する。また、第2の領域R2における第2のゲート電極20bと第3のゲート電極20cの第2の方向の間隔をS4'と定義する。

【0123】

MOSFET900は、間隔S1'と間隔S2'が等しい。また、MOSFET900は、間隔S3'と間隔S4'が等しい。

30

【0124】

したがって、MOSFET900は、間隔S4'よりも間隔S2'が小さい。

【0125】

MOSFET900では、図10に示すように領域Zでの層間絶縁層26の厚さが薄くなるおそれがある。領域Zは、第1のゲート電極20aとゲート配線22との接続部、及び、第2のゲート電極20bとゲート配線22との接続部の近傍である。領域Zは、第1のゲート電極20aとゲート配線22との接続部と、第2のゲート電極20bとゲート配線22との間の領域である。

40

【0126】

領域Zの層間絶縁層26の厚さが薄くなると、ゲート配線22とソース電極12との間のリーク電流が増加し、ゲート配線22とソース電極12がショートするおそれがある。

【0127】

領域Zの層間絶縁層26の厚さが薄くなる理由は、例えば、気相成長法により層間絶縁層26を堆積する際に、狭い間隔のゲート電極20とゲート配線22とに囲まれた領域Zの層間絶縁層26のステップカバレッジが悪くなることが考えられる。また、例えば、層間絶縁層26の形成後、ソース電極12の形成前に、層間絶縁層26の表面に対して施されるウェットエッチングの際のエッチング量が、間隔の狭いゲート電極20とゲート配線22とに囲まれた領域Zで大きくなることが考えられる。

50

【 0 1 2 8 】

領域 Z の層間絶縁層 2 6 の厚さは、ゲート電極 2 0 の間隔が狭くなるにつれ、更に薄くなると考えられる。したがって、ゲート配線 2 2 とソース電極 1 2 のショートは、M O S F E T の微細化により更に顕在化し、M O S F E T の微細化の妨げとなることが予想される。

【 0 1 2 9 】

第 1 の実施形態の M O S F E T 1 0 0 では、図 2 に示すように、第 2 の領域 R 2 における第 1 のゲート電極 2 0 a と第 2 のゲート電極 2 0 b の間隔 S 2 を、第 1 の領域 R 1 における第 1 のゲート電極 2 0 a と第 2 のゲート電極 2 0 b の間隔 S 1 よりも大きくする。すなわち、下記式 2 を充足する。

$$S 1 < S 2 \cdots (式 2)$$

【 0 1 3 0 】

したがって、第 1 のゲート電極 2 0 a とゲート配線 2 2 との接続部、及び、第 2 のゲート電極 2 0 b とゲート配線 2 2 との接続部の近傍において、第 1 のゲート電極 2 0 a と第 2 のゲート電極 2 0 b の間隔 S 2 が大きくなる。

【 0 1 3 1 】

図 1 1 は、第 1 の実施形態の半導体装置の作用及び効果の説明図である。図 1 1 は、図 5 及び図 1 0 に対応する図である。

【 0 1 3 2 】

図 1 1 に示すように、M O S F E T 1 0 0 の領域 Z の層間絶縁層 2 6 の厚さは、比較例の M O S F E T 9 0 0 に比べ厚くなる。これは、例えば、第 1 のゲート電極 2 0 a と第 2 のゲート電極 2 0 b の間隔 S 2 が間隔 S 2 ' よりも大きくなることにより、領域 Z の層間絶縁層 2 6 のステップカバレッジが改善するためと考えられる。また、例えば、第 1 のゲート電極 2 0 a と第 2 のゲート電極 2 0 b の間隔 S 2 が間隔 S 2 ' よりも大きくなることにより、層間絶縁層 2 6 の形成後、ソース電極 1 2 の形成前に、層間絶縁層 2 6 の表面に対して施されるウェットエッチングの際の領域 Z のエッチング量が小さくなるからであると考えられる。

【 0 1 3 3 】

したがって、第 1 の実施形態の M O S F E T 1 0 0 によれば、ゲート配線 2 2 とソース電極 1 2 のショートが抑制される。よって、微細化が可能な M O S F E T 1 0 0 が実現できる。

【 0 1 3 4 】

間隔 S 4 について一定の大きさ確保し、ゲート配線 2 2 とソース電極 1 2 のショートを抑制する観点から、M O S F E T 1 0 0 は、下記式 4 及び下記式 5 を充足することが好ましい。

$$S 1 < S 4 \cdots (式 4)$$

$$S 2 < S 3 \cdots (式 5)$$

【 0 1 3 5 】

ゲート配線 2 2 とソース電極 1 2 のショートを抑制する観点から、間隔 S 2 と間隔 S 4 は等しいことが好ましい。

【 0 1 3 6 】

また、ゲート配線 2 2 とソース電極 1 2 のショートを抑制する観点から、間隔 S 2 と間隔 S 4 の差は小さい方が好ましい。したがって、M O S F E T 1 0 0 は、下記式 6 を充足することが好ましい。

$$0.8 \times S 2 < S 4 < 1.2 \times S 2 \cdots (式 6)$$

【 0 1 3 7 】

十分なショットキー領域の大きさを確保し、S B D のオン電流を大きくする観点から、M O S F E T 1 0 0 は、下記式 7 を充足することが好ましい。すなわち、間隔 S 3 の大きさは間隔 S 1 の 2 倍より大きいことが好ましい。

$$2 \times S 1 < S 3 \cdots (式 7)$$

10

20

30

40

50

【 0 1 3 8 】

図 1 2 及び図 1 3 は、第 1 の実施形態の半導体装置の作用及び効果の説明図である。図 1 2 は、第 1 の実施形態の比較例の MOSFET 900 の拡大模式上面図である。図 1 3 は、第 1 の実施形態の MOSFET 100 の拡大模式上面図である。図 1 2 及び図 1 3 は、ゲート電極 20 及びゲート配線 22 のパターンレイアウトを示す。

【 0 1 3 9 】

図 1 2 及び図 1 3 には、ゲート電極 20 を充放電する際の電流経路を点線で模式的に示す。図 1 2 及び図 1 3 に示すように、ゲート電極 20 を充放電する際の電流経路は、例えば、ゲート電極 20 とゲート配線 22 との接続部の角部に集中する。このため、ゲート電極 20 とゲート配線 22 との接続部の角部での発熱量が大きくなる。

10

【 0 1 4 0 】

特に、図 1 2 に示すように、比較例の MOSFET 900 の場合、隣接するゲート電極 20 のゲート配線 22 への接続部が近接する部分がある。具体的には、例えば、第 1 のゲート電極 20 a の接続部と第 2 のゲート電極 20 b の接続部は、第 2 のゲート電極 20 b の接続部と第 3 のゲート電極 20 c の接続部に比べ、近接している。

【 0 1 4 1 】

このため、隣接するゲート電極 20 の接続部が近接する部分は、その他の部分に比べ、ゲート電極 20 を充放電する際の発熱量が大きくなる。言い換えれば、発熱量の分布が不均一になり、一部の発熱量が大きくなる。

【 0 1 4 2 】

発熱量が大きくなると、例えば、MOSFET 900 の動作が不安定になったり、ゲート絶縁層 24 の信頼性が低下したりするという問題が生じ得る。

20

【 0 1 4 3 】

図 1 3 に示すように、第 1 の実施形態の MOSFET 100 では、隣接するゲート電極 20 の接続部は、所定の間隔をあけて分布する。隣接するゲート電極 20 の接続部は、例えば、等しい間隔で分布する。このため、ゲート電極 20 を充放電する際の発熱量の分布の偏りが抑制される。例えば、ゲート電極 20 を充放電する際の発熱量の分布が均一になる。

【 0 1 4 4 】

したがって、例えば、MOSFET 100 の動作が不安定になったり、ゲート絶縁層 24 の信頼性が低下したりするという問題が生じにくくなる。よって、特性が安定し、信頼性の向上した MOSFET 100 が実現される。

30

【 0 1 4 5 】

以上、第 1 の実施形態によれば、微細化が可能な MOSFET が実現される。また、特性変動が抑制され、信頼性の向上した MOSFET が実現される。

【 0 1 4 6 】

(第 2 の実施形態)

第 2 の実施形態の半導体装置は、第 1 の電極と炭化珪素層との間に設けられ、第 2 のゲート電極との間に第 1 のゲート電極を挟み、第 1 の方向に延びる第 4 のゲート電極を、更に備え、第 1 の領域における第 4 のゲート電極と第 1 のゲート電極の第 2 の方向の間隔を S5、第 2 の領域における第 4 のゲート電極と第 1 のゲート電極の第 2 の方向の間隔を S6、とした場合に、下記式 9 及び下記式 10 を充足する点で、第 1 の実施形態の半導体装置と異なる。以下、第 1 の実施形態と重複する内容については、一部記述を省略する場合がある。

40

$$S5 < S3 \cdots (式 9)$$

$$S5 < S6 \cdots (式 10)$$

【 0 1 4 7 】

図 1 4 は、第 2 の実施形態の半導体装置の拡大模式上面図である。図 1 4 は、ゲート電極及びゲート配線のパターンレイアウトを示す。図 1 4 は、第 1 の実施形態の図 2 に対応する図である。

50

【 0 1 4 8 】

図 1 5 は、第 2 の実施形態の半導体装置の比較例の拡大模式断面図である。図 1 5 は、図 1 4 の G G ' 断面図である。図 1 5 は、第 1 の実施形態の図 3 に対応する断面である。

【 0 1 4 9 】

第 2 の実施形態の半導体装置は、炭化珪素を用いたプレーナゲート型の縦型の MOS FET 2 0 0 である。MOS FET 2 0 0 は、例えば、D I MOS FET である。また、MOS FET 2 0 0 は、内蔵ダイオードとして S B D を備える。

【 0 1 5 0 】

MOS FET 2 0 0 は、炭化珪素層 1 0、ソース電極 1 2 (第 1 の電極)、ドレイン電極 1 4 (第 2 の電極)、ゲート電極パッド 1 6、金属配線 1 8、第 1 のゲート電極 2 0 a、第 2 のゲート電極 2 0 b、第 3 のゲート電極 2 0 c、第 4 のゲート電極 2 0 d、第 5 のゲート電極 2 0 e、第 6 のゲート電極 2 0 f、ゲート配線 2 2、ゲート絶縁層 2 4、層間絶縁層 2 6、フィールド絶縁層 2 7、及びシリサイド層 2 8 を備える。ソース電極 1 2 は、第 1 の部分 1 2 a と第 2 の部分 1 2 b とを有する。層間絶縁層 2 6 は、コンタクトホール 2 6 a を有する。以下、第 1 のゲート電極 2 0 a、第 2 のゲート電極 2 0 b、第 3 のゲート電極 2 0 c、第 4 のゲート電極 2 0 d、第 5 のゲート電極 2 0 e、及び第 6 のゲート電極 2 0 f を総称して、単にゲート電極 2 0 と記載する場合がある。

【 0 1 5 1 】

図 1 4 に示すように、第 1 の領域 R 1 における第 1 のゲート電極 2 0 a と第 2 のゲート電極 2 0 b の第 2 の方向の間隔を S 1 と定義する。また、第 1 の領域 R 1 よりもゲート配線 2 2 に近い第 2 の領域 R 2 における第 1 のゲート電極 2 0 a と第 2 のゲート電極 2 0 b の第 2 の方向の間隔を S 2 と定義する。

【 0 1 5 2 】

また、図 1 4 に示すように、第 1 の領域 R 1 における第 2 のゲート電極 2 0 b と第 3 のゲート電極 2 0 c の第 2 の方向の間隔を S 3 と定義する。また、第 2 の領域 R 2 における第 2 のゲート電極 2 0 b と第 3 のゲート電極 2 0 c の第 2 の方向の間隔を S 4 と定義する。

【 0 1 5 3 】

また、図 1 4 に示すように、第 1 の領域 R 1 における第 4 のゲート電極 2 0 d と第 1 のゲート電極 2 0 a の第 2 の方向の間隔を S 5 と定義する。また、第 2 の領域 R 2 における第 4 のゲート電極 2 0 d と第 1 のゲート電極 2 0 a の第 2 の方向の間隔を S 6 と定義する。

【 0 1 5 4 】

MOS FET 2 0 0 は、下記式 1、下記式 2、下記式 3、下記式 9、及び下記式 1 0 を充足する。

$$S 1 < S 3 \cdots (式 1)$$

$$S 1 < S 2 \cdots (式 2)$$

$$S 3 > S 4 \cdots (式 3)$$

$$S 5 < S 3 \cdots (式 9)$$

$$S 5 < S 6 \cdots (式 1 0)$$

【 0 1 5 5 】

MOS FET 2 0 0 は、例えば、下記式 1 1 を充足する。

$$S 1 + S 3 + S 5 = S 2 + S 4 + S 6 \cdots (式 1 1)$$

【 0 1 5 6 】

第 2 の実施形態の MOS FET 2 0 0 によれば、第 1 の実施形態と同様、ゲート配線 2 2 とソース電極 1 2 のショートが抑制される。よって、微細化が可能な MOS FET 2 0 0 が実現できる。

【 0 1 5 7 】

第 2 の実施形態の MOS FET 2 0 0 によれば、第 1 の実施形態と同様、動作が不安定になったり、ゲート絶縁層 2 4 の信頼性が低下したりするという問題が生じにくくなる。よって、特性が安定し、信頼性の向上した MOS FET 2 0 0 が実現される。

【 0 1 5 8 】

MOSFET 200は、4本のゲート電極20に1つの割合でショットキー領域が設けられる。したがって、3本のゲート電極20に1つの割合でショットキー領域が設けられる第1の実施形態のMOSFET 100よりも、ショットキー領域に対するトランジスタ領域の占有割合が大きくなる。したがって、MOSFET 100よりも、トランジスタのオン電流が大きくなる。

【0159】

以上、第2の実施形態によれば、微細化が可能なMOSFETが実現される。また、特性変動が抑制され、信頼性の向上したMOSFETが実現される。

【0160】

(第3の実施形態)

第3の実施形態の半導体装置は、第1の電極が、第1の炭化珪素領域に接する第2の部分を備えない点で、第1の実施形態の半導体装置と異なる。以下、第1の実施形態と重複する内容については、一部記述を省略する場合がある。

【0161】

図16は、第3の実施形態の半導体装置の拡大模式上面図である。図16は、ゲート電極及びゲート配線のパターンレイアウトを示す。

【0162】

図17、図18、及び図19は、第3の実施形態の半導体装置の拡大模式断面図である。図17は、図16のHH'断面である。図18は、図16のII'断面である。図19は、図16のJJ'断面である。

【0163】

第3の実施形態の半導体装置は、炭化珪素を用いたプレーナゲート型の縦型のMOSFET 300である。MOSFET 300は、例えば、DIMOSFETである。

【0164】

MOSFET 300は、炭化珪素層10、ソース電極12(第1の電極)、ドレイン電極14(第2の電極)、ゲート電極パッド16、金属配線18、第1のゲート電極20a、第2のゲート電極20b、第3のゲート電極20c、第4のゲート電極20d、第5のゲート電極20e、第6のゲート電極20f、ゲート配線22、ゲート絶縁層24、層間絶縁層26、フィールド絶縁層27、及びシリサイド層28を備える。ソース電極12は、第1の部分12aと第3の部分12cとを有する。層間絶縁層26は、コンタクトホール26aを有する。以下、第1のゲート電極20a、第2のゲート電極20b、第3のゲート電極20c、第4のゲート電極20d、第5のゲート電極20e、及び第6のゲート電極20fを総称して、単にゲート電極20と記載する場合がある。

【0165】

n⁺型のソース領域36は、ソース電極12とボディ領域34との間に設けられる。ソース領域36は、ボディ領域34と第1の面P1との間に設けられる。

【0166】

ソース領域36は、例えば、2つのゲート電極20の間の領域において、第1の方向に延びる。ソース領域36は、例えば、第1のゲート電極20aと第2のゲート電極20bとの間の領域で、第1の方向に延びる。ソース領域36は、例えば、第3のゲート電極20cと第5のゲート電極20eとの間の領域で、第1の方向に延びる。

【0167】

p⁺型のボディコンタクト領域40は、ソース電極12とボディ領域34との間に設けられる。ボディコンタクト領域40は、ボディ領域34と第1の面P1との間に設けられる。

【0168】

ボディコンタクト領域40は、例えば、2つのゲート電極20の間の領域において、第1の方向に延びる。ボディコンタクト領域40は、例えば、第2のゲート電極20bと第3のゲート電極20cとの間の領域で、第1の方向に延びる。

【0169】

10

20

30

40

50

図 16 に示すように、第 1 の領域 R 1 における第 1 のゲート電極 20 a と第 2 のゲート電極 20 b の第 2 の方向の間隔を S 1 と定義する。また、第 1 の領域 R 1 よりもゲート配線 22 に近い第 2 の領域 R 2 における第 1 のゲート電極 20 a と第 2 のゲート電極 20 b の第 2 の方向の間隔を S 2 と定義する。

【0170】

また、図 16 に示すように、第 1 の領域 R 1 における第 2 のゲート電極 20 b と第 3 のゲート電極 20 c の第 2 の方向の間隔を S 3 と定義する。また、第 2 の領域 R 2 における第 2 のゲート電極 20 b と第 3 のゲート電極 20 c の第 2 の方向の間隔を S 4 と定義する。

【0171】

MOSFET 300 は、下記式 1、下記式 2、及び下記式 3 を充足する。

10

$S1 < S3 \cdots$ (式 1)

$S1 < S2 \cdots$ (式 2)

$S3 > S4 \cdots$ (式 3)

【0172】

また、MOSFET 300 は、例えば、下記式 4 を充足する。

$S1 < S4 \cdots$ (式 4)

【0173】

また、MOSFET 300 は、例えば、下記式 5 を充足する。

$S2 < S3 \cdots$ (式 5)

【0174】

20

また、MOSFET 300 は、例えば、下記式 6 を充足する。

$0.8 \times S2 < S4 < 1.2 \times S2 \cdots$ (式 6)

【0175】

また、MOSFET 300 は、例えば、下記式 7 を充足する。

$2 \times S1 < S3 \cdots$ (式 7)

【0176】

また、MOSFET 300 は、例えば、下記式 8 を充足する。

$S1 + S3 = S2 + S4 \cdots$ (式 8)

【0177】

ソース電極 12 は、第 1 の部分 12 a と第 3 の部分 12 c とを有する。

30

【0178】

第 1 の部分 12 a は、例えば、第 1 のゲート電極 20 a と第 2 のゲート電極 20 b との間に位置する。第 1 の部分 12 a は、例えば、第 3 のゲート電極 20 c と第 5 のゲート電極 20 e との間に位置する。第 1 の部分 12 a は、ソース領域 36 の上に設けられたシリサイド層 28 に接する。

【0179】

第 3 の部分 12 c は、例えば、第 2 のゲート電極 20 b と第 3 のゲート電極 20 c との間に位置する。第 3 の部分 12 c は、ボディコンタクト領域 40 の上に設けられたシリサイド層 28 に接する。

【0180】

40

第 3 の実施形態の MOSFET 300 によれば、第 1 の実施形態と同様、図 19 に示すように、領域 Z の層間絶縁層 26 の厚さは、比較例の MOSFET 900 に比べ厚くなる。したがって、ゲート配線 22 とソース電極 12 のショートが抑制される。よって、微細化が可能な MOSFET 300 が実現できる。

【0181】

第 3 の実施形態の MOSFET 300 によれば、第 1 の実施形態と同様、動作が不安定になったり、ゲート絶縁層 24 の信頼性が低下したりするという問題が生じにくくなる。よって、特性が安定し、信頼性の向上した MOSFET 300 が実現される。

【0182】

さらに、MOSFET 300 は、第 1 の実施形態の MOSFET 100 よりも、ソース

50

電極 1 2 に電氣的に接続されるソース領域 3 6 の面積が大きくなる。したがって、M O S F E T 1 0 0 よりも、トランジスタのオン電流が大きくなる。

【 0 1 8 3 】

また、M O S F E T 3 0 0 は、第 1 の実施形態の M O S F E T 1 0 0 よりも、ソース電極 1 2 に電氣的に接続されるボディコンタクト領域 4 0 の面積が大きくなる。したがって、M O S F E T 1 0 0 よりも、例えば、アバランシェ耐量が大きくなる。

【 0 1 8 4 】

以上、第 3 の実施形態によれば、微細化が可能な M O S F E T が実現される。また、特性変動が抑制され、信頼性の向上した M O S F E T が実現される。

【 0 1 8 5 】

第 1 ないし第 3 の実施形態では、ゲート電極 2 0 及びゲート絶縁層 2 4 が炭化珪素層 1 0 の第 1 の面 P 1 の上に設けられたプレーナゲート型の M O S F E T を例に説明した。しかし、M O S F E T を、ゲート電極 2 0 及びゲート絶縁層 2 4 が炭化珪素層 1 0 に形成されたトレンチの中に埋め込まれたトレンチゲート型の M O S F E T とすることも可能である。トレンチゲート型の M O S F E T の場合、例えば、ゲート電極 2 0 がトレンチの端部から炭化珪素層 1 0 の第 1 の面 P 1 の上に引き出された後、ゲート配線 2 2 に接続される構造となる。

【 0 1 8 6 】

第 1 ないし第 3 の実施形態では、半導体装置が M O S F E T の場合を例に説明したが、半導体装置を Insulated Gate Bipolar Transistor (I G B T) とすることも可能である。例えば、第 1 の実施形態の M O S F E T 1 0 0 の n^+ 型のドレイン領域 3 0 にかえて、 p^+ 型のコレクタ領域を設けることで I G B T を形成することが可能である。

【 0 1 8 7 】

第 1 の実施形態では、3 本のゲート電極 2 0 に 1 つの割合でショットキー領域が設けられる M O S F E T、第 2 の実施形態では、4 本のゲート電極 2 0 に 1 つの割合でショットキー領域が設けられる M O S F E T を例に説明した。しかし、5 本以上のゲート電極 2 0 に 1 つの割合でショットキー領域が設けられる M O S F E T とすることも可能である。

【 0 1 8 8 】

第 1 ないし第 3 の実施形態では、S i C の結晶構造として 4 H - S i C の場合を例に説明したが、本発明は 6 H - S i C、3 C - S i C 等、その他の結晶構造の S i C を用いたデバイスに適用することも可能である。また、炭化珪素層 1 0 の表面に (0 0 0 1) 面以外の面を適用することも可能である。

【 0 1 8 9 】

第 1 ないし第 3 の実施形態では、第 1 導電型が n 型、第 2 導電型が p 型の場合を例に説明したが、第 1 導電型を p 型、第 2 導電型を n 型とすることも可能である。第 1 導電型を p 型、第 2 導電型を n 型とした場合、M O S F E T は、ホールをキャリアとする p チャネル型の M O S F E T となる。

【 0 1 9 0 】

第 1 ないし第 3 の実施形態では、 p 型不純物としてアルミニウム (A l) を例示したが、ボロン (B) を用いることも可能である。また、 n 型不純物として窒素 (N) 及びリン (P) を例示したが、砒素 (A s)、アンチモン (S b) 等を適用することも可能である。

【 0 1 9 1 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

20

30

40

50

【符号の説明】

【 0 1 9 2 】

1 0	炭化珪素層	
1 2	ソース電極（第 1 の電極）	
1 2 a	第 1 の部分	
1 2 b	第 2 の部分	
1 4	ドレイン電極（第 2 の電極）	
2 0 a	第 1 のゲート電極	
2 0 b	第 2 のゲート電極	
2 0 c	第 3 のゲート電極	10
2 0 d	第 4 のゲート電極	
2 2	ゲート配線	
2 4	ゲート絶縁層	
2 6	層間絶縁層（絶縁層）	
3 2	ドリフト領域（第 1 の炭化珪素領域）	
3 4	ボディ領域（第 2 の炭化珪素領域）	
3 6	ソース領域（第 3 の炭化珪素領域）	
1 0 0	M O S F E T（半導体装置）	
2 0 0	M O S F E T（半導体装置）	
3 0 0	M O S F E T（半導体装置）	20
R 1	第 1 の領域	
R 2	第 2 の領域	

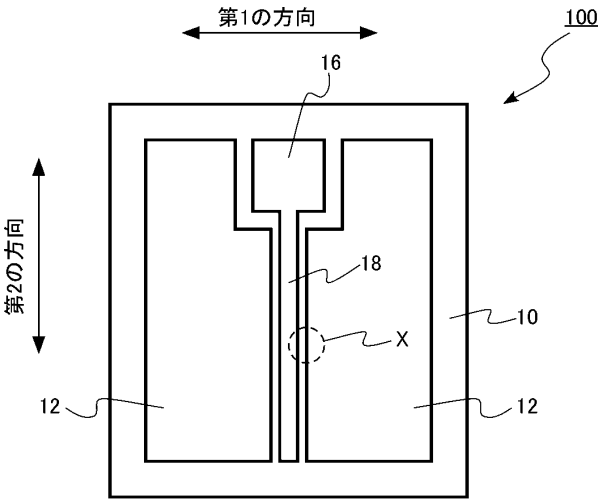
30

40

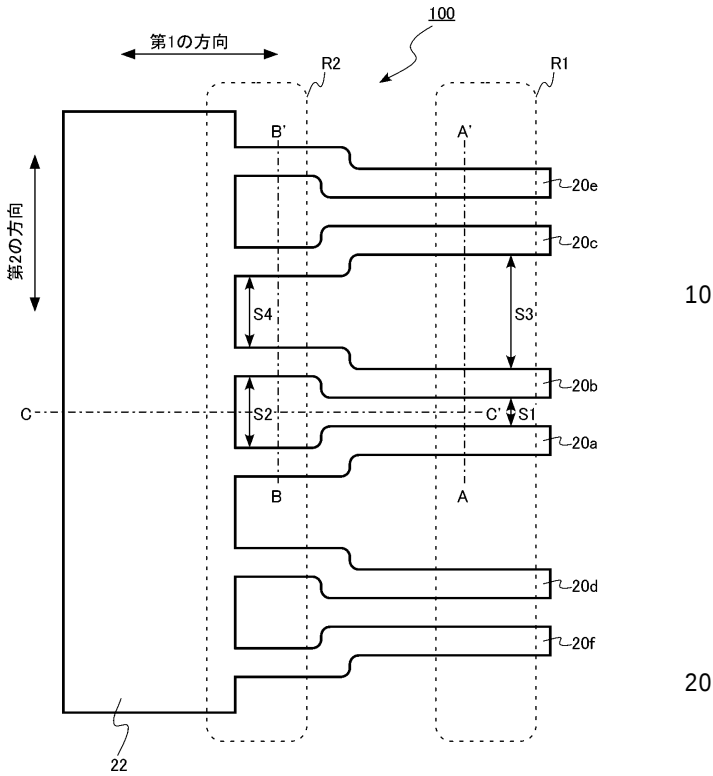
50

【図面】

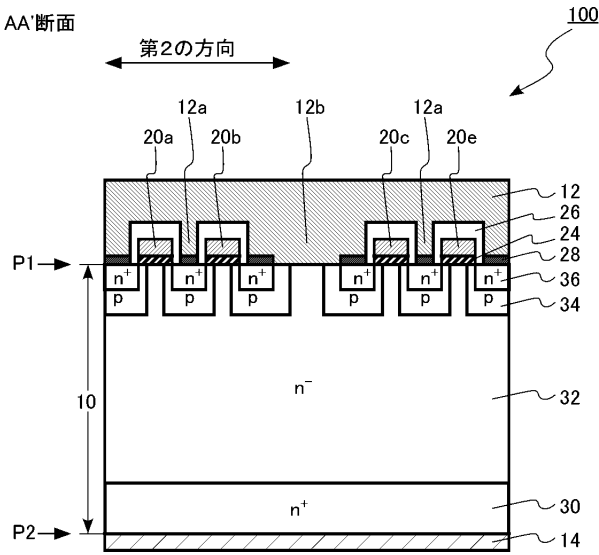
【図 1】



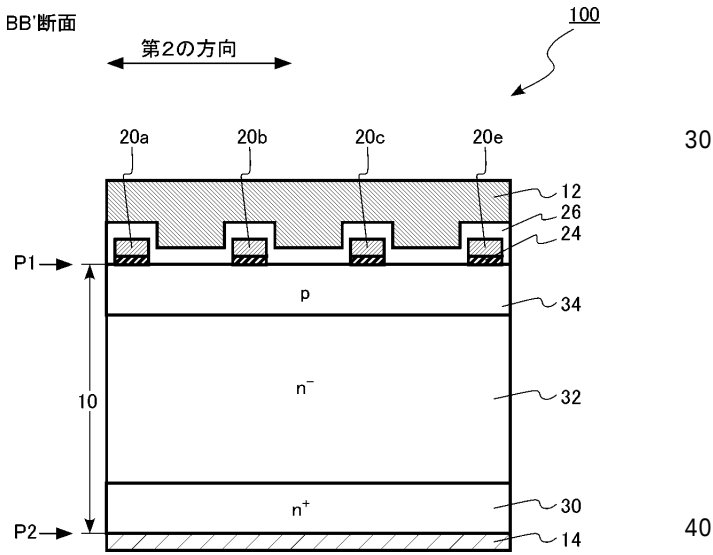
【図 2】



【図 3】



【図 4】



10

20

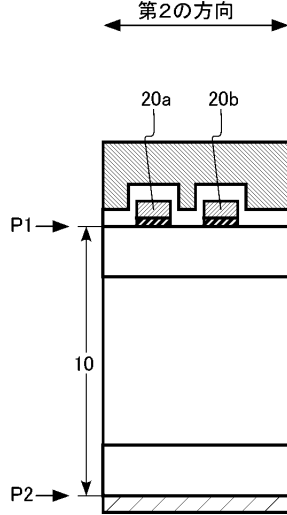
30

40

50

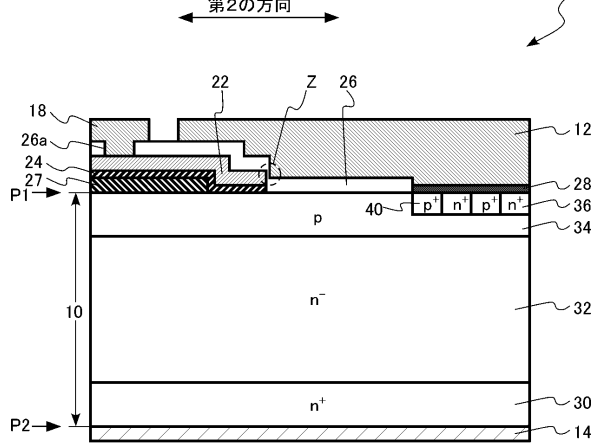
【図 9】

EE'断面



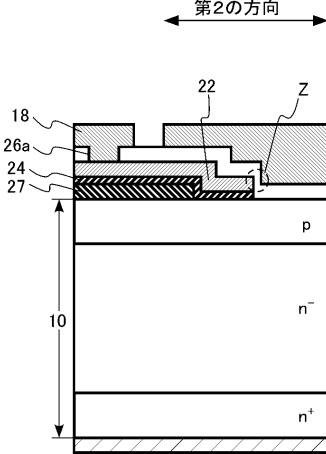
【図 10】

FF'断面



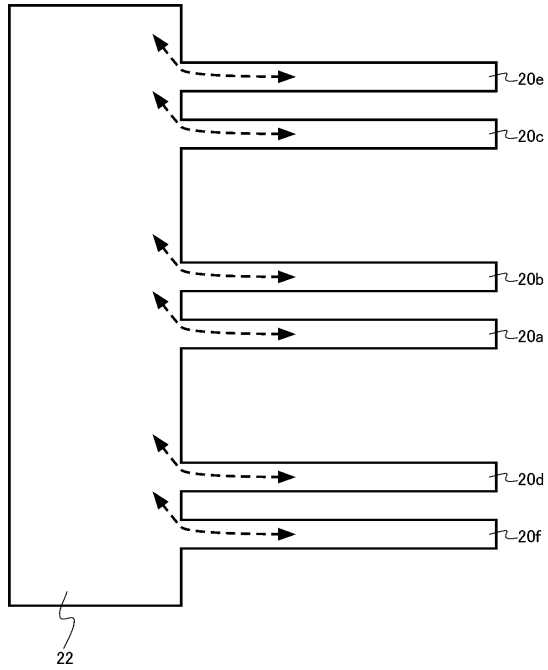
【図 11】

CC'断面



【図 12】

第1の方向



10

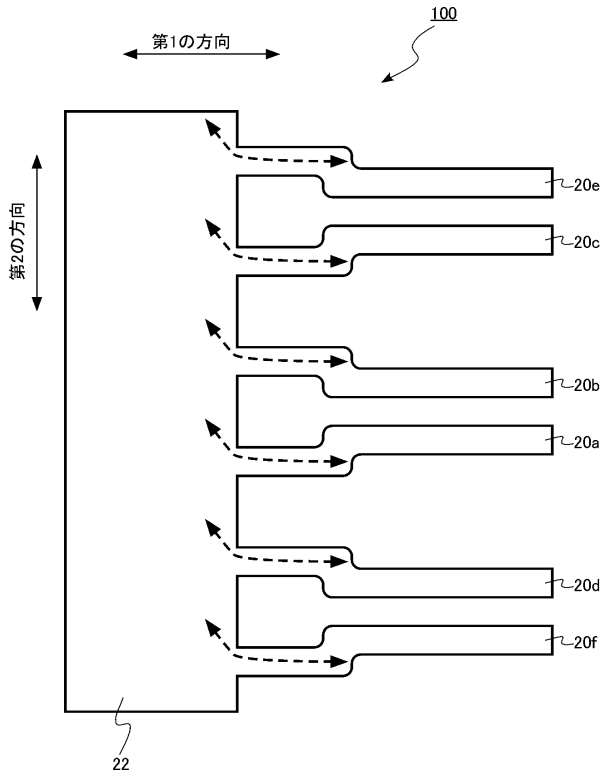
20

30

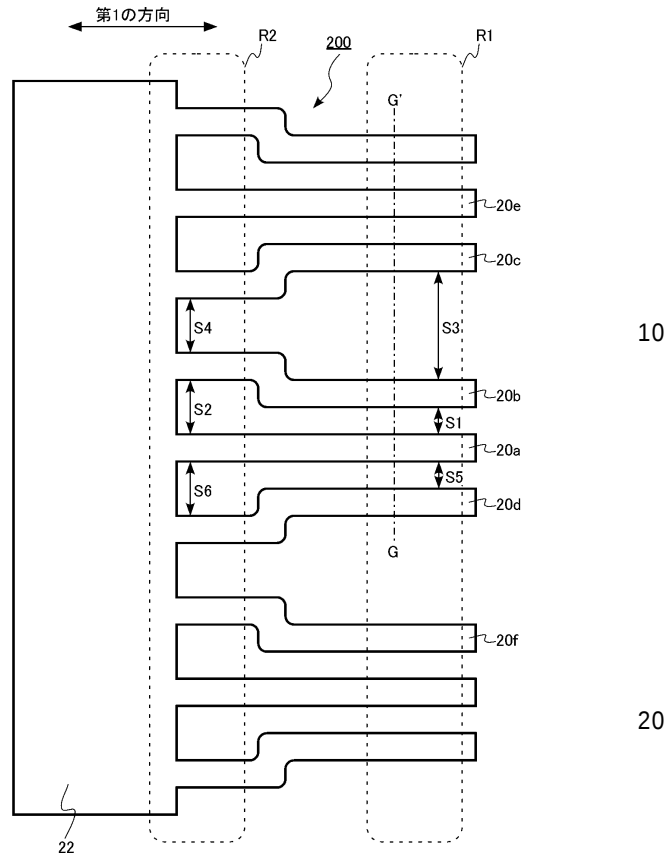
40

50

【図 1 3】

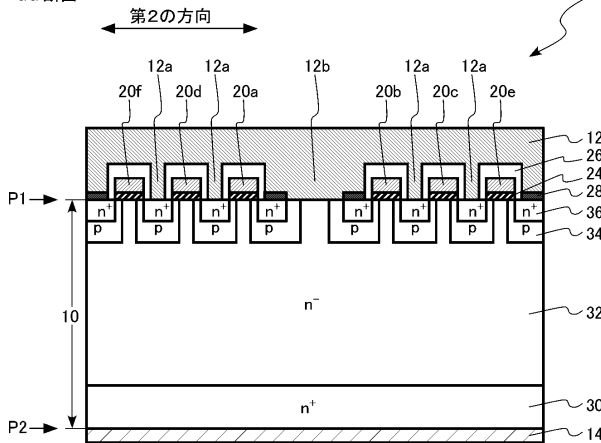


【図 1 4】

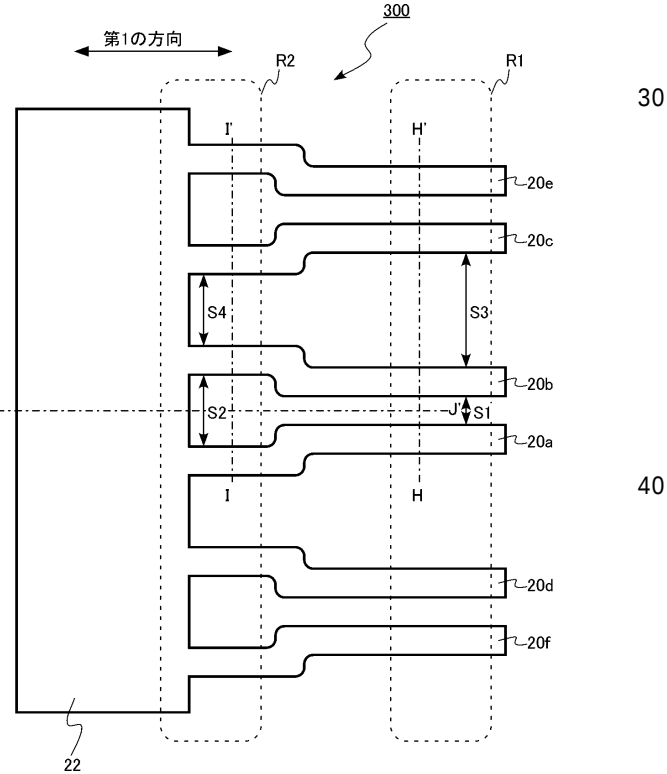


【図 1 5】

GG'断面



【図 1 6】



10

20

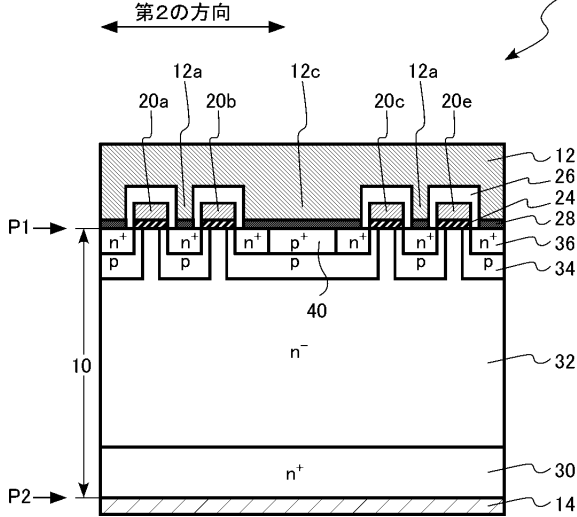
30

40

50

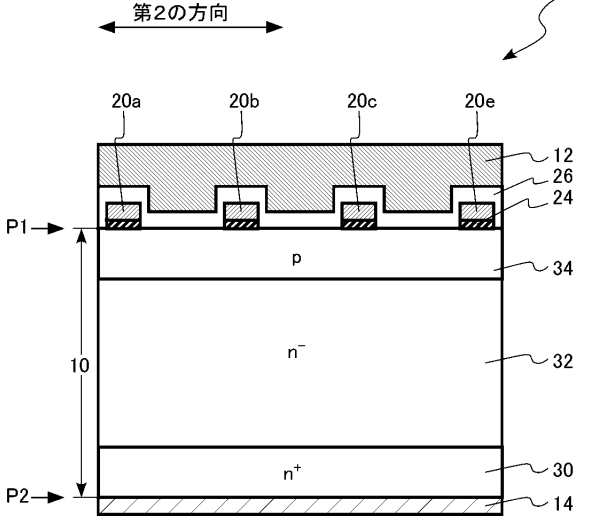
【図 1 7】

HH'断面



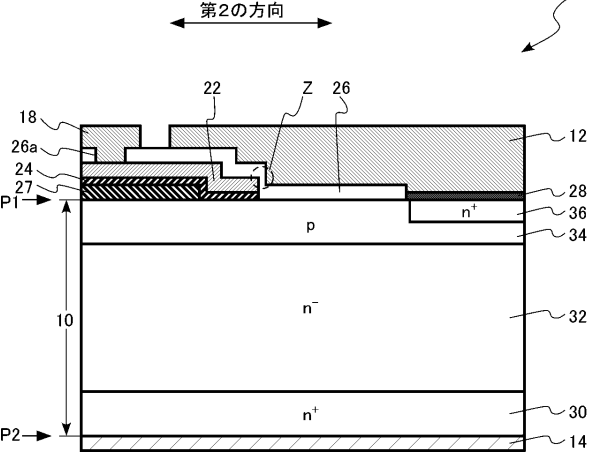
【図 1 8】

II'断面



【図 1 9】

JJ'断面



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I			
H 0 1 L 29/423(2006.01)	H 0 1 L	29/78	6 5 2 S	
H 0 1 L 29/49 (2006.01)	H 0 1 L	29/78	6 5 7 D	
H 0 1 L 21/3205(2006.01)	H 0 1 L	29/78	6 5 5 A	
H 0 1 L 21/768(2006.01)	H 0 1 L	21/28	3 0 1 B	
H 0 1 L 23/522(2006.01)	H 0 1 L	29/58	G	
H 0 1 L 21/8234(2006.01)	H 0 1 L	21/88	Z	
H 0 1 L 27/06 (2006.01)	H 0 1 L	27/06	1 0 2 A	

(72)発明者 河野 洋志
東京都港区芝浦一丁目 1 番 1 号 東芝デバイス&ストレージ株式会社内

審査官 戸川 匠

- (56)参考文献 特開 2 0 1 9 - 0 5 0 4 1 2 (J P , A)
特開 2 0 2 0 - 0 7 4 4 2 6 (J P , A)
特開 2 0 1 1 - 1 3 4 9 8 4 (J P , A)
特開 2 0 0 9 - 1 4 1 1 4 9 (J P , A)
特開 2 0 1 8 - 0 8 2 2 0 2 (J P , A)
特開 2 0 1 9 - 1 9 2 6 9 3 (J P , A)

- (58)調査した分野 (Int.Cl. , D B 名)
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 3 / 5 2 2
H 0 1 L 2 7 / 0 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 4 2 3
H 0 1 L 2 9 / 4 9
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 8 7 2