

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6514512号
(P6514512)

(45) 発行日 令和1年5月15日(2019.5.15)

(24) 登録日 平成31年4月19日(2019.4.19)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L	29/78	616S
HO1L 21/336	(2006.01)	HO1L	29/78	618B
HO1L 21/28	(2006.01)	HO1L	29/78	619A
HO1L 29/417	(2006.01)	HO1L	29/78	616V
HO1L 29/423	(2006.01)	HO1L	29/78	616L

請求項の数 9 (全 69 頁) 最終頁に続く

(21) 出願番号	特願2015-10812(P2015-10812)
(22) 出願日	平成27年1月23日(2015.1.23)
(65) 公開番号	特開2015-159280(P2015-159280A)
(43) 公開日	平成27年9月3日(2015.9.3)
審査請求日	平成30年1月17日(2018.1.17)
(31) 優先権主張番号	特願2014-11646(P2014-11646)
(32) 優先日	平成26年1月24日(2014.1.24)
(33) 優先権主張国	日本国(JP)

(73) 特許権者	000153878
	株式会社半導体エネルギー研究所
	神奈川県厚木市長谷398番地
(72) 発明者	伊藤 大吾
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内
(72) 発明者	花岡 一哉
	神奈川県厚木市長谷398番地 株式会社
	半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の絶縁層と、

第2の絶縁層と、

酸化物半導体層と、

第1乃至第3の導電層と、を有し、

前記酸化物半導体層は、前記第1の絶縁層と接する領域を有し、

前記第1の導電層は、前記酸化物半導体層と電気的に接続され、

前記第2の導電層は、前記酸化物半導体層と電気的に接続され、

前記第2の絶縁層は、前記酸化物半導体層と接する領域を有し、

前記第3の導電層は、前記第2の絶縁層と接する領域を有し、

前記第2の絶縁層は、ゲート絶縁膜として機能することができる領域を有し、

前記第1の導電層は、ソース電極またはドレイン電極の一方として機能することができる領域を有し、

前記第2の導電層は、ソース電極またはドレイン電極の他方として機能することができる領域を有し、

前記第3の導電層は、ゲート電極として機能することができる領域を有し、

前記酸化物半導体層は、第1乃至第5の領域を有し、

前記第1の領域および前記第2の領域は、互いに離れて設けられ、

前記第3の領域と前記第3の導電層とは、前記第2の絶縁層を介して、互いに重なる領

10

20

域を有し、

前記第3の領域は、前記第1の領域と前記第2の領域との間に設けられ、

前記第4の領域は、前記第1の領域と前記第3の領域との間に設けられ、

前記第5の領域は、前記第2の領域と前記第3の領域との間に設けられ、

前記第1の導電層は、第4の導電層と第5の導電層とを有し、

前記第2の導電層は、第6の導電層と第7の導電層とを有し、

前記第4の導電層は、前記第1の領域上のみに設けられ、

前記第5の導電層は、前記第1の絶縁層、前記第4の導電層および前記第1の領域と接する領域を有し、

前記第6の導電層は、前記第2の領域上のみに設けられ、

前記第7の導電層は、前記第1の絶縁層、前記第6の導電層および前記第2の領域と接する領域を有していることを特徴とする半導体装置。

【請求項2】

絶縁層上の、第1の領域乃至第5の領域を有する酸化物半導体層と、

前記酸化物半導体層上のゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記酸化物半導体層と重なる領域を有するゲート電極と、

前記酸化物半導体層と電気的に接続された、ソース電極と、

前記酸化物半導体層と電気的に接続された、ドレイン電極と、を有し、

前記ソース電極は、第1の導電層と、前記第1の導電層上の第2の導電層と、を有し、

前記ドレイン電極は、第3の導電層と、前記第3の導電層上の第4の導電層と、を有し

、
前記第3の領域は、前記ゲート電極と重なる領域であり、

前記第1の領域は、前記第1の導電層及び前記第2の導電層と重なる領域であり、かつ前記ゲート絶縁膜とは重ならず、

前記第2の導電層は、前記絶縁層、前記第1の導電層および前記第1の領域と接する領域を有し、

前記第2の領域は、前記第3の導電層及び前記第4の導電層と重なる領域であり、かつ前記ゲート絶縁膜とは重ならず、

前記第4の導電層は、前記絶縁層、前記第3の導電層および前記第2の領域と接する領域を有し、

前記第4の領域は、前記第1の領域と前記第3の領域との間の領域であり、かつ前記ゲート電極、前記ソース電極及び前記ドレイン電極とは重ならず、

前記第5の領域は、前記第2の領域と前記第3の領域との間の領域であり、かつ前記ゲート電極、前記ソース電極及び前記ドレイン電極とは重ならず、

前記第1の領域及び前記第2の領域は、n型化された領域であり、

前記第4の領域及び前記第5の領域は、オフセット領域であって、n型化された領域であることを特徴とする半導体装置。

【請求項3】

絶縁層上の、第1の領域乃至第5の領域を有する酸化物半導体層と、

前記酸化物半導体層上のゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記酸化物半導体層と重なる領域を有するゲート電極と、

前記酸化物半導体層と電気的に接続された、ソース電極と、

前記酸化物半導体層と電気的に接続された、ドレイン電極と、を有し、

前記ソース電極は、第1の導電層と、前記第1の導電層上の第2の導電層と、を有し、

前記ドレイン電極は、第3の導電層と、前記第3の導電層上の第4の導電層と、を有し

、
前記第3の領域は、前記ゲート電極と重なる領域であり、

前記第1の領域は、前記第1の導電層及び前記第2の導電層と重なる領域であり、かつ前記ゲート絶縁膜とは重ならず、

前記第2の導電層は、前記絶縁層、前記第1の導電層および前記第1の領域と接する領

10

20

30

40

50

域を有し、

前記第2の領域は、前記第3の導電層及び前記第4の導電層と重なる領域であり、かつ前記ゲート絶縁膜とは重ならず、

前記第4の導電層は、前記絶縁層、前記第3の導電層および前記第2の領域と接する領域を有し、

前記第4の領域は、前記第1の領域と前記第3の領域との間の領域であり、かつ前記ゲート電極、前記ソース電極及び前記ドレイン電極とは重ならず、

前記第5の領域は、前記第2の領域と前記第3の領域との間の領域であり、かつ前記ゲート電極、前記ソース電極及び前記ドレイン電極とは重ならず、

前記第1の領域及び前記第2の領域は、n型化された領域であり、

前記第4の領域及び前記第5の領域は、n型化された領域であり、

前記第4の領域及び前記第5の領域は、希ガスを有することを特徴とする半導体装置。

【請求項4】

絶縁層上の、第1の領域乃至第5の領域を有する酸化物半導体層と、

前記酸化物半導体層上のゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記酸化物半導体層と重なる領域を有するゲート電極と、前記酸化物半導体層と電気的に接続された、ソース電極と、

前記酸化物半導体層と電気的に接続された、ドレイン電極と、を有し、

前記ソース電極は、第1の導電層と、前記第1の導電層上の第2の導電層と、を有し、

前記ドレイン電極は、第3の導電層と、前記第3の導電層上の第4の導電層と、を有し

、前記第3の領域は、前記ゲート電極と重なる領域であり、

前記第1の領域は、前記第1の導電層及び前記第2の導電層と重なる領域であり、かつ前記ゲート絶縁膜とは重ならず、

前記第2の導電層は、前記絶縁層、前記第1の導電層および前記第1の領域と接する領域を有し、

前記第2の領域は、前記第3の導電層及び前記第4の導電層と重なる領域であり、かつ前記ゲート絶縁膜とは重ならず、

前記第4の導電層は、前記絶縁層、前記第3の導電層および前記第2の領域と接する領域を有し、

前記第4の領域は、前記第1の領域と前記第3の領域との間の領域であり、かつ前記ゲート電極、前記ソース電極及び前記ドレイン電極とは重ならず、

前記第5の領域は、前記第2の領域と前記第3の領域との間の領域であり、かつ前記ゲート電極、前記ソース電極及び前記ドレイン電極とは重ならず、

前記第1の領域及び前記第2の領域は、n型化された領域であり、

前記第4の領域及び前記第5の領域は、n型化された領域であり、

前記第4の領域及び前記第5の領域は、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を有することを特徴とする半導体装置。

【請求項5】

請求項1において、

前記酸化物半導体層と前記第1の絶縁層を介して互いに重なる領域に、第8の導電層を有することを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記酸化物半導体層は、第1の酸化物半導体層乃至第3の酸化物半導体層を有し、

前記第1の酸化物半導体層上に前記第2の酸化物半導体層を有し、前記第2の酸化物半導体層上に前記第3の酸化物半導体層を有することを特徴とする半導体装置。

【請求項7】

10

20

30

40

50

請求項 6 において、

前記第 1 の酸化物半導体層乃至第 3 の酸化物半導体層はそれぞれ、In と Zn と、M (M は Al、Ti、Ga、Y、Zr、La、Ce、Nd または Hf) とを有し、

前記第 1 の酸化物半導体層及び前記第 3 の酸化物半導体層はそれぞれ、In に対する M の原子数比が前記第 2 の酸化物半導体層よりも大きいことを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、

前記酸化物半導体層は c 軸に配向する結晶を有することを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一において、

10

前記第 4 の領域及び前記第 5 の領域は、水素を含む窒化絶縁膜と接する領域を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、酸化物半導体を用いた半導体装置およびその作製方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

20

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用して機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

30

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0005】

例えば、酸化物半導体として酸化亜鉛、または In - Ga - Zn 系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献 1 および特許文献 2 参照）。

【0006】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトランジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。

40

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 96055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

ここで、酸化物半導体層を用いたトランジスタにおいて、ソース電極層およびドレイン電

50

極層には、例えば、酸素と結合しやすい導電材料を用いることができる。当該導電材料と酸化物半導体層が接することで酸化物半導体層の一部の領域に酸素欠損が生じ、当該領域はn型化する。当該n型化した領域をソース領域およびドレイン領域として作用させることで良好なトランジスタ特性を得ることができる。

【0009】

また、酸化物半導体層は酸素供給源と接していることが好ましい。例えば、酸化物絶縁層を下地絶縁膜として用いることで、酸素欠損などによりn型化している酸化物半導体層のチャネル形成領域に酸素を供給してi型化させ、トランジスタの電気特性および信頼性を向上させることができる。

【0010】

一方で、ソース電極層およびドレイン電極層が下地絶縁膜である酸化物絶縁層と広い面積で接する構成では、酸化物絶縁層中の酸素がソース電極層およびドレイン電極層にも奪われ、酸化物半導体層に酸素を十分供給できなくなる問題がある。特にチャネル長が短いトランジスタではその問題が顕著に起こるため、しきい値電圧のマイナスシフト等が起こりやすくなる。

【0011】

したがって、本発明の一態様は、半導体装置に良好な電気特性を付与することを目的の一つとする。または、オン電流の高い半導体装置を提供することを目的の一つとする。または、微細化に適した半導体装置を提供することを目的の一つとする。または、集積度の高い半導体装置を提供することを目的の一つとする。または、低消費電力の半導体装置を提供することを目的の一つとする。または、信頼性の高い半導体装置を提供することを目的の一つとする。または、電源が遮断されてもデータが保持される半導体装置を提供することを目的の一つとする。または、新規な半導体装置を提供することを目的の一つとする。

10

20

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0013】

30

本発明の一態様は、酸化物半導体層をチャネル形成領域に有するトランジスタに関する。

【0014】

本発明の一態様は、第1の絶縁層と、第2の絶縁層と、酸化物半導体層と、第1乃至第3の導電層と、を有する半導体装置であって、酸化物半導体層は、第1の絶縁層と接する領域を有し、第1の導電層は、酸化物半導体層と電気的に接続され、第2の導電層は、酸化物半導体層と電気的に接続され、第2の絶縁層は、酸化物半導体層と接する領域を有し、第3の導電層は、第2の絶縁層と接する領域を有し、第2の絶縁層は、ゲート絶縁膜として機能することができる領域を有し、第1の導電層は、ソース電極またはドレイン電極の一方として機能することができる領域を有し、第2の導電層は、ソース電極またはドレイン電極の他方として機能することができる領域を有し、第3の導電層は、ゲート電極として機能することができる領域を有し、酸化物半導体層は、第1乃至第5の領域を有し、第1の領域および第2の領域は、互いに離れて設けられ、第3の領域と第3の導電層とは、第2の絶縁層を介して、互いに重なる領域を有し、第3の領域は、第1の領域と第2の領域との間に設けられ、第4の領域は、第1の領域と第3の領域との間に設けられ、第5の領域は、第2の領域と第3の領域との間に設けられ、第1の導電層は、第4の導電層と第5の導電層とを有し、第2の導電層は、第6の導電層と第7の導電層とを有し、第4の導電層は、第1の領域上のみに設けられ、第5の導電層は、第1の絶縁層、第4の導電層および第1の領域と接する領域を有し、第6の導電層は、第2の領域上のみに設けられ、第7の導電層は、第1の絶縁層、第6の導電層および第2の領域と接する領域を有していることを特徴とする半導体装置である。

40

50

【 0 0 1 5 】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【 0 0 1 6 】

上記半導体装置は、第1の絶縁層を介して酸化物半導体層と重なる導電層が形成された構成としてもよい。

【 0 0 1 7 】

酸化物半導体層は、第1の絶縁層側から第1の酸化物半導体層、第2の酸化物半導体層、第3の酸化物半導体層の順で形成された積層としてもよい。

【 0 0 1 8 】

また、酸化物半導体層は、c軸に配向する結晶を有することが好ましい。

10

【 0 0 1 9 】

また、第4の領域および第5の領域は、水素を含む窒化絶縁膜と接する領域を有する構成としてもよい。

【 0 0 2 0 】

また、第4の領域および第5の領域において、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素から選択される一つ以上の元素の濃度が第3の領域よりも高い部分を有する構成としてもよい。

【 0 0 2 1 】

また、本発明の他の一態様は、第1の絶縁層と、第2の絶縁層と、第1および第2の酸化物半導体層と、第1乃至第3の導電層と、を有する半導体装置であって、第1の酸化物半導体層は第3の酸化物半導体層と第4の酸化物半導体層を有し、第3の酸化物半導体層は、第1の絶縁層と接する領域を有し、第1の導電層は、第1の酸化物半導体層と電気的に接続され、第2の導電層は、第1の酸化物半導体層と電気的に接続され、第2の酸化物半導体層は、第4の酸化物半導体層と接する領域を有し、第2の絶縁層は、第2の酸化物半導体層と接する領域を有し、第2の絶縁層は、ゲート絶縁膜として機能することができる領域を有し、第1の導電層は、ソース電極またはドレイン電極の一方として機能することができる領域を有し、第2の導電層は、ソース電極またはドレイン電極の他方として機能することができる領域を有し、第3の導電層は、ゲート電極として機能することができる領域を有し、第1の酸化物半導体層は、第1乃至第5の領域を有し、第1の領域および第2の領域は、互いに離れて設けられ、第3の領域と第3の導電層とは、第2の酸化物半導体層および第2の絶縁層を介して、互いに重なる領域を有し、第3の領域は、第1の領域と第2の領域との間に設けられ、第4の領域は、第1の領域と第3の領域との間に設けられ、第5の領域は、第2の領域と第3の領域との間に設けられ、第1の導電層は、第4の導電層と第5の導電層とを有し、第2の導電層は、第6の導電層と第7の導電層とを有し、第4の導電層は、第1の領域上のみに設けられ、第5の導電層は、第1の絶縁層、第4の導電層および第1の領域と接する領域を有し、第6の導電層は、第2の領域上のみに設けられ、第7の導電層は、第1の絶縁層、第6の導電層および第2の領域と接する領域を有していることを特徴とする半導体装置である。

20

30

40

【 0 0 2 2 】

上記半導体装置は、第1の絶縁層を介して第1の酸化物半導体層と重なる導電層が形成された構成としてもよい。

【 0 0 2 3 】

また、第2乃至第4の酸化物半導体層は、InとZnと、M(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)とを有し、第2の酸化物半導体層および第3の酸化物半導体層は、Inに対するMの原子数比が第4の酸化物半導体層よりも大きいことが好ましい。

【 0 0 2 4 】

50

また、第2乃至第4の酸化物半導体層は、c軸に配向する結晶を有することが好ましい。

【0025】

また、第4の領域および第5の領域は、水素を含む窒化絶縁膜と接する領域を有する構成としてもよい。

【0026】

また、第4の領域および第5の領域において、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素から選択される一つ以上の元素の濃度が第3の領域よりも高い部分を有する構成としてもよい。

【0027】

10

上記二つの態様の半導体装置において、第1の導電層は、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料を有する単層または積層であることが好ましい。

【0028】

また、第2の導電層は、窒化チタン、窒化タンタル、金、白金、パラジウム、ルテニウム、酸窒化物半導体から選ばれた材料を有する単層または積層であることが好ましい。

【発明の効果】

【0029】

本発明の一態様を用いることにより、半導体装置に良好な電気特性を付与することができる。または、微細化に適した半導体装置を提供することができる。または、オン電流の高い半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。または、低消費電力の半導体装置を提供することができる。または、信頼性の高い半導体装置を提供することができる。または、電源が遮断されてもデータが保持される半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

20

【0030】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することができる。

30

【図面の簡単な説明】

【0031】

【図1】トランジスタを説明する上面図および断面図。

【図2】トランジスタのチャネル幅方向の断面を説明する図。

【図3】トランジスタを説明する断面図。

【図4】トランジスタを説明する上面図および断面図。

【図5】トランジスタのチャネル幅方向の断面を説明する図。

【図6】トランジスタを説明する断面図。

【図7】トランジスタを説明する上面図および断面図。

【図8】トランジスタのチャネル幅方向の断面を説明する図。

40

【図9】トランジスタを説明する断面図。

【図10】トランジスタを説明する上面図および断面図。

【図11】トランジスタを説明する上面図および断面図。

【図12】トランジスタを説明する上面図および断面図。

【図13】トランジスタを説明する上面図および断面図。

【図14】トランジスタを説明する断面図。

【図15】トランジスタを説明する上面図および断面図。

【図16】トランジスタを説明する断面図。

【図17】トランジスタを説明する上面図および断面図。

【図18】トランジスタを説明する断面図。

50

- 【図19】トランジスタを説明する上面図および断面図。
- 【図20】トランジスタを説明する上面図および断面図。
- 【図21】トランジスタを説明する上面図および断面図。
- 【図22】トランジスタの作製方法を説明する図。
- 【図23】トランジスタの作製方法を説明する図。
- 【図24】トランジスタの作製方法を説明する図。
- 【図25】トランジスタの作製方法を説明する図。
- 【図26】トランジスタの作製方法を説明する図。
- 【図27】酸化物半導体の断面TEM像および局所的なフーリエ変換像。
- 【図28】酸化物半導体膜のナノビーム電子回折パターンを示す図、および透過電子回折測定装置の一例を示す図。 10
- 【図29】透過電子回折測定による構造解析の一例を示す図、および平面TEM像。
- 【図30】半導体装置の断面図および回路図。
- 【図31】記憶装置の断面図および回路図。
- 【図32】RFタグの構成例を説明する図。
- 【図33】CPUの構成例を説明する図。
- 【図34】記憶素子の回路図。
- 【図35】表示装置の構成例を説明する図および画素の回路図。
- 【図36】表示モジュールを説明する図。
- 【図37】電子機器を説明する図。 20
- 【図38】RFタグの使用例を説明する図。
- 【図39】トランジスタを説明する断面図。
- 【図40】トランジスタを説明する断面図。
- 【図41】トランジスタを説明する断面図。
- 【図42】トランジスタを説明する断面図。
- 【図43】トランジスタを説明する断面図。
- 【図44】トランジスタを説明する断面図。
- 【発明を実施するための形態】
- 【0032】
- 実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。 30
- 【0033】
- 例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。 40
- 【0034】
- ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。
- 【0035】
- XとYとが直接的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であ 50

り、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

【0036】

XとYとが電気的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電気的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。10

【0037】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、增幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電気的に接続されている場合とを含むものとする。20

【0038】

なお、XとYとが電気的に接続されている、と明示的に記載されている場合は、XとYとが電気的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電気的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。30

【0039】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電気的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電気的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。40

【0040】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電気的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電気的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電気的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電気的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電気的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子な50

ど)とドレイン(又は第2の端子など)とを介して、Yと電気的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。

【0041】

または、別の表現方法として、例えば、「トランジスタのソース(又は第1の端子など)は、少なくとも第1の接続経路を介して、Xと電気的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース(又は第1の端子など)とトランジスタのドレイン(又は第2の端子など)との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の接続経路を介して、Yと電気的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、少なくとも第1の接続経路によって、Z1を介して、Xと電気的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の接続経路によって、Z2を介して、Yと電気的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、少なくとも第1の電気的バスによって、Z1を介して、Xと電気的に接続され、前記第1の電気的バスは、第2の電気的バスを有しておらず、前記第2の電気的バスは、トランジスタのソース(又は第1の端子など)からトランジスタのドレイン(又は第2の端子など)への電気的バスであり、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の電気的バスによって、Z2を介して、Yと電気的に接続され、前記第3の電気的バスは、第4の電気的バスを有しておらず、前記第4の電気的バスは、トランジスタのドレイン(又は第2の端子など)からトランジスタのソース(又は第1の端子など)への電気的バスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。

【0042】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

【0043】

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0044】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0045】

(実施の形態1)

10

20

30

40

50

本実施の形態では、本発明の一態様のトランジスタについて図面を用いて説明する。

【0046】

本発明の一態様のトランジスタは、シリコン（歪シリコン含む）、ゲルマニウム、シリコングルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体、または酸化物半導体などをチャネル形成領域に用いることができる。特に、シリコンよりもバンドギャップの大きい酸化物半導体を含んでチャネル形成領域を形成することが好ましい。

【0047】

例えば、上記酸化物半導体として、少なくともインジウム（In）もしくは亜鉛（Zn）を含むことが好ましい。より好ましくはIn-M-Zn系酸化物（MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属）で表記される酸化物を含む構成とする。10

【0048】

以下では、特に断りのない限り、一例として、チャネル形成領域に酸化物半導体を含むトランジスタについて説明する。

【0049】

図1(A)、(B)は、本発明の一態様のトランジスタ101の上面図および断面図である。図1(A)は上面図であり、図1(A)に示す一点鎖線A1-A2方向の断面が図1(B)に相当する。また、図1(A)に示す一点鎖線A3-A4方向の断面が図2(A)に相当する。また、図1(A)に示す一点鎖線A5-A6方向の断面が図2(B)に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線A1-A2方向をチャネル長方向、一点鎖線A3-A4方向をチャネル幅方向と呼称する場合がある。20

【0050】

なお、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。30

【0051】

また、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。40

【0052】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、実効的なチャネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャネル幅（以下、見かけ上のチャネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャネル領域の割合に対して、半導体の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の方が大きくなる。50

【 0 0 5 3 】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるために、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

【 0 0 5 4 】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

10

【 0 0 5 5 】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

20

【 0 0 5 6 】

トランジスタのチャネル形成領域となる酸化物半導体層は酸化物絶縁層と接していることが好ましい。例えば、酸化物絶縁層を酸化物半導体層と接する下地絶縁膜として用いることで、酸素欠損などによりn型化している酸化物半導体層のチャネル形成領域に酸素を供給してi型化させ、トランジスタの電気特性および信頼性向上させることができる。

30

【 0 0 5 7 】

一方で、ソース電極層およびドレイン電極層として用いられる金属膜等が下地絶縁膜と広い面積で接している場合には、下地絶縁層中の酸素がソース電極層およびドレイン電極層にも奪われ、酸化物半導体層に酸素を十分供給できなくなる問題がある。特にチャネル長が短いトランジスタではその問題が顕著に起こるため、しきい値電圧のマイナスシフト等が起こりやすくなる。

30

【 0 0 5 8 】

したがって、本発明の一態様では、下地絶縁膜の酸素が奪われにくい構成のトランジスタを形成することを目的の一つとしている。

【 0 0 5 9 】

トランジスタ101は、基板110上の絶縁層120と、当該絶縁層上の酸化物半導体層130と、当該酸化物半導体層と電気的に接続するソース電極層140およびドレイン電極層150と、酸化物半導体層130上のゲート絶縁膜160と、当該ゲート絶縁膜上のゲート電極層170と、上記構成の上に形成された絶縁層180と、を有する。また、絶縁層180上に絶縁層185が形成されていてもよい。また、必要に応じて、ソース電極層140およびドレイン電極層150のそれぞれと電気的に接する配線が設けられていてもよい。

40

【 0 0 6 0 】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【 0 0 6 1 】

本実施の形態で説明するトランジスタは、ゲート電極層170とソース電極層140およびドレイン電極層150が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容

50

量が極めて小さいため、高速動作用途に適している。

【0062】

トランジスタ101における酸化物半導体層130は、離間して位置する領域231および領域232と、領域231および領域232との間に位置し、かつゲート絶縁膜160と接する領域233と、領域231と領域233との間に位置する領域234と、領域232と領域233との間に位置する領域235と、を有する。

【0063】

また、トランジスタ101におけるソース電極層140およびドレイン電極層150は、それぞれ導電層141、151、導電層142、152を有する。導電層141、151は酸化物半導体層130における領域231および領域232の上面と接し、導電層142、152は領域231および領域232の側面と接するように形成する。また、導電層142、152は絶縁層120とも接する。
10

【0064】

導電層141、151には、例えば、Al、Cr、Cu、Ta、Mo、W、Ni、Mn、Nd、Scなどの酸素と結合しやすい導電材料を用いることができる。当該導電材料を用いることで酸化物半導体層にn型化に寄与する酸素欠損が生じ、領域231および領域232の一部はn型化して低抵抗化する。当該低抵抗化した領域をソース領域およびドレイン領域として作用させることができる。

【0065】

また、導電層142、152は絶縁層120と接するため、酸素と結合しにくい導電材料を用いることが好ましい。例えば、窒化チタン、窒化タンタル、金、白金、パラジウム、ルテニウム、導電性酸化物、導電性酸窒化物から選ばれた材料の単層、または積層を用いることができる。
20

【0066】

導電性酸化物としては、インジウム錫酸化物、珪素を含むインジウム錫酸化物、亜鉛を含む酸化インジウム、酸化亜鉛、ガリウムを含む酸化亜鉛、アルミニウムを含む酸化亜鉛、酸化錫、フッ素を含む酸化錫、またはアンチモンを含む酸化錫などを用いることができる。
。

【0067】

また、導電性酸窒化物としては、酸化物半導体層130に用いる金属酸化物に窒素が添加された材料などを用いることができる。例えば、酸化物半導体層130にIn-Ga-Zn酸化物膜(IGZO膜)を用いる場合は、導電層142、152としてIn-Ga-Zn酸窒化物膜(IGZON膜)を用いることができる。
30

【0068】

なお、ソース電極層140およびドレイン電極層150を導電層141、151のみとした場合には、酸化物半導体層130との接触面積が小さくなるため、実効的なチャネル幅が短くなり、オン電流の低下が懸念される。

【0069】

しかしながら、本発明の一態様のトランジスタでは、領域231および領域232の側面と導電層142、152が接する構成となっているため(図1(B)、図2(B)参照)、実効チャネル幅を拡大させることができ、オン電流を向上させることができる。
40

【0070】

以上の構成とすることで、酸素と結合しやすい材料で形成された導電層141、151が下地絶縁膜である絶縁層120と接触しなくなるため、前述した下地絶縁膜中の酸素がソース電極層およびドレイン電極層にも奪われる問題が解決される。

【0071】

また、本発明の一態様のトランジスタはセルファーライン構造であり、図1(A)、(B)に図示するようにオフセット領域(領域234、領域235)が形成される。当該オフセット領域が高抵抗である場合には、オン電流が低下することがある。

【0072】

したがって、領域 234 および領域 235 を低抵抗化させてもよい。例えば、図 1 (B) に示すように、領域 234 および領域 235 に接するように絶縁層 180 を形成する。このとき、絶縁層 180 に水素を含む絶縁材料を用いれば領域 234 および領域 235 を低抵抗化することができる。

【0073】

具体的には、絶縁層 180 を形成するまでの工程により領域 234 および領域 235 に生じる酸素欠損と、絶縁層 180 から領域 234 および領域 235 に拡散する水素との相互作用により、領域 234 および領域 235 は低抵抗の n 型となる。なお、水素を含む絶縁材料としては、例えば窒化シリコン膜や窒化アルミニウム膜などを用いることができる。

【0074】

また、領域 234 および領域 235 には導電率を高めるための不純物を添加してもよい。酸化物半導体層の導電率を高める不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

【0075】

不純物元素として、希ガスが酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体層に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

【0076】

なお、チャネル長方向における領域 234 および領域 235 の幅が 100 nm 以下、好ましくは 50 nm 以下の場合には、ゲート電界の寄与によりオン電流は大きく低下しないため、上述したような低抵抗化を行わない構成としてもよい。

【0077】

また、トランジスタ 101 は、図 10 (A)、(B) に示すように、ゲート絶縁膜 160 が導電層 142、152 の一部を覆う構成としてもよい。当該構成とすることにより、ゲートリーク電流を低減することができる。

【0078】

以上の構成とすることで、絶縁層 120 から酸化物半導体層 130 への酸素の供給を大きく妨げることなく、酸化物半導体層の導電型を i 型に近づけることができ、トランジスタの電気特性および信頼性を向上させることができる。また、領域 231 および領域 232 の側面と導電層 142、152 が接する構成となっているため(図 2 (B) 参照)、実効チャネル幅を拡大させることができ、オン電流の低下を抑制することができる。

【0079】

また、本発明の一態様のトランジスタ 101 は、図 3 (A) に示すように、酸化物半導体層 130 と基板 110 との間に導電膜 172 を備えていてもよい。当該導電膜を第 2 のゲート電極層(バックゲート)として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。オン電流を増加させるには、例えば、ゲート電極層 170 と導電膜 172 を同電位とし、ダブルゲートトランジスタとして駆動させればよい。その場合には、例えば、図 3 (B) に示すように、ゲート電極層 170 と導電膜 172 とをコンタクトホールを介して接続させてもよい。また、しきい値電圧の制御を行うには、ゲート電極層 170 とは異なる定電位を導電膜 172 に供給すればよい。なお、図 3 (C) に示すように、ゲート電極層 170 と導電膜 172 とを接続させないようにしててもよい。その場合には、それぞれ異なる電位を供給してもよい。なお、他の図面においても、図 3 (C) と同様に、ゲート電極層 170 と導電膜 172 とを接続させないようにしててもよい。

【0080】

なお、図 39 (A)、図 39 (B)、図 39 (C) に示すように、導電膜 172 の幅を狭

10

20

30

40

50

くして、導電層 141 や導電層 151 などと重ならないようにしてもよい。さらに、導電膜 172 の幅を、ゲート電極層 170 の幅よりも小さくしてもよい。

【0081】

また、本発明の一態様のトランジスタは、図 4 (A)、(B) に示す構成であってもよい。図 4 (A) は上面図であり、図 4 (A) に示す一点鎖線 B1 - B2 方向の断面が図 4 (B) に相当する。また、図 4 (A) に示す一点鎖線 B3 - B4 方向の断面が図 5 (A) に相当する。また、図 4 (A) に示す一点鎖線 B5 - B6 方向の断面が図 5 (B) に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 B1 - B2 方向をチャネル長方向、一点鎖線 B3 - B4 方向をチャネル幅方向と呼称する場合がある。

10

【0082】

図 4 (A)、(B) に示すトランジスタ 102 は、酸化物半導体層 130 が絶縁層 120 側から第 1 の酸化物半導体層 131、第 2 の酸化物半導体層 132、および第 3 の酸化物半導体層 133 の順で形成された点を除き、他の構成はトランジスタ 101 と同じである。

【0083】

例えば、第 1 の酸化物半導体層 131、第 2 の酸化物半導体層 132、および第 3 の酸化物半導体層 133 には、それぞれ組成の異なる酸化物半導体層などを用いることができる。

【0084】

また、トランジスタ 102 における酸化物半導体層 130 (第 1 の酸化物半導体層 131、第 2 の酸化物半導体層 132、および第 3 の酸化物半導体層 133) は、離間して位置する領域 231 および領域 232 と、領域 231 および領域 232 との間に位置し、かつゲート絶縁膜 160 を介してゲート電極層 170 と重なる領域 233 と、領域 231 と領域 233 との間に位置する領域 234 と、領域 232 と領域 233 との間に位置する領域 235 と、を有する。

20

【0085】

また、トランジスタ 102 は、図 6 (A)、(B)、(C) に示すように、酸化物半導体層 130 と基板 110 との間に導電膜 172 を備えていてもよい。なお、図 6 (C) に示すように、ゲート電極層 170 と導電膜 172 とを接続させないようにしてもよい。その場合には、それぞれ異なる電位を供給してもよい。なお、他の図面においても、図 3 (C) や図 6 (C) と同様に、ゲート電極層 170 と導電膜 172 とを接続させないようにしてもよい。

30

【0086】

なお、図 40 (A)、図 40 (B)、図 40 (C) に示すように、導電膜 172 の幅を狭くして、ソース電極層 140 やドレイン電極層 150 などと重ならないようにしてもよい。さらに、導電膜 172 の幅を、ゲート電極層 170 の幅よりも小さくしてもよい。

【0087】

また、トランジスタ 102 は、図 11 (A)、(B) に示すように、ゲート絶縁膜 160 が導電層 142、152 の一部を覆う構成としてもよい。

40

【0088】

また、本発明の一態様のトランジスタは、図 7 (A)、(B) に示す構成であってもよい。図 7 (A) は上面図であり、図 7 (A) に示す一点鎖線 C1 - C2 方向の断面が図 7 (B) に相当する。また、図 7 (A) に示す一点鎖線 C3 - C4 方向の断面が図 8 (A) に相当する。また、図 7 (A) に示す一点鎖線 C5 - C6 方向の断面が図 8 (B) に相当する。なお、上記図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 C1 - C2 方向をチャネル長方向、一点鎖線 C3 - C4 方向をチャネル幅方向と呼称する場合がある。

【0089】

図 7 (A)、(B) に示すトランジスタ 103 は、基板 110 上の絶縁層 120 と、当該

50

絶縁層上の第1の酸化物半導体層131、第2の酸化物半導体層132の順で形成された積層と、当該積層と電気的に接続するソース電極層140およびドレイン電極層150と、当該積層上の第3の酸化物半導体層133と、当該第3の酸化物半導体層上のゲート絶縁膜160と、当該ゲート絶縁膜上のゲート電極層170と、上記構成の上に形成された絶縁層180と、を有する。また、絶縁層180上に絶縁層185が形成されていてもよい。また、必要に応じて、ソース電極層140およびドレイン電極層150のそれぞれと電気的に接する配線が設けられていてもよい。

【0090】

例えば、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133には、それぞれ組成の異なる酸化物半導体層などを用いることができる。
。

【0091】

トランジスタ103における積層（第1の酸化物半導体層131および第2の酸化物半導体層132）は、離間して位置する領域231および領域232と、領域231および領域232との間に位置し、かつ第3の酸化物半導体層133およびゲート絶縁膜160を介してゲート電極層170と重なる領域233と、領域231と領域233との間に位置する領域234と、領域232と領域233との間に位置する領域235と、を有する。

【0092】

また、トランジスタ103は、図9（A）、（B）に示すように、上記積層と基板110との間に導電膜172を備えていてもよい。
20

【0093】

なお、図41（A）、図41（B）に示すように、導電膜172の幅を狭くして、ソース電極層140やドレイン電極層150などと重ならないようにしてもよい。さらに、図41（A）に示すように、導電膜172の幅を、ゲート電極層170の幅よりも小さくしてもよい。

【0094】

また、トランジスタ103は、図12（A）、（B）に示すように、第3の酸化物半導体層133およびゲート絶縁膜160が導電層142、152の一部を覆う構成としてもよい。

【0095】

トランジスタ103のチャネル形成領域では、図8（A）のチャネル幅方向の断面図に示すように、第3の酸化物半導体層133が、第1の酸化物半導体層131および第2の酸化物半導体層132の積層を覆うように形成されている。また、第2の酸化物半導体層132の上面および側面は、第3の酸化物半導体層133およびゲート絶縁膜160を介してゲート電極層170で覆われた構成となっている。
30

【0096】

上記トランジスタ101乃至トランジスタ103のいずれの構成においても、ゲート電極層170は、酸化物半導体層130（または第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133）のチャネル幅方向を電気的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、surrounded channel（s-channel）構造とよぶ。
40

【0097】

また、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133を有するトランジスタにおいては、酸化物半導体層130を構成する三層の材料を適切に選択することで第2の酸化物半導体層132に電流を流すことができる。第2の酸化物半導体層132に電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。なお、第2の酸化物半導体層132を厚くすると、オン電流を向上させることができる。例えば、第2の酸化物半導体層132の膜厚を100nm乃至200nmとしてもよい。

【0098】

10

20

30

40

50

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

【0099】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0100】

(実施の形態2)

本実施の形態では、実施の形態1とは異なる構造のトランジスタについて図面を用いて説明する。なお、実施の形態1と重複する要素や効果等に関する説明は省略する。

【0101】

図13(A)、(B)は、本発明の一態様のトランジスタ104の上面図および断面図である。図13(A)は上面図であり、図13(A)に示す一点鎖線D1-D2方向の断面が図13(B)に相当する。また、図13(A)に示す一点鎖線D3-D4方向の断面およびD5-D6方向の断面は、図2(A)、(B)に示すトランジスタ101の一点鎖線A3-A4方向の断面およびA5-A6方向の断面と同じである。なお、上記図面では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線D1-D2方向をチャネル長方向、一点鎖線D3-D4方向をチャネル幅方向と呼称する場合がある。

【0102】

本実施の形態で説明するトランジスタは、ゲート電極層170とソース電極層140およびドレイン電極層150が重なる領域191、192を有するトップゲート構造である。領域191および領域192のチャネル長方向の幅は、寄生容量を小さくするために3nm以上300nm未満とすることが好ましい。一方で、酸化物半導体層130にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

【0103】

トランジスタ104は、基板110上の絶縁層120と、当該絶縁層上の酸化物半導体層130と、当該酸化物半導体層と電気的に接続するソース電極層140およびドレイン電極層150と、酸化物半導体層130、ソース電極層140およびドレイン電極層150上のゲート絶縁膜160と、当該ゲート絶縁膜上のゲート電極層170と、上記構成の上に形成された絶縁層180と、を有する。また、絶縁層180上に絶縁層185が形成されていてもよい。また、必要に応じて、ソース電極層140およびドレイン電極層150のそれぞれと電気的に接する配線が設けられていてもよい。

【0104】

トランジスタ104における酸化物半導体層130は、離間して位置する領域231および領域232と、領域231および領域232との間に位置し、かつゲート絶縁膜160と接する領域233と、を有する。

【0105】

また、トランジスタ104におけるソース電極層140およびドレイン電極層150は、それぞれ導電層141、151、導電層142、152を有する。導電層141、151は酸化物半導体層130における領域231および領域232の上面と接し、導電層142、152は領域231および領域232の側面と接するように形成する。また、導電層142、152は絶縁層120とも接する。

【0106】

なお、導電層141、151、導電層142、152の詳細に関しては、実施の形態1の説明を参照することができる。

【0107】

また、本発明の一態様のトランジスタ104は、図14(A)、(B)に示すように、酸化物半導体層130と基板110との間に導電膜172を備えていてもよい。

【0108】

なお、図42(A)、図42(B)に示すように、導電膜172の幅を狭くして、ソース

10

20

30

40

50

電極層 140 やドレイン電極層 150 などと重ならないようにしてもよい。さらに、導電膜 172 の幅を、ゲート電極層 170 の幅よりも小さくしてもよい。

【0109】

また、トランジスタ 104 は、図 19 (A)、(B) に示すように、ゲート絶縁膜 160 が導電層 142、152 を広く覆う構成としてもよい。当該構成とすることにより、ゲートリーク電流を低減することができる。

【0110】

以上の構成とすることで、絶縁層 120 から酸化物半導体層 130 への酸素の供給を大きく妨げることなく、酸化物半導体層の導電型を i 型に近づけることができ、トランジスタの電気特性および信頼性を向上させることができる。また、領域 231 および領域 232 の側面と導電層 142、152 が接する構成となっているため、実効チャネル幅を拡大させることができ、オン電流の低下を抑制することができる。10

【0111】

また、本発明の一態様のトランジスタは、図 15 (A)、(B) に示す構成であってもよい。図 15 (A) は上面図であり、図 15 (A) に示す一点鎖線 E1 - E2 方向の断面が図 15 (B) に相当する。また、図 15 (A) に示す一点鎖線 E3 - E4 方向の断面および E5 - E6 方向の断面は、図 5 (A)、(B) に示すトランジスタ 102 の一点鎖線 B3 - B4 方向の断面および B5 - B6 方向の断面と同じである。なお、上記図面では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 E1 - E2 方向をチャネル長方向、一点鎖線 E3 - E4 方向をチャネル幅方向と呼称する場合がある。20

【0112】

図 15 (A)、(B) に示すトランジスタ 105 は、酸化物半導体層 130 が絶縁層 120 側から第 1 の酸化物半導体層 131、第 2 の酸化物半導体層 132、および第 3 の酸化物半導体層 133 の順で形成された点を除き、他の構成はトランジスタ 104 と同じである。

【0113】

例えば、第 1 の酸化物半導体層 131、第 2 の酸化物半導体層 132、および第 3 の酸化物半導体層 133 には、それぞれ組成の異なる酸化物半導体層などを用いることができる。30

【0114】

また、トランジスタ 105 における酸化物半導体層 130 (第 1 の酸化物半導体層 131、第 2 の酸化物半導体層 132、および第 3 の酸化物半導体層 133) は、離間して位置する領域 231 および領域 232 と、領域 231 および領域 232 との間に位置し、かつゲート絶縁膜 160 と接する領域 233 と、を有する。

【0115】

また、トランジスタ 105 は、図 16 (A)、(B) に示すように、酸化物半導体層 130 と基板 110 との間に導電膜 172 を備えていてもよい。

【0116】

なお、図 43 (A)、図 43 (B) に示すように、導電膜 172 の幅を狭くして、ソース電極層 140 やドレイン電極層 150 などと重ならないようにしてもよい。さらに、導電膜 172 の幅を、ゲート電極層 170 の幅よりも小さくしてもよい。40

【0117】

また、トランジスタ 105 は、図 20 (A)、(B) に示すように、ゲート絶縁膜 160 が導電層 142、152 を広く覆う構成としてもよい。

【0118】

また、本発明の一態様のトランジスタは、図 17 (A)、(B) に示す構成であってもよい。図 17 (A) は上面図であり、図 17 (A) に示す一点鎖線 F1 - F2 方向の断面が図 17 (B) に相当する。また、図 17 (A) に示す一点鎖線 F3 - F4 方向の断面および F5 - F6 方向の断面は、図 8 (A)、(B) に示すトランジスタ 103 の一点鎖線 C50

3 - C 4 方向の断面およびC 5 - C 6 方向の断面と同じである。なお、上記図面では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線F 1 - F 2 方向をチャネル長方向、一点鎖線F 3 - F 4 方向をチャネル幅方向と呼称する場合がある。

【0119】

図17(A)、(B)に示すトランジスタ106は、基板110上の絶縁層120と、当該絶縁層上の第1の酸化物半導体層131、第2の酸化物半導体層132の順で形成された積層と、当該積層と電気的に接続するソース電極層140およびドレイン電極層150と、当該積層、ソース電極層140およびドレイン電極層150上の第3の酸化物半導体層133と、当該第3の酸化物半導体層上のゲート絶縁膜160と、当該ゲート絶縁膜上のゲート電極層170と、上記構成の上に形成された絶縁層180と、を有する。また、絶縁層180上に絶縁層185が形成されていてもよい。また、必要に応じて、ソース電極層140およびドレイン電極層150のそれぞれと電気的に接する配線が設けられてもよい。

【0120】

例えば、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133には、それぞれ組成の異なる酸化物半導体層などを用いることができる。

【0121】

また、トランジスタ106における積層(第1の酸化物半導体層131および第2の酸化物半導体層132)は、離間して位置する領域231および領域232と、領域231および領域232との間に位置し、かつゲート絶縁膜160と接する領域233と、を有する。

【0122】

また、トランジスタ106は、図18(A)、(B)に示すように、上記積層と基板110との間に導電膜172を備えていてもよい。

【0123】

なお、図44(A)、図44(B)に示すように、導電膜172の幅を狭くして、ソース電極層140やドレイン電極層150などと重ならないようにしてもよい。さらに、導電膜172の幅を、ゲート電極層170の幅よりも小さくしてもよい。

【0124】

また、トランジスタ106は、図21(A)、(B)に示すように、ゲート絶縁膜160が導電層142、152を広く覆う構成としてもよい。

【0125】

トランジスタ106のチャネル形成領域では、図8(A)のチャネル幅方向の断面図に示すように、第3の酸化物半導体層133が、第1の酸化物半導体層131および第2の酸化物半導体層132の積層を覆うように形成されている。また、第2の酸化物半導体層132の上面および側面は、第3の酸化物半導体層133およびゲート絶縁膜160を介してゲート電極層170で覆われた構成となっている。

【0126】

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

【0127】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0128】

(実施の形態3)

本実施の形態では、実施の形態1に示したトランジスタの構成要素について詳細を説明する。

【0129】

10

20

30

40

50

基板 110 は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、トランジスタのゲート電極層 170、ソース電極層 140、およびドレイン電極層 150 の一つ以上は、上記の他のデバイスと電気的に接続されてもよい。

【0130】

例えば、基板 110 には、ガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板、SOI (Silicon On Insulator) 基板などを用いることができる。

【0131】

絶縁層 120 は、基板 110 からの不純物の拡散を防止する役割を有するほか、酸化物半導体層 130 に酸素を供給する役割を担うことができる。したがって、絶縁層 120 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。TDS 法にて、酸素原子に換算しての酸素の放出量が 1.0×10^{19} atoms/cm³ 以上である膜とする。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。また、上述のように基板 110 が他のデバイスが形成された基板である場合、絶縁層 120 は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるように CMP (Chemical Mechanical Polishing) 法等で平坦化処理を行うことが好ましい。

10

【0132】

例えば、絶縁層 120 には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

20

【0133】

なお、本実施の形態では、酸化物半導体層 130 が三層構造である場合を主として詳細を説明するが、積層数は問わない。トランジスタ 101 のように酸化物半導体層 130 が一層の場合は、本実施の形態で説明する第 2 の酸化物半導体層 132 に相当する層を用いればよい。また、酸化物半導体層 130 が二層の場合は、例えば、トランジスタ 102 またはトランジスタ 103 に示す酸化物半導体層 130 の構成において、第 3 の酸化物半導体層 133 を設けない構成とすればよい。この構成の場合、第 2 の酸化物半導体層 132 と第 1 の酸化物半導体層 131 を入れ替えることもできる。また、酸化物半導体層 130 が四層以上である場合は、例えば、本実施の形態で説明する三層構造の積層に対して他の酸化物半導体層を積む構成や当該三層構造におけるいずれかの界面に他の酸化物半導体層を挿入する構成とすることができる。

30

【0134】

一例としては、第 2 の酸化物半導体層 132 には、第 1 の酸化物半導体層 131 および第 3 の酸化物半導体層 133 よりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差（イオン化ポテンシャル）から、伝導帯下端と価電子帯上端とのエネルギー差（エネルギーギャップ）を差し引いた値として求めることができる。

40

【0135】

第 1 の酸化物半導体層 131 および第 3 の酸化物半導体層 133 は、第 2 の酸化物半導体層 132 を構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが第 2 の酸化物半導体層 132 よりも、0.05 eV、0.07 eV、0.1 eV、0.15 eV のいずれか以上であって、2 eV、1 eV、0.5 eV、0.4 eV のいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

50

【0136】

このような構造において、ゲート電極層170に電界を印加すると、酸化物半導体層130のうち、伝導帯下端のエネルギーが最も小さい第2の酸化物半導体層132にチャネルが形成される。

【0137】

また、第1の酸化物半導体層131は、第2の酸化物半導体層132を構成する金属元素を一種以上含んで構成されるため、第2の酸化物半導体層132と絶縁層120が接した場合の界面と比較して、第2の酸化物半導体層132と第1の酸化物半導体層131との界面には界面準位が形成されにくくなる。該界面準位はチャネルを形成することがあるため、トランジスタのしきい値電圧が変動することがある。したがって、第1の酸化物半導体層131を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。10

【0138】

また、第3の酸化物半導体層133は、第2の酸化物半導体層132を構成する金属元素を一種以上含んで構成されるため、第2の酸化物半導体層132とゲート絶縁膜160が接した場合の界面と比較して、第2の酸化物半導体層132と第3の酸化物半導体層133との界面ではキャリアの散乱が起こりにくくなる。したがって、第3の酸化物半導体層133を設けることにより、トランジスタの電界効果移動度を高くすることができる。

【0139】

第1の酸化物半導体層131および第3の酸化物半導体層133には、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを第2の酸化物半導体層132よりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、第1の酸化物半導体層131および第3の酸化物半導体層133は、第2の酸化物半導体層132よりも酸素欠損が生じにくいことができる。20

【0140】

また、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133として用いることのできる酸化物半導体は、少なくともインジウム(Indium)もしくは亜鉛(Zinc)を含むことが好ましい。または、IndiumとZincの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。30

【0141】

スタビライザーとしては、ガリウム(Gallium)、スズ(Silver)、ハフニウム(Hafnium)、アルミニウム(Aluminum)、またはジルコニウム(Zirconium)等がある。また、他のスタビライザーとしては、ランタノイドである、ラントン(Lanthanum)、セリウム(Cerium)、プラセオジム(Praseodymium)、ネオジム(Neodimium)、サマリウム(Samarium)、ヨウロピウム(Europium)、ガドリニウム(Gadolinium)、テルビウム(Terbium)、ジスプロシウム(Dysprosium)、ホルミウム(Holmium)、エルビウム(Erbium)、ツリウム(Triplutonium)、イッテルビウム(Ytterbium)、ルテチウム(Lutetium)等がある。40

【0142】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、Indium-Zinc酸化物、Silver-Zinc酸化物、Al-Zinc酸化物、Zinc-Magnesium酸化物、Silver-Magnesium酸化物、Indium-Gallium酸化物、Indium-Gallium-Zinc酸化物、Indium-Al-Zinc酸化物、Indium-Silver-Zinc酸化物、Silver-Gallium-Zinc酸化物、Indium-Hafnium-Zinc酸化物、Indium-Lanthanum-Zinc酸化物、Indium-Cerium-Zinc酸化物、Indium-Praseodymium-Zinc酸化物、Indium-Neuropium-Zinc酸化物、Indium-Samarium-Zinc酸化物、Indium-Europium-Zinc酸化物、Indium-Gadolinium-Zinc酸化物、Indium-Terbium-Zinc酸化物、Indium-Dysprosium-Zinc酸化物、Indium-Holmium-Zinc酸化物、Indium-Erbium-Zinc酸化物、Indium-Tritium-Zinc酸化物、Indium-Ytterbium-Zinc酸化物、Indium-Lutetium-Zinc酸化物、Indium-Silver-Gallium-Zinc酸化物50

物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

【0143】

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

【0144】

また、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、Mは、Ga、Y、Zr、La、Ce、またはNdから選ばれた一つの金属元素または複数の金属元素を示す。また、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

10

【0145】

なお、第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133が、少なくともインジウム、亜鉛およびM(Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物であるとき、第1の酸化物半導体層131を $In:M:Zn = x_1:y_1:z_1$ [原子数比]、第2の酸化物半導体層132を $In:M:Zn = x_2:y_2:z_2$ [原子数比]、第3の酸化物半導体層133を $In:M:Zn = x_3:y_3:z_3$ [原子数比] とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなることが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、第2の酸化物半導体層132において、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

20

【0146】

第1の酸化物半導体層131および第3の酸化物半導体層133におけるZnおよびOを除いた場合において、InおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、第2の酸化物半導体層132のZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。

30

【0147】

また、第2の酸化物半導体層132は、第1の酸化物半導体層131および第3の酸化物半導体層133よりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがMよりも多い組成となる酸化物はInがMと同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、第2の酸化物半導体層132にインジウムの含有量が多い酸化物を用いることで、高い電界効果移動度のトランジスタを実現することができる。

40

【0148】

第1の酸化物半導体層131および第3の酸化物半導体層133の厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、第2の酸化物半導体層132の厚さは、3nm以上200nm以下、好ましくは10nm以上150nm以下、さらに好ましくは10nm以上100nm以下とする。また、第2の酸化物半導体層132は、第1の酸化物半導体層131および第3の酸化物半導体層133より厚い方が好ましい。

【0149】

50

なお、酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性（i型）にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満、特に好ましくは $8 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上であることを指す。

【0150】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、第1の酸化物半導体層131、第2の酸化物半導体層132および第3の酸化物半導体層133の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0151】

酸化物半導体層を真性または実質的に真性とすることには、SIMS (Secondary Ion Mass Spectrometry) 分析において、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。また、水素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0152】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させことがある。酸化物半導体層の結晶性を低下させないためには、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有していればよい。

【0153】

また、上述のように高純度化された酸化物半導体層をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1V、5V、または、10V程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数yA/ μm 乃至数zA/ μm にまで低減することが可能となる。

【0154】

なお、トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体層のチャネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいということができる。また、ゲート絶縁膜と酸化物半導体層との界面にチャネルが形成される場合、該界面でキャリアの散乱が起こり、トランジスタの電界効果移動度が低くなることがある。このような観点からも

10

20

30

40

50

、酸化物半導体層のチャネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。

【0155】

したがって、酸化物半導体層130を第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133の積層構造とすることで、第2の酸化物半導体層132にチャネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

【0156】

第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133のバンド構造においては、伝導帯下端のエネルギーが連続的に変化する。これは、第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133の組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。したがって、第1の酸化物半導体層131、第2の酸化物半導体層132、第3の酸化物半導体層133は組成が異なる層の積層体ではあるが、物性的に連続であるということもでき、本明細書の図面において、当該積層体のそれぞれの界面は点線で表している。10

【0157】

主成分を共通として積層された酸化物半導体層130は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化するU字型の井戸構造（U Shape Well））が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体層の層間に不純物が混在していると、エネルギー・バンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。20

【0158】

例えば、第1の酸化物半導体層131および第3の酸化物半導体層133にはIn:Ga:Zn = 1:3:2、1:3:3、1:3:4、1:3:6、1:6:4または1:9:6（原子数比）、第2の酸化物半導体層132にはIn:Ga:Zn = 1:1:1、2:1:3、5:5:6、または3:1:2（原子数比）などのIn-Ga-Zn酸化物などを用いることができる。また、第1の酸化物半導体層131にIn:Ga:Zn = 1:6:4または1:9:6（原子数比）、第3の酸化物半導体層133にIn:Ga:Zn = 1:3:2、1:3:3、1:3:4（原子数比）のIn-Ga-Zn酸化物などを用いてよい。なお、第1の酸化物半導体層131、第2の酸化物半導体層132、および第3の酸化物半導体層133の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。30

【0159】

酸化物半導体層130における第2の酸化物半導体層132はウェル（井戸）となり、酸化物半導体層130を用いたトランジスタにおいて、チャネルは第2の酸化物半導体層132に形成される。なお、酸化物半導体層130は伝導帯下端のエネルギーが連続的に変化しているため、U字型井戸とも呼ぶことができる。また、このような構成で形成されたチャネルを埋め込みチャネルということもできる。40

【0160】

また、第1の酸化物半導体層131および第3の酸化物半導体層133と、酸化シリコン膜などの絶縁膜との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。第1の酸化物半導体層131および第3の酸化物半導体層133があることにより、第2の酸化物半導体層132と当該トラップ準位とを遠ざけることができる。

【0161】

ただし、第1の酸化物半導体層131および第3の酸化物半導体層133の伝導帯下端のエネルギーと、第2の酸化物半導体層132の伝導帯下端のエネルギーとの差が小さい場合、第2の酸化物半導体層132の電子が該エネルギー差を越えてトラップ準位に達することがある。マイナスの電荷となる電子がトラップ準位に捕獲されることで、トランジス50

タのしきい値電圧はプラス方向にシフトしてしまう。

【0162】

したがって、トランジスタのしきい値電圧の変動を低減するには、第1の酸化物半導体層131および第3の酸化物半導体層133の伝導帯下端のエネルギーと、第2の酸化物半導体層132の伝導帯下端のエネルギーとの間に一定以上の差を設けることが必要となる。それぞれの当該エネルギー差は、0.1eV以上が好ましく、0.15eV以上がより好ましい。

【0163】

第1の酸化物半導体層131、第2の酸化物半導体層132および第3の酸化物半導体層133には、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

10

【0164】

ソース電極層140およびドレイン電極層150における導電層141、151には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。代表的には、特に酸素と結合しやすいTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。また、低抵抗のCuやCu-Mnなどの合金と上記材料との積層を用いてもよい。

20

【0165】

上記材料は酸化物半導体層から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体層の一部の領域では酸化物半導体層中の酸素が脱離し、酸素欠損が形成される。層中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著にn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0166】

また、導電層142、152には、例えば、窒化チタン、窒化タンタル、金、白金、パラジウム、ルテニウム、導電性酸化物、および導電性酸窒化物から選ばれた材料の単層、または積層を用いることができる。

【0167】

30

ゲート絶縁膜160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニアム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、ゲート絶縁膜160は上記材料の積層であってもよい。なお、ゲート絶縁膜160に、ランタン(La)、窒素、ジルコニアム(Zr)などを、不純物として含んでいてもよい。

【0168】

また、ゲート絶縁膜160の積層構造の一例について説明する。ゲート絶縁膜160は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

40

【0169】

酸化ハフニウムおよび酸化アルミニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、等価酸化膜厚に対して物理的な膜厚を大きくできるため、等価酸化膜厚を10nm以下または5nm以下とした場合でも、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

50

【0170】

ところで、結晶構造を有する酸化ハフニウムの被形成面は、欠陥に起因した界面準位を有する場合がある。該界面準位はトラップセンターとして機能する場合がある。そのため、酸化ハフニウムがトランジスタのチャネル領域に近接して配置されるとき、該界面準位によってトランジスタの電気特性が劣化する場合がある。そこで、該界面準位の影響を低減するために、トランジスタのチャネル領域と酸化ハフニウムとの間に、別の膜を配置することによって互いに離間させることが好ましい場合がある。この膜は、緩衝機能を有する。緩衝機能を有する膜は、ゲート絶縁膜160に含まれる膜であってもよいし、酸化物半導体層に含まれる膜であってもよい。即ち、緩衝機能を有する膜としては、酸化シリコン、酸化窒化シリコン、酸化物半導体などを用いることができる。なお、緩衝機能を有する膜には、たとえば、チャネル領域となる半導体よりもエネルギーギャップの大きい半導体、または絶縁体を用いる。または、緩衝機能を有する膜には、たとえば、チャネル領域となる半導体よりも電子親和力の小さい半導体、または絶縁体を用いる。または、緩衝機能を有する膜には、たとえば、チャネル領域となる半導体よりもイオン化工エネルギーの大きい半導体、または絶縁体を用いる。10

【0171】

一方、上述した結晶構造を有する酸化ハフニウムの被形成面における界面準位（トラップセンター）に電荷をトラップさせることで、トランジスタのしきい値電圧を制御できる場合がある。該電荷を安定して存在させるためには、たとえば、チャネル領域と酸化ハフニウムとの間に、酸化ハフニウムよりもエネルギーギャップの大きい絶縁体を配置すればよい。または、酸化ハフニウムよりも電子親和力の小さい半導体または絶縁体を配置すればよい。または、緩衝機能を有する膜には、酸化ハフニウムよりもイオン化工エネルギーの大きい半導体または絶縁体を配置すればよい。このような絶縁体を用いることで、界面準位にトラップされた電荷の放出が起こりにくくなり、長期間に渡って電荷を保持することができる。20

【0172】

そのような絶縁体として、例えば、酸化シリコン、酸化窒化シリコンが挙げられる。ゲート絶縁膜160内の界面準位に電荷を捕獲させるためには、酸化物半導体層130からゲート電極層170に向かって電子を移動させればよい。具体的な例としては、高い温度（例えば、125以上450以下、代表的には150以上300以下）の下で、ゲート電極層170の電位をソース電極やドレイン電極の電位より高い状態にて1秒以上、代表的には1分以上維持すればよい。30

【0173】

このようにゲート絶縁膜160などの界面準位に所望の量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。ゲート電極層170の電圧や、電圧を印加する時間を調整することによって、電子を捕獲させる量（しきい値電圧の変動量）を制御することができる。なお、電荷を捕獲させることができれば、ゲート絶縁膜160内でなくても構わない。同様の構造を有する積層膜を、他の絶縁層に用いても構わない。

【0174】

ゲート電極層170には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mnなどの合金や上記材料とCuまたはCu-Mnなどの合金との積層を用いてもよい。40

【0175】

絶縁層180には、水素を含む窒化シリコン膜または窒化アルミニウム膜などを用いることが好ましい。特に、トランジスタ101、102、103の構成においては、前述したように絶縁層180として水素を含む窒化絶縁膜を用いることで酸化物半導体層の一部を50

*n*型化することができる。また、窒化絶縁膜は水分などのブロッキング膜としての作用も有し、トランジスタの信頼性を向上させることができる。

【0176】

また、絶縁層180としては酸化アルミニウム膜を用いることもできる。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、トランジスタの電気特性の変動要因となる水素、水分などの不純物の酸化物半導体層130への混入防止、酸化物半導体層130を構成する主成分材料である酸素の酸化物半導体層からの放出防止、絶縁層120からの酸素の不必要的放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体層中に拡散させることもできる。10

【0177】

また、絶縁層180上には絶縁層185が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ラントン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

【0178】

ここで、絶縁層185は絶縁層120と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層185から放出される酸素はゲート絶縁膜160を経由して酸化物半導体層130のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。20

【0179】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、特にチャネル幅が縮小するとオン電流は低下する。

【0180】

本発明の一態様のトランジスタ103およびトランジスタ106では、チャネルが形成される第2の酸化物半導体層132を覆うように第3の酸化物半導体層133が形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができます。30

【0181】

また、本発明の一態様のトランジスタでは、前述したように酸化物半導体層130のチャネル幅方向を電気的に取り囲むようにゲート電極層170が形成されているため、酸化物半導体層130に対しては垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

【0182】

また、本発明の一態様のトランジスタ102、103、105、106では、チャネルが形成される第2の酸化物半導体層132を第1の酸化物半導体層131上に形成することで界面準位を形成しにくくする効果や、第2の酸化物半導体層132を三層構造の中間に位置する層として上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化や、S値(サブスレッショルド値)を小さくすることができる。したがって、 I_{cut} (ゲート電圧VGが0V時の電流)を下げることができ、消費電力を低減することができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。また、本発明の一態様のトランジスタは、微細化にともなう電気特性の劣化が抑えられることから、集積度の高い半導体装置の形成に適しているとい4050

える。

【0183】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0184】

(実施の形態4)

本実施の形態では、実施の形態1で説明したトランジスタの作製方法を説明する。

【0185】

始めに、図22乃至図24を用いてトランジスタ102の作製方法を説明する。また、酸化物半導体層130の構成のみが異なるトランジスタ101の作製方法を合わせて説明する。10 図22乃至図24において、図面の左側にはトランジスタのチャネル長方向の断面を示し、右側にはチャネル幅方向の断面を示す。なお、チャネル幅方向の図面は拡大図のため、各要素の見かけ上の膜厚は左右の図面で異なる。

【0186】

まず、基板110上に絶縁層120を形成する。基板110の種類および絶縁層120の材質は実施の形態3の説明を参照することができる。なお、絶縁層120は、スパッタ法、CVD(Chemical Vapor Deposition)法、MBE法などを用いて形成することができる。

【0187】

また、絶縁層120にイオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層120から酸化物半導体層130への酸素の供給をさらに容易にすることができます。20

【0188】

なお、基板110の表面が絶縁体であり、後に設ける酸化物半導体層130への不純物拡散の影響が無い場合は、絶縁層120を設けない構成とすることができる。

【0189】

次に、絶縁層120上に第1の酸化物半導体層131となる第1の酸化物半導体膜131a、第2の酸化物半導体層132となる第2の酸化物半導体膜132a、および第3の酸化物半導体層133となる第3の酸化物半導体膜133aをスパッタ法、CVD法、MBE法などを用いて成膜する。30

【0190】

なお、図1に示すトランジスタ101を形成する場合は、第2の酸化物半導体膜132aの単膜を設ければよい。

【0191】

酸化物半導体層130が積層構造である場合、酸化物半導体膜はロードロック室を備えたマルチチャンバー方式の成膜装置（例えばスパッタ装置）を用いて各層を大気に触れさせることなく連続して積層することが好ましい。スパッタ装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気(5×10^{-7} Pa乃至 1×10^{-4} Pa程度まで)できること、かつ、成膜される基板を100以上、好ましくは500以上に加熱できることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。また、ターボ分子ポンプとクライオポンプを組み合わせた排気系を用いてもよい。40

【0192】

高純度真性酸化物半導体を得るために、チャンバー内を高真空排気するのみならずスパッタガスの高純度化も必要である。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が-40以下、好ましくは-80以下、より好ましくは-100以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限50

り防ぐことができる。

【0193】

第1の酸化物半導体膜131a、第2の酸化物半導体膜132a、および第3の酸化物半導体膜133aには、実施の形態3で説明した材料を用いることができる。例えば、第1の酸化物半導体膜131aにIn:Ga:Zn=1:3:6、1:3:4、1:3:3または1:3:2[原子数比]のIn-Ga-Zn酸化物、第2の酸化物半導体膜132aにIn:Ga:Zn=1:1:1、3:1:2または5:5:6[原子数比]のIn-Ga-Zn酸化物、第3の酸化物半導体膜133aにIn:Ga:Zn=1:3:6、1:3:4、1:3:3または1:3:2[原子数比]のIn-Ga-Zn酸化物を用いることができる。なお、第1の酸化物半導体膜131a、第2の酸化物半導体膜132a、および第3の酸化物半導体膜133aの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。また、成膜法にスパッタ法を用いる場合は、上記材料をターゲットとして成膜することができる。10

【0194】

ただし、実施の形態3に詳細を記したように、第2の酸化物半導体膜132aには第1の酸化物半導体膜131aおよび第3の酸化物半導体膜133aよりも電子親和力が大きくなるような材料を用いる。

【0195】

なお、酸化物半導体膜の成膜には、スパッタ法を用いることが好ましい。スパッタ法としては、RFスパッタ法、DCスパッタ法、ACスパッタ法等を用いることができる。20

【0196】

第3の酸化物半導体膜133aの形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250以上650以下、好ましくは300以上500以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、第1の酸化物半導体膜131a乃至第3の酸化物半導体膜133aの結晶性を高め、さらに絶縁層120、および第1の酸化物半導体膜131a乃至第3の酸化物半導体膜133aから水素や水などの不純物を除去することができる。なお、第1の加熱処理は、後述する第1の酸化物半導体層131乃至第3の酸化物半導体層133を形成するエッチングの後に行ってもよい。30

【0197】

次に、第3の酸化物半導体膜133a上に導電層145を形成する(図22(A)参照)。導電層145は、例えば、次の方法を用いて形成することができる。

【0198】

まず、第3の酸化物半導体膜133a上に第1の導電膜を形成する。第1の導電膜としては、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。

【0199】

次に、第1の導電膜上にネガ型のレジスト膜を形成し、当該レジスト膜に対して電子ビーム露光、液浸露光、EUV露光などの方法を用いて露光し、現像処理を行うことで第1のレジストマスクを形成する。なお、第1の導電膜とレジスト膜の間には密着剤として有機塗布膜を形成することが好ましい。また、ナノインプリントリソグラフィ法を用いて第1のレジストマスクを形成してもよい。40

【0200】

次に、第1のレジストマスクを用いて、第1の導電膜を選択的にエッチングし、第1のレジストマスクをアッシングすることにより導電層145を形成する。

【0201】

次に、上記導電層145をハードマスクとして用い、第3の酸化物半導体膜133a、第2の酸化物半導体膜132a、および第1の酸化物半導体膜131aを選択的にエッキン50

グし、第3の酸化物半導体層133、第2の酸化物半導体層132、および第1の酸化物半導体層131の積層からなる酸化物半導体層130を形成する(図22(B)参照)。

【0202】

次に、酸化物半導体層130および導電層145を覆うように第2の導電膜146aを形成する(図22(C)参照)。第2の導電膜146aとしては、窒化チタン、窒化タンタル、金、白金、パラジウム、ルテニウム、導電性酸化物、および導電性酸窒化物から選ばれた材料の単層または積層を用いることができる。

【0203】

次に、ソース領域およびドレイン領域となる部分の上に第2のレジストマスク155を形成する(図23(A)参照)。そして、第2の導電膜146aの一部および導電層145の一部をエッティングし、導電層141、151、および導電層142、152のそれぞれを有するソース電極層140およびドレイン電極層150を形成する(図23(B)参照)。なお、説明の明瞭化のため、図23(B)の右図には、チャネル形成領域における断面(上)とドレイン領域における断面(下)を示している。

10

【0204】

なお、第2の導電膜146aの一部をエッティング後に第2のレジストマスク155を取り除いて、導電層142、152をマスクとして導電層145の一部をエッティングしてもよい。上記ステップでエッティングすることで、横方向エッティングを少なくすることができる。例えば、導電層145がタンゲステン膜、導電層142、152が窒化チタン膜である場合、塩素、四フッ化炭素、酸素を混合したガスでドライエッティングを行えばよい。

20

【0205】

次に、酸化物半導体層130、ソース電極層140、およびドレイン電極層150上にゲート絶縁膜となる絶縁膜160aを形成する。絶縁膜160aは、実施の形態3で説明したゲート絶縁膜160に用いることのできる材料で形成すればよい。絶縁膜160aの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

【0206】

次に、絶縁膜160a上にゲート電極層170となる第3の導電膜170aを形成する。第3の導電膜170aは、実施の形態3で説明したゲート電極層170に用いることのできる材料で形成すればよい。第3の導電膜170aの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

30

【0207】

次に、第3の導電膜170a上に第3のレジストマスク156を形成する(図23(C)参照)。そして、当該レジストマスクを用いて、第3の導電膜170aおよび絶縁膜160aを選択的にエッティングし、ゲート電極層170およびゲート絶縁膜160を形成する(図24(A)参照)。なお、絶縁膜160aをエッティングしないで、ゲート絶縁膜160として用いることもできる。

【0208】

次に、上記工程にて形成されるオフセット領域(領域234および領域235)に不純物240を添加し、当該オフセット領域を低抵抗化させる(図24(B)参照)。例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上をイオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて添加すればよい。なお、当該不純物の添加は行わなくてもよい。

40

【0209】

次に、絶縁層120、酸化物半導体層130、ソース電極層140、ドレイン電極層150、ゲート絶縁膜160およびゲート電極層170上に絶縁層180を形成する。絶縁層180の材質は、実施の形態3の説明を参照することができる。また、絶縁層180は、スパッタ法、CVD法、MBE法などで形成することができる。

【0210】

50

次に、絶縁層 180 上に絶縁層 185 を形成する（図 24（C）参照）。絶縁層 185 の材質は、実施の形態 3 の説明を参照することができる。また、絶縁層 185 は、スパッタ法、CVD 法、MBE 法などで形成することができる。

【0211】

また、絶縁層 180 および / または絶縁層 185 にイオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層 180 および / または絶縁層 185 から酸化物半導体層 130 への酸素の供給をさらに容易にすることができます。

【0212】

次に、第 2 の加熱処理を行ってもよい。第 2 の加熱処理は、第 1 の加熱処理と同様の条件で行うことができる。第 2 の加熱処理により、絶縁層 120、絶縁層 180、絶縁層 185 から過剰酸素が放出されやすくなり、酸化物半導体層 130 の酸素欠損を低減することができます。

10

【0213】

なお、図 10、図 11 に示すトランジスタを作製するには、絶縁膜 160a を上記とは異なるレジストマスクでエッチングを行う。また、オフセット領域への不純物の添加を行う場合には、ゲート絶縁膜 160 を介して行ってもよい。

【0214】

次に、図 7 に示すトランジスタ 103 の作製方法について説明する。なお、トランジスタ 101 およびトランジスタ 102 の作製方法と重複する工程の詳細な説明は省略する。

20

【0215】

基板 110 上に絶縁層 120 を形成し、当該絶縁層上に第 1 の酸化物半導体層 131 となる第 1 の酸化物半導体膜 131a、および第 2 の酸化物半導体層 132 となる第 2 の酸化物半導体膜 132a をスパッタ法、CVD 法、MBE 法などを用いて成膜する。

【0216】

次に、第 1 の導電膜を第 2 の酸化物半導体膜 132a 上に形成し、前述した方法を用いて導電層 145 を形成する。そして、導電層 145 をハードマスクとして第 1 の酸化物半導体膜 131a および第 2 の酸化物半導体膜 132a を選択的にエッチングし、第 1 の酸化物半導体層 131、第 2 の酸化物半導体層 132 および導電層 145 の積層を形成する（図 25（A）参照）。

30

【0217】

次に、上記積層を覆うように第 2 の導電膜 146a を形成する。そして、導電層 145 の一部および第 2 の導電膜 146a の一部をエッチングし、導電層 141、151、および導電層 142、152 のそれぞれを有するソース電極層 140 およびドレイン電極層 150 を形成する（図 25（B）参照）。なお、説明の明瞭化のため、図 25（B）の右図には、チャネル形成領域における断面（上）とドレイン領域における断面（下）を示している。

【0218】

次に、第 1 の酸化物半導体層 131 および第 2 の酸化物半導体層 132 の積層上、ならびにソース電極層 140 およびドレイン電極層 150 上に第 3 の酸化物半導体層 133 となる第 3 の酸化物半導体膜 133a を形成する。さらに、第 3 の酸化物半導体膜 133a 上にゲート絶縁膜 160 となる絶縁膜 160a、およびゲート電極層 170 となる第 3 の導電膜 170a を形成する（図 25（C）参照）。

40

【0219】

次に、第 3 の導電膜 170a 上にレジストマスクを形成し、当該レジストマスクを用いて、第 3 の導電膜 170a を選択的にエッチングし、ゲート電極層 170 を形成する。

【0220】

続いて、ゲート電極層 170 をマスクとして絶縁膜 160a を選択的にエッチングし、ゲート絶縁膜 160 を形成する。なお、絶縁膜 160a をエッチングしないで、ゲート絶縁膜 160 として用いることもできる。

50

【0221】

続いて、ゲート電極層170またはゲート絶縁膜160をマスクとして第3の酸化物半導体膜133aをエッティングし、第3の酸化物半導体層133を形成する(図26(A)参照)。なお、第3の酸化物半導体膜133aをエッティングしない構成とすることもできる。

【0222】

上記、第3の導電膜170a、絶縁膜160a、および第3の酸化物半導体膜133aのエッティングは各層毎に行ってもよいし、連續で行ってもよい。また、エッティング方法はドライエッティング、ウエットエッティングのどちらを用いててもよく、各層毎に適切なエッティング方法を選択してもよい。

10

【0223】

次に、上記工程にて形成されるオフセット領域(領域234および領域235)に不純物240を添加し、当該オフセット領域を低抵抗化させる(図26(B)参照)。なお、当該不純物の添加は行わなくてもよい。

【0224】

次に、絶縁層120、酸化物半導体層130、ソース電極層140、ドレイン電極層150、ゲート絶縁膜160およびゲート電極層170上に絶縁層180および絶縁層185を形成する(図26(C)参照)。

【0225】

以上の工程において、図7に示したトランジスタ103を作製することができる。また、前述したように、酸化物半導体層130を単層とすることで図1に示したトランジスタ101を作製することができる。

20

【0226】

なお、図12に示すトランジスタを作製するには、第3の酸化物半導体膜133aおよび絶縁膜160aを上記とは異なるレジストマスクでエッティングを行う。また、オフセット領域への不純物の添加を行う場合には、第3の酸化物半導体層133およびゲート絶縁膜160を介して行ってもよい。

【0227】

また、トランジスタ104、105、106は本実施の形態で説明した作製方法を適宜参考して、ゲート電極層170を形成するためのレジストマスクの形状を異ならせることで作製することができる。

30

【0228】

なお、本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としては、MOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法などがある。

【0229】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

40

【0230】

また、熱CVD法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0231】

ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ(高速バルブとも呼ぶ)を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス(アルゴン、或いは窒素など)などを導入し、第2の原

50

料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0232】

10

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O_x(X>0)膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、およびジメチル亜鉛を用いることができる。なお、トリメチルインジウムの化学式は、In(CH₃)₃である。また、トリメチルガリウムの化学式は、Ga(CH₃)₃である。また、ジメチル亜鉛の化学式は、Zn(CH₃)₂である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム(化学式Ga(C₂H₅)₃)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛(化学式Zn(C₂H₅)₂)を用いることもできる。

【0233】

20

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体(ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム(TDMAH))を気化させた原料ガスと、酸化剤としてオゾン(O₃)の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式はHf[N(CH₃)₂]₄である。また、他の材料液としては、テトラキス(エチルメチルアミド)ハフニウムなどがある。

【0234】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体(トリメチルアルミニウム(TMA)など)を気化させた原料ガスと、酸化剤としてH₂Oの2種類のガスを用いる。なお、トリメチルアルミニウムの化学式はAl(CH₃)₃である。また、他の材料液としては、トリス(ジメチルアミド)アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス(2,2,6,6-テトラメチル-3,5-ヘプタンジオナート)などがある。

30

【0235】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス(O₂、一酸化二窒素)のラジカルを供給して吸着物と反応させる。

【0236】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、WF₆ガスとB₂H₆ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、WF₆ガスとH₂ガスを同時に導入してタングステン膜を形成する。なお、B₂H₆ガスに代えてSiH₄ガスを用いてもよい。

40

【0237】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O_x(X>0)膜を成膜する場合には、In(CH₃)₃ガスとO₃ガスを順次繰り返し導入してIn-O層を形成し、その後、Ga(CH₃)₃ガスとO₃ガスを同時に導入してGa-O層を形成し、更にその後Zn(CH₃)₂ガスとO₃ガスを同時に導入してZn-O層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、O₃ガスに変えてAr等の不活性ガスでバーピングして得られたH

50

O_2 ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。また、In(CH_3)₃ガスにかえて、In(C_2H_5)₃ガスを用いても良い。また、Ga(CH_3)₃ガスにかえて、Ga(C_2H_5)₃ガスを用いても良い。また、Zn(CH_3)₂ガスを用いても良い。

【0238】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0239】

(実施の形態5)

本実施の形態では、本発明の一態様であるトランジスタに使用することができる酸化物半導体膜について説明する。

10

【0240】

なお、本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。したがって、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。したがって、85°以上95°以下の場合も含まれる。

【0241】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0242】

20

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS(C Axis Aligned Crystal Oxide Semiconductor)膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0243】

まずは、CAAC-OS膜について説明する。

【0244】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0245】

CAAC-OS膜を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、明確な結晶部同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【0246】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0247】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

40

【0248】

図27(a)は、CAAC-OS膜の断面TEM像である。また、図27(b)は、図27(a)をさらに拡大した断面TEM像であり、理解を容易にするために原子配列を強調表示している。

【0249】

図27(c)は、図27(a)のA-O-A'間にいて、丸で囲んだ領域(直径約4nm)の局所的なフーリエ変換像である。図27(c)より、各領域においてc軸配向性が

50

確認できる。また、A - O間とO - A'間とでは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A - O間では、c軸の角度が14.3°、16.6°、26.4°のように少しづつ連続的に変化していることがわかる。同様に、O - A'間では、c軸の角度が-18.3°、-17.6°、-15.9°と少しづつ連続的に変化していることがわかる。

【0250】

なお、CAAC - OS膜に対し、電子回折を行うと、配向性を示すスポット（輝点）が観測される。例えば、CAAC - OS膜の上面に対し、例えば1nm以上30nm以下の電子線を用いる電子回折（ナノビーム電子回折ともいう。）を行うと、スポットが観測される（図28（A）参照。）。

10

【0251】

断面TEM観察および平面TEM観察より、CAAC - OS膜の結晶部は配向性を有していることがわかる。

【0252】

なお、CAAC - OS膜に含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。したがって、CAAC - OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC - OS膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面TEM像において、 2500 nm^2 以上、 $5\mu\text{m}^2$ 以上または $1000\mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

20

【0253】

CAAC - OS膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaN_{0.4}の結晶を有するCAAC - OS膜のout-of-plane法による解析では、回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaN_{0.4}の結晶の（009）面に帰属されることから、CAAC - OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0254】

一方、CAAC - OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaN_{0.4}の結晶の（110）面に帰属される。InGaN_{0.4}の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸（c軸）として試料を回転させながら分析（スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC - OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

30

【0255】

以上のことから、CAAC - OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

40

【0256】

なお、結晶部は、CAAC - OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC - OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、CAAC - OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC - OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0257】

また、CAAC - OS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC - OS膜の結晶部が、CAAC - OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部

50

の割合が高くなることがある。また、不純物の添加された C A A C - O S 膜は、不純物が添加された領域が変質し、部分的に c 軸配向した結晶部の割合の異なる領域が形成されることもある。

【 0 2 5 8 】

なお、 $InGaZnO_4$ の結晶を有する C A A C - O S 膜の out-of-plane 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【 0 2 5 9 】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【 0 2 6 0 】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【 0 2 6 1 】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないとため、キャリア密度を低くすることができます。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが多い。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【 0 2 6 2 】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性的変動が小さい。

【 0 2 6 3 】

次に、微結晶酸化物半導体膜について説明する。

【 0 2 6 4 】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、 1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大きさであることが多い。特に、 1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の微結晶であるナノ結晶（nc : nanocrystalline）を有する酸化物半導体膜を、nc - O S (nanocrystalline Oxide Semiconductor) 膜と呼ぶ。また、nc - O S 膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【 0 2 6 5 】

nc - O S 膜は、微小な領域（例えば、 1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、nc - O S 膜は、異なる

10

20

30

40

50

結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S 膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、n c - O S 膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、n c - O S 膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S 膜に対し、結晶部の大きさと近いか結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、n c - O S 膜に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、n c - O S 膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある（図28（B）参照。）。 10

【0266】

n c - O S 膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、n c - O S 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、n c - O S 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、n c - O S 膜は、C A A C - O S 膜と比べて欠陥準位密度が高くなる。 20

【0267】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。 20

【0268】

酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。 20

【0269】

図28（C）に、電子銃室10と、電子銃室10の下の光学系12と、光学系12の下の試料室14と、試料室14の下の光学系16と、光学系16の下の観察室20と、観察室20に設置されたカメラ18と、観察室20の下のフィルム室22と、を有する透過電子回折測定装置を示す。カメラ18は、観察室20内部に向けて設置される。なお、フィルム室22を有さなくても構わない。 30

【0270】

また、図28（D）に、図28（C）で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室10に設置された電子銃から放出された電子が、光学系12を介して試料室14に配置された物質28に照射される。物質28を通過した電子は、光学系16を介して観察室20内部に設置された蛍光板32に入射する。蛍光板32では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。 30

【0271】

カメラ18は、蛍光板32を向いて設置されており、蛍光板32に現れたパターンを撮影することが可能である。カメラ18のレンズの中央、および蛍光板32の中央を通る直線と、蛍光板32の上面と、の為す角度は、例えば、15°以上80°以下、30°以上75°以下、または45°以上70°以下とする。該角度が小さいほど、カメラ18で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかっていていれば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ18をフィルム室22に設置しても構わない場合がある。例えば、カメラ18をフィルム室22に、電子24の入射方向と対向するように設置してもよい。この場合、蛍光板32の裏面から歪みの少ない透過電子回折パターンを撮影することができる。 40

【0272】

試料室14には、試料である物質28を固定するためのホルダが設置されている。ホルダは、物質28を通過する電子を透過するような構造をしている。ホルダは、例えば、物質28をX軸、Y軸、Z軸などに移動させる機能を有していてもよい。ホルダの移動機能は 50

、例えば、1 nm以上10 nm以下、5 nm以上50 nm以下、10 nm以上100 nm以下、50 nm以上500 nm以下、100 nm以上1 μm以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質28の構造によって最適な範囲を設定すればよい。

【0273】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

【0274】

例えば、図28(D)に示すように物質におけるナノビームである電子24の照射位置を変化させる(スキャンする)ことで、物質の構造が変化していく様子を確認することができる。このとき、物質28がCAC-O_S膜であれば、図28(A)に示したような回折パターンが観測される。または、物質28がn_c-O_S膜であれば、図28(B)に示したような回折パターンが観測される。

10

【0275】

ところで、物質28がCAC-O_S膜であったとしても、部分的にn_c-O_S膜などと同様の回折パターンが観測される場合がある。したがって、CAC-O_S膜の良否は、一定の範囲におけるCAC-O_S膜の回折パターンが観測される領域の割合(CAAC化率ともいう。)で表すことができる場合がある。例えば、良質なCAC-O_S膜であれば、CAC化率は、50%以上、好ましくは80%以上、さらに好ましくは90%以上、より好ましくは95%以上となる。なお、CAC-O_S膜と異なる回折パターンが観測される領域の割合を非CAC化率と表記する。

20

【0276】

一例として、成膜直後(as-sputteredと表記。)、または酸素を含む雰囲気における450 加熱処理後のCAC-O_S膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5 nm / 秒の速度で60秒間スキャンしながら回折パターンを観測し、観測された回折パターンを0.5秒ごとに静止画に変換することで、CAC化率を導出した。なお、電子線としては、プローブ径が1 nmのナノビーム電子線を用いた。なお、同様の測定は6試料に対して行った。そしてCAC化率の算出には、6試料における平均値を用いた。

30

【0277】

各試料におけるCAC化率を図29(A)に示す。成膜直後のCAC-O_S膜のCAC化率は75.7%(非CAC化率は24.3%)であった。また、450 加熱処理後のCAC-O_S膜のCAC化率は85.3%(非CAC化率は14.7%)であった。成膜直後と比べて、450 加熱処理後のCAC化率が高いことがわかる。即ち、高い温度(例えば400以上)における加熱処理によって、非CAC化率が低くなる(CAC化率が高くなる)ことがわかる。また、500未満の加熱処理においても高いCAC化率を有するCAC-O_S膜が得られることがわかる。

【0278】

ここで、CAC-O_S膜と異なる回折パターンのほとんどはn_c-O_S膜と同様の回折パターンであった。また、測定領域において非晶質酸化物半導体膜は、確認することができなかった。したがって、加熱処理によって、n_c-O_S膜と同様の構造を有する領域が、隣接する領域の構造の影響を受けて再配列し、CAC化していることが示唆される。

40

【0279】

図29(B)および図29(C)は、成膜直後および450 加熱処理後のCAC-O_S膜の平面TEM像である。図29(B)と図29(C)とを比較することにより、450 加熱処理後のCAC-O_S膜は、膜質がより均質であることがわかる。即ち、高い温度における加熱処理によって、CAC-O_S膜の膜質が向上することがわかる。

【0280】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能となる場合がある。

50

【0281】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0282】

(実施の形態6)

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

【0283】

[断面構造]

図30(A)に本発明の一態様の半導体装置の断面図を示す。図30(A)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ2200を有し、上部に第2の半導体材料を用いたトランジスタ2100を有している。図30(A)では、第2の半導体材料を用いたトランジスタ2100として、先の実施の形態で例示したトランジスタを適用した例を示している。なお、一点鎖線より左側がトランジスタのチャネル長方向の断面、右側がチャネル幅方向の断面である。

10

【0284】

第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコン(歪シリコン含む)、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体など)とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

20

【0285】

トランジスタ2200は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、酸化物半導体を用いた本発明の一態様のトランジスタを用いるほかは、用いる材料や構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0286】

図30(A)に示す構成では、トランジスタ2200の上部に、絶縁膜2201、絶縁膜2207を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には、複数の配線2202が設けられている。また、各種絶縁膜に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電気的に接続されている。また、トランジスタ2100を覆う絶縁膜2204と、絶縁膜2204上に配線2205と、トランジスタ2100の一対の電極と同一の導電膜を加工して得られた配線2206と、が設けられている。

30

【0287】

このように、2種類のトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

【0288】

40

ここで、下層に設けられるトランジスタ2200にシリコン系半導体材料を用いた場合、トランジスタ2200の半導体膜の近傍に設けられる絶縁膜中の水素はシリコンのダングリングボンドを終端し、トランジスタ2200の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ2100に酸化物半導体を用いた場合、トランジスタ2100の半導体膜の近傍に設けられる絶縁膜中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ2100の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタ2200の上層に酸化物半導体を用いたトランジスタ2100を積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁膜2207を設けることは特に効果的である。絶縁膜2207により、下層に水素を閉じ込めてトランジスタ2200の信頼性が向上すること

50

に加え、下層から上層に水素が拡散することが抑制されることでトランジスタ 2100 の信頼性も同時に向上させることができる。

【0289】

絶縁膜 2207 としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

【0290】

また、酸化物半導体膜を含んで構成されるトランジスタ 2100 を覆うように、トランジスタ 2100 上に水素の拡散を防止する機能を有するブロック膜 2208 (トランジスタ 101 乃至トランジスタ 103 では絶縁層 180 に相当) を形成することが好ましい。ブロック膜 2208 としては、絶縁膜 2207 と同様の材料を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミニウム膜は、水素、水分などの不純物および酸素の双方に対して膜を透過させない遮断(ブロッキング)効果が高い。したがって、トランジスタ 2100 を覆うブロック膜 2208 として酸化アルミニウム膜を用いることで、トランジスタ 2100 に含まれる酸化物半導体膜からの酸素の脱離を防止するとともに、酸化物半導体膜への水および水素の混入を防止することができる。

【0291】

なお、トランジスタ 2200 は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジスタとすることができる。例えば、FIN(フィン)型、TRI-GATE(トライゲート)型などのトランジスタなどとすることができる。その場合の断面図の例を、図 30(D) に示す。半導体基板 2211 の上に、絶縁膜 2212 が設けられている。半導体基板 2211 は、先端の細い凸部(フィンともいう)を有する。なお、凸部の上には、絶縁膜が設けられていてもよい。その絶縁膜は、凸部を形成するときに、半導体基板 2211 がエッチングされないようにするためのマスクとして機能するものである。なお、凸部は、先端が細くなくてもよく、例えば、略直方体の凸部であってもよいし、先端が太い凸部であってもよい。半導体基板 2211 の凸部の上には、ゲート絶縁膜 2214 が設けられ、その上には、ゲート電極 2213 が設けられている。半導体基板 2211 には、ソース領域およびドレイン領域 2215 が形成されている。なお、ここでは、半導体基板 2211 が、凸部を有する例を示したが、本発明の一態様に係る半導体装置は、これに限られない。例えば、SOI 基板を加工して、凸部を有する半導体領域を形成しても構わない。

【0292】

[回路構成例]

上記構成において、トランジスタ 2100 やトランジスタ 2200 の電極の接続構成を異ならすことにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

【0293】

[CMOS回路]

図 30(B) に示す回路図は、p チャネル型のトランジスタ 2200 と n チャネル型のトランジスタ 2100 を直列に接続し、且つそれぞれのゲートを接続した、いわゆる CMOS 回路の構成を示している。

【0294】

[アナログスイッチ]

また、図 30(C) に示す回路図は、トランジスタ 2100 とトランジスタ 2200 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【0295】

[記憶装置の例]

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を図 31

10

20

30

40

50

に示す。

【0296】

図31(A)に示す半導体装置は、第1の半導体材料を用いたトランジスタ3200と第2の半導体材料を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上記実施の形態で説明したトランジスタを用いることができる。

【0297】

図31(B)に図31(A)に示す半導体装置の断面図を示す。当該断面図の半導体装置では、トランジスタ3300にバックゲートを設けた構成を示しているが、バックゲートを設けない構成であってもよい。

10

【0298】

トランジスタ3300は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0299】

図31(A)において、配線3001はトランジスタ3200のソース電極と電気的に接続され、配線3002はトランジスタ3200のドレイン電極と電気的に接続されている。また、配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電気的に接続され、配線3004はトランジスタ3300のゲート電極と電気的に接続されている。そして、トランジスタ3200のゲート電極は、トランジスタ3300のソース電極またはドレイン電極の他方、および容量素子3400の第1の端子と電気的に接続され、配線3005は容量素子3400の第2の端子と電気的に接続されている。

20

【0300】

図31(A)に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0301】

情報の書き込みおよび保持について説明する。まず、配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、配線3003の電位が、トランジスタ3200のゲート電極、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲート電極に与えられた電荷が保持される(保持)。

30

【0302】

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲート電極の電荷は長時間にわたって保持される。

40

【0303】

次に情報の読み出しについて説明する。配線3001に所定の電位(定電位)を与えた状態で、配線3005に適切な電位(読み出し電位)を与えると、トランジスタ3200のゲート電極に保持された電荷量に応じて、配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th-H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th-L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な配線3005の電位をいうものとする。したがって

50

、配線 3005 の電位を $V_{t h_H}$ と $V_{t h_L}$ の間の電位 V_0 とすることにより、トランジスタ 3200 のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、High レベル電荷が与えられていた場合には、配線 3005 の電位が $V_0 (> V_{t h_H})$ となれば、トランジスタ 3200 は「オン状態」となる。Low レベル電荷が与えられていた場合には、配線 3005 の電位が $V_0 (< V_{t h_L})$ となっても、トランジスタ 3200 は「オフ状態」のままである。このため、配線 3002 の電位を判別することで、保持されている情報を読み出すことができる。

【0304】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ 3200 が「オフ状態」となるような電位、つまり、 $V_{t h_H}$ より小さい電位を配線 3005 に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ 3200 が「オン状態」となるような電位、つまり、 $V_{t h_L}$ より大きい電位を配線 3005 に与えればよい。

【0305】

図 31 (C) に示す半導体装置は、トランジスタ 3200 を設けていない点で図 31 (A) と相違している。この場合も上記と同様の動作により情報の書き込みおよび保持動作が可能である。

【0306】

次に、情報の読み出しについて説明する。トランジスタ 3300 がオン状態となると、浮遊状態である配線 3003 と容量素子 3400 とが導通し、配線 3003 と容量素子 3400 の間で電荷が再分配される。その結果、配線 3003 の電位が変化する。配線 3003 の電位の変化量は、容量素子 3400 の第 1 の端子の電位（あるいは容量素子 3400 に蓄積された電荷）によって、異なる値をとる。

【0307】

例えば、容量素子 3400 の第 1 の端子の電位を V 、容量素子 3400 の容量を C 、配線 3003 が有する容量成分を C_B 、電荷が再分配される前の配線 3003 の電位を V_{B0} とすると、電荷が再分配された後の配線 3003 の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 3400 の第 1 の端子の電位が V_1 と V_0 ($V_1 > V_0$) の 2 状態をとるとすると、電位 V_1 を保持している場合の配線 3003 の電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の配線 3003 の電位 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$) よりも高くなることがわかる。

【0308】

そして、配線 3003 の電位を所定の電位と比較することで、情報を読み出すことができる。

【0309】

この場合、メモリセルを駆動させるための駆動回路に上記第 1 の半導体材料が適用されたトランジスタを用い、トランジスタ 3300 として第 2 の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【0310】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0311】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲート

10

20

30

40

50

への電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が生じにくい。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0312】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0313】

(実施の形態7)

10

本実施の形態では、先の実施の形態で説明したトランジスタ、または記憶装置を含むRFタグについて、図32を参照して説明する。

【0314】

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

【0315】

RFタグの構成について図32を用いて説明する。図32は、RFタグの構成例を示すブロック図である。

20

【0316】

図32に示すようにRFタグ800は、通信器801(質問器、リーダ/ライタなどともいう)に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式に用いることも可能である。

30

【0317】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

40

【0318】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0319】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成す

50

るための回路である。また、変調回路 808 は、アンテナ 804 より出力するデータに応じて変調を行うための回路である。

【0320】

論理回路 809 は復調信号を解析し、処理を行うための回路である。記憶回路 810 は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM 811 は、固有番号 (ID) などを格納し、処理に応じて出力を行うための回路である。

【0321】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0322】

ここで、先の実施の形態で説明した記憶装置を、記憶回路 810 に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RF タグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力（電圧）が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【0323】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM 811 に適用することもできる。その場合には、生産者が ROM 811 にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製した RF タグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

【0324】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0325】

(実施の形態 8)

本実施の形態では、先の実施の形態で説明した記憶装置を含む CPU について説明する。

【0326】

図 33 は、先の実施の形態で説明したトランジスタを少なくとも一部に用いた CPU の一例の構成を示すブロック図である。

【0327】

図 33 に示す CPU は、基板 1190 上に、ALU1191 (ALU: Arithmetic logic unit、演算回路)、ALUコントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、タイミングコントローラ 1195、レジスタ 1196、レジスタコントローラ 1197、バスインターフェース 1198 (Bus I/F)、書き換え可能な ROM 1199、および ROMインターフェース 1189 (ROM I/F) を有している。基板 1190 は、半導体基板、SOI 基板、ガラス基板などを用いる。ROM 1199 および ROMインターフェース 1189 は、別チップに設けてもよい。もちろん、図 33 に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。例えば、図 33 に示す CPU または演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPU が内部演算回路やデータバスで扱えるビット数は、例えば 8 ビット、16 ビット、32 ビット、64 ビットなどとすることができる。

【0328】

バスインターフェース 1198 を介して CPU に入力された命令は、インストラクション

10

20

30

40

50

デコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インターラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0329】

ALUコントローラ1192、インターラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インターラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。10

【0330】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インターラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0331】

図33に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。20

【0332】

図33に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。30

【0333】

図34は、レジスタ1196として用いることのできる記憶素子の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどの他の素子をさらに有していても良い。

【0334】

ここで、回路1202には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209の第1ゲートには接地電位(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209の第1ゲートが抵抗等の負荷を介して接地される構成とする。40

【0335】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2

の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1213 のオン状態またはオフ状態）が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1214 のオン状態またはオフ状態）が選択される。

【0336】

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一対の電極のうちの一方、およびトランジスタ 1210 のゲートと電気的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 1210 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば GND 線）に電気的に接続され、他方は、スイッチ 1203 の第 1 の端子（トランジスタ 1213 のソースとドレインの一方）と電気的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）はスイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と電気的に接続される。スイッチ 1204 の第 2 の端子（トランジスタ 1214 のソースとドレインの他方）は電源電位 VDD を供給することのできる配線と電気的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）と、スイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と、論理素子 1206 の入力端子と、容量素子 1207 の一対の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノード M1 とする。容量素子 1207 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができます。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができます。容量素子 1207 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば GND 線）と電気的に接続される。容量素子 1208 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができます。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができます。容量素子 1208 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば GND 線）と電気的に接続される。

【0337】

なお、容量素子 1207 および容量素子 1208 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0338】

トランジスタ 1209 の第 1 ゲート（第 1 のゲート電極）には、制御信号 WE が入力される。スイッチ 1203 およびスイッチ 1204 は、制御信号 WE とは異なる制御信号 RD によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

【0339】

なお、図 34 におけるトランジスタ 1209 では第 2 ゲート（第 2 のゲート電極：バックゲート）を有する構成を図示している。第 1 ゲートには制御信号 WE を入力し、第 2 ゲートには制御信号 WE2 を入力することができる。制御信号 WE2 は、一定の電位の信号とすればよい。当該一定の電位には、例えば、接地電位 GND やトランジスタ 1209 のソース電位よりも小さい電位などが選ばれる。このとき、制御信号 WE2 は、トランジスタ 1209 のしきい値電圧を制御するための電位信号であり、トランジスタ 1209 の $I_c u_t$ をより低減することができる。また、制御信号 WE2 は、制御信号 WE と同じ電位信号であってもよい。なお、トランジスタ 1209 としては、第 2 ゲートを有さないトランジスタを用いることもできる。

【0340】

10

20

30

40

50

トランジスタ 1209 のソースとドレインの他方には、回路 1201 に保持されたデータに対応する信号が入力される。図 34 では、回路 1201 から出力された信号が、トランジスタ 1209 のソースとドレインの他方に入力される例を示した。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号は、論理素子 1206 によってその論理値が反転された反転信号となり、回路 1220 を介して回路 1201 に入力される。

【0341】

なお、図 34 では、スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号は、論理素子 1206 および回路 1220 を介して回路 1201 に入力する例を示したがこれに限定されない。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路 1201 に入力されてもよい。例えば、回路 1201 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

10

【0342】

また、図 34 において、記憶素子 1200 に用いられるトランジスタのうち、トランジスタ 1209 以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板 1190 にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子 1200 に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子 1200 は、トランジスタ 1209 以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 1190 にチャネルが形成されるトランジスタとすることもできる。

20

【0343】

図 34 における回路 1201 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1206 としては、例えばインバータやクロックドインバータ等を用いることができる。

30

【0344】

本発明の一態様のける半導体装置では、記憶素子 1200 に電源電圧が供給されない間は、回路 1201 に記憶されていたデータを、回路 1202 に設けられた容量素子 1208 によって保持することができる。

【0345】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1209 として用いることによって、記憶素子 1200 に電源電圧が供給されない間も容量素子 1208 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1200 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

40

【0346】

また、スイッチ 1203 およびスイッチ 1204 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1201 が元のデータを保持しなおすまでの時間を短くすることができる。

【0347】

また、回路 1202 において、容量素子 1208 によって保持された信号はトランジスタ 1210 のゲートに入力される。そのため、記憶素子 1200 への電源電圧の供給が再開された後、容量素子 1208 によって保持された信号を、トランジスタ 1210 の状態（オン状態、またはオフ状態）に変換して、回路 1202 から読み出すことができる。それ

50

故、容量素子 1208 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0348】

このような記憶素子 1200 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0349】

本実施の形態では、記憶素子 1200 を CPU に用いる例として説明したが、記憶素子 1200 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF-ID (Radio Frequency Identification) にも応用可能である。

【0350】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0351】

(実施の形態 9)

本実施の形態では、本発明の一態様のトランジスタを利用した表示装置の構成例について説明する。

【0352】

[構成例]

図 35 (A) は、本発明の一態様の表示装置の上面図であり、図 35 (B) は、本発明の一態様の表示装置の画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図 35 (C) は、本発明の一態様の表示装置の画素に有機 EL 素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0353】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタは n チャネル型とすることが容易なので、駆動回路のうち、n チャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0354】

アクティブマトリクス型表示装置の上面図の一例を図 35 (A) に示す。表示装置の基板 700 上には、画素部 701、走査線駆動回路 702、走査線駆動回路 703、信号線駆動回路 704 を有する。画素部 701 には、複数の信号線が信号線駆動回路 704 から延伸して配置され、複数の走査線が走査線駆動回路 702、および走査線駆動回路 703 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板 700 は FPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路 (コントローラ、制御 IC ともいう) に接続されている。

【0355】

図 35 (A) では、走査線駆動回路 702、走査線駆動回路 703、信号線駆動回路 704 は、画素部 701 と同じ基板 700 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 700 外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板 700 上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向

10

20

30

40

50

上、または歩留まりの向上を図ることができる。

【0356】

[液晶表示装置]

また、画素の回路構成の一例を図35(B)に示す。ここでは、一例としてVA型液晶表示装置の画素に適用することができる画素回路を示す。

【0357】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

10

【0358】

トランジスタ716のゲート配線712と、トランジスタ717のゲート配線713には、異なるゲート信号を与えることができるよう分離されている。一方、データ線714は、トランジスタ716とトランジスタ717で共通に用いられている。トランジスタ716とトランジスタ717は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示装置を提供することができる。

【0359】

トランジスタ716と電気的に接続する第1の画素電極層と、トランジスタ717と電気的に接続する第2の画素電極層の形状について説明する。第1の画素電極層と第2の画素電極層の形状は、スリットによって分離されている。第1の画素電極層はV字型に広がる形状を有し、第2の画素電極層は第1の画素電極層の外側を囲むように形成される。

20

【0360】

トランジスタ716のゲート電極はゲート配線712と接続され、トランジスタ717のゲート電極はゲート配線713と接続されている。ゲート配線712とゲート配線713に異なるゲート信号を与えてトランジスタ716とトランジスタ717の動作タイミングを異ならせ、液晶の配向を制御できる。

【0361】

また、容量配線710と、誘電体として機能するゲート絶縁膜と、第1の画素電極層または第2の画素電極層と電気的に接続する容量電極とで保持容量を形成してもよい。

【0362】

30

マルチドメイン構造は、一画素に第1の液晶素子718と第2の液晶素子719を備える。第1の液晶素子718は第1の画素電極層と対向電極層とその間の液晶層とで構成され、第2の液晶素子719は第2の画素電極層と対向電極層とその間の液晶層とで構成される。

【0363】

なお、図35(B)に示す画素回路は、これに限定されない。例えば、図35(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

【0364】

[有機EL表示装置]

40

画素の回路構成の他の一例を図35(C)に示す。ここでは、有機EL素子を用いた表示装置の画素構造を示す。

【0365】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0366】

図35(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のト

50

ランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0367】

適用可能な画素回路の構成およびデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0368】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724および容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極層が走査線726に接続され、第1電極（ソース電極層およびドレイン電極層の一方）が信号線725に接続され、第2電極（ソース電極層およびドレイン電極層の他方）が駆動用トランジスタ722のゲート電極層に接続されている。駆動用トランジスタ722は、ゲート電極層が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極（画素電極）に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電気的に接続される。

【0369】

スイッチング用トランジスタ721および駆動用トランジスタ722には他の実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機EL表示装置を提供することができる。

【0370】

発光素子724の第2電極（共通電極728）の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に供給される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0371】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0372】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極層にかける。また、信号線725には、電源線電圧に駆動用トランジスタ722の閾値電圧Vthを加えた値以上の電圧をかける。

【0373】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極層に発光素子724の順方向電圧に駆動用トランジスタ722の閾値電圧Vthを加えた値以上の電圧をかける。なお、駆動用トランジスタ722が飽和領域で動作するようにビデオ信号を入力し、発光素子724に電流を流す。また、駆動用トランジスタ722を飽和領域で動作させるために、電源線727の電位を、駆動用トランジスタ722のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子724にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0374】

なお、画素回路の構成は、図35(C)に示す画素構成に限定されない。例えば、図35(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論

10

20

30

40

50

理回路などを追加してもよい。

【0375】

図35で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第1の電極）、高電位側にドレイン電極（第2の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【0376】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、EL（エレクトロルミネッセンス）素子（有機物および無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、MIRASOL（登録商標）、IMOD（インターフェアレンス・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェッティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電気的または磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED：Surface-conduction Electron Emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク、電子粉流体（登録商標）、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【0377】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0378】

（実施の形態10）

本実施の形態では、本発明の一態様の半導体装置を適用した表示モジュールについて、図36を用いて説明を行う。

【0379】

図36に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、FPC8005に接続された表示パネル8006、バックライトユニット8007、フレーム8009、プリント基板8010、バッテリー8011を有する。なお、バックライトユニット8007、バッテリー8011、タッチパネル8004などは、設けられない場合もある。

【0380】

本発明の一態様の半導体装置は、例えば、表示パネル8006に用いることができる。

10

20

30

40

50

【0381】

上部カバー8001および下部カバー8002は、タッチパネル8004および表示パネル8006のサイズに合わせて、形状や寸法を適宜変更することができる。

【0382】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル8006に重畠して用いることができる。また、表示パネル8006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、表示パネル8006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。または、表示パネル8006の各画素内にタッチセンサ用電極を設け、容量型式のタッチパネルとすることも可能である。

10

【0383】

バックライトユニット8007は、光源8008を有する。光源8008をバックライトユニット8007の端部に設け、光拡散板を用いる構成としてもよい。

【0384】

フレーム8009は、表示パネル8006の保護機能の他、プリント基板8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム8009は、放熱板としての機能を有していてもよい。

【0385】

プリント基板8010は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー8011であってもよい。なお、商用電源を用いる場合には、バッテリー8011を省略することができる。

20

【0386】

また、表示モジュール8000には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【0387】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0388】**(実施の形態11)**

30

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリント複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図37に示す。

40

【0389】

図37（A）は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイルス908等を有する。なお、図37（A）に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0390】

図37（B）は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられてい

50

る。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度に従って、切り替える構成としても良い。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

【0391】

10

図37(C)はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

【0392】

図37(D)は腕時計型の情報端末であり、筐体931、表示部932、リストバンド933等を有する。表示部932はタッチパネルとなっていてもよい。

【0393】

図37(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度に従って切り替える構成としても良い。

20

【0394】

図37(F)は普通自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0395】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0396】

30

(実施の形態12)

本実施の形態では、本発明の一態様に係るRFタグの使用例について図38を用いながら説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図38(A)参照)、乗り物類(自転車等、図38(B)参照)、包装用容器類(包装紙やボトル等、図38(C)参照)、記録媒体(DVD(図38(D)参照)やビデオテープ等)、身の回り品(鞄や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器(液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話)等の物品、若しくは各物品に取り付ける荷札(図38(E)、図38(F)参照)等に設けて使用することができる。

40

【0397】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFタグ4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグを取り付けることにより、検品システム等のシステムの効率化を図る

50

ことができる。また、乗り物類であっても、本発明の一態様に係るRFタグを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【0398】

以上のように、本発明の一態様に係るRFタグを本実施の形態に挙げた各用途に用いることにより、情報の書き込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【0399】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる

10

。

【符号の説明】

【0400】

10 電子鏡室

12 光学系

14 試料室

16 光学系

18 カメラ

20 観察室

22 フィルム室

20

24 電子

28 物質

32 蛍光板

101 トランジスタ

102 トランジスタ

103 トランジスタ

104 トランジスタ

105 トランジスタ

106 トランジスタ

110 基板

30

120 絶縁層

130 酸化物半導体層

131 酸化物半導体層

131a 酸化物半導体膜

132 酸化物半導体層

132a 酸化物半導体膜

133 酸化物半導体層

133a 酸化物半導体膜

140 ソース電極層

141 導電層

40

142 導電層

145 導電層

146a 導電膜

150 ドレイン電極層

151 導電層

152 導電層

155 レジストマスク

156 レジストマスク

160 ゲート絶縁膜

160a 絶縁膜

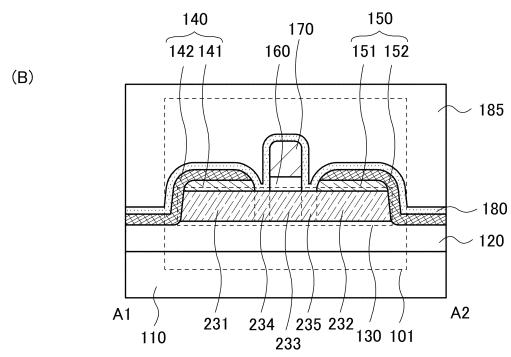
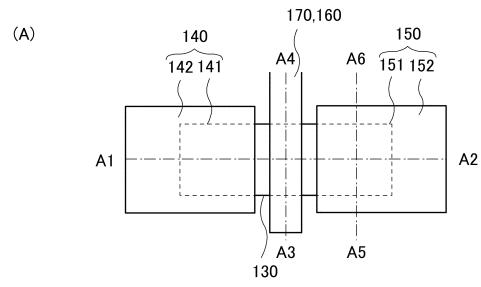
50

1 7 0	ゲート電極層	
1 7 0 a	導電膜	
1 7 2	導電膜	
1 8 0	絶縁層	
1 8 5	絶縁層	
1 9 1	領域	
1 9 2	領域	
2 3 1	領域	
2 3 2	領域	
2 3 3	領域	10
2 3 4	領域	
2 3 5	領域	
2 4 0	不純物	
7 0 0	基板	
7 0 1	画素部	
7 0 2	走査線駆動回路	
7 0 3	走査線駆動回路	
7 0 4	信号線駆動回路	
7 1 0	容量配線	
7 1 2	ゲート配線	20
7 1 3	ゲート配線	
7 1 4	データ線	
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	30
7 2 4	発光素子	
7 2 5	信号線	
7 2 6	走査線	
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	40
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	50

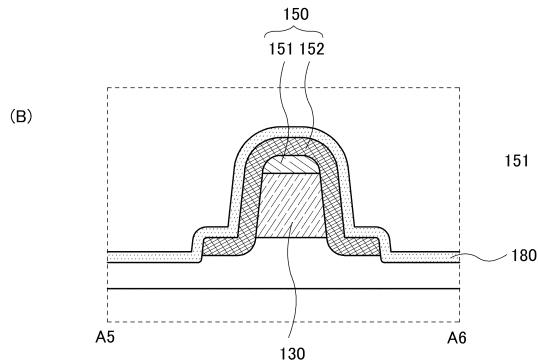
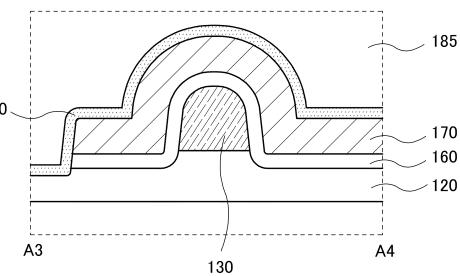
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	10
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	表示部	
9 3 3	リストバンド	
9 4 1	筐体	
9 4 2	筐体	20
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	30
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタープトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	40
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	50

1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
2 2 0 1	絶縁膜	
2 2 0 2	配線	
2 2 0 3	プラグ	
2 2 0 4	絶縁膜	
2 2 0 5	配線	
2 2 0 6	配線	10
2 2 0 7	絶縁膜	
2 2 0 8	プロック膜	
2 2 1 1	半導体基板	
2 2 1 2	絶縁膜	
2 2 1 3	ゲート電極	
2 2 1 4	ゲート絶縁膜	
2 2 1 5	ソース領域およびドレイン領域	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	20
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F タグ	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	30
8 0 0 4	タッチパネル	
8 0 0 5	F P C	
8 0 0 6	表示パネル	
8 0 0 7	バックライトユニット	
8 0 0 8	光源	
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	

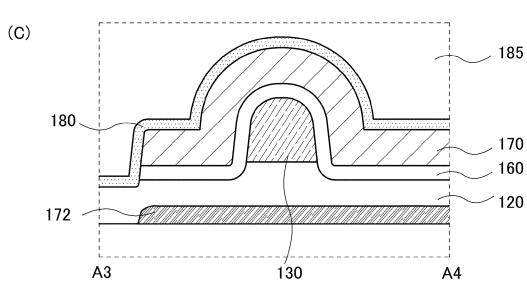
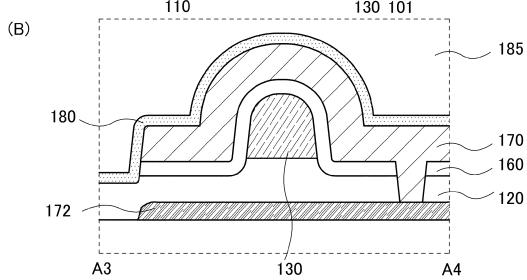
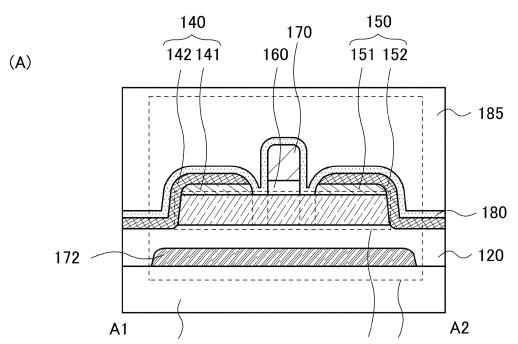
【図1】



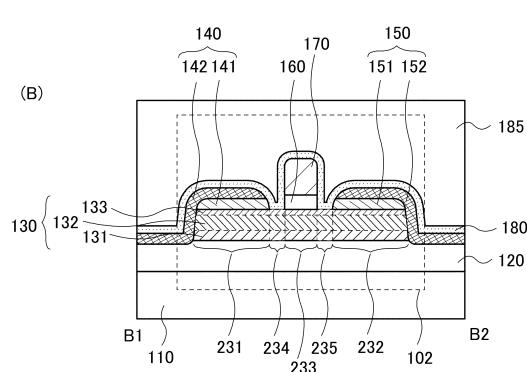
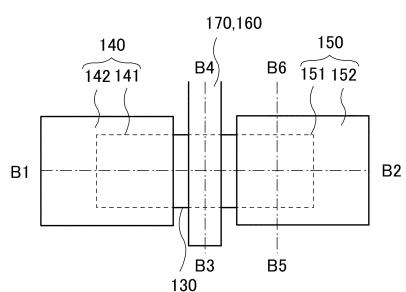
【図2】



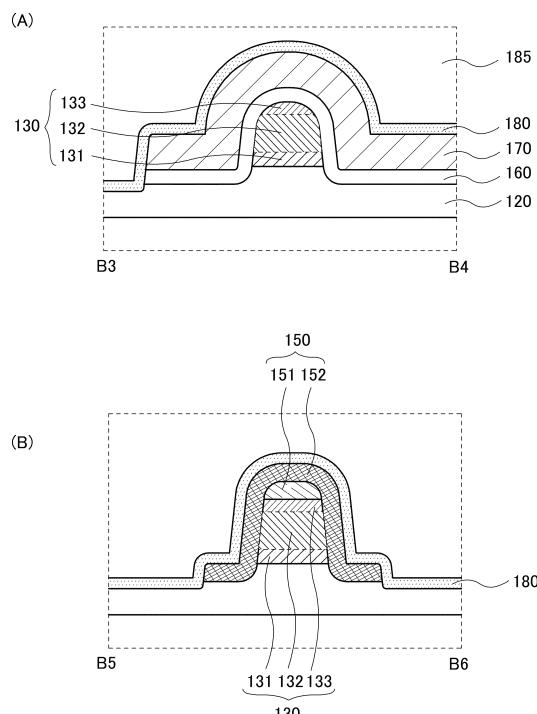
【図3】



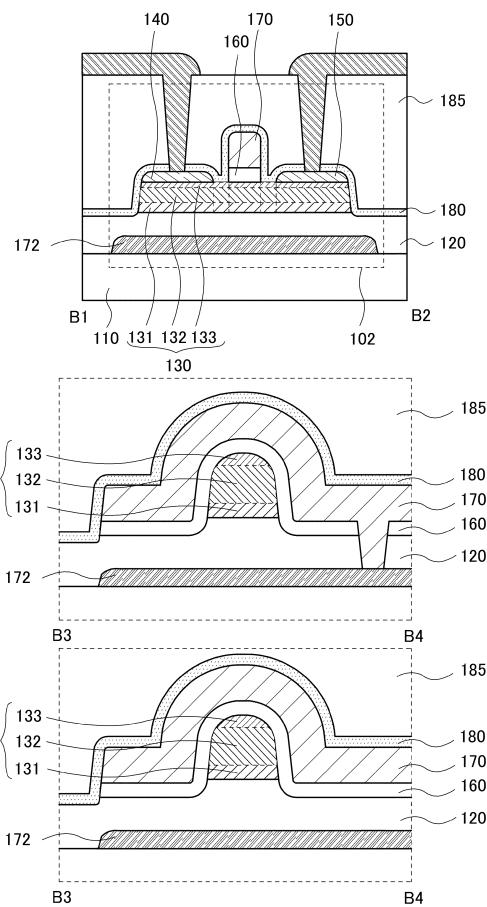
【図4】



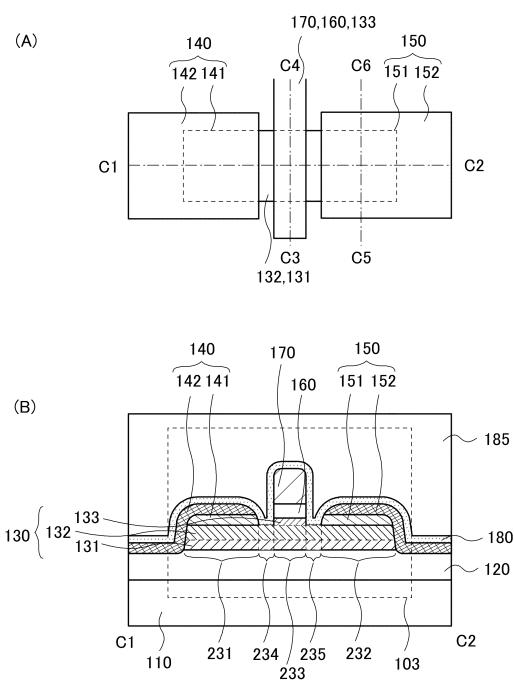
【図5】



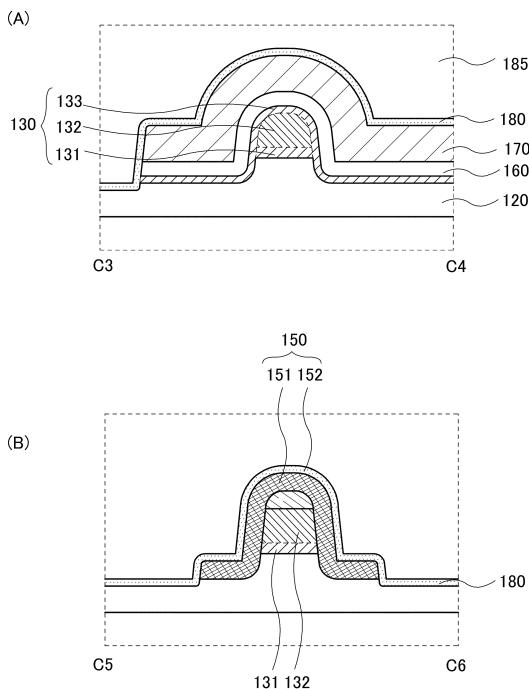
【図6】



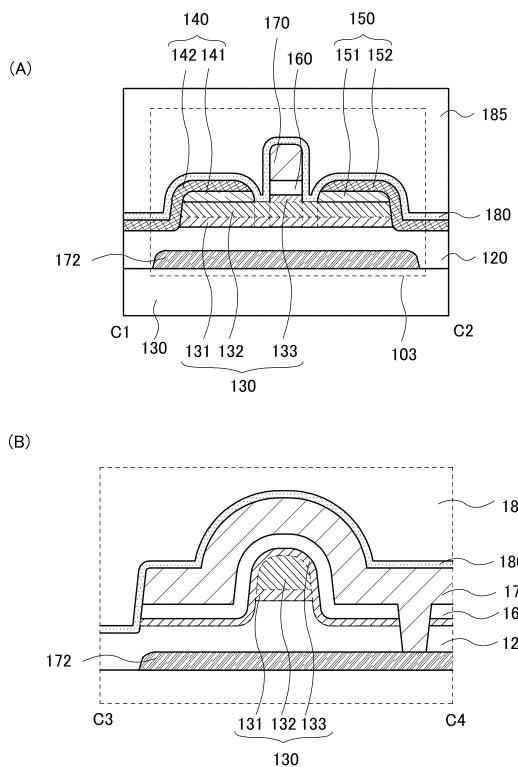
【図7】



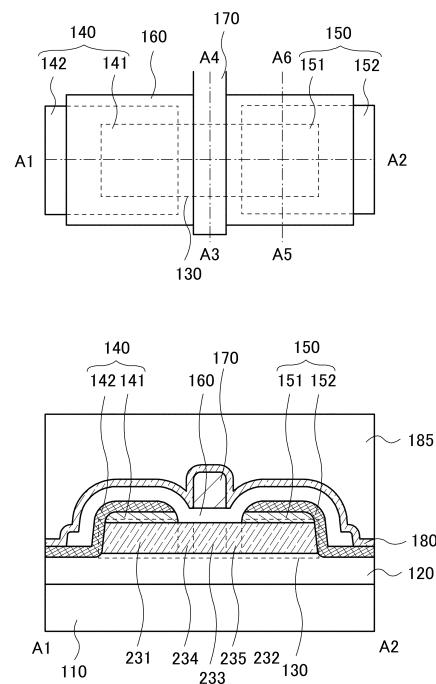
【図8】



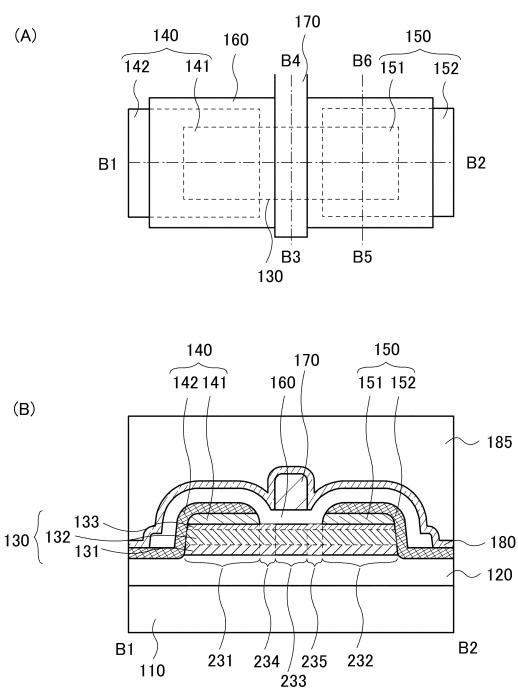
【図9】



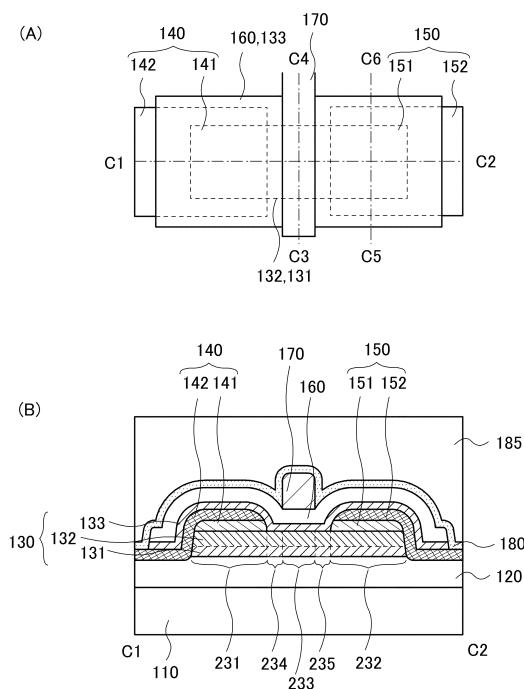
【図10】



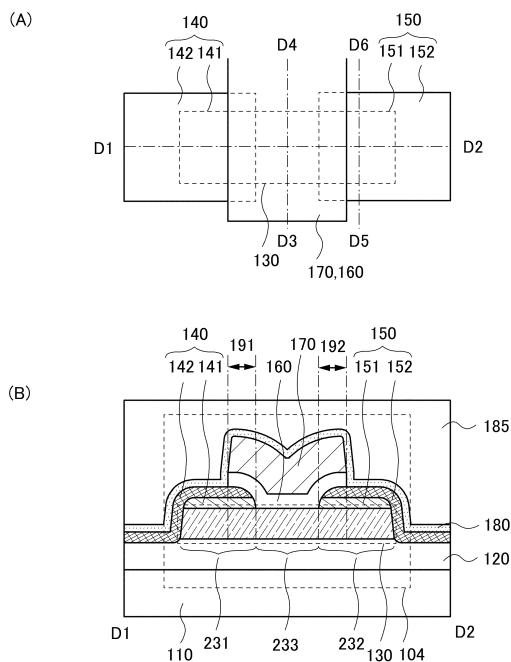
【図11】



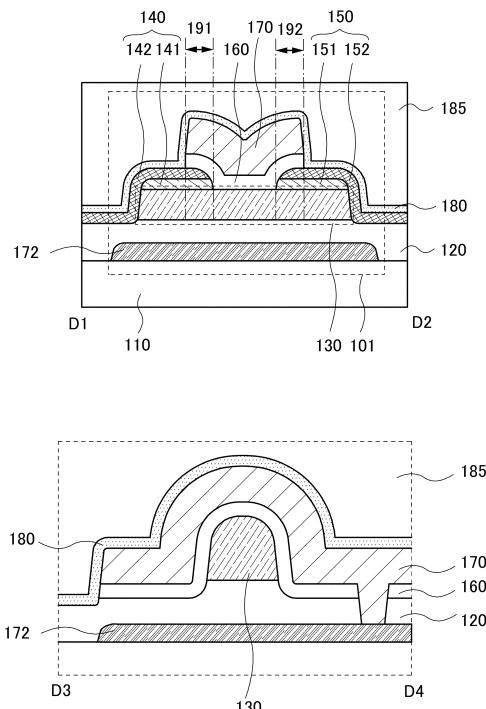
【図12】



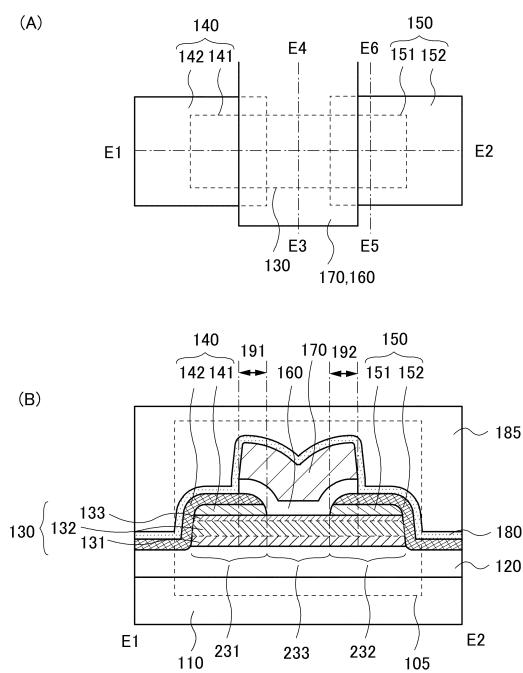
【図13】



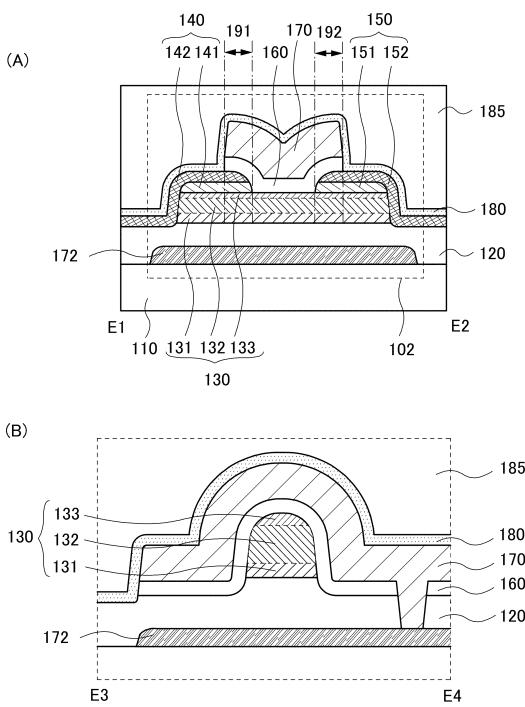
【図 1 4】



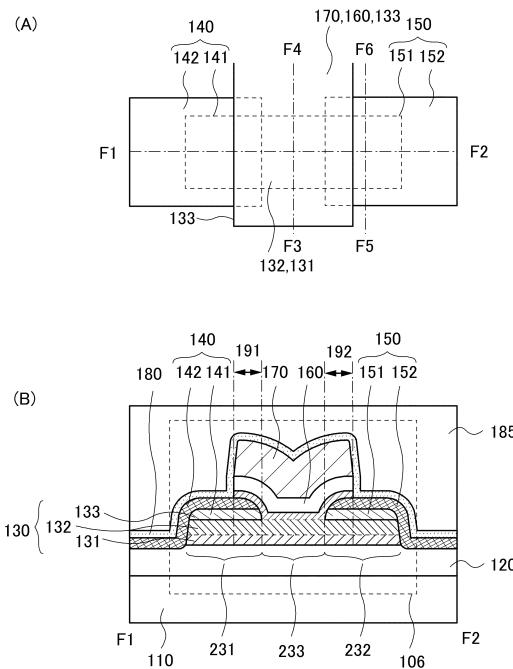
【図15】



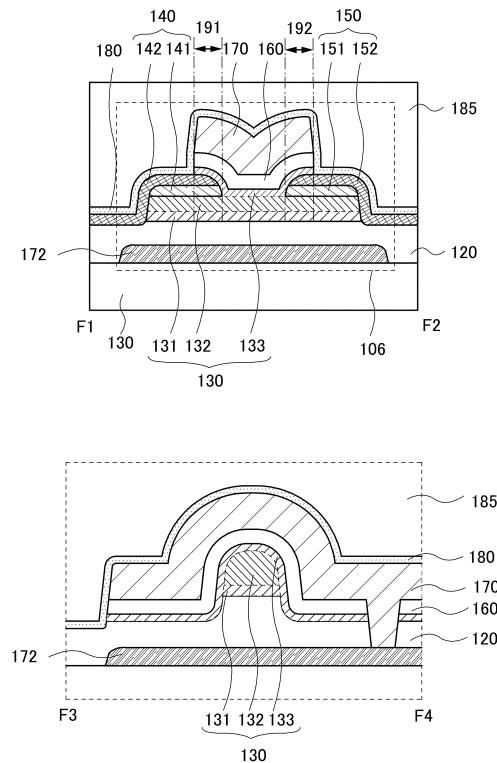
【図16】



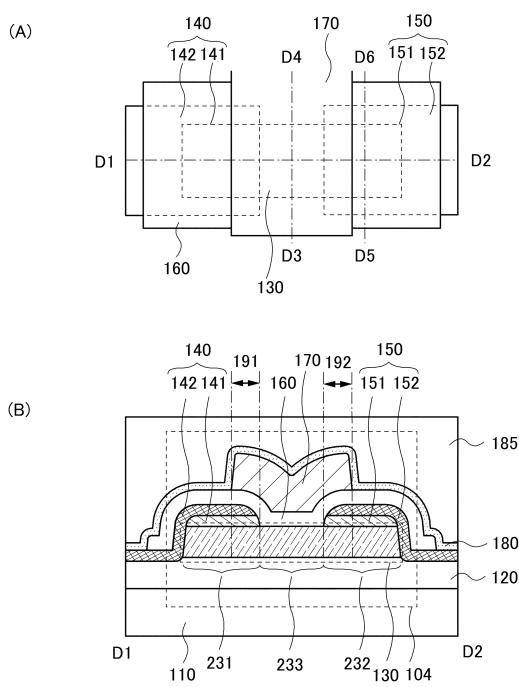
【図17】



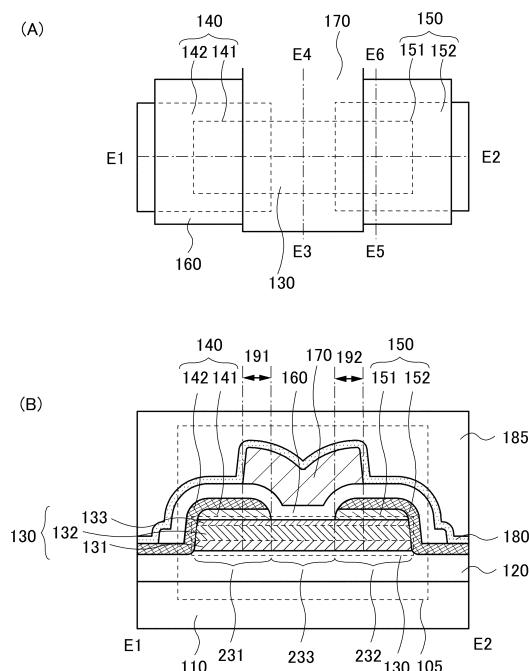
【図18】



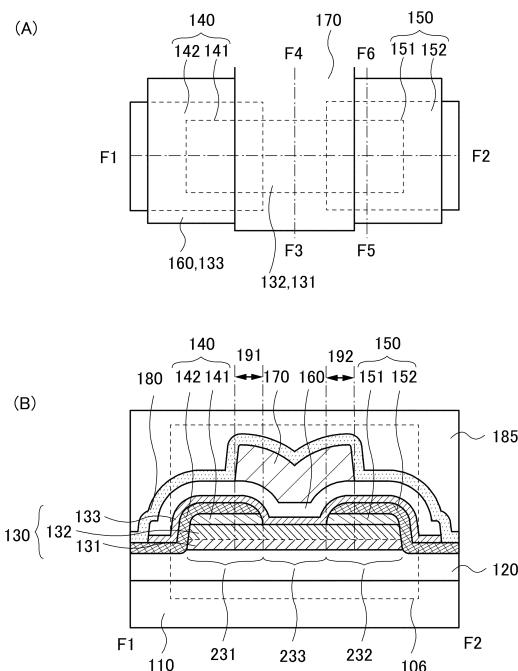
【図19】



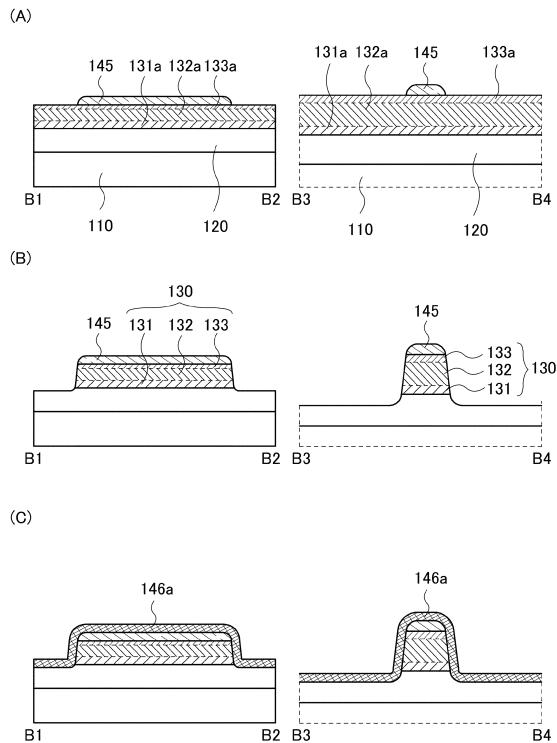
【図20】



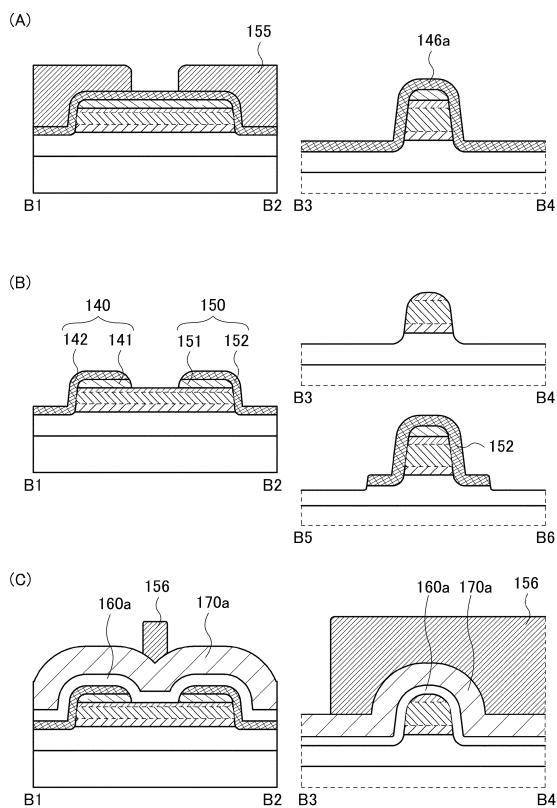
【図21】



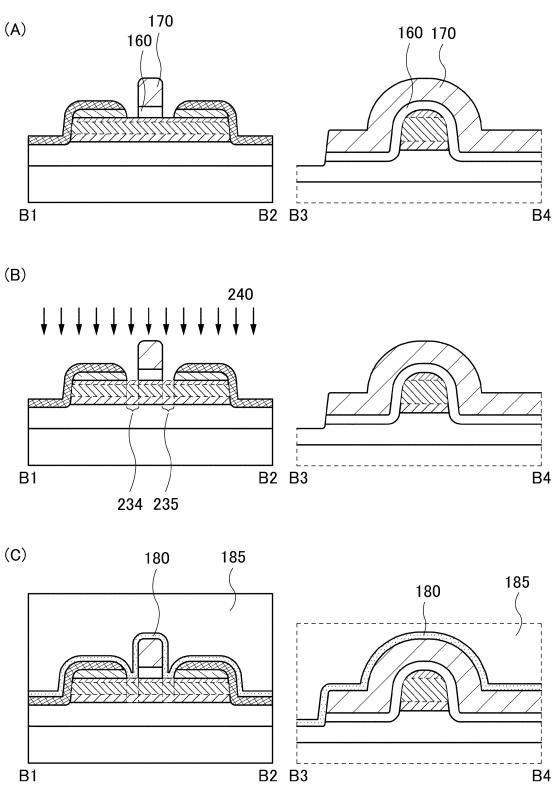
【図22】



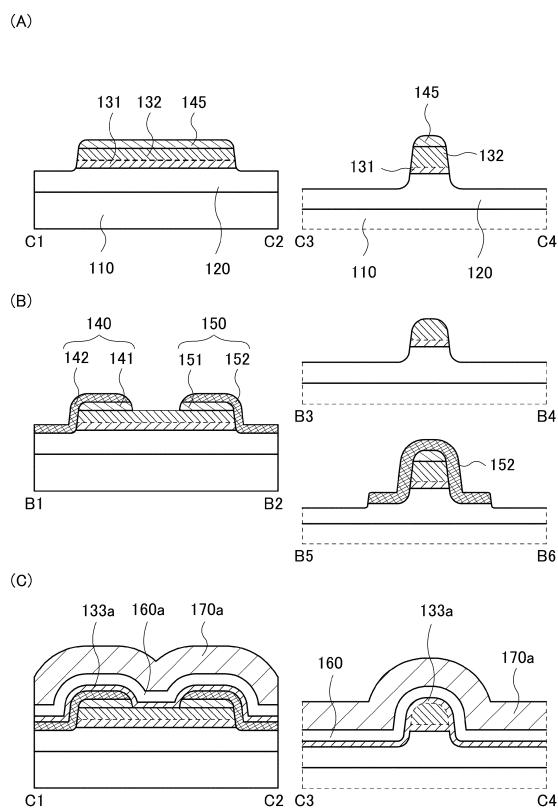
【図23】



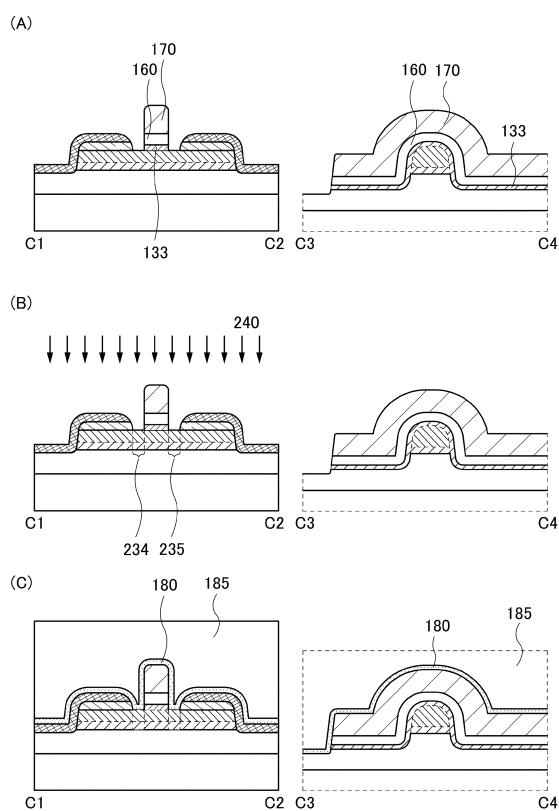
【図24】



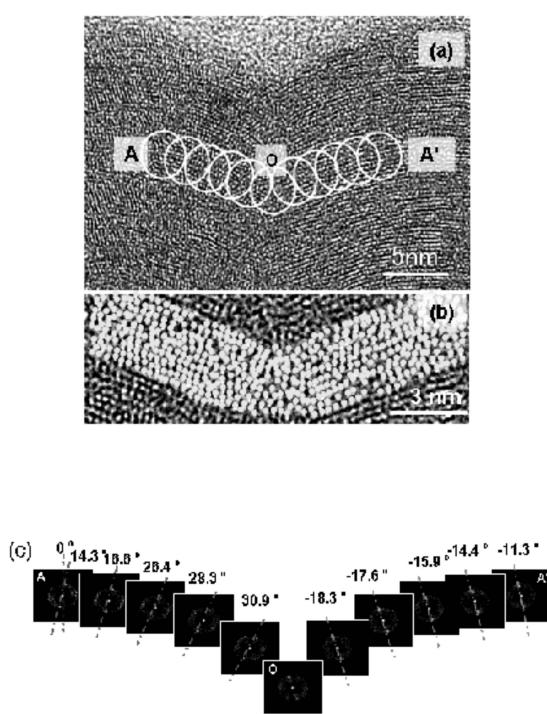
【図25】



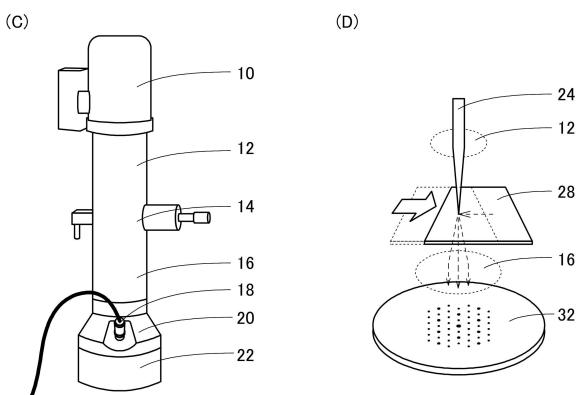
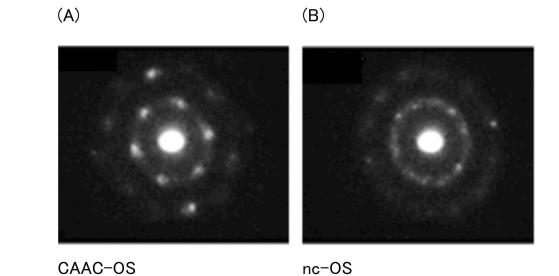
【図26】



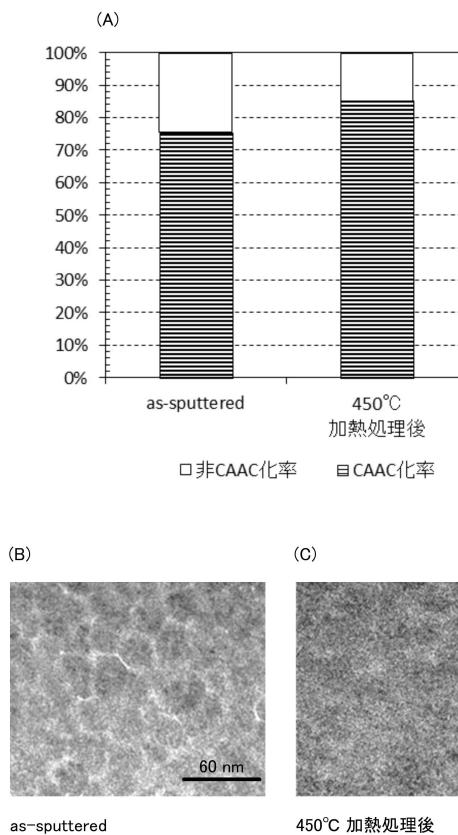
【図27】



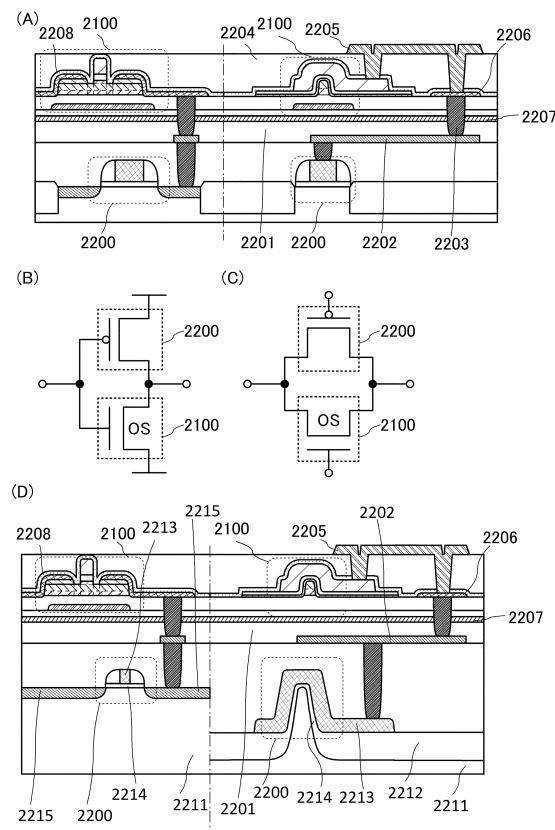
【図28】



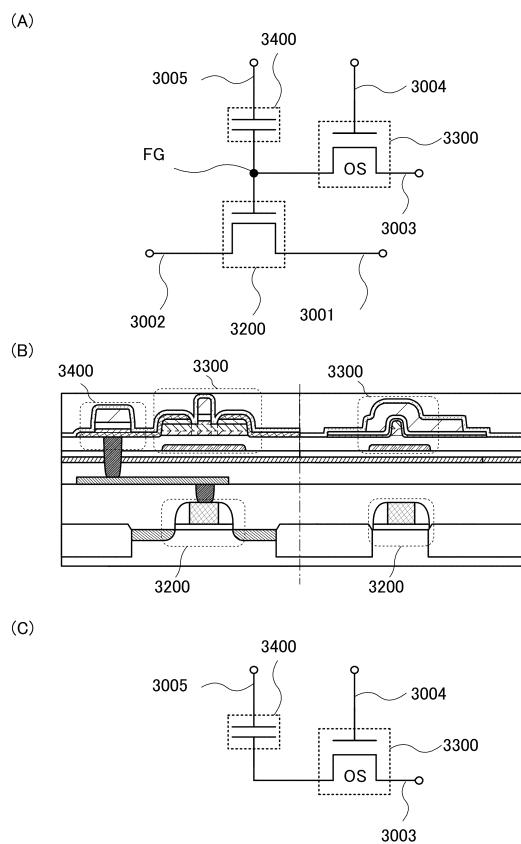
【図29】



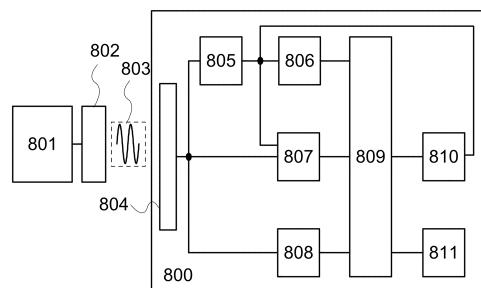
【図30】



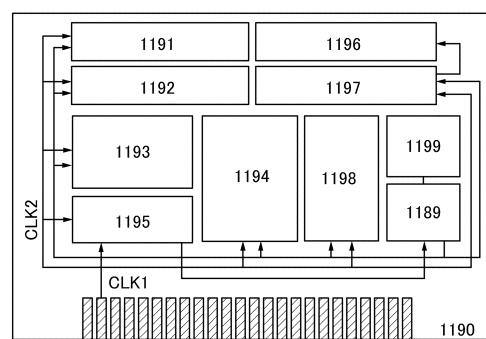
【図31】



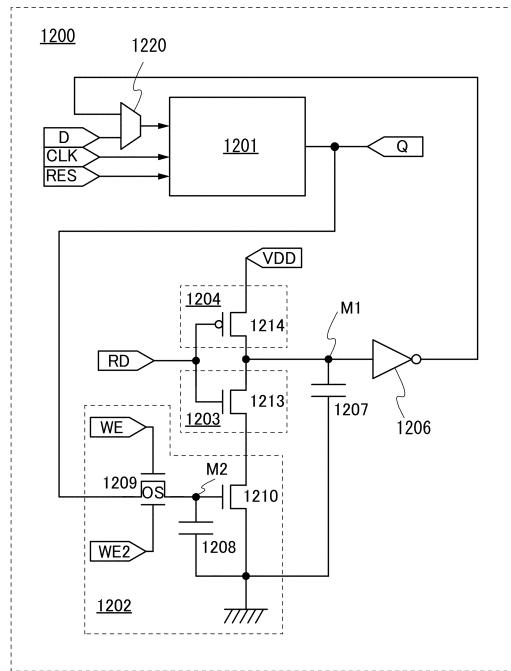
【図32】



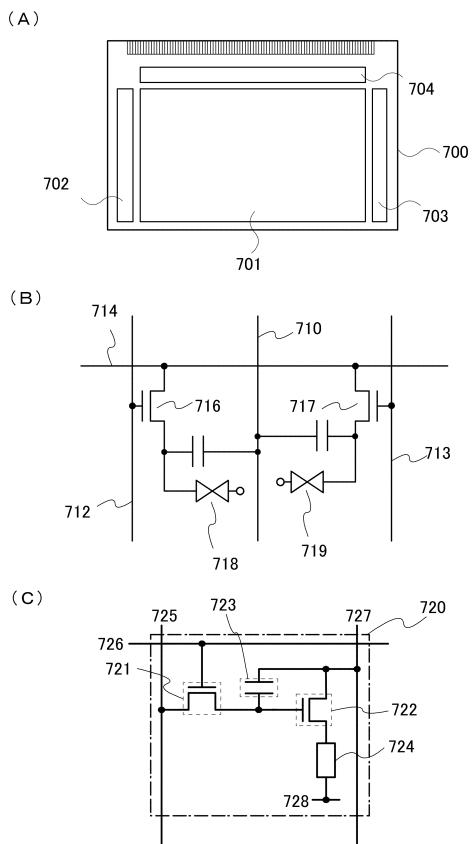
【図33】



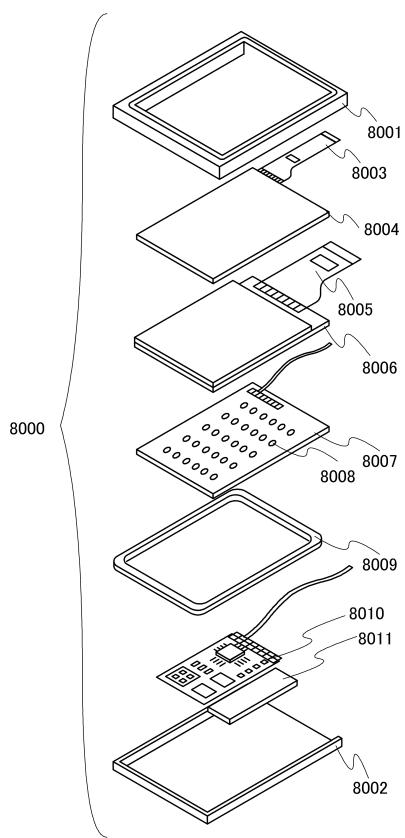
【図34】



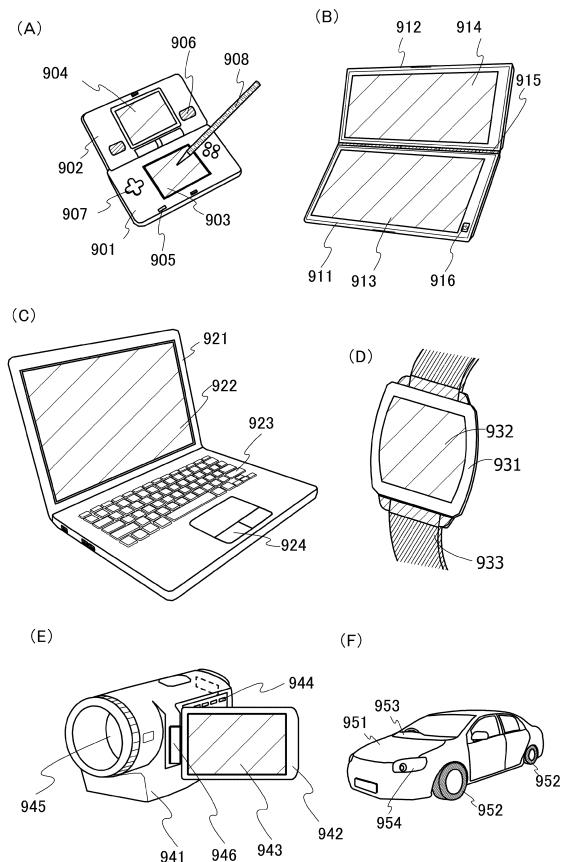
【図35】



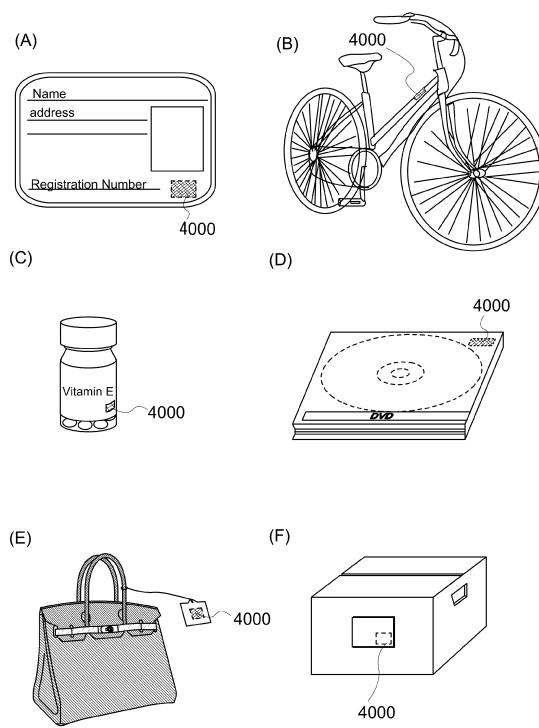
【図36】



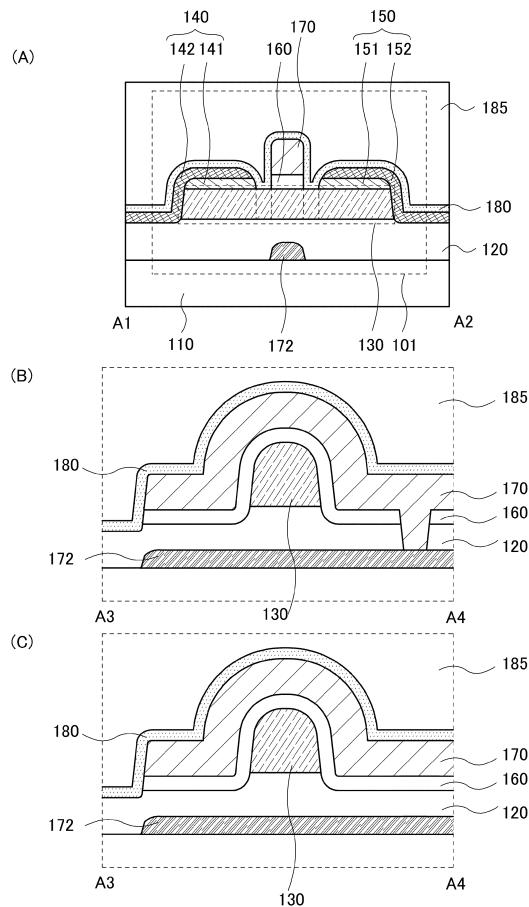
【図37】



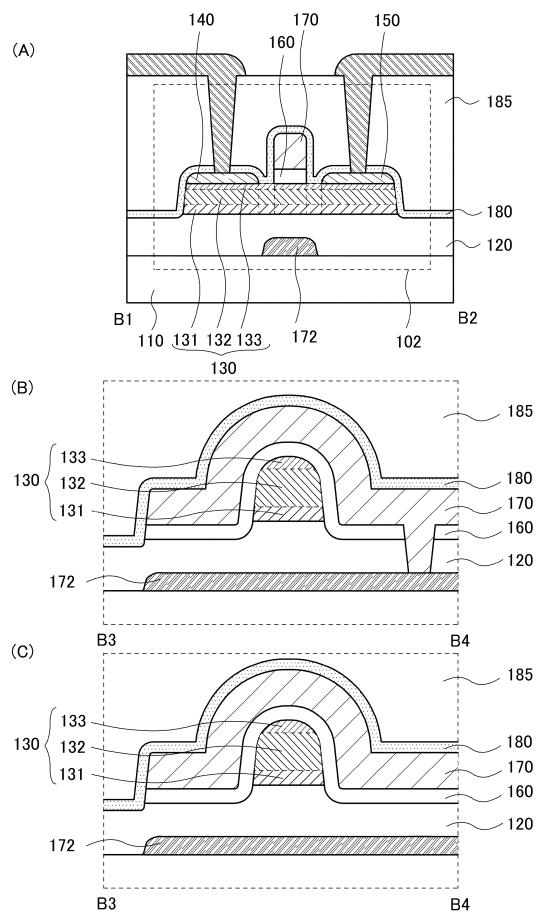
【図38】



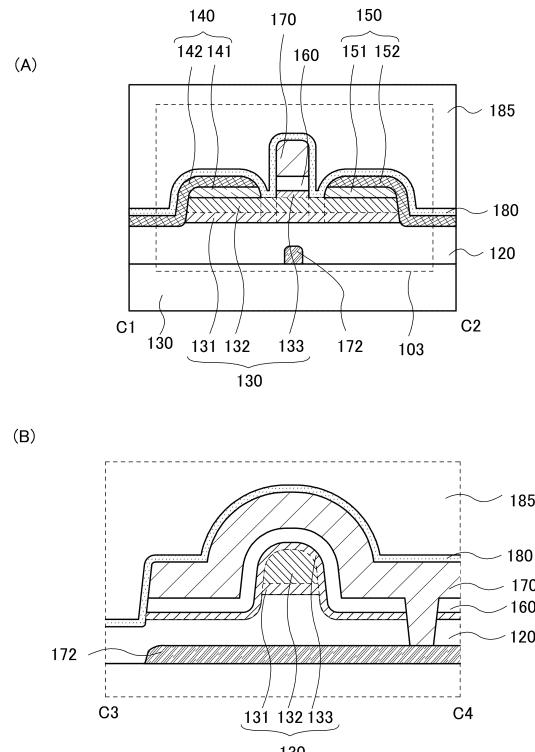
【図39】



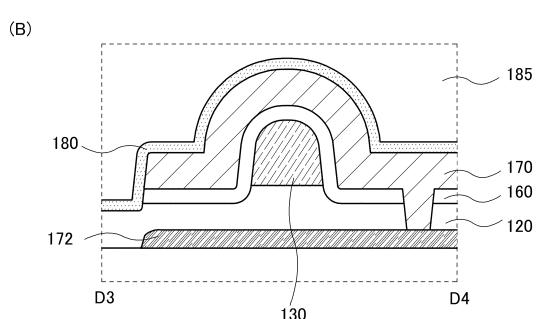
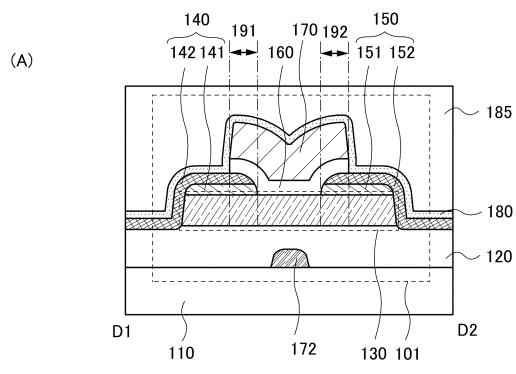
【図40】



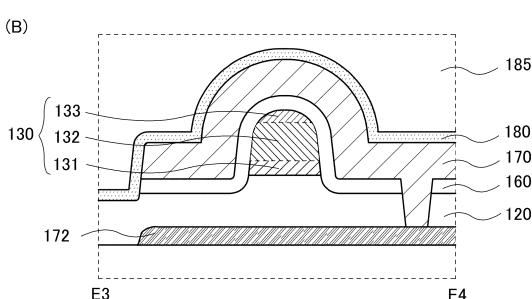
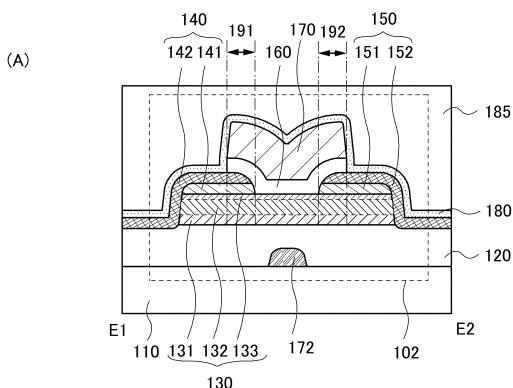
【図41】



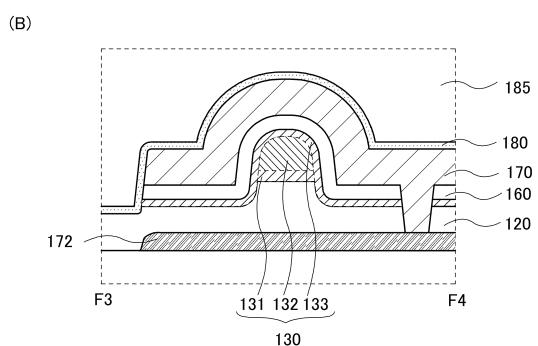
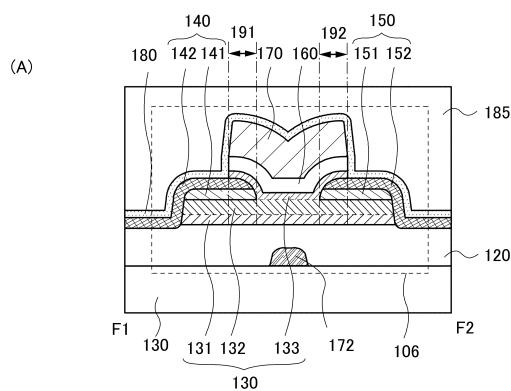
【図42】



【図43】



【図44】



フロントページの続き

(51) Int.Cl.		F I		
H 0 1 L	29/49 (2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	21/8242 (2006.01)	H 0 1 L	29/50	M
H 0 1 L	27/108 (2006.01)	H 0 1 L	29/58	G
H 0 1 L	27/115 (2017.01)	H 0 1 L	27/108	3 2 1
H 0 1 L	27/1156 (2017.01)	H 0 1 L	27/108	6 1 5
H 0 1 L	29/788 (2006.01)	H 0 1 L	27/108	6 7 1 C
H 0 1 L	29/792 (2006.01)	H 0 1 L	27/108	6 7 1 Z
H 0 1 L	21/8239 (2006.01)	H 0 1 L	27/115	
H 0 1 L	27/105 (2006.01)	H 0 1 L	27/1156	
H 0 1 L	21/8238 (2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	27/092 (2006.01)	H 0 1 L	27/105	4 4 1
H 0 1 L	21/8234 (2006.01)	H 0 1 L	27/092	G
H 0 1 L	27/088 (2006.01)	H 0 1 L	27/088	E
G 0 2 F	1/1368 (2006.01)	G 0 2 F	1/1368	
H 0 1 L	51/50 (2006.01)	H 0 5 B	33/14	A
H 0 5 B	33/14 (2006.01)	H 0 5 B	33/14	Z

(56)参考文献 特開2013-016782(JP,A)
特開2014-007394(JP,A)
特開2012-160720(JP,A)
特開2013-021312(JP,A)
米国特許出願公開第2012/0315730(US,A1)
特開2010-232651(JP,A)
米国特許出願公開第2010/0224878(US,A1)
特開2014-007398(JP,A)
米国特許出願公開第2012/0319114(US,A1)
特開2013-236068(JP,A)
米国特許出願公開第2013/0270563(US,A1)
特開2012-231123(JP,A)
特開平11-054620(JP,A)
特開2010-062378(JP,A)
特開2005-203502(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6