



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년10월18일
(11) 등록번호 10-1787820
(24) 등록일자 2017년10월12일

- (51) 국제특허분류(Int. Cl.)
H01L 29/16 (2006.01) *H01L 29/24* (2006.01)
H01L 29/417 (2006.01)
- (52) CPC특허분류
H01L 29/16 (2013.01)
H01L 29/24 (2013.01)
- (21) 출원번호 10-2015-0030373
- (22) 출원일자 2015년03월04일
심사청구일자 2015년03월04일
- (65) 공개번호 10-2015-0109262
- (43) 공개일자 2015년10월01일
- (30) 우선권주장
JP-P-2014-057281 2014년03월19일 일본(JP)

(56) 선행기술조사문헌

KR1020130035173 A*

US20100155780 A1*

US20130140578 A1*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1조메 1방 1고
(72) 발명자
구라구치 마사히코
일본 도쿄도 미나토구 시바우라 1조메 1방 1고 가
부시끼가이샤 도시바 지적재산실 내
사이트 히사시
일본 도쿄도 미나토구 시바우라 1조메 1방 1고 가
부시끼가이샤 도시바 지적재산실 내
- (74) 대리인
장수길, 박충범

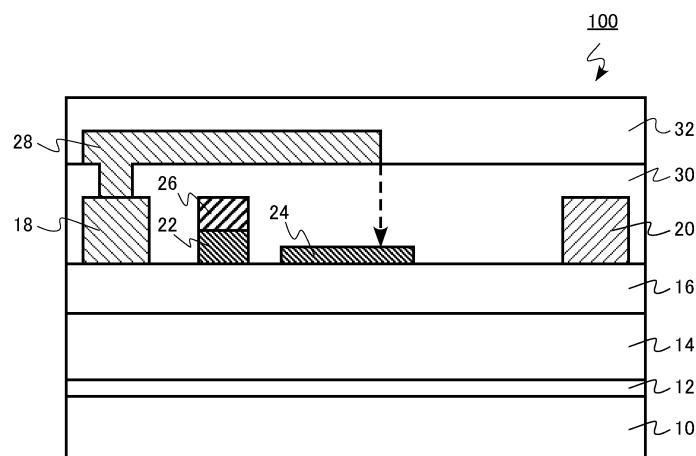
전체 청구항 수 : 총 8 항

심사관 : 고재현

(54) 발명의 명칭 반도체 장치

(57) 요약

실시 형태의 반도체 장치는, 제1 GaN계 반도체층과, 제1 GaN계 반도체층 상에 설치되고, 제1 GaN계 반도체층에서 벤드캡이 큰 제2 GaN계 반도체층과, 제2 GaN계 반도체층 상에 설치되는 소스 전극과, 제2 GaN계 반도체층 상에 설치되는 드레인 전극과, 소스 전극과 드레인 전극 사이의 제2 GaN계 반도체층 상에 설치되는 p형의 제3 GaN계 반도체층과, 제3 GaN계 반도체층 상에 설치되는 게이트 전극과, 게이트 전극과 드레인 전극 사이에서, 제2 GaN계 반도체층 상에 설치되고, 제3 GaN계 반도체층과 이격되어서 설치되는 p형의 제4 GaN계 반도체층을 구비한다.

대 표 도 - 도1

(52) CPC특허분류

H01L 29/41725 (2013.01)

H01L 2924/1033 (2013.01)

명세서

청구범위

청구항 1

반도체 장치로서,

제1 GaN계 반도체층과,

상기 제1 GaN계 반도체층 상에 설치되고, 상기 제1 GaN계 반도체층보다 밴드갭이 큰 제2 GaN계 반도체층과,

상기 제2 GaN계 반도체층 상에 설치되는 소스 전극과,

상기 제2 GaN계 반도체층 상에 설치되는 드레인 전극과,

상기 소스 전극과 상기 드레인 전극 사이의 상기 제2 GaN계 반도체층 상에 설치되는 p형의 제3 GaN계 반도체층과,

상기 제3 GaN계 반도체층 상에 설치되는 게이트 전극과,

상기 게이트 전극과 상기 드레인 전극 사이에서, 상기 제2 GaN계 반도체층 상에 상기 제2 GaN계 반도체층에 접하여 설치되고, 상기 제3 GaN계 반도체층과 이격되어서 설치되는 p형의 제4 GaN계 반도체층과,

상기 제2 GaN계 반도체층과의 사이에 상기 제4 GaN계 반도체층을 개재시켜 설치되는 절연막과,

상기 제4 GaN계 반도체층과의 사이에 상기 절연막을 개재시켜 설치되고, 상기 제4 GaN계 반도체층과 분리되고, 상기 소스 전극에 전기적으로 접속되는 제1 필드 플레이트 전극을 구비하고,

상기 제1 필드 플레이트 전극의 상기 드레인 전극측의 단부와, 상기 제2 GaN계 반도체층과의 사이에, 상기 제4 GaN계 반도체층이 위치하고,

상기 드레인 전극측의 단부로부터 상기 제1 GaN계 반도체층과 상기 제2 GaN계 반도체층과의 사이의 계면에 대하여 수직으로 그은 선분을 상정한 경우, 상기 선분이 상기 제4 GaN계 반도체층과 교차하는 것을 특징으로 하는 반도체 장치.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 제4 GaN계 반도체층이 플로팅인 것을 특징으로 하는 반도체 장치.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 제4 GaN계 반도체층의 억셉터(acceptor)의 면 밀도가, 상기 제1 GaN계 반도체층과 상기 제2 GaN계 반도체층의 계면에 생성되는 2차원 전자 가스의 면 밀도보다도 낮은 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서, 상기 제4 GaN계 반도체층의 단부가 경사져 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 제3 GaN계 반도체층과 상기 제4 GaN계 반도체층이 동일한 p형 불순물 농도를 갖고, 상기 제4 GaN계 반도체층의 막 두께가 상기 제3 GaN계 반도체층의 막 두께보다도 얇은 것을 특징으로 하는 반도체 장

치.

청구항 8

제1항에 있어서,

상기 게이트 전극과 상기 제4 GaN계 반도체층 사이, 및 상기 제4 GaN계 반도체층과 상기 드레인 전극 사이 중 적어도 한 쪽에, 상기 제1 GaN계 반도체층과의 사이에 상기 제2 GaN계 반도체층을 개재시켜 설치되고, 상기 제3 GaN계 반도체층 및 상기 제4 GaN계 반도체층과 분리되는 p형의 제5 GaN계 반도체층을 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 9

제1항에 있어서, 상기 제4 GaN계 반도체층의 막 두께가 10nm 이상 100nm 이하인 것을 특징으로 하는 반도체 장치.

청구항 10

제1항에 있어서,

상기 제1 필드 플레이트 전극과의 사이에 절연막을 개재시켜서 설치되고, 상기 제4 GaN계 반도체층과의 사이에 절연막을 개재시켜서 설치되는 제2 필드 플레이트 전극을 더 구비하고,

상기 제2 필드 플레이트 전극의 상기 드레인 전극측의 단부와, 상기 제2 GaN계 반도체층 사이에, 상기 제4 GaN 계 반도체층이 위치하는 것을 특징으로 하는 반도체 장치.

발명의 설명

기술 분야

[0001]

<관련 출원>

[0002]

본 출원은 일본에서 2014년 3월 19일에 출원된 일본 특허출원 제2014-057281에 기초한 것으로서, 그 우선권의 이익을 주장하며, 이 출원의 전체 내용은 본 출원에 원용된다.

[0003]

본 발명은 일반적으로 반도체 장치에 관한 것이다.

배경 기술

[0004]

스위칭 전원이나 인버터 등의 회로에는 스위칭 소자나 다이오드 등의 반도체 소자가 사용된다. 이 반도체 소자에는 고내압·저온저항이 요구된다. 그리고, 내압과 온저항의 관계는, 소자 재료로 결정되는 트레이드오프 관계가 있다.

[0005]

지금까지의 기술 개발의 진보에 따라, 반도체 소자는, 주된 소자 재료인 실리콘의 한계 가까이까지 저온저항이 실현되고 있다. 내압을 더욱 향상시키거나, 온저항을 더욱 저감시키거나 하기 위해서는 소자 재료의 변경이 필요하다. GaN나 AlGaN 등의 GaN계 반도체나 탄화 규소(SiC) 등의 와이드 밴드갭 반도체를 스위칭 소자 재료로서 사용함으로써, 재료로 결정되는 트레이드오프 관계를 개선할 수 있어, 비약적으로 고내압화나 저 온저항화가 가능하다.

도면의 간단한 설명

[0006]

도 1은, 제1 실시 형태의 반도체 장치의 모식 단면도.

도 2는, 제1 실시 형태의 반도체 장치의 제조 방법에 있어서, 제조 도중의 반도체 장치의 모식 단면도.

도 3은, 제1 실시 형태의 반도체 장치의 제조 방법에 있어서, 제조 도중의 반도체 장치의 모식 단면도.

도 4는, 제1 실시 형태의 반도체 장치의 제조 방법에 있어서, 제조 도중의 반도체 장치의 모식 단면도.

도 5는, 제1 실시 형태의 반도체 장치의 제조 방법에 있어서, 제조 도중의 반도체 장치의 모식 단면도.

도 6은, 제1 실시 형태의 반도체 장치의 제조 방법에 있어서, 제조 도중의 반도체 장치의 모식 단면도.

도 7은, 제1 실시 형태의 반도체 장치의 작용 및 효과를 설명하는 도면.

도 8은, 제1 실시 형태의 반도체 장치의 작용 및 효과를 설명하는 도면.

도 9는, 제2 실시 형태의 반도체 장치의 모식 단면도.

도 10은, 제3 실시 형태의 반도체 장치의 모식 단면도.

도 11은, 제4 실시 형태의 반도체 장치의 모식 단면도.

도 12는, 제5 실시 형태의 반도체 장치의 모식 단면도.

도 13은, 제6 실시 형태의 반도체 장치의 모식 단면도.

발명을 실시하기 위한 구체적인 내용

[0007]

본 발명의 일 형태의 반도체 장치는, 제1 GaN계 반도체층과, 제1 GaN계 반도체층 상에 설치되고, 제1 GaN계 반도체층보다 밴드갭이 큰 제2 GaN계 반도체층과, 제2 GaN계 반도체층 상에 설치되는 소스 전극과, 제2 GaN계 반도체층 상에 설치되는 드레인 전극과, 소스 전극과 드레인 전극 사이의 제2 GaN계 반도체층 상에 설치되는 p형의 제3 GaN계 반도체층과, 제3 GaN계 반도체층 상에 설치되는 게이트 전극과, 게이트 전극과 드레인 전극 사이에서, 제2 GaN계 반도체층 상에 설치되고, 제3 GaN계 반도체층과 이격되어서 설치되는 p형의 제4 GaN계 반도체층을 구비한다.

[0008]

본 명세서 중, 동일 또는 유사한 부재에 대해서는 동일한 부호를 부여하고, 중복하는 설명을 생략하는 경우가 있다.

[0009]

본 명세서 중, 「GaN계 반도체」란, GaN(질화갈륨), AlN(질화알루미늄), InN(질화인듐) 및 그들의 중간 조성을 구비하는 반도체의 총칭이다.

[0010]

본 명세서 중, 「언도핑」이란, 불순물 농도가 $1 \times 10^{15} \text{ cm}^{-3}$ 이하인 것을 의미한다.

[0011]

본 명세서 중, 「억셉터(acceptor)」란, 반도체 중에서 활성화되어 있는 p형 불순물을 의미하는 것으로 한다.

[0012]

본 명세서 중, 부품 등의 위치 관계를 나타내기 위해서, 도면의 상측 방향을 「상」, 도면의 하측 방향을 「하」라고 기술한다. 본 명세서 중, 「상」, 「하」의 개념은, 반드시 중력의 방향과의 관계를 나타내는 용어인 것은 아니다.

[0013]

(제1 실시 형태)

[0014]

본 실시 형태의 반도체 장치는, 제1 GaN계 반도체층과, 제1 GaN계 반도체층 상에 설치되고, 제1 GaN계 반도체층보다 밴드갭이 큰 제2 GaN계 반도체층과, 제2 GaN계 반도체층 상에 설치되는 소스 전극과, 제2 GaN계 반도체층 상에 설치되는 드레인 전극과, 소스 전극과 드레인 전극 사이의 제2 GaN계 반도체층 상에 설치되는 p형의 제3 GaN계 반도체층과, 제3 GaN계 반도체층 상에 설치되는 게이트 전극과, 게이트 전극과 드레인 전극 사이의, 제2 GaN계 반도체층의 제1 GaN계 반도체층과 반대측에 설치되고, 제3 GaN계 반도체층과 분리되는 p형의 제4 GaN계 반도체층을 구비한다.

[0015]

도 1은, 본 실시 형태의 반도체 장치의 모식 단면도이다. 본 실시 형태의 반도체 장치는, GaN계 반도체를 사용한 HEMT(High Electron Mobility Transistor)이다.

[0016]

도 1에 도시한 바와 같이, 반도체 장치(HEMT)(100)는, 기판(10), 베퍼층(12), 채널층(제1 GaN계 반도체층)(14), 배리어층(제2 GaN계 반도체층)(16), 소스 전극(18), 드레인 전극(20), 캡층(제3 GaN계 반도체층)(22), 리서프(resurf)층(제4 GaN계 반도체층)(24), 게이트 전극(26) 및 소스 필드 플레이트 전극(제1 필드 플레이트 전극)(28)을 구비한다. 게이트 전극(26)과 소스 필드 플레이트 전극(28) 사이에는 절연막(30)이 설치된다. 리서프층(24)과 소스 필드 플레이트 전극(28) 사이에는 절연막(30)이 설치된다. 또한, 소스 필드 플레이트 전극(28) 상에는 절연막(32)이 설치된다.

[0017]

기판(10)은 예를 들어 실리콘(Si)으로 형성된다. 실리콘 이외에도, 예를 들어 사파이어(Al_2O_3)나 탄화규소(SiC)를 적용하는 것도 가능하다.

[0018]

기판(10) 상에 베퍼층(12)이 설치된다. 베퍼층(12)은 기판(10)과 채널층(14) 사이의 격자 부정합을 완화하는

기능을 구비한다. 베퍼층(12)은 예를 들어 질화알루미늄갈륨($Al_xGa_{1-x}N(0 < x < 1)$)의 다층 구조로 형성된다.

[0019] 베퍼층(12) 상에 채널층(14)이 설치된다. 채널층(14)은 예를 들어 언도핑의 $Al_xGa_{1-x}N(0 \leq x < 1)$ 이다. 보다 구체적으로는, 예를 들어 언도핑의 GaN이다. 채널층(14)의 막 두께는, 예를 들어 $0.5\mu m$ 이상 $3\mu m$ 이하이다.

[0020] 채널층(14) 상에 배리어층(16)이 설치된다. 배리어층(16)의 밴드갭은, 채널층(14)의 밴드갭보다도 크다. 배리어층(16)은 예를 들어 언도핑의 $Al_yGa_{1-y}N(0 < y \leq 1, x < y)$ 이다. 보다 구체적으로는, 예를 들어 언도핑의 $Al_{0.2}Ga_{0.8}N$ 이다. 배리어층(16)의 막 두께는, 예를 들어 $15nm$ 이상 $50nm$ 이하이다.

[0021] 채널층(14)과 배리어층(16) 사이는 헤테로 접합 계면이 된다. HEMT(100)의 온 동작 시에, 헤테로 접합 계면에 2차원 전자 가스(2DEG)가 형성되어 캐리어가 된다.

[0022] 배리어층(16) 상에는 소스 전극(18)과 드레인 전극(20)이 형성된다. 소스 전극(18)과 드레인 전극(20)은 예를 들어 금속 전극이며, 금속 전극은, 예를 들어 티타늄(Ti)과 알루미늄(Al)의 적층 구조이다. 소스 전극(18)과 배리어층(16) 사이는 오믹 콘택트인 것이 바람직하다. 드레인 전극(20)과 배리어층(16) 사이는 오믹 콘택트인 것이 바람직하다. 소스 전극(18)과 드레인 전극(20)의 거리는, 예를 들어 $5\mu m$ 이상 $30\mu m$ 이하이다.

[0023] 배리어층(16) 상의 소스 전극(18)과 드레인 전극(20) 사이에 p형의 캡층(22)이 설치된다. 캡층(22)은 채널층(14)의 포텐셜을 높이고, HEMT(100)의 역치를 상승시키는 기능을 구비한다.

[0024] 캡층(22)은 예를 들어 p형의 $Al_xGa_{1-x}N(0 \leq x < 1)$ 이다. 보다 구체적으로는, 예를 들어 p형 GaN이다. 캡층(22)의 막 두께는, 예를 들어 $50nm$ 이상 $20nm$ 이하이다.

[0025] 캡층(22)에 함유되는 p형 불순물은, 예를 들어 Mg(마그네슘)이다. 캡층(22) 중의 p형 불순물의 원자 농도는, 채널층(14)의 포텐셜을 높이는 관점에서, $1 \times 10^{17} cm^{-3}$ 이상인 것이 바람직하고, $1 \times 10^{18} cm^{-3}$ 이상인 것이 더 바람직하다. 캡층(22)은 단결정이다.

[0026] 캡층(22) 상에 게이트 전극(26)이 설치된다. 게이트 전극(26)은 예를 들어 금속 전극이다. 금속 전극은, 예를 들어 질화티타늄(TiN)이다. 게이트 전극(26)과 캡층(22) 사이는 오믹 콘택트인 것이 바람직하다.

[0027] 게이트 전극(26)과 드레인 전극(20) 사이의 배리어층(16) 상에 p형의 리서프(RESURF: Reduced Surface Field)층(24)이 설치된다. 리서프층(24)은 캡층(22)과 물리적으로 분리하여 설치된다.

[0028] 리서프층(24)은 예를 들어 p형의 $Al_zGa_{1-z}N(0 \leq z < 1)$ 이다. 보다 구체적으로는, 예를 들어 p형 GaN이다. 리서프층(24)은 p형 불순물을 포함한다. p형 불순물은, 예를 들어 마그네슘(Mg)이다.

[0029] 리서프층(24)은 플로팅이다. 즉, 그라운드, 전원, 신호원 등에 전기적으로 접속되어 있지 않다. 따라서, 리서프층(24)은 소스 전극(18), 드레인 전극(20), 게이트 전극(26)에는 전기적으로 접속되어 있지 않다.

[0030] 리서프층(24)은 주로, 가로 방향의 전계를 완화하는 기능을 구비한다. 본 실시 형태에서는, 리서프층(24)은 배리어층(16)에 직접 접하여 설치된다. 리서프층(24)은 플로팅이기 때문에, 리서프층(24)으로부터의 흘 주입은 발생하지 않는다. 따라서, 리서프층(24)이 존재하는 것에 의한 스위칭 속도의 열화는 발생하지 않는다.

[0031] 게이트 전극(26) 및 리서프층(24) 상에 절연막(30)이 설치된다. 절연막(30)은 예를 들어 실리콘 산화막 또는 실리콘 질화막이다.

[0032] 게이트 전극(26)과의 사이 및 리서프층(24)과의 사이에 절연막(30)을 개재시켜서, 소스 필드 플레이트 전극(제1 필드 플레이트 전극)(28)이 설치된다. 도 1 중 점선 화살표로 나타낸 바와 같이, 소스 필드 플레이트 전극(28)의 드레인 전극(20)측의 단부와, 배리어층(16) 사이에 리서프층(24)이 위치한다. 바꿔 말하면, 소스 필드 플레이트 전극(28)의 드레인 전극(20)측의 단부 바로 아래에 리서프층(24)이 위치한다.

[0033] 소스 필드 플레이트 전극(28)은 소스 전극(18)에 전기적으로 접속된다. 소스 필드 플레이트 전극(28)은 주로, 가로 방향의 전계를 완화하는 기능을 구비한다.

[0034] 소스 필드 플레이트 전극(28) 상에 절연막(32)이 설치된다. 절연막(32)은 예를 들어 실리콘 산화막 또는 실리콘 질화막이다.

[0035] 이어서, 본 실시 형태의 반도체 장치의 제조 방법 일례에 대하여 설명한다. 도 2~도 6은, 본 실시 형태의 반도

체 장치의 제조 방법에 있어서, 제조 도중의 반도체 장치의 모식 단면도이다.

[0036] 먼저, 기판(10), 예를 들어 Si 기판을 준비한다. 다음으로, 예를 들어 Si 기판 상에 에피택셜 성장에 의해 베퍼층(12)을 성장시킨다.

[0037] 이어서, 베퍼층(12) 상에 채널층(14)이 되는 언도핑의 GaN, 배리어층(16)이 되는 언도핑의 $Al_{0.2}Ga_{0.8}N$ 을 에피택셜 성장에 의해 형성한다.

[0038] 이어서, 후에 캡층(22), 리서프층(24)이 되는 p형 GaN(17)을 에피택셜 성장에 의해 성막한다(도 2).

[0039] 이어서, p형 GaN(17)을 패터닝하고, 캡층(22)과, 후에 리서프층(24)이 되는 리서프 예정층(23)을 형성한다(도 3).

[0040] 이어서, 캡층(22) 상에 TiN의 게이트 전극(26)을 스퍼터링법과 에칭에 의해 형성한다(도 4).

[0041] 이어서, 리서프 예정층(23) 이외의 영역을 마스크하고, 리서프 예정층(23)을 에칭에 의해 박막화하여 리서프층(24)을 형성한다(도 5).

[0042] 이어서, 배리어층(16) 상에 티타늄(Ti)과 알루미늄(Al)의 적층 구조의 소스 전극(18)과 드레인 전극(20)을 리프트 오프법에 의해 형성한다(도 6).

[0043] 그 후, 절연막(30), 소스 필드 플레이트 전극(28), 절연막(32)을 형성하여, 도 1에 도시하는 반도체 장치(100)가 제조된다.

[0044] 이어서, 본 실시 형태의 반도체 장치(100)의 작용 및 효과에 대하여 설명한다.

[0045] 도 7, 도 8은, 본 실시 형태의 반도체 장치의 작용 및 효과를 설명하는 도면이다. 도 7은, 리서프층을 형성하지 않는 HEMT, 도 8은, 리서프층을 형성한 본 실시 형태의 HEMT이다. 각각의 경우에 대해서, HEMT의 오프 시의 전계 강도 분포를 모식적으로 도시한다.

[0046] 도 7에 도시한 바와 같이, 게이트 전극(26)의 드레인 전극(20)측의 단부와, 소스 필드 플레이트 전극(28)의 드레인 전극(20)측의 단부의 2군데에 전계가 집중하여 전계 강도의 피크가 드러난다. 집중하는 전계는 주로 가로 방향의 전계이다. 이와 같이, 전계가 집중하는 개소에서 절연막이나 반도체의 파괴가 발생하여, 디바이스의 내압이 열화될 우려가 있다. 도 7과 같이 전극의 단부에 전계가 집중하는 것은, 배리어층(16)과 채널층(14)의 계면에 생기는 2차원 전자 가스가 불연속으로 공핍화하는 것에 의한다고 생각된다.

[0047] 도 8에 도시한 바와 같이, 리서프층(24)을 설치한 경우, 게이트 전극(26)의 드레인 전극(20)측의 단부와, 소스 필드 플레이트 전극(28)의 드레인 전극(20)측의 단부의 전계 강도의 피크가 완만해져, 전계 강도가, 리서프층(24)이 없는 경우에 비해 작아진다. 이것은, 플로팅의 리서프층(24) 중의 양전하에 의해, 공핍층의 확대 불연속성이 완화되는 것에 의한다고 생각된다.

[0048] 또한, 리서프층(24)의 억셉터의 면 밀도가, 리서프층(24)이나 게이트 전극(26)이 없는 영역에서의 채널층(14)과 배리어층(16)의 계면에 생성되는 2차원 전자 가스의 면 밀도보다도 낮은 것이 바람직하다. 리서프층(24)의 억셉터의 면 밀도가 상기 2차원 전자 가스의 면 밀도보다도 높아지면, 2차원 전자 가스의 밀도가 저하되어, 온저항이 증대될 우려가 있다.

[0049] 또한, 리서프층(24)의 억셉터의 면 밀도가, 리서프층(24)이나 게이트 전극(26)이 없는 영역에서의 채널층(14)과 배리어층(16)의 계면에 생성되는 2차원 전자 가스의 면 밀도의 10%보다도 높은 것이 바람직하다. 리서프층(24)의 억셉터의 면 밀도가 상기 면 밀도보다도 낮아지면, 전계 완화 효과를 충분히 얻지 못할 우려가 있다.

[0050] 예를 들어, 채널층(14)이 언도핑의 GaN이고, 배리어층(16)이 언도핑의 $Al_yGa_{1-y}N$ ($0 < y \leq 1$)일 경우, 2차원 전자 가스의 면 밀도는, $y \times 4 \times 10^{13} [\text{cm}^{-2}]$ 로 표현된다. 따라서, 이 경우, 리서프층(24)의 억셉터의 면 밀도가, $y \times 4 \times 10^{13} [\text{cm}^{-2}]$ 보다 낮고, $y \times 0.4 \times 10^{13} [\text{cm}^{-2}]$ 보다도 높은 것이 바람직하다.

[0051] 리서프층(24)의 막 두께를 $d [\text{cm}]$, 억셉터 농도를 $N_A [\text{cm}^{-3}]$ 라 하면, 리서프층(24)의 억셉터의 면 밀도는, $d \times N_A [\text{cm}^{-2}]$ 로 표현된다. 따라서,

수학식 1

$$y \times 0.4 \times 10^{13} < d \times N_A < y \times 4 \times 10^{13}$$

[0052]

[0053] 의 관계를 충족하는 것이 바람직하다.

[0054] 또한, p형 GaN계 반도체중의 p형 불순물의 활성화율은 10% 정도이다. 따라서, p형 불순물의 원자 농도를 $N_p [cm^{-2}]$ 로 하면, 상기 (수학식 1)은

수학식 2

$$y \times 4 \times 10^{13} < d \times N_p < y \times 40 \times 10^{13}$$

[0055]

[0056] 로 변형된다.

[0057] 리서프층(24)의 억셉터 농도는, $1 \times 10^{16} cm^{-3}$ 이상 $1 \times 10^{18} cm^{-3}$ 이하인 것이 바람직하다. 리서프층(24)의 p형 불순물의 원자 농도는, $1 \times 10^{17} cm^{-3}$ 이상 $1 \times 10^{19} cm^{-3}$ 이하인 것이 바람직하다. 또한, 리서프층(24)의 막 두께는, 10nm 이상 100nm 이하인 것이 바람직하다. 상기 억셉터 농도 또는 p형 불순물의 원자 농도 및 상기 막 두께의 범위로 리서프층(24)을 형성함으로써, 충분한 전계 완화 효과를 실현하는 리서프층(24)을 용이하게 형성하는 것이 가능하게 된다.

[0058]

(수학식 1) 또는 (수학식 2)를 충족시키는 관점에서, 리서프층(24)의 막 두께는, 캡층(22)의 막 두께보다도 얇은 것이 바람직하다. 또한, 마찬가지의 관점에서, 리서프층(24)의 억셉터 농도 및 p형 불순물의 원자 농도는, 캡층(22)의 억셉터 농도 및 p형 불순물의 원자 농도보다도 낮은 것이 바람직하다.

[0059]

또한, 리서프층(24)의 p형 불순물의 원자 농도(p형 불순물 농도)와, 캡층(22)의 p형 불순물의 원자 농도(p형 불순물 농도)가 동일하고, 또한, 리서프층(24)의 막 두께가 캡층(22)의 막 두께보다도 얇은 것이 바람직하다. 도 2 내지 도 6에서 도시한 제조 방법에 의해, 리서프층(24)과 캡층(22)을 동일한 p형 GaN계 반도체층으로 용이하게 형성하는 것이 가능하게 된다. 또한, 「p형 불순물 농도가 동일」하다란, 제조 격차 등에 의해 발생하는 오차는 허용하는 개념이다.

[0060]

[0060] 이상, 본 실시 형태의 반도체 장치에 의하면, 리서프층(24)에 의한 가로 방향 전계의 완화 효과에 의해, 높은 내압을 실현하는 반도체 장치를 제공하는 것이 가능해진다.

[0061]

(제2 실시 형태)

[0062]

본 실시 형태의 반도체 장치는, 제4 GaN계 반도체층의 단부가 경사져 있는 것 이외에는 제1 실시 형태와 동일하다. 따라서, 제1 실시 형태와 중복되는 내용에 대해서는 기술을 생략한다.

[0063]

도 9는, 본 실시 형태의 반도체 장치의 모식 단면도이다. 본 실시 형태의 반도체 장치는 GaN계 반도체를 사용한 HEMT이다.

[0064]

도 9에 도시한 바와 같이, 반도체 장치(HEMT)(200)의 리서프층(24)의 단부가 경사져 있다. 바꿔 말하면, 리서프층(24)의 측벽이 경사면으로 되어 있다.

[0065]

본 실시 형태에 따르면, 리서프 단부의 전계 집중을 억제함으로써, 리서프층(24)에 의한 전계 완화 효과가 더욱 커져서, 더욱 높은 내압을 실현하는 반도체 장치를 제공하는 것이 가능해진다. 또한, 리서프층(24)의 측벽의 경사각이 리서프층(24)의 상부를 향하여 완만하게 하는 것이, 전계 완화 효과를 크게 하는 관점에서 더욱 바람직하다.

[0066]

(제3 실시 형태)

[0067]

본 실시 형태의 반도체 장치는, 게이트 전극과 제4 GaN계 반도체층 사이 또는, 제4 GaN계 반도체층과 드레인 전극 사이의, 제2 GaN계 반도체층의 제1 GaN계 반도체층과 반대측에 설치되고, 제3 GaN계 반도체층 및 제4 GaN계

반도체층과 분리되는 p형의 제5 GaN계 반도체층을 더 구비하는 것 이외에는 제1 실시 형태와 동일하다. 따라서, 제1 실시 형태와 중복하는 내용에 대해서는 기술을 생략한다.

[0068] 도 10은, 본 실시 형태의 반도체 장치의 모식 단면도이다. 본 실시 형태의 반도체 장치는, GaN계 반도체를 사용한 HEMT이다.

[0069] 도 10에 도시한 바와 같이, 반도체 장치(HEMT)(300)는, 복수의 리서프층, 즉, 리서프층(제4 GaN계 반도체 층)(24), 리서프층(제5 GaN계 반도체층)(34), 리서프층(제5 GaN계 반도체층)(36)을 구비한다.

[0070] 리서프층(제5 GaN계 반도체층)(34)은, 게이트 전극(26)과 리서프층(24) 사이의 배리어층(16) 상에 설치된다. 리서프층(34)은 캡층(22) 및 리서프층(24)과 분리된다. 또한, 리서프층(제5 GaN계 반도체층)(36)은, 리서프층(24)과 드레인 전극(20) 사이의 배리어층(16) 상에 설치된다. 리서프층(36)은 캡층(22) 및 리서프층(24)과 분리된다.

[0071] 본 실시 형태에 따르면, 복수의 리서프층을 게이트 전극(26)과 드레인 전극(20) 사이의 배리어층(16) 상에 설치함으로써, 가로 방향의 전계가 더욱 완화되어, 높은 내압을 실현하는 반도체 장치를 제공하는 것이 가능해진다.

[0072] (제4 실시 형태)

[0073] 본 실시 형태의 반도체 장치는, 제2 GaN계 반도체층과 제4 GaN계 반도체층 사이에 i형의 제6 GaN계 반도체층을 구비하는 것 이외에는 제1 실시 형태와 동일하다. 따라서, 제1 실시 형태와 중복하는 내용에 대해서는 기술을 생략한다.

[0074] 도 11은, 본 실시 형태의 반도체 장치의 모식 단면도이다. 본 실시 형태의 반도체 장치는, GaN계 반도체를 사용한 HEMT이다.

[0075] 도 11에 도시한 바와 같이, 반도체 장치(HEMT)(400)는, 배리어층(16)과 리서프층(24) 사이에 i(intrinsic)형의 GaN층(제6 GaN계 반도체층)(40)을 포함한다.

[0076] 본 실시 형태의 반도체 장치에 의하면, 제1 실시 형태와 마찬가지로, 리서프층(24)에 의한 가로 방향 전계의 완화 효과에 의해, 높은 내압을 실현하는 반도체 장치를 제공하는 것이 가능해진다.

[0077] (제5 실시 형태)

[0078] 본 실시 형태의 반도체 장치는, 제1 필드 플레이트 전극과의 사이에 절연막을 개재시켜서 설치되고, 제4 GaN계 반도체층과의 사이에 절연막을 개재시켜서 설치되는 제2 필드 플레이트 전극을 더 구비하고, 제2 필드 플레이트 전극의 드레인 전극측의 단부와, 제2 GaN계 반도체층 사이에 제4 GaN계 반도체층이 위치하는 것 이외에는 제1 실시 형태와 동일하다. 따라서, 제1 실시 형태와 중복하는 내용에 대해서는 기술을 생략한다.

[0079] 도 12는, 본 실시 형태의 반도체 장치의 모식 단면도이다. 본 실시 형태의 반도체 장치는, GaN계 반도체를 사용한 HEMT이다.

[0080] 도 12에 도시한 바와 같이, 반도체 장치(HEMT)(500)는, 소스 필드 플레이트 전극(제1 필드 플레이트 전극)(28)과의 사이에 절연막(32)을 끼우고, 또한, 리서프층(24)과의 사이에 절연막(30)을 끼우고, 게이트 필드 플레이트 전극(제2 필드 플레이트 전극)(42)이 설치된다. 도 1 중 점선 화살표로 나타낸 바와 같이, 게이트 필드 플레이트 전극(42)의 드레인 전극(20)측의 단부와, 배리어층(16)(제2 GaN계 반도체층) 사이에 리서프층(24)이 위치한다.

[0081] 따라서, 게이트 필드 플레이트 전극(42)의 드레인 전극(20)측의 단부에 있어서의 가로 방향 전계의 집중은 리서프층(24)에 의해 완화된다.

[0082] 이상, 본 실시 형태의 반도체 장치에 의하면, 제1 실시 형태의 효과 외에, 게이트 필드 플레이트 전극(42)을 설치함으로써, 추가로 높은 내압을 실현하는 반도체 장치를 제공하는 것도 가능해진다.

[0083] (제6 실시 형태)

[0084] 본 실시 형태의 반도체 장치는, 제1 필드 플레이트 전극을 구비하지 않는 것 이외에는 제1 실시 형태와 동일하다. 따라서, 제1 실시 형태와 중복하는 내용에 대해서는 기술을 생략한다.

[0085] 도 13은, 본 실시 형태의 반도체 장치의 모식 단면도이다. 본 실시 형태의 반도체 장치는, GaN계 반도체를 사용한 HEMT이다.

- [0086] 도 13에 도시한 바와 같이, 반도체 장치(HEMT)(600)는, 제1 실시 형태의 HEMT(100)와 달리, 소스 필드 플레이트 전극을 구비하지 않는다.

[0087] 본 실시 형태의 반도체 장치에 의하면, 리서프층(24)에 의해, 게이트 전극(26)의 드레인 전극(20)측의 단부 전계 집중이 완화된다. 따라서, 본 실시 형태에 따르면, 필드 플레이트 전극과의 사이의 기생 용량을 저감함과 함께, 리서프층(24)에 의한 가로 방향 전계의 완화 효과에 의해, 높은 내압을 실현하는 반도체 장치를 제공하는 것이 가능해진다.

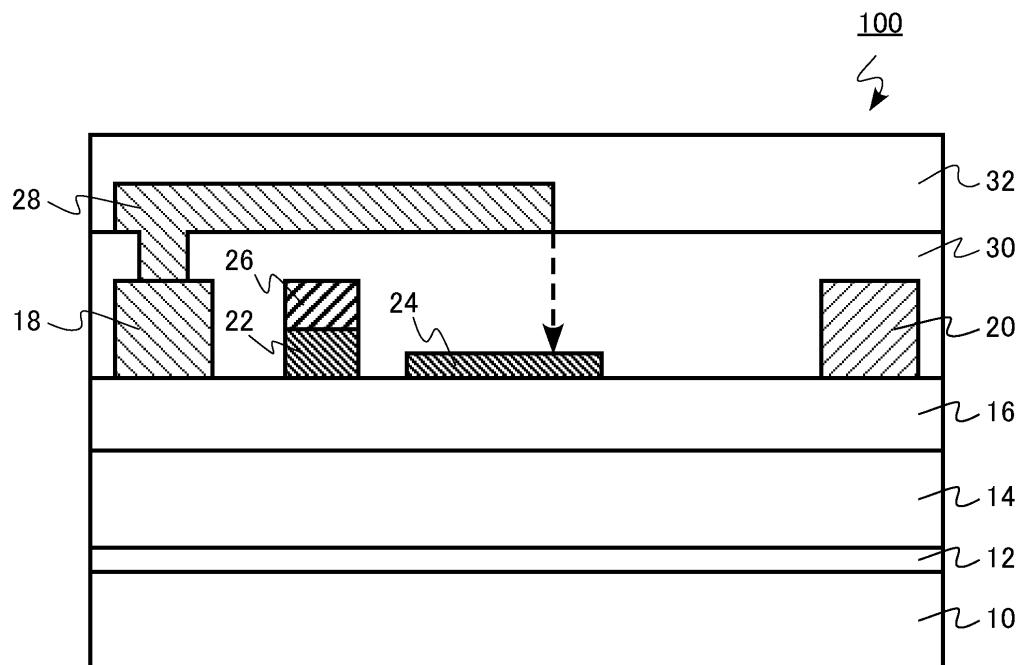
[0088] 실시 형태에서는, GaN계 반도체층의 재료로서 GaN이나 AlGaN을 예로 들어 설명했지만, 예를 들어 인듐(In)을 함유하는 InGaN, InAlN, InAlGaN을 적용하는 것도 가능하다. 또한, GaN계 반도체층의 재료로서 AlN을 적용하는 것도 가능하다.

[0089] 또한, 실시 형태에서는, 배리어층으로서, 얀도평의 AlGaN을 예로 들어 설명했지만, n형의 AlGaN을 적용하는 것도 가능하다.

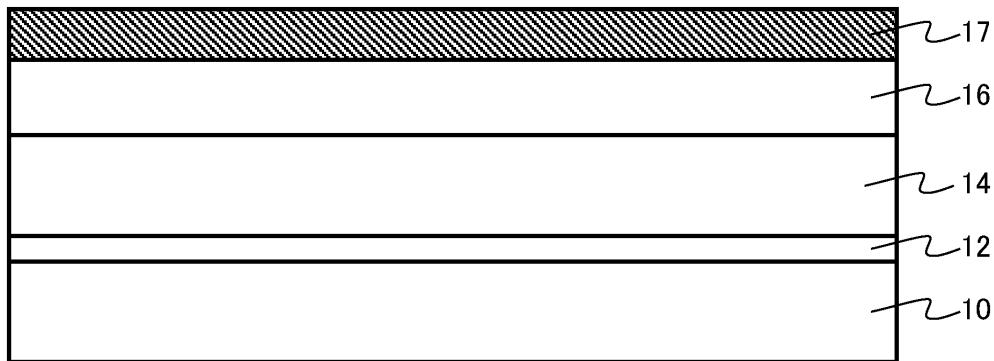
[0090] 지금까지 몇 가지 실시예들이 기술되었으나, 이들 실시예들은 단지 예로서만 나타내어진 것으로서, 본 발명의 범위를 한정하고자 하는 것은 아니다. 실제로, 본 명세서에 기술된 반도체 장치는 다양한 다른 형태로 실시될 수 있고; 또한, 본 명세서에 기술된 장치 및 방법의 형태에 있어서의 다양한 생략, 치환, 변환의, 본 발명의 정신을 벗어나지 않고 이루어질 수 있다. 첨부된 청구범위 및 그 등가물들은 본 발명의 범위 및 정신에 속하는 형태 또는 변경을 포함하는 것이다.

도면

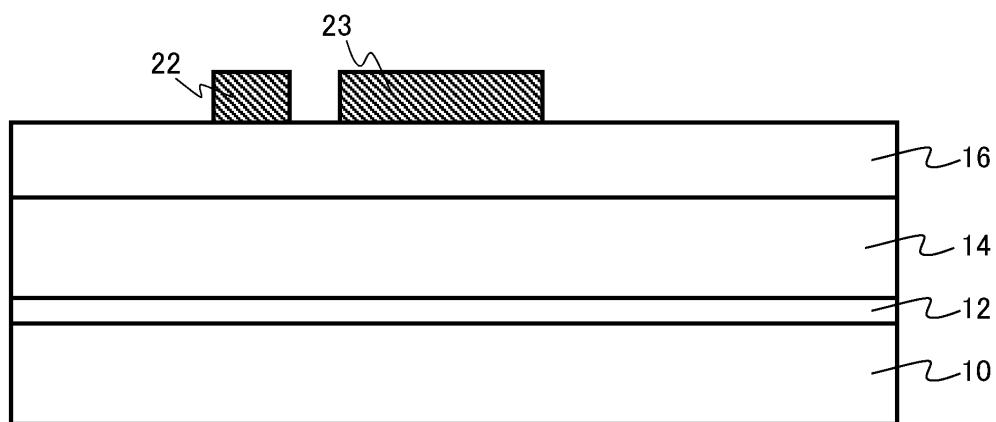
도면1



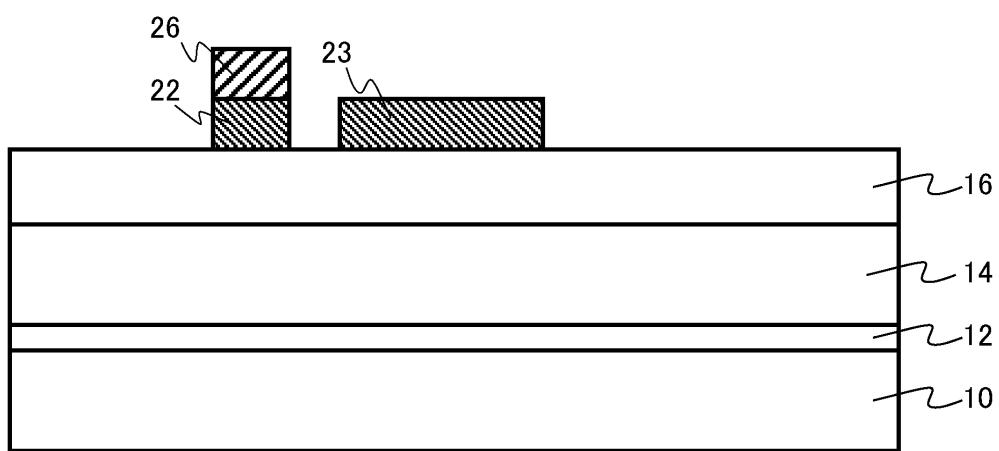
도면2



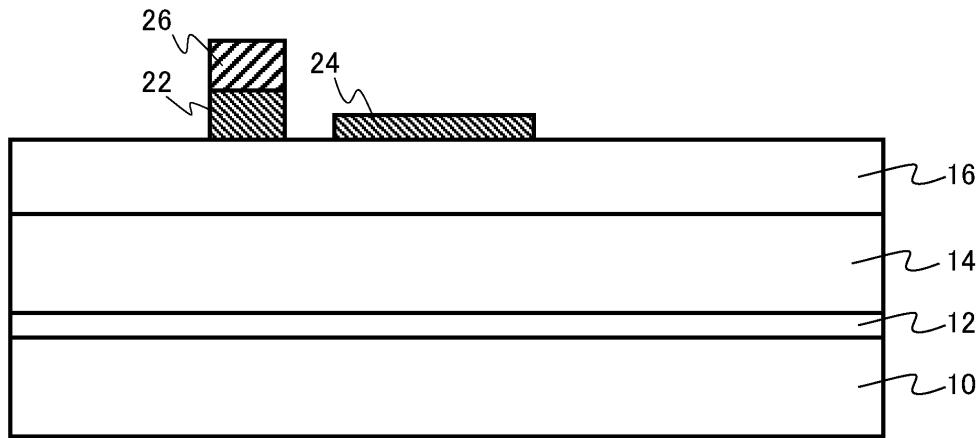
도면3



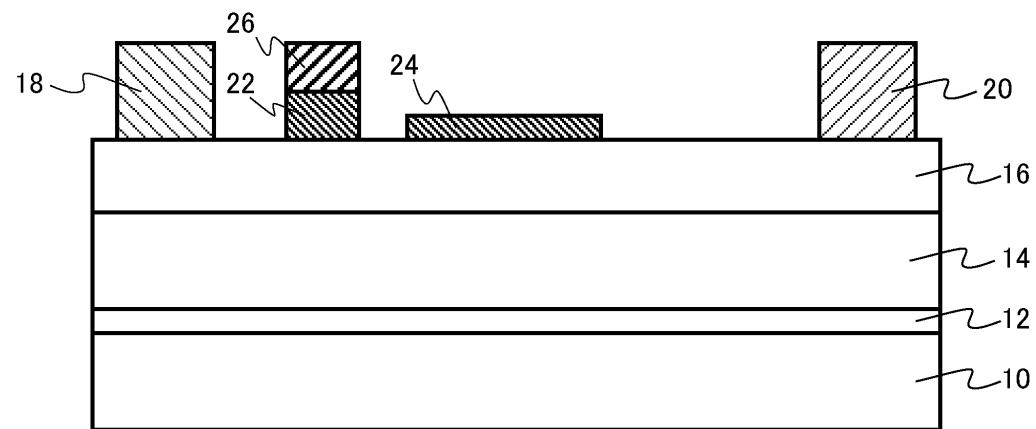
도면4



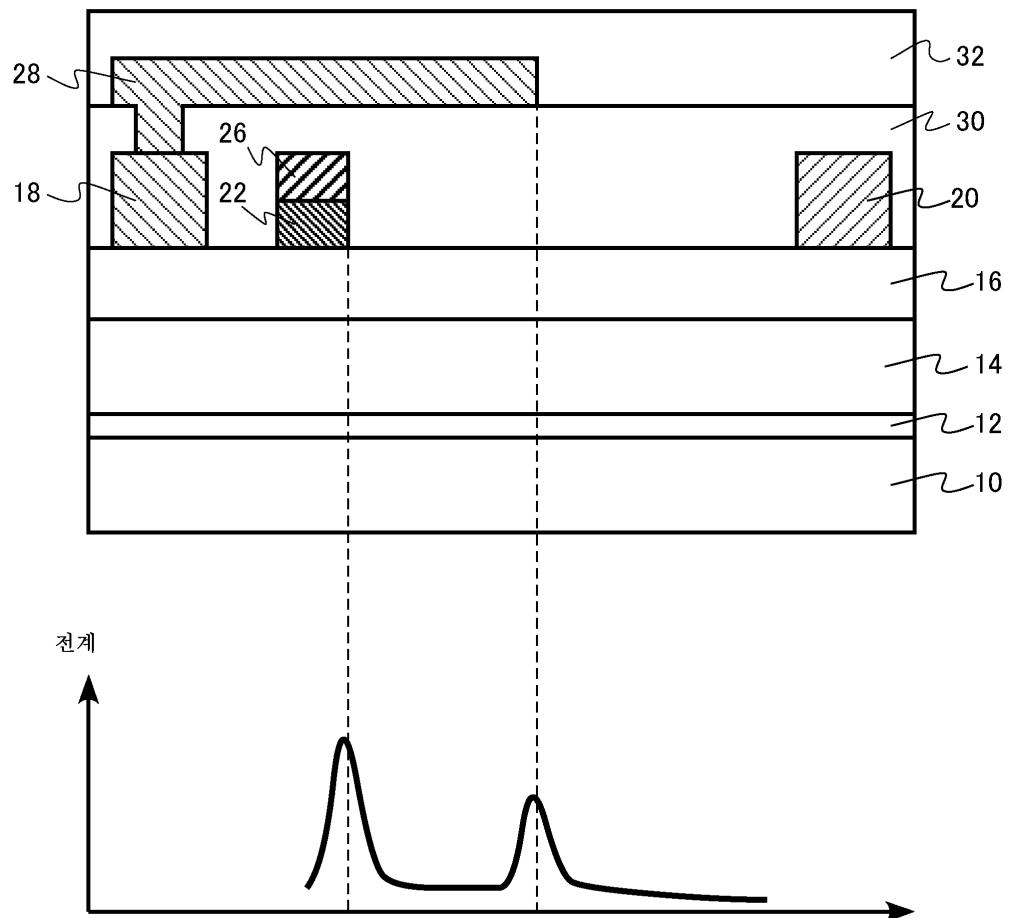
도면5



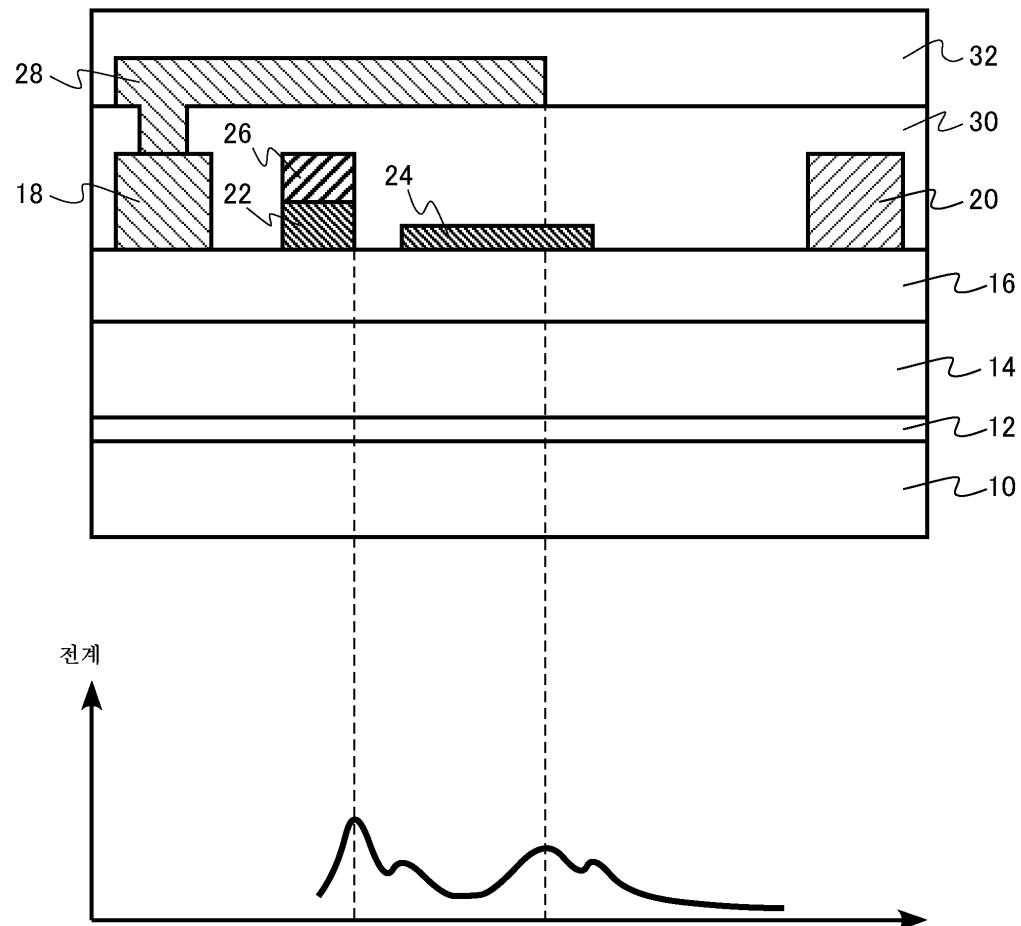
도면6



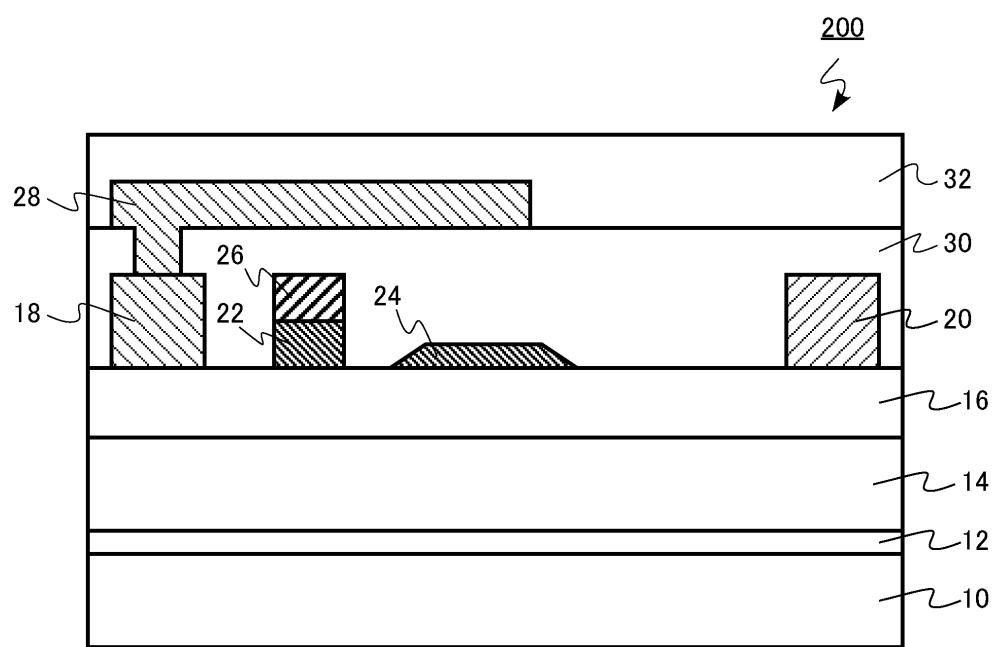
도면7



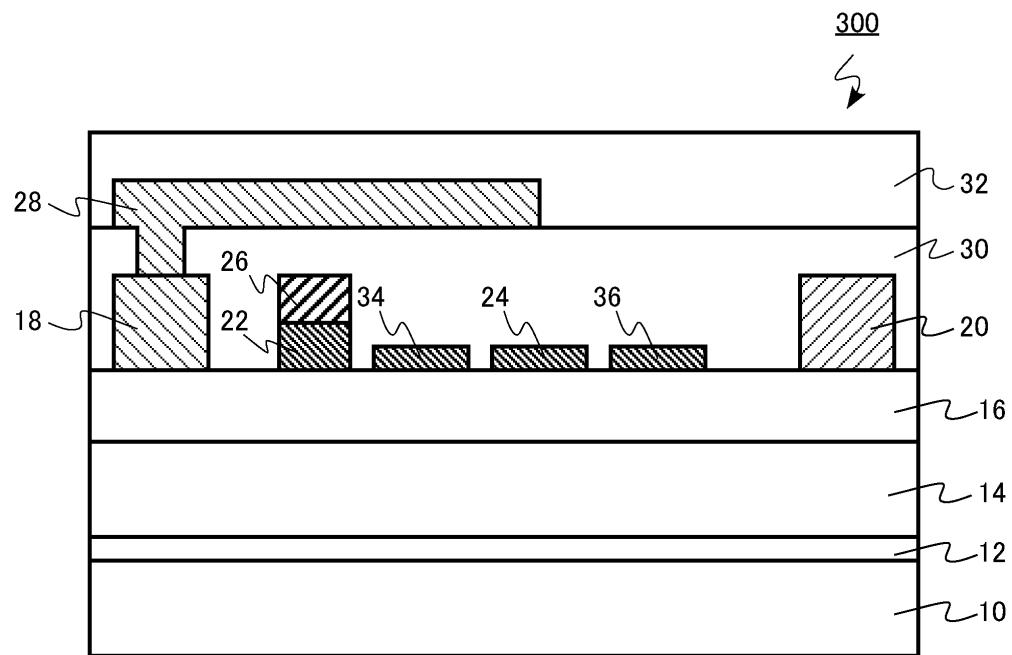
도면8



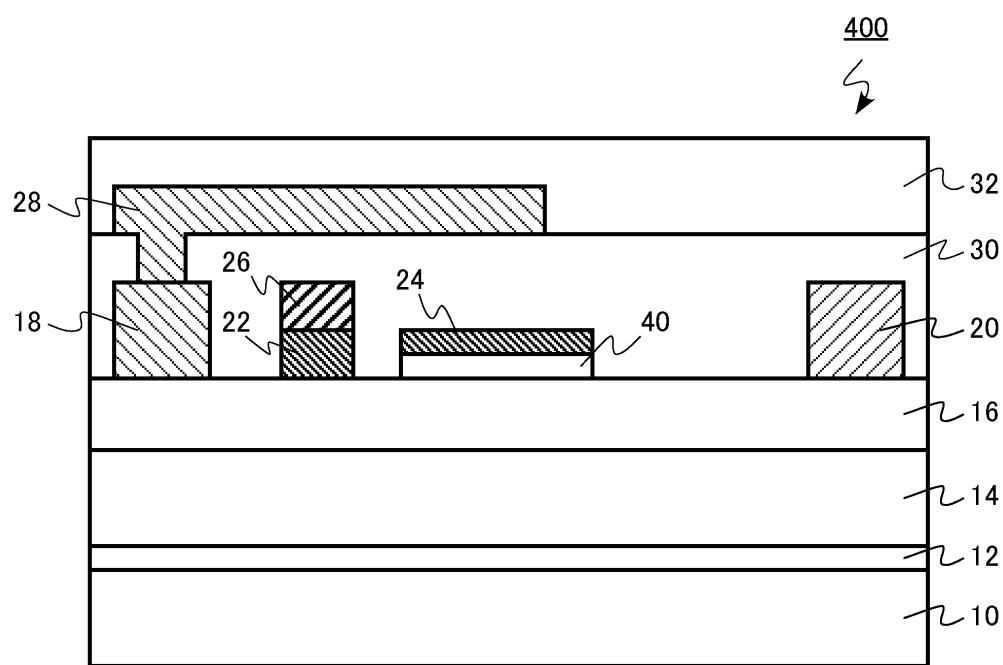
도면9



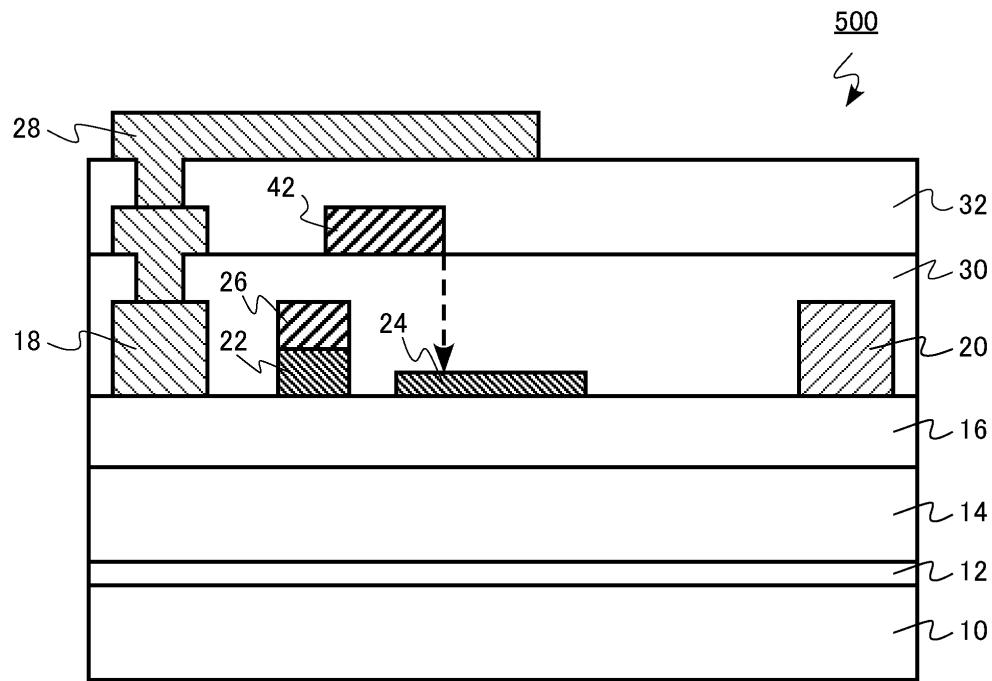
도면10



도면11



도면12



도면13

