(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 698 38 892 T2** 2009.01.02

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 895 215 B1**
(21) Deutsches Aktenzeichen: **698 38 892.5**
(96) Europäisches Aktenzeichen: **98 306 032.8**
(96) Europäischer Anmeldetag: **29.07.1998**
(97) Erstveröffentlichung durch das EPA: **03.02.1999**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **26.12.2007**
(47) Veröffentlichungstag im Patentblatt: **02.01.2009**

(51) Int Cl.[8]: ***G09G 1/16*** (2006.01)
G09G 5/36 (2006.01)

(30) Unionspriorität:
20437497 30.07.1997 JP

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Sony Corp., Tokio/Tokyo, JP

(72) Erfinder:
Kondo, Tetsujiro, Shinagawa-ku, Tokyo 141, JP

(74) Vertreter:
Mitscherlich & Partner, Patent- und Rechtsanwälte, 80331 München

(54) Bezeichnung: **Bildspeichereinrichtungen und Bildzugriffsverfahren**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf Speichereinrichtungen und Verfahren zum Zugreifen auf diese. Insbesondere, jedoch nicht ausschließlich bezieht sich die vorliegende Erfindung auf eine Speichereinrichtung und ein Zugriffsverfahren, welche vorzugsweise beim hierarchischen Codieren verwendet werden, wobei ein Bild in mehrere Ebenen unterteilt wird, welche eine unterschiedliche Anzahl von Pixeln haben.

[0002] Bei einem verfügbaren Codierverfahren wird ein hochauflösendes Bild (Daten eines hierarchischen Bodens oder der ersten Ebene) verwendet, um Bilddaten einer zweiten Ebene zu bilden, welche eine kleinere Anzahl an Pixeln hat, die Bilddaten der zweiten Ebene werden dann verwendet, um Bilddaten einer dritten Ebene zu bilden, welche eine kleinere Anzahl an Pixeln hat, und dieser Prozess wird wiederholt, bis Bilddaten einer oberen Ebene gebildet sind. Ein derartiges Codierverfahren wird als hierarchisches Codieren bezeichnet, bei dem Bilddaten jeder Ebene auf einem Monitor gemäß der entsprechender Auflösung (der Anzahl von Pixeln) gezeigt werden. Ein Benutzer beobachtet somit die Bilddaten durch Auswählen der Bilddaten, welche mit der Auflösung des eigenen Monitors des Benutzers übereinstimmen, von den hierarchisch codierten Bilddaten.

[0003] Die Bilddaten einer Auflösung werden wie Bilddaten der unteren hierarchischen (ersten) Ebene behandelt, um Bilddaten höherer Ebenen sequentiell zu bilden. Wenn alle diese Daten gespeichert und übertragen werden, wie sie sind, ist eine extra Speicherkapazität und eine extra Datenübertragungskapazität für die Bilddaten der höheren Ebene zusätzlich erforderlich im Vergleich zu dem Fall, wo lediglich die Bilddaten der unteren Ebene gespeichert und übertragen werden.

[0004] Die Erfinder dieser Erfindung haben schon ein hierarchisches Codierverfahren vorgeschlagen, um einen Anstieg bezüglich der Speicherkapazität zu beschränken.

[0005] Beispielsweise sei nun angenommen, dass die Summe von vier Pixeln aus 2×2 (Reihen × Spalten) wie ein höheres hierarchisches Pixel (ein Pixelwert) bei einem hierarchischen Codieren von drei Ebenen behandelt wird. Gemäß Fig. 9A werden 8×8 Pixel nun als ein Bild der hierarchischen unteren Ebene angesehen, und die Summe m0 der oberen linken vier Pixel 2×2 Pixel h00, h10, h01 und h11 wird berechnet, und die Summe m0 wird dann wie das obere linke Pixel in einer zweiten Ebene behandelt. Auf die gleiche Weise werden die Summe m1 der rechten oberen vier Pixel h20, h30, h21 und h31, die Summe m2 der linken unteren vier Pixel h02, h12, h03 und h13, und die Summe m3 der rechten unteren vier Pixel h22, h32, h23 und h33 in der hierarchischen unteren Ebene entsprechend berechnet, und diese Summen werden jeweils als rechte obere, als linke untere und als rechte untere Pixel in der zweiten Ebene behandelt. Die Summe q0 der vier Pixel m0, m1, m2 und m3 als 2×2 Pixel in der zweite Ebene wird berechnet, und die Summe ist ein Pixel eines Bilds in der hierarchischen oberen Ebene.

[0006] Wenn alle Pixel h00 bis h33, m0 bis m3 und q0 gespeichert sind, ist die extra Speicherkapazität für die Pixel m0 bis m3 in der zweiten Ebene und das Pixel q0 in der dritten Ebene zusätzlich erforderlich.

[0007] Gemäß Fig. 9B ist das Pixel q0 in der dritten Ebene positioniert, beispielsweise anstelle des rechten unteren Pixels m3 von den Pixeln der zweiten Ebene m0 bis m3. Die zweite Ebene ist somit aus den Pixeln m0 bis m2 und q0 aufgebaut.

[0008] Gemäß Fig. 9C ist das Pixel m0 in der zweiten Ebene beispielsweise anstelle des unteren linken Pixels h11 von den Pixeln h00, h10, h01 und h11 der ersten Ebene positioniert, wobei alle diese verwendet werden, das Pixel m0 in der zweiten Ebene zu bestimmen. Ähnlich werden die verbleibenden Pixel m1, m2 und q0 in der zweiten Ebene durch die Pixel h31, h13 und h33 in der ersten Ebene ersetzt. Obwohl das Pixel q0 nicht unmittelbar von den Pixeln h22, h32, h23 und h33 hergeleitet wird, wird das Pixel q0 durch das Pixel m3 ersetzt, welches unmittelbar von diesem Pixel hergeleitet wird, und das Pixel q0 ist somit anstelle des Pixels m3 an der Stelle des Pixels h33 positioniert.

[0009] Auf diese Weise ist gemäß Fig. 9C die Gesamtzahl von Pixeln gleich 16 aus 4×4 Pixeln, und verbleibt gegenüber der Anzahl von Pixeln der unteren hierarchischen Ebene unverändert, die in Fig. 9A gezeigt ist. Eine Vergrößerung der Speicherkapazität wird somit vermieden.

[0010] Die Pixel m3 und h33, welche durch das Pixel q0 ersetzt wurden, und die Pixel h11, h31 und h13, welche entsprechend durch die Pixel m0 bis m2 ersetzt wurden, werden wie folgt decodiert.

[0011] Da q0 die Summe aus m0 bis m3 ist, gilt die Gleichung: q0 = m0 + m1 + m2 + m3. Das Pixel m3 wird bestimmt aus der Gleichung m3 = q0 – (m0 + m1 + m2).

[0012] m0 = Summe aus h00, h10, h01 und h11, und es gilt die Gleichung: m0 = h00 + h10 + h01 + h11. h11 wird somit aus der Gleichung bestimmt: h11 = m0 – (h00 + h10 + h01). Ähnlich wird h31, h13 und h33 bestimmt. h33 wird nach der Bestimmung von m3 bestimmt.

[0013] Beim obigen hierarchischen Codieren war

eine Verzögerungsschaltung für eine Zeilenverzögerung des Pixels der ersten Ebene (Pixelwert) üblicherweise neben einem Allzweckspeicher erforderlich, um die hierarchischen Codierergebnisse zu speichern (beispielsweise ein SRAM (statischer Speicher mit wahlfreiem Zugriff) oder DRAM (dynamischer RAM)).

[0014] Beispielsweise muss gemäß Fig. 9C die Gleichung m0 = h00 + h01 + h02 + h03 berechnet werden, um das Pixel m0 in der zweiten Ebene zu bestimmen, und um das Pixel m0 in der zweiten Ebene zu bestimmen, sind die Pixel h00, h10, h01 und h11, welche über zwei Zeilen verteilt sind, notwendig, und die Zufuhr der Bilddaten zum Speicher wird sequentiell von oben nach unten gemäß der Einheit einer Zeile durchgeführt. Das Schreiben und das Lesen der Bilddaten in und von dem Speicher wird ebenfalls gemäß der Einheit einer Zeile durchgeführt.

[0015] Aus diesem Grund muss, um m0 zu berechnen, die Zeile mit Beginn von h00 um eine Zeile verzögert werden, um auf die Zeile zu warten, welche mit h01 beginnt, und die Zeile mit Beginn von h00 und die Zeile mit Beginn von h01 muss in den Speicher geschrieben werden.

[0016] Außerdem ist neben dem Speicher zum Speichern der hierarchischen Codierergebnisse eine Verzögerungsschaltung zur Zeilenverzögerung der Bilddaten erforderlich, was bewirkt, dass die Einrichtung großvolumig wird.

[0017] Eine Speichereinrichtung, wie sie allgemein oben angegeben ist, welche eine Zeilenverzögerungsschaltung aufweist, ist in unseren früheren europäischen Patentanmeldungsveröffentlichung EP-A 0 767 587 offenbart.

[0018] Die vorliegende Erfindung liefert eine Speichereinrichtung nach Anspruch 1 und ein Zugriffsverfahren nach Anspruch 9.

[0019] Eine bevorzugte Ausführungsform der Erfindung sucht, eine Speichereinrichtung bereitzustellen, welche kompakt ist.

[0020] Die Erfindung wird nun mittels eines Beispiels mit Hilfe der beiliegenden Zeichnungen beschrieben, wobei durchwegs gleiche Teile mit gleichen Bezugszeichen versehen sind, und in denen:

[0021] Fig. 1 ein Blockdiagramm ist, welches den Aufbau einer Ausführungsform einer Speichereinrichtung nach der vorliegenden Erfindung zeigt;

[0022] Fig. 2 die Organisation eines Bildschirms für ein Bild einer ersten Ebene zeigt;

[0023] Fig. 3 ein erstes Funktionsblockdiagramm der Speichereinrichtung von Fig. 1 ist;

[0024] Fig. 4 ein zweites Funktionsblockdiagramm der Speichereinrichtung von Fig. 1 ist;

[0025] Fig. 5 ein drittes Funktionsblockdiagramm der Speichereinrichtung von Fig. 1 ist;

[0026] Fig. 6 ein viertes Funktionsblockdiagramm der Speichereinrichtung von Fig. 1 ist;

[0027] Fig. 7 einen Speicher **2** der ersten Ebene von Fig. 6 zeigt, der in eine Datenbank A und eine Datenbank B unterteilt ist;

[0028] Fig. 8 ein fünftes Funktionsblockdiagramm der Speichereinrichtung von Fig. 1 ist; und

[0029] Fig. 9A bis Fig. 9C einen hierarchischen Codierprozess zeigen.

[0030] Fig. 1 zeigt den Aufbau einer Ausführungsform der Speichereinrichtung, welche die vorliegende Erfindung verkörpert.

[0031] Beispielsweise kann die Speichereinrichtung aus einem CMOS-Chip (Complementary Metal Oxide Semiconductor) aufgebaut sein, der ausgebildet ist, das hierarchische Codieren durchzuführen, um beispielsweise Bilder von drei Ebenen, welche eine unterschiedlich Anzahl von Pixeln haben, von einem Bild, welches darauf zugeführt ist, herzuleiten.

[0032] Insbesondere wird eine Adresslieferschaltung **1** mit einer Horizontaladresse und einer Vertikaladresse beliefert, nämlich Adressen, welche den horizontalen und vertikalen Positionen jedes Pixels für das Bild entsprechen, welches der Speichereinrichtung zugeführt wird.

[0033] Bei dieser Ausführungsform nach der vorliegenden Erfindung empfängt, wie in Fig. 2 gezeigt ist, die Adresslieferschaltung **1** ein Bild (digitale Bilddaten) in einem einzigen Bildschirm, der aus 512 Pixeln in einer horizontalen Richtung mal 512 Pixel in einer vertikalen Richtung gebildet ist. Jede der horizontalen Adressen und der vertikalen Adressen wird durch neun Bits (= $\log_2 512$) ausgedrückt.

[0034] Die Adresslieferschaltung **1** verarbeitet die Horizontaladresse und die Vertikaladresse, wenn notwendig, und führt diese einem Speicher **2** der ersten Ebene, einem Speicher **3** der zweiten Ebene und einem Speicher **4** der dritten Ebene zu. Die Adresslieferschaltung **1** wird außerdem mit einem Takt (nicht in Fig. 3 bis Fig. 6 und Fig. 8 gezeigt, die später beschrieben werden), einem R/W-Signal (Lese-/Schreib-Signal), und einem hierarchischen Flag neben den horizontalen und vertikalen Adressen beliefert. Die Adresslieferschaltung **1** liefert eine Adres-

se zum Speicher **2** der ersten Ebene, zum Speicher **3** der zweiten Ebene und zum Speicher **4** der dritten Ebene synchron mit dem Takt. Als Antwort auf das R/W-Signal und das hierarchische Flag verarbeitet die Adresslieferschaltung **1** die Horizontaladresse und die Vertikaladresse. Außerdem liefert die Adresslieferschaltung **1** ein vorher festgelegtes Steuersignal zur RMW-Schaltung **5** wenn notwendig.

[0035] Das R/W-Signal befiehlt das Lesen der Bilddaten von der Speichereinrichtung und das Schreiben der Bilddaten in die Speichereinrichtung, und das hierarchische Signal befiehlt, welches von einem Bild der ersten Ebene, einem Bild der zweiten Ebene und einem Bild der dritten Ebene, was später erläutert wird, gelesen wird, wenn das Bild, welches in der Speichereinrichtung gespeichert ist, gelesen wird, und ist beispielsweise ein 2-Bit-Flag. Da das Schreiben der Bilddaten gleichzeitig in den Speicher **2** der ersten Ebene, den Speicher **3** der zweiten Ebene und den Speicher **4** der dritten Ebene durchgeführt wird, wird das hierarchische Flag ignoriert (nicht effektiv), wenn das R/W-Signal Schreiben zeigt. Da das Lesen vom Speicher **2** der ersten Ebene, vom Speicher **3** der zweiten Ebene und vom Speicher **4** der dritten Ebene individuell durchgeführt wird, ist das hierarchische Flag lediglich während des Lesens effektiv. Es ist jedoch auch möglich, gleichzeitig vom Speicher **2** der ersten Ebene, dem Speicher **3** der zweiten Ebene und dem Speicher **4** der dritten Ebene zu lesen. In diesem Fall ist die Verwendung des hierarchischen Flags nicht notwendig.

[0036] Der Speicher **2** der ersten Ebene speichert die Bilddaten, welche durch die RMW-Schaltung **5** zugeführt werden, bei einer Adresse, welche durch die Adresslieferschaltung **1** bestimmt wird, und liest die Bilddaten, welche bei der Adresse gespeichert sind und gibt diese an die RMW-Schaltung **5** aus. Der Speicher **2** der ersten Ebene ist ausgebildet, das Bild der ersten Ebene zu speichern, d. h., die Bilddaten, welche der Speichereinrichtung unverändert zugeführt werden. Der Speicher **2** der ersten Ebene ist ausgebildet, zumindest das Bild der ersten Ebene in einem Bildschirm zu speichern, nämlich die Bilddaten aus 512×512 Pixeln, wie in Fig. 2 gezeigt ist. Jede Speicherzelle, welche den Speicher **2** der ersten Ebene bildet, hat zumindest eine Datenlänge gleich der Anzahl von Bits, welche einem Pixel für das Bild der ersten Ebene zugeteilt ist. Wenn insbesondere beispielsweise ein Pixel für das Bild der ersten Ebene durch acht Bits ausgedrückt wird, hat eine Speicherzelle, welche den Speicher **2** der ersten Ebene bildet, zumindest eine Datenlänge von acht Bits.

[0037] Der Speicher **3** der zweiten Ebene speichert die Bilddaten, welche durch die RMW-Schaltung **5** zugeführt werden, bei einer Adresse, welche durch die Adresslieferschaltung **1** bestimmt wird, und liest die Bilddaten, welche in der Adresse gespeichert sind, und gibt diese an die RMW-Schaltung **5** aus. Der Speicher **3** der zweiten Ebene ist ausgebildet, das Bild der zweiten Ebene zu speichern. Insbesondere wird in der gleichen Weise wie mit Hilfe von **Fig.** 9 beschrieben ein einzelnes Pixel in der zweiten Ebene aus vier Pixeln aus 2×2 (Reihen × Spalten) für das Bild der ersten Ebene hergeleitet, und der Speicher **3** der zweiten Ebene ist ausgebildet, das Bild der zweiten Ebene zu speichern, welches aus derartigen Pixeln aufgebaut ist. Außerdem hat der Speicher **3** der zweiten Ebene zumindest eine Speicherkapazität, die in der Lage ist, das Bild der zweiten Ebene auf einem Bildschirm zu speichern. Da insbesondere ein Pixel in der zweiten Ebene aus 2×2 Pixeln in der ersten Ebene hergeleitet wird, besteht die zweite Ebene eines Bildschirms aus 256×256 Pixeln (= 512/2 × 512/2). Der Speicher **2** der zweiten Ebene ist somit ausgebildet, zumindest das Bild der zweiten Ebene, welches eine derartige Anzahl von Pixeln hat, zu speichern. Außerdem hat jede Speicherzelle, welche den Speicher **3** der zweiten Ebene bildet, zumindest eine Datenlänge, die in der Lage ist, ein Pixel für das Bild der zweiten Ebene zu speichern, ohne dass ein Zeichen fehlt. Da insbesondere ein Pixel in der ersten Ebene durch acht Bits bei dieser Ausführungsform ausgedrückt wird, wird ein Pixel in der zweiten Ebene, welche die Summe aus Pixeln aus acht Bits ist, in zehn Bits ausgedrückt ($=\log_2(2^8 + 2^8 + 2^8 + 2^8)$). Jede Speicherzelle, welche den Speicher **3** der zweiten Ebene bildet, hat zumindest eine Datenlänge von zehn Bits.

[0038] Der Speicher **4** der dritten Ebene speichert die Bilddaten, welche durch die RMW-Schaltung **5** zugeführt werden, bei einer Adresse, welche durch die Adresslieferschaltung **1** bestimmt wird, und liest die Bilddaten, welche bei der Adresse gespeichert sind und gibt diese an die RMW-Schaltung **5** aus. Der Speicher **4** der dritten Ebene ist bestimmt, das Bild der dritten Ebene zu speichern. Insbesondere wird in der gleichen Weise wie oben mit Hilfe von **Fig.** 9 beschrieben ein einzelnes Pixel in der dritten Ebene von vier Pixeln aus 2×2 für das Bild der zweiten Ebene hergeleitet, d. h., 4×4 Pixel in der ersten Ebene, und der Speicher **4** der dritten Ebene ist ausgebildet, das Bild der dritten Ebene zu speichern, welches aus diesen Pixeln besteht. Außerdem hat der Speicher **4** der dritten Ebene zumindest eine Speicherkapazität, die in der Lage ist, das Bild der dritten Ebene eines Bildschirms zu speichern. Insbesondere, da ein Pixel in der dritten Ebene aus 2×2 Pixeln in der zweiten Ebene hergeleitet wird, ist die zweite Ebene eines Bildschirms aufgebaut aus 128×128 Pixeln (= 256/2 × 256/2). Der Speicher der dritten Ebene **4** ist somit ausgebildet, zumindest das Bild der dritten Ebene, welches diese Anzahl von Pixel hat, zu speichern. Außerdem hat jede Speicherzelle, welche den Speicher der dritten Ebene bildet, zumindest eine Datenlänge, die in der Lage ist, ein Pixel für das Bild der dritten Ebene zu speichern, ohne dass ein Zeichen

fehlt. Da insbesondere ein Pixel in der zweiten Ebene durch zehn Bits bei dieser Ausführungsform ausgedrückt wird, wird ein Pixel in der dritten Ebene, welche die Summe von vier Pixeln aus zehn Bits ist, ausgedrückt in 12 Bits (= $\log_2(2^{10} + 2^{10} + 2^{10} + 2^{10})$ Jede Speicherzelle, welche den Speicher **4** der dritten Ebene bildet, hat zumindest eine Datenlänge von 12 Bits.

[0039] Der Speicher **2** der ersten Ebene, der Speicher **3** der zweiten Ebene und der Speicher **4** der dritten Ebene werden mit dem Takt beliefert, und das Datenlesen und das Datenschreiben werden synchron mit dem Takt durchgeführt.

[0040] Die RMW-Schaltung **5** ist ausgebildet, die Bilddaten, welche der Speichereinrichtung zugeführt werden, auf dem Speicher **2** der ersten Ebene als Bild einer ersten Ebene zu schreiben. Die RMW-Schaltung **5** berechnet außerdem das Bild einer zweiten Ebene von dem Bild der ersten Ebene und schreibt dies in den Speicher **3** der zweiten Ebene. Außerdem berechnet die RMW-Schaltung **5** das Bild einer zweiten Ebene von dem Bild der ersten Ebene (oder dem Bild der zweiten Ebene) und schreibt dies in den Speicher **4** der dritten Ebene. Die RMW-Schaltung **5** liest die Bilddaten, welche entsprechend im Speicher **2** der ersten Ebene, im Speicher **3** der zweiten Ebene und im Speicher **4** der dritten Ebene gespeichert sind und gibt die gelesenen Bilddaten aus. Die RMW-Schaltung **5** wird mit dem Takt, dem R/W-Signal, dem hierarchischen Flag und dem Steuersignal beliefert, welches von der Adresslieferschaltung **1** ausgegeben werden, und führt eine Vielzahl von Verarbeitungen als Antwort auf das R/W-Signal, das hierarchische Signal und das Steuersignal synchron mit dem Takt durch.

[0041] Die Arbeitsweise der Speichereinrichtung wird nun mit Hilfe von Fig. 3 bis Fig. 5 erläutert.

[0042] Wie in Fig. 2 gezeigt ist, werden die Bilddaten eines Bildschirms, der aus 512×512 Pixeln gebildet ist, wobei jedes Pixel durch acht Bits ausgedrückt wird, zur Speichereinrichtung als Bild der ersten Ebene geliefert. Es sei nun angenommen, dass die Bilddaten sequentiell abgetastet und zugeführt werden.

[0043] Wie für die Pixel des Bilds der ersten Ebene soll nun h(0, 0) das obere linke Pixel zeigen, und h(x, y) soll ein Pixel in einer (x + 1)-ten Spalte von links und bei einer (y + 1)-ten Reihe von oben zeigen. Da das Bild der ersten Ebene aus 512×512 Pixeln gebildet ist, nimmt das x und y eine ganze Zahl an, welche in einen Bereich von 0 bis 511 (= $2^9 - 1$) fällt.

[0044] Nun werden die Variablen s und t, die jeweils eine ganze Zahl innerhalb des Bereichs von 0 bis 255 (= $2^9/2 - 1$) annehmen, betrachtet, und ein Pixel in der zweiten Ebene ist die Summe von benachbarten 2×2 Pixeln in der ersten Ebene,
h(2s, 2t) h(2s + 1, 2t)
h(2s, 2t + 1), h(2s + 1, 2t + 1),
und diese Summe wird nun durch m(s, t) bestimmt. Es gilt die folgende Gleichung:

$$m(s, t) = h(2s, 2t) + h(2s + 1, 2t) + h(2s, 2t + 1) + h(2s + 1, 2t + 1) \quad (1)$$

[0045] Es werden nun die Variablen m und n, die jeweils eine ganze Zahl innerhalb des Bereichs von 0 bis 127 (= $2^9/4 - 1$) haben, betrachtet, und ein Pixel in der dritten Ebene ist die Summe von benachbarten 2×2 Pixeln in der zweiten Ebene,
m(2m, 2n) m(2m + 1, 2n)
m(2m, 2n + 1) m(2m + 1, 2n + 1)
nämlich die Summe von benachbarten 4×4 Pixeln in der ersten Ebene,
h(4m, 4n), h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 1, 4n + 1), h(4m + 2, 4n + 1), h(4m + 3, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), h(4m + 1, 4n + 3), h(4m + 2, 4n + 3), h(4m + 3, 4n + 3),
und die Summe wird nun bestimmt durch q(m, n). Es gelten die folgenden Gleichungen:

$$\begin{aligned} g(m, n) &= m(2m, 2n) + m(2m + 1, 2n) + m(2m, 2n + 1) + m(2m + 1, 2n + 1) \\ &= h(4m, 4n) + h(4m + 1, 4n) + h(4m + 2, 4n) + h(4m + 3, 4n) + h(4m, 4n + 1) + h(4m + 1, 4n + 1) + h(4m + 2, 4n + 1) + h(4m + 3, 4n + 1) + h(4m, 4n + 2) + h(4m + 1, 4n + 2) + h(4m + 2, 4n + 2) + h(4m + 3, 4n + 2) \\ &\quad + h(4m, 4n + 3) + h(4m + 1, 4n + 3) + h(4m + 2, 4n + 3) + h(4m + 3, 4n + 3) \end{aligned} \quad (2)$$

[0046] Während des Datenschreibens und des Datenlesens wird die Adresslieferschaltung **1** mit einer Kombination aus einer Horizontaladresse HA und einer Vertikaladresse VA (HA, VA) synchron mit dem Takt beliefert, beispielsweise in der folgenden Reihenfolge (entsprechend der Reihenfolge des sequentiellen Abtastens),
(0, 0), (1, 0), ..., (511, 0)
(0, 1), (1, 1), ..., (511, 1)
.
.
(0, 511), (1, 511), ..., (511, 511)

[0047] Nun sollen ha1, ha2, ..., ha8 (ha8 soll das höchstwertige Bit sein) die Bits der Neun-Bit-Horizontaladresse HA zeigen, wenn ha0 das niedrigstwertige Bit zeigt, und va1, va2, ..., va8 (va8 soll das höchstwertige Bit sein) die Bits der neun-Bit-Vertikaladresse VA zeigen, wenn hb0 das niedrigstwertige Bit zeigt.

[0048] Wenn die Bilddaten in die Speichereinrichtung geschrieben werden, wird die RMW-Schaltung **5** sequentiell mit dem Bild der ersten Ebene synchron mit dem Takt beliefert, während die Adresslieferschaltung **1** mit der Horizontaladresse HA und der

Vertikaladresse VA wie oben beschrieben beliefert wird.

[0049] Das Zugreifen auf den Speicher **2** der ersten Ebene wird wie folgt durchgeführt.

[0050] Gemäß Fig. 3 liefert während eines Schreibbetriebs (wenn das R/W-Signal einen Schreibbetrieb zeigt) die Adresslieferschaltung **1** die Horizontaladresse HA und die Vertikaladresse VA, die zu ihr geliefert werden, wie sie sind, zu Adressanschlüssen (ADh, ADv) des Speichers **2** der ersten Ebene. Die RMW-Schaltung **5** schreibt die Bilddaten der ersten Ebene, die dorthin geliefert werden, in eine Speicherzelle (nicht gezeigt) im Speicher **2** der ersten Ebene, die durch die Horizontaladresse HA und die Vertikaladresse VA bestimmt wird. Der gleiche Prozessschritt wird wiederholt, um den Speicher der ersten Ebene eines Bildschirms, der aus 512×512 Pixeln gebildet ist, in den Speicher **2** der ersten Ebene zu speichern. Auf diese Weise werden in den Adressen im Speicher **2** der ersten Ebene
(0, 0), (1, 0), ..., (511, 0)
(0, 1), (1, 1), ..., (511, 1)
.
.
(0, 511), (1, 511), ..., (511, 511)
die Pixel der ersten Ebene (Pixelwerte)
h(0, 0), h(1, 0), ..., h(511, 0)
h(0, 1), h(1, 1), ..., h(511, 1)
h(0, 511), h(1, 511), ..., h(511, 511)
entsprechend gespeichert.

[0051] Während eines Lesebetriebs (wenn das R/W-Signal den Lesebetrieb zeigt) liefert die Adresslieferschaltung **1** die Horizontaladresse HA und die Vertikaladresse VA, die zugeführt werden, wie sie sind, zu den Adressanschlüssen des Speichers **2** der ersten Ebene, wenn das hierarchische Flag die erste Ebene zeigt. Die RMW-Schaltung **5** liest die Bilddaten der ersten Ebene, welche in der Speicherzelle im Speicher **2** der ersten Ebene gespeichert sind, der durch die Horizontaladresse HA und die Vertikaladresse VA bestimmt ist, und der gleiche Prozessschritt wird wiederholt, um den Speicher der ersten Ebene eines Bildschirms, der aus 512×512 Pixeln aufgebaut ist, vom Speicher **2** der ersten Ebene zu lesen. Auf diese Weise wird das Bild der ersten Ebene, welche sequentiell abgetastet wird, ausgegeben.

[0052] Das Zugreifen auf den Speicher **3** der zweiten Ebene wird nun erläutert.

[0053] Während eines Schreibbetriebs liefert die Adresslieferschaltung **1** zu den Adressanschlüssen des Speichers **3** der zweiten Ebene beispielsweise höherwertigere acht Bits ha1 bis ha8 ohne das niedrigstwertige Bit ha0 als Teil der Horizontaladresse HA, die zugeführt wird, und die höherwertigeren acht Bits va1 bis va8 ohne das niedrigstwertige Bit va0 als Teil der Vertikaladresse VA, welche zugeführt wird, wie in Fig. 4 gezeigt ist. Außerdem gibt die Adresslieferschaltung **1** das niedrigstwertige Bit ha0 der Horizontaladresse HA und das niedrigstwertige Bit va0 der Vertikaladresse VA an die RMW-Schaltung **5** als Steuersignal aus.

[0054] In dem Zeitpunkt, wo jedes der vier Pixel 2×2 aus h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene, die durch D1, wie in Fig. 2 zeigt ist, dargestellt wird, zur RMW-Schaltung **5** geführt wird, gibt die Adresslieferschaltung **1** ein Signal aus, welches die gleiche Adresse (s, t) im Speicher **3** der zweiten Ebene zeigt.

[0055] Dagegen werden in der RMW-Schaltung **5** die Bilddaten der ersten Ebene, die dorthin geliefert werden, an eine Recheneinheit **13** ausgegeben. Die Recheneinheit **13** empfängt ein Ausgangssignal von einem Schalter **12** sowie Bilddaten der ersten Ebene und addiert diese und liefert die Summe zu einem Schreibabschnitt **14**.

[0056] Der Schalter **12** trifft eine Auswahl zwischen seinem Anschluss **12a** und dem Anschluss **12b** in Abhängigkeit von einem Ausgangssignal von einem NOR-Gate **15**. Die Anschlüsse **12a** und **12b** werden mit einem Ausgangssignal eines Leseabschnitts **11** bzw. 0 beliefert. Das NOR-Gate **15** empfängt sowohl das niedrigstwertige Bit ha0 der Horizontaladresse HA als auch das niedrigstwertige Bit va0 der Vertikaladresse VA von der Adresslieferschaltung **1**. Dessen Ausgang ist auf einem H-Pegel lediglich dann, wenn die beiden niedrigstwertigen Bits ha0 und va0 gleich 0 sind, nämlich in dem Zeitpunkt, wo das obere linke Pixel h(s, t) der 2×2 Pixel h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene zur Recheneinheit **13** geliefert wird und auf einem L-Pegel in der übrigen Zeit ist.

[0057] Der Schalter **12** ist dazu bestimmt, zwischen seinem Anschluss **12a** und dem Anschluss **12b** in Abhängigkeit davon auszuwählen, ob das Ausgangssignal des NOR-Gates **15** auf einem L-Pegel oder auf einem H-Pegel ist.

[0058] Der Leseabschnitt **11** liest Daten (Speicherdaten), die bei der Adresse gespeichert sind, welche einem Signal entspricht, welches durch die Adresslieferschaltung **1** ausgegeben wird.

[0059] In dem Zeitpunkt, wo das linke obere Pixel h(2s, 2t) der 2×2 Pixel h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene zur Recheneinheit **13** geliefert wird, liest der Leseabschnitt **11** die Daten, welche bei der Adresse (s, t) im Speicher **3** der zweiten Ebene gespeichert sind, und gibt diese an den Anschluss **12a** aus. Da sowohl das niedrigstwertige Bit ha0 der Horizontaladresse HA als auch das niedrigstwertige Bit va0 der Vertikal-

adresse VA0 sind, wird das Ausgangssignal des NOR-Gates **15** auf einen H-Pegel gesteuert, wodurch bewirkt wird, dass der Schalter **12** seinen Anschluss **12b** auswählt.

[0060] Als Ergebnis wird die 0 der Recheneinheit **13** über den Schalter **12** zugeführt.

[0061] Die Recheneinheit **13** summiert die 0 und das Pixel h(2s, 2t) in der ersten Ebene, und die resultierende Summe (0 + h(2s, 2t)) wird zum Schreibabschnitt **14** geliefert. Der Schreibabschnitt **14** schreibt das Ausgangssignal der Recheneinheit **13** in die Adresse, welche dem Ausgangssignal der Adresslieferschaltung **1** entspricht, nämlich in die Adresse (s, t) im Speicher **3** der zweiten Ebene.

[0062] In dem Zeitpunkt, wo das Pixel h(2s + 1, 2t) rechts vom oberen linken Pixel h(2s, 2t) der 2×2 Pixel h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene zur Recheneinheit **13** geliefert wird, liest der Leseabschnitt **11** die Daten (hier 0 + h(2s, 2t)), welche in der Adresse (s, t) im Speicher **3** der zweiten Ebene gespeichert sind, und gibt diese an den Anschluss **12a** aus.

[0063] Da das niedrigstwertige Bit ha0 der Horizontaladresse HA eine 1 ist, wenn das niedrigstwertige Bit va0 der Vertikaladresse VA gleich 0 ist, wird der Ausgang des NOR-Gates **15** auf einen L-Pegel gesteuert, wodurch bewirkt wird, dass der Schalter **12** seinen Anschluss **12a** auswählt.

[0064] Als Ergebnis empfangt die Recheneinheit **13** die Daten (Speicherdaten), welche durch den Leseabschnitt **11** gelesen werden (hier 0 + h(2s, 2t)), über den Schalter **12**.

[0065] Die Recheneinheit **13** summiert die Daten, welche über den Schalter **12** geliefert werden, und das Pixel h(2s + 1, 2t) in der ersten Ebene, und die resultierende Summe (0 + h(2s, 2t) + h(2s + 1, 2t)) wird zum Schreibabschnitt **14** geliefert. Der Schreibabschnitt **14** schreibt das Ausgangssignal der Recheneinheit **13** in die Adresse, welche dem Ausgang der Adresslieferschaltung **1** entspricht, nämlich in die Adresse (s, t) im Speicher **3** der zweiten Ebene.

[0066] Das Liefern der Bilddaten auf einer Zeile 2t + 1 von oben beginnt. In dem Zeitpunkt, wo das linke untere Pixel h(2s, 2t + 1) von den 2×2 Pixeln h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene zur Recheneinheit **13** geliefert wird, liest der Leseabschnitt **11** die Daten (hier 0 + h(2s, 2t) + h(2s + 1, 2t), welche in der Adresse (s, t) im Speicher **3** der zweiten Ebene gespeichert sind und gibt diese an den Anschluss **12a** aus.

[0067] Da das niedrigstwertige Bit ha0 der Horizontaladresse HA gleich einer 0 ist, wenn das niedrigstwertige Bit va0 der Vertikaladresse VA gleich einer 1 ist, wird der Ausgang des NOR-Gates **15** auf einen L-Pegel gesteuert, wodurch bewirkt wird, dass der Schalter **12** seinen Anschluss **12a** auswählt.

[0068] Als Ergebnis empfangt die Recheneinheit **13** die Daten (Speicherdaten), welche durch den Leseabschnitt **11** gelesen werden (hier 0 + h(2s, 2t) + h(2s + 1, 2t)), über den Schalter **12**.

[0069] Die Recheneinheit **13** summiert die Daten, welche über den Schalter **12** geliefert werden, und das Pixel h(2s, 2t + 1) in der ersten Ebene, und die resultierende Summe (0 + h(2s, 2t) + h(2s + 1, 2t) + h(2s, 2t + 1)) wird zum Schreibabschnitt **14** geliefert. Der Schreibabschnitt **14** schreibt das Ausgangssignal der Recheneinheit **13** in die Adresse, welche dem Ausgang der Adresslieferschaltung **1** entspricht, nämlich in die Adresse (s, t) im Speicher **3** der zweiten Ebene.

[0070] In dem Zeitpunkt, wo das Pixel h(2s + 1, 2t + 1) rechts vom unteren linken Pixel h(2s, 2t + 1) von den 2×2 Pixeln h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene zur Recheneinheit **13** geliefert wird, liest der Leseabschnitt **11** die Daten (hier 0 + h(2s, 2t) + h(2s + 1, 2t) + h(2s, 2t + 1)), welche in der Adresse (s, t) im Speicher **3** der zweiten Ebene gespeichert sind, und gibt diese an den Anschluss **12a** aus.

[0071] Das sowohl das niedrigstwertige Bit ha0 der Horizontaladresse HA als auch das niedrigstwertige Bit va0 der Vertikaladresse VA eine 1 sind, wird der Ausgang des NOR-Gates **15** auf einen L-Pegel angesteuert, wodurch bewirkt wird, dass der Schalter **12** seinen Anschluss **12a** auswählt.

[0072] Als Ergebnis empfängt die Recheneinheit **13** die Daten (Speicherdaten), welche über den Leseabschnitt **11** gelesen werden (hier 0 + h(2s, 2t) + h(2s + 1, 2t) + h(2s, 2t + 1)), über den Schalter **12**.

[0073] Die Recheneinheit **13** summiert die Daten, welche über den Schalter **12** geliefert werden, und das Pixel h(2s + 1, 2t + 1) in der ersten Ebene, und die resultierende Summe (0 + h(2s, 2t) + h(2s + 1, 2t) + h(2s, 2t + 1) + h(2s + 1, 2t + 1)) wird zum Schreibabschnitt **14** geliefert. Der Schreibabschnitt **14** schreibt das Ausgangssignal der Rechenschaltung in die Adresse, welche dem Ausgang der Adresslieferschaltung **1** entspricht, nämlich in die Adresse (s, t) im Speicher **3** der zweiten Ebene.

[0074] Der Speicher **3** der zweiten Ebene speichert schließlich die Summe, welche durch die Gleichung h(2s, 2t) + h(2s + 1, 2t) + h(2s, 2t + 1) + h(2s + 1, 2t + 1) ausgedrückt wird, nämlich das Pixel (Pixelwert) m(s, t) der zweiten Ebene, welches durch die Gleichung (1) ausgedrückt wird.

[0075] Auf diese Weise speichert der Speicher **3** der zweiten Ebene das Bild der zweiten Ebene, welches aus einem Bildschirm von 256×256 Pixeln aufgebaut ist.

[0076] Wie oben beschrieben werden die Bilddaten der ersten Ebene in die Adresse (HA, VA) im Speicher **2** der ersten Ebene geschrieben, die durch die Horizontaladresse HA und die Vertikaladresse VA bestimmt wird. Die gespeicherten Speicherdaten werden von der Adresse des Speichers der zweiten Ebene gelesen, welche durch ha1 bis ha8 und va1 bis va8 bestimmt wird, die Teile der Horizontaladresse HA und der Vertikaladresse VA sind. Die Speicherdaten und die Bilddaten in der ersten Ebene werden summiert, und die Summe (erste verarbeitete Daten) werden in die Adresse im Speicher **2** der ersten Ebene geschrieben, der die Speicherdaten gespeichert hat. Mit dieser Anordnung werden die Bilddaten in der ersten Ebene gespeichert, während die Bilddaten in der zweiten Ebene erzeugt werden und im gleichen Zeitpunkt gespeichert werden. Zusammengefasst werden die Bilddaten der zweiten Ebene auf Realzeitbasis erlangt.

[0077] Da der Speicher **3** der zweiten Ebene zum Speichern des Bilds der zweiten Ebene die Funktion der Schaltung für die herkömmliche Zeilenverzögerung durchführt, besteht keine Notwendigkeit nach einer solchen Schaltung, und es wird eine kompakte Ausbildung in der Speichereinrichtung realisiert.

[0078] Das Lesen des Bilds der zweiten Ebene vom Speicher **3** der zweiten Ebene wird nun erläutert.

[0079] Während eines Lesebetriebs liefert die Adresslieferschaltung **1** zu den Adressanschlüssen des Speichers **2** der zweiten Ebene beispielsweise höherwertigere acht Bits ha1 bis ha8 der Horizontaladresse HA oder höherwertigere acht Bits va1 bis va8 der Vertikaladresse VA, die zugeführt werden, wenn das hierarchische Flag die zweite Ebene zeigt, während das niedrigstwertige Bit ha0 und der niedrigstwertige Bit va0 an die RMW-Schaltung **5** als Steuersignal ausgegeben werden.

[0080] In der RMW-Schaltung **5** empfangt der Leseabschnitt **11** das hierarchische Flag, das R/W-Signal und das Ausgangssignal des NOR-Gates **15**. Wenn das R/W-Signal den Lesebetrieb zeigt, und das hierarchische Flag die zweite Ebene zeigt, liest der Leseabschnitt **11** die Bilddaten und gibt diese aus, welche bei der Adresse in der zweiten Ebene gespeichert sind, welche dem Signal entspricht, welches durch die Adresslieferschaltung **1** ausgegeben wird, nur dann, wenn der Ausgang des NOR-Gates **15** auf einem H-Pegel ist.

[0081] Gemäß der obigen Erläuterung gibt, wenn die Kombination aus der Horizontaladresse HA und der Vertikaladresse VA eine ist aus (2s, 2t), (2s + 1, 2t), (2s, 2t + 1) und (2s + 1, 2t + 1), die Adresslieferschaltung **1** die gleiche Adresse (s, t) an den Speicher **3** der zweiten Ebene aus. Wenn die Daten lediglich von der Adresse im Speicher **3** der zweiten Ebene gelesen werden, welche dem Signal entspricht, welches durch die Adresslieferschaltung **1** ausgegeben wird, werden die gleichen Daten wiederholt viermal gelesen.

[0082] Aus diesem Grund ist der Leseabschnitt **11** so ausgebildet, um das Pixel (Pixelwert) m(s, t) in der zweiten Ebene von der Adresse (s, t) im Speicher **3** der zweiten Ebene nur dann zu lesen, wenn die Kombination der Horizontaladresse HA und der Vertikaladresse VA beispielsweise (2s, 2t) ist, von (2s, 2t), (2s + 1, 2t), (2s, 2t + 1) und (2s + 1, 2t + 1), nämlich dann, wenn der Ausgang des NOR-Gates **15** auf einem H-Pegel ist.

[0083] Die Bilddaten in der zweiten Ebene, welche durch den Leseabschnitt **11** gelesen werden, werden einem Schalter **16** zugeführt. Der Schalter **16** wird lediglich dann eingeschaltet, wenn das R/W-Signal den Lesebetrieb zeigt, und ist in der übrigen Zeit abgeschaltet. Da der Schalter **16** nun eingeschaltet ist, werden die Bilddaten in der zweiten Ebene, welche durch den Leseabschnitt **11** gelesen werden, über den Schalter **16** ausgegeben.

[0084] Auf diese Weise wird das gespeicherte Bild der zweiten Ebene eines Bildschirms, der aus 256×256 Pixeln gebildet ist, vom Speicher **3** der zweiten Ebene gelesen. Ein sequentiell abgetastetes Bild einer zweiten Ebene wird somit ausgegeben.

[0085] Das Zugreifen auf den Speicher **4** der dritten Ebene wird nun erläutert.

[0086] Während eines Schreibbetriebs liefert die Adresslieferschaltung **1** zu den Adressanschlüssen des Speicher **4** der dritten Ebene beispielsweise höherwertige sieben Bits ha2 bis ha7 ohne die niedrigwertigeren Bits ha0 und ha1 als Teil der Horizontaladresse HA, die zugeliefert wird, und höherwertigere sieben Bits va2 bis va8 ohne die niedrigwertigeren Bits va0 und va1 als Teil der Vertikaladresse VA, die so geliefert werden, wie in Fig. 5 gezeigt ist. Außerdem gibt die Adresslieferschaltung **1** sowohl die niedrigwertigeren Bits ha0 und ha1 der Horizontaladresse HA als auch die niedrigwertigeren Bits va0 und va1 der Vertikaladresse VA an die RMW-Schaltung **5** als Steuersignal aus.

[0087] In dem Zeitpunkt, wo jedes von 16 Pixeln aus 4×4 von
h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 1, 4n + 1), h(4m + 2, 4n + 1), h(4m + 3, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), h(4m + 1,

4n + 3), h(4m + 2, 4n + 3), und h(4m + 3, 4n + 3)
in der ersten Ebene, welche durch D2 gezeigt wird, wie in Fig. 2 gezeigt ist, zur RMW-Schaltung **5** geliefert wird, gibt die Adresslieferschaltung **1** ein Signal aus, welches die gleiche Adresse (s, t) im Speicher **4** der dritten Ebene zeigt.

[0088] Dagegen werden in der RMW-Schaltung **5** die Bilddaten der ersten Ebene, die zugeführt werden, an eine Recheneinheit **23** ausgegeben. Die Recheneinheit **23** empfangt ein Ausgangssignal von einem Schalter sowie die Bilddaten der ersten Ebene und summiert diese und führt die Summe zu einem Schreibabschnitt **24**.

[0089] Der Schalter **22** wählt zwischen seinem Anschluss **22a** und seinem Anschluss **22b** in Abhängigkeit von einem Ausgangssignal von einem NOR-Gate **25** aus. Die Anschlüsse **22a** und **22b** werden mit einem Ausgangssignal eines Leseabschnitts **21** bzw. 0 beliefert. Das NOR-Gate **25** empfangt sowohl die niedrigwertigeren Bits ha0 und ha1 der Horizontaladresse HA als auch die niedrigwertigeren Bits va0 und va1 der Vertikaladresse VA von der Adresslieferschaltung **1**. Dessen Ausgang ist auf einem H-Pegel nur dann, wenn die niedrigwertigeren Bits ha0 und ha1 und va0 und va1 0's sind, nämlich in dem Zeitpunkt, wo das linke obere Pixel h(4m, 2n) der 4×4 Pixel
h(4m, 4n), h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 1, 4n + 1), h(4m + 2, 4n + 1), h(4m + 3, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), h(4m + 1, 4n + 3), h(4m + 2, 4n + 3), und h(4m + 3,4n + 3)
in der ersten Ebene zur Recheneinheit **23** geliefert wird und auf einem L-Pegel in der übrigen Zeit ist.

[0090] Der Schalter **22** ist ausgebildet, seinen Anschluss **22a** oder **22b** in Abhängigkeit davon auszuwählen, ob das Ausgangssignal des NOR-Gates **25** auf einem H-Pegel oder einem L-Pegel ist.

[0091] Der Leseabschnitt **21** liest Daten (Speicherdaten) welche bei der Adresse gespeichert sind, welche einem Signal entspricht, welches durch die Adresslieferschaltung **1** ausgegeben wird.

[0092] In dem Zeitpunkt, wo das Pixel h(4m, 4n) in der ersten Ebene der Recheneinheit **23** zugeführt wird, liest der Leseabschnitt **21** die Daten, welche bei der Adresse (m, n) im Speicher **4** der dritten Ebene gespeichert sind, und gibt diese an den Anschluss **22a** aus. Da die niedrigwertigeren Bits ha0 und ha1 der Horizontaladresse HA und die niedrigwertigeren Bits va0 und va1 der Vertikaladresse VA insgesamt alle 0 sind, wird der Ausgang des NOR-Gates **25** auf einen H-Pegel gesteuert, wodurch bewirkt wird, dass der Schalter **22** seinen Anschluss **22b** auswählt.

[0093] Als Ergebnis wird die 0 über den Schalter **22** zur Recheneinheit **23** geliefert.

[0094] Die Recheneinheit **23** summiert die 0 und das Pixel h(4m, 4n) in der ersten Ebene, und die resultierende Summe (0 + h(4m, 4n)) wird zum Schreibabschnitt **24** geliefert. Der Schreibabschnitt **24** schreibt das Ausgangssignal der Recheneinheit **23** in die Adresse, welche dem Signal entspricht, welches durch die Adresslieferschaltung **1** ausgegeben wird, nämlich in die Adresse (m, n) im Speicher **4** der dritten Ebene.

[0095] In dem Zeitpunkt, wo das Pixel h(4m + 1, 4n) rechts vom Pixel h(4m, 4n) in der ersten Ebene zur Recheneinheit **23** geliefert wird, liest der Leseabschnitt **21** die Daten (hier 0 + h(4m, 4n), welche in der Adresse (m, n) im Speicher **4** der dritten Ebene gespeichert sind und gibt diese an den Anschluss **22a** aus.

[0096] Da die niedrigwertigeren Bits ha0 und ha1 der Horizontaladresse HA entsprechend eine 1 und eine 0 sind, wenn die niedrigwertigeren Bits va0 und va1 der Vertikaladresse VA jeweils 0 sind, wird der Ausgang des NOR-Gates **25** auf einen L-Pegel gesteuert, wodurch bewirkt wird, dass der Schalter **22** seinen Anschluss **22a** auswählt.

[0097] Als Folge davon empfängt die Recheneinheit **23** die Daten (Speicherdaten), welche durch den Leseabschnitt **21** gelesen werden (hier 0 + h(4m, 4n)), über den Schalter **22**.

[0098] Die Recheneinheit **23** summiert die Daten, welche über den Schalter **22** geliefert werden, und das Pixel h(4m + 1, 4n) in der ersten Ebene, und die resultierende Summe (0 + h(4m, 4n) + h(4m + 1, 4n)) wird zum Schreibabschnitt **24** geliefert. Der Schreibabschnitt **24** schreibt das Ausgangssignal der Recheneinheit **23** in die Adresse, welche dem Signal entspricht, welches durch die Adresslieferschaltung **1** ausgegeben wird, nämlich in die Adresse (m, n) im Speicher **4** der dritten Ebene.

[0099] In dem Zeitpunkt, wo das Pixel h(4m + 2, 4n) rechts vom Pixel h(4m + 1, 4n) in der ersten Ebene zur Recheneinheit **23** geliefert wird, liest der Leseabschnitt **21** die Daten (hier 0 + h(4m, 4n) + h(4m + 1, 4n)), welche in der Adresse (m, n) im Speicher **4** der dritten Ebene gespeichert sind, und gibt diese an den Anschluss **22a** aus.

[0100] Da die niedrigwertigeren zwei Bits ha0 und ha1 der Horizontaladresse HA eine 0 bzw. eine 1 sind, wenn die niedrigwertigeren zwei Bits va0 und va1 der Vertikaladresse VA entsprechend 0 sind, wird der Ausgang des NOR-Gates **25** auf einen L-Pegel gesteuert, wodurch bewirkt wird, dass der Schalter **22** seinen Anschluss **22a** auswählt.

[0101] Als Folge davon empfängt die Recheneinheit **23** die Daten (Speicherdaten), welche durch den Leseabschnitt **21** gelesen werden (hier 0 + h(4m, 4n) + h(4m + 1, 4n)), über den Schalter **22**.

[0102] Die Recheneinheit **23** summiert die Daten, welche über den Schalter **22** geliefert werden, und das Pixel h(4m + 2, 4n) in der ersten Ebene, und die resultierende Summe (0 + h(4m, 4n) + h(4m + 1, 4n) + h(4m + 2, 4n)) wird zum Schreibabschnitt **24** geliefert. Der Schreibabschnitt **24** schreibt das Ausgangssignal der Recheneinheit **23** in die Adresse, welche dem Signal entspricht, welches durch die Adresslieferschaltung **1** ausgegeben wird, nämlich in die Adresse (m, n) im Speicher **4** der dritten Ebene.

[0103] In dem Zeitpunkt, wo jedes der Pixel
h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 1, 4n + 1), h(4m + 2, 4n + 1), h(4m + 3, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), h(4m + 1, 4n + 3), h(4m + 2, 4n + 3), und h(4m + 3, 4n + 3)
in der ersten Ebene zur Recheneinheit **23** geliefert wird, wird der gleiche Prozessschritt wie oben beschrieben ausgeführt, und die Adresse (m, n) im Speicher **4** der dritten Ebene speichert schließlich das Pixel (Pixelwert) q(m, n) im Speicher **4** der dritten Ebene, was durch die Gleichung (2) ausgedrückt wird.

[0104] Auf diese Weise speichert der Speicher **4** der dritten Ebene das Bild der dritten Ebene, welches aus einem Bildschirm von 128×128 Pixeln gebildet ist.

[0105] Die Bilddaten der ersten Ebene werden gespeichert, während die Bilddaten der zweiten Ebene und die Bilddaten der dritten Ebene erzeugt und im gleichen Zeitpunkt gespeichert werden. Zusammengefasst werden die Bilddaten der zweiten und der dritten Ebene auf Realzeitbasis erlangt.

[0106] Da der Speicher **4** der dritten Ebene zum Speichern des Bilds der dritten Ebene die Funktion der Schaltung für die herkömmliche Zeilenverzögerung durchführt, besteht keine Notwendigkeit nach einer solchen Schaltung, und es wird eine kompakte Ausbildung in der Speichereinrichtung realisiert.

[0107] Das Lesen des Bilds der dritten Ebene vom Speicher **4** der dritten Ebene wird nun erläutert.

[0108] Während eines Lesebetriebs liefert die Adresslieferschaltung **1** zu den Adressanschlüssen des Speichers **3** der zweiten Ebene beispielsweise höherwertigere sieben Bits ha2 bis ha8 der Horizontaladresse HA oder höherwertigere sieben Bits der va2 bis va8 der Vertikaladresse VA, welche zugeführt werden, wenn das hierarchische Flag die dritte Ebene zeigt, während die niedrigwertigeren zwei Bits ha0 und ha1 und die niedrigwertigeren Bits zwei Bits va0 und va1 an die RMW-Schaltung **5** als Steuersignal ausgegeben werden.

[0109] Der Leseabschnitt **21** empfängt das hierarchische Flag, das R/W-Signal und das Ausgangssignal des NOR-Gates **25** in der RMW-Schaltung **5**. Wenn das R/W-Signal den Lesebetrieb zeigt, und das hierarchische Flag die dritte Ebene zeigt, liest der Leseabschnitt **21** die Bilddaten, welche in der Adresse in der dritten Ebene gespeichert sind, und gibt diese aus, welche dem Signal entspricht, welches durch die Adresslieferschaltung **1** ausgegeben wird, nur dann, wenn das Ausgangssignal des NOR-Gates **25** auf einem H-Pegel ist.

[0110] Wie oben erläutert wurde, gibt, wenn die Kombination aus der Horizontaladresse HA und der Vertikaladresse VA eine ist aus
h(4m, 4n), h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 1, 4n + 1), h(4m + 2, 4n + 1), h(4m + 3, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), h(4m + 1, 4n + 3), h(4m + 2, 4n + 3), und h(4m + 3, 4n + 3),
gibt die Adresslieferschaltung **1** die gleiche Adresse (m, n) bei jeder der Kombinationen aus. Wenn die Daten lediglich von der Adresse im Speicher **4** der dritten Ebene gelesen werden, welche dem Signal entspricht, welches durch die Adresslieferschaltung **1** ausgegeben wird, wenn die gleichen Daten wiederholt 16 mal gelesen.

[0111] Aus diesem Grund liest der Leseabschnitt **21** das Pixel (Pixelwert) m(m, n) in der dritten Ebene von der Adresse (m, n) im Speicher **4** der dritten Ebene lediglich dann, wenn die Kombination der Horizontaladresse HA und der Vertikaladresse VA gleich (4m, 4n) ist, nämlich, wenn das Ausgangssignal des NOR-Gates **25** auf einem H-Pegel ist.

[0112] Die Bilddaten in der dritten Ebene, welche durch den Leseabschnitt **21** gelesen werden, werden einem Schalter **26** zugeführt. Der Schalter **26** wird lediglich dann eingeschaltet, wenn das R/W-Signal den Lesebetrieb zeigt und ist in der übrigen Zeit ausgeschaltet. Da der Schalter **26** nun eingeschaltet ist, werden die Bilddaten in der dritten Ebene, welche durch den Leseabschnitt **21** gelesen werden, über den Schalter **26** ausgegeben.

[0113] Auf diese Weise wird das gespeicherte Bild der dritten Ebene eines Bildschirms, welches aus 128×128 Pixeln gebildet ist, von der RMW-Schaltung **5** gelesen. Es wird somit ein sequentiell abgetastetes Bild einer dritten Ebene ausgegeben.

[0114] Das Lesen der Bilddaten in der zweiten Ebene von dem Speicher **3** der zweiten Ebene wird durchgeführt, wie oben beschrieben. Alternativ kann das Lesen der Bilddaten durchgeführt werden, indem

es der Adresslieferschaltung **1** erlaubt wird, die niedrigwertigeren acht Bits ha0 bis ha7 der Horizontaladresse HA und die niedrigwertigeren acht Bits va0 bis va7 der Vertikaladresse VA als die Adresse im Speicher **3** der zweiten Ebene zu zeigen. Ähnlich kann das Lesen des Bilds in der dritten Ebene vom Speicher **4** der dritten Ebene durchgeführt werden, indem es erlaubt wird, dass die Adresslieferschaltung **1** die niedrigwertigeren sieben Bits ha0 bis ha6 der Horizontaladresse HA und die niedrigwertigeren sieben Bits va0 bis va6 der Vertikaladresse VA als die Adresse im Speicher **4** der dritten Ebene zeigt.

[0115] Wie schon mit Hilfe von **Fig.** 9 beschrieben wurde, wird eines der benachbarten 2×2 Pixel h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene, beispielsweise das rechte untere Pixel h(2s + 1, 2t + 1) von den übrigen Pixeln h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) in der ersten Ebene und deren Summe, nämlich das Pixel m(s, t) in der zweiten Ebene bestimmt.

[0116] Insbesondere wird das Pixel h(2s + 1, 2t + 1) in der ersten Ebene aus der folgenden Gleichung bestimmt.

$$h(2s + 1, 2t + 1) = m(s, t) – (h(2s, 2t) + h(2s + 1, 2t) + h(2s, 2t + 1))$$

[0117] Da das Pixel h(2s + 1, 2t + 1) in der ersten Ebene somit aus der obigen Gleichung bestimmt wird, ist das Speichern des Pixels nicht notwendig.

[0118] Der Speicher **2** der ersten Ebene ist angeordnet, ohne dass die Notwendigkeit nach der Speicherzelle besteht, um das Pixel h(2s + 1, 2t + 1) zu speichern, welches eines von den 2×2 Pixeln h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene ist.

[0119] Bei der obigen Erläuterung hat der Speicher **2** der ersten Ebene zumindest Speicherzellen, die in der Lage sind, Bilddaten von 512×512 Pixeln zu speichern, jedoch, wenn das Pixel h(2s + 1, 2t + 1) in der ersten Ebene nicht gespeichert ist, arbeiten die Speicherzellen, die in der Lage sind, die Bilddaten von 512×512×3/4 Pixeln zu speichern. In einem solchen Fall hat der Speicher **2** der ersten Ebene Speicherzellen (Speicherkapazität, welche der Anzahl entspricht, die durch Subtrahieren der Anzahl von Adressen im Speicher **3** der zweiten Ebene (der Anzahl von Pixeln (256×256) für einen Bildschirm der zweiten Ebene) von der Anzahl von Pixeln für einen Bildschirm des Bilds der ersten Ebene erlangt wird.

[0120] Eines von den benachbarten 2×2 Pixeln m(2m, 2n), m(2m + 1, 2n), m(m2, 2n1 + 1) und m(2m + 1, 2n + 1) in der zweiten Ebene, beispielsweise das rechte untere Pixel m(2m + 1, 2n + 1) wird aus den übrigen Pixeln m(2m, 2n), m(2m + 1, 2n), m(2m, 2n + 1) in der zweiten Ebene und deren Summe, nämlich dem Pixel l(m, n) in der dritten Ebene, bestimmt.

[0121] Insbesondere wird das Pixel m(2m + 1, 2n + 1) in der zweiten Ebene aus der folgenden Gleichung bestimmt:

$$m(2m + 1, 2n + 1) = q(m, n) – (m(2m, 2n) + m(2m + 1, 2n) + m(2m, 2n + 1))$$

[0122] Da das Pixel m(2m + 1, 2n + 1) in der zweiten Ebene somit aus der obigen Gleichung bestimmt wird, ist das Speichern des Pixels nicht notwendig.

[0123] Der Speicher **3** der zweiten Ebene ist somit so eingerichtet, dass nicht die Notwendigkeit nach einer Speicherzelle besteht, um das Pixel m(2m + 1, 2n + 1) zu speichern, welches eines ist von den 2×2 Pixeln m(2m, 2n), m(2m + 1, 2n), m(2m, 2n + 1) und m(2m + 1, 2n + 1) in der zweiten Ebene.

[0124] Bei der obigen Erläuterung hat der Speicher **3** der zweiten Ebene zumindest Speicherzellen, die in der Lage sind, Bilddaten von 256×256 Pixeln zu speichern, jedoch, wenn das Pixel m(2m + 1, 2n + 1) in der ersten Ebene nicht gespeichert wird, arbeiten die Speicherzellen, welche in der Lage sind, die Bilddaten von 256×256×3/4 Pixeln zu speichern. In einem solchen Fall hat der Speicher **3** der zweiten Ebene Speicherzellen, welche der Anzahl entsprechen, welche durch Subtrahieren der Anzahl von Adressen im Speicher **4** der dritten Ebene (der Anzahl von Pixeln (128×128) für einen Bildschirm der dritten Ebene) von der Anzahl von Pixeln für einen Bildschirm des Bilds der zweiten Ebene erlangt wird.

[0125] Sogar, wenn der Speicher **2** der ersten Ebene und der Speicher **3** der zweiten Ebene eine kleinere Speicherkapazität wie oben beschrieben haben, wird das Bilddatenschreiben in den Speicher der ersten Ebene, den Speicher **3** der zweiten Ebene und den Speicher **4** der dritten Ebene wie oben beschrieben mit Hilfe von Fig. 3 bis Fig. 5 durchgeführt. In diesem Fall ist jedoch der Speicher **2** der ersten Ebene ohne die Speicherzelle, um das Pixel h(2s + 1, 2t + 1) in der ersten Ebene zu speichern, nämlich ohne die Speicherzelle, welche der Adresse h(2s + 1, 2t + 1) entspricht. Sogar, wenn die Adresslieferschaltung **1** die Adresse (2s + 1, 2t + 1) zum Speicher **2** der ersten Ebene liefert, während die RMW-Schaltung **5** das Pixel h(2s + 1, 2t + 1) in der ersten Ebene zuführt, wird das Pixel h(2s + 1, 2t + 1) im Speicher **2** der ersten Ebene nicht gespeichert.

[0126] Ähnlich ist der Speicher **3** der zweiten Ebene ohne die Speicherzelle, um das Pixel m(2m + 1, 2n + 1) in der zweiten Ebene zu speichern, d. h., ohne die Speicherzelle, welche der Adresse (2m + 1, 2n + 1) entspricht. Sogar, wenn die Adresslieferschaltung **1** die Adresse (2m + 1, 2n + 1) zum Speicher **3** der

zweiten Ebene liefert, während die RMW-Schaltung **5** (Schreibabschnitt **14** (Fig. 4)) das Pixel m(2m + 1, 2n + 1) in der zweiten Ebene zuführt, wird das Pixel m(2m + 1, 2n + 1) im Speicher **3** der zweiten Ebene nicht gespeichert.

[0127] Obwohl das Lesen des Bilds, welches in der dritten Ebene der Speichereinrichtung gespeichert ist, in der gleichen Weise wie mit Hilfe von Fig. 5 beschrieben wurde, durchgeführt wird, wird das Lesen des Bilds der ersten Ebene und der zweiten Ebene wie folgt durchgeführt.

[0128] Fig. 6 zeigt die Speichereinrichtung in Fig. 1, welche den Speicher **2** der ersten Ebene mit dessen reduzierter Speicherkapazität hat, wenn der Lesebetrieb des Bilds der ersten Ebene durchgeführt wird.

[0129] In diesem Fall ist die Adresslieferschaltung **1** aus einer Verzögerungsschaltung **31** und Auswahlschaltungen **32** bis **34** aufgebaut. Die Horizontaldresse HA und die Vertikaladresse VA werden der Verzögerungsschaltung **31** zugeführt, welche beispielsweise die höherwertigeren sieben Bits va2 bis va8 der Vertikaladresse VA bei einem Übergang in das niedrigwertigere dritte Bit va2 zwischenspeichert und ausgibt.

[0130] Insbesondere ermittelt die Verzögerungsschaltung **31** Übergänge von 0 auf 1 und 1 auf 0 im niedrigwertigeren dritten Bit va2 der Vertikaladresse VA und speichert die höherwertigeren Bits va2 bis va8 der Vertikaladresse VA unmittelbar vor dem Übergang, und gibt dann diese zusammen mit der übrigen Vertikaladresse und der Horizontaldresse aus. Die Horizontaldresse HA und die Vertikaladresse VA, welche durch die Verzögerungsschaltung **31** ausgegeben werden, sind die Horizontaldresse HA und die Vertikaladresse VA, welche zur Adresslieferschaltung geliefert werden, jedoch mit einer Verzögerung von vier Zeilen (= 2^{3-1}), die darin eingeführt ist. Da die Verzögerungsschaltung **31** lediglich die höherwertigeren sieben Bits va2 bis va8 der Vertikaladresse VA unmittelbar vor dem Übergang zwischenspeichert, wenn das niedrigwertigere dritte Bit va2 der Vertikaladresse VA einen Übergang hat, ist die Verzögerungsschaltung **31** nicht so groß wie die herkömmliche zur Zeilenverzögerung eines Bilds. Die Verzögerungsschaltung **31** kann aus sieben Flipflops aufgebaut sein, um die höherwertigeren sieben Bits va2 bis va8 der Vertikaladresse VA zwischenzuspeichern, wodurch eine kompakte Ausbildung in der Einrichtung realisiert wird.

[0131] Die vierzeilige frühere Horizontaldresse HA und die Vertikaladresse VA, welche durch die Verzögerungsschaltung **31** erzeugt werden, werden hier anschließend entsprechend als verzögerte Horizontaldresse HA und als verzögerte Vertikaladresse VA bezeichnet (vorher bestimmtes Adresssignal), wenn dies notwendig ist.

[0132] Die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA werden zur Auswahlschaltung **32** geliefert. Von der verzögerten Horizontaldresse HA und der verzögerten Vertikaladresse VA werden die höherwertigeren acht Bits ha1 bis ha8 mit Ausnahme des niedrigstwertigen Bits ha0 von der verzögerten Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 mit Ausnahme des niedrigstwertigen Bits va0 der Vertikaladresse VA zur Auswahlschaltung **33** geliefert. Von der verzögerten Horizontaldresse HA und der verzögerten Vertikaladresse VA werden außerdem die höherwertigeren sieben Bits ha2 bis ha8 mit Ausnahme der niedrigwertigeren zwei Bits ha0 und ha1 von der verzögerten Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 mit Ausnahme der niedrigwertigeren zwei Bits va0 und va1 von der Vertikaladresse VA zur Auswahlschaltung **34** geliefert.

[0133] Die Auswahlschaltung **32** empfangt die Horizontaldresse HA und die Vertikaladresse VA, die zur Adresslieferschaltung **1** geliefert werden, die verzögerte Horizontaldresse HA, die verzögerte Vertikaladresse VA und das niedrigwertigere dritte Bit va2 der Vertikaladresse VA als Steuersignal. Als Antwort auf das Steuersignal va2 wählt die Auswahlschaltung **32** die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA als eine der A-Bankadresse und B-Bankadresse und die Horizontaldresse HA und die Vertikaladresse VA als die andere der A-Bankadresse und B-Bankadresse aus, um diese zu den A-Bankadressanschlüssen bzw. B-Bankadressanschlüssen des Speichers **2** der ersten Ebene zu liefern.

[0134] Es sei angenommen, dass die Auswahlschaltung **32** beispielsweise die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA als A-Bankadresse und die Horizontaldresse HA und die Vertikaladresse VA als B-Bankadresse auswählt, und die Auswahlschaltung **32** dann wiederum die verzögerte Horizontaldresse HA und die verögerte Vertikaladresse VA als B-Bankadresse und die Horizontaldresse HA und die Vertikaladresse VA als A-Bankadresse im Augenblick, wo das Steuersignal va2 einen Übergang hat, wieder auswählt. Wenn das Steuersignal va2 danach wiederum einen Übergang hat, wählt die Auswahlschaltung **32** die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA als A-Bankadresse und die Horizontaldresse HA und die Vertikaladresse VA als B Bankadresse aus. Jedes Mal, wenn das Steuersignal va2 einen Übergang hat, wechseln die verzögerte Horizontaldresse HA und verzögerte Vertikaladresse VA zwischen der A-Bankadresse und der B-Bankadresse, während die Horizontaldresse HA und die Vertikaladresse VA zwischen der B-Bankadresse und der A-Bankadresse wechseln.

[0135] Die Auswahlschaltung **33** empfangt neben den höherwertigeren acht Bits ha1 bis ha8 der verzögerten Horizontaldresse HA und den höherwertigeren acht Bits va1 bis va8 der verzögerten Vertikaladresse VA die höherwertigeren acht Bits ha1 bis ha8 der Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 der Vertikaladresse VA, welche zur Adresslieferschaltung **1** geliefert werden, und das niedrigwertigere dritte Bit va2 der Vertikaladresse VA als Steuersignal. Wie in der Auswahlschaltung **32** wechseln in der Auswahlschaltung **33**, jedes Mal, wenn das Steuersignal va2 einen Übergang hat, die höherwertigeren acht Bits ha1 bis ha8 der verzögerten Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 der verzögerten Vertikaladresse VA zwischen der A-Bankadresse und der B-Bankadresse, während die höherwertigeren acht Bits ha1 bis ha8 der Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 der Vertikaladresse VA zwischen der B-Bankadresse und der A-Bankadresse wechseln.

[0136] Die Bits, welche als A-Bankadresse und als B-Bankadresse durch die Auswahlschaltung **33** ausgewählt werden, werden entsprechend zu den A-Bankadressanschlüssen und den B-Bankadressanschlüssen im Speicher **3** der zweiten Ebene geführt.

[0137] Die Auswahlschaltung **34** empfangt neben den höherwertigeren sieben Bits ha2 bis ha8 der verzögerten Horizontaldresse HA und den höherwertigeren sieben Bits va2 bis va8 der verzögerten Vertikaladresse VA die höherwertigeren sieben Bits ha2 bis ha8 der Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der Vertikaladresse VA, welche zur Adresslieferschaltung **1** geliefert werden, und das niedrigwertigere dritte Bit va2 der Vertikaladresse VA als Steuersignal. Wie in der Auswahlschaltung **33** wechseln in der Auswahlschaltung **34**, jedes Mal, wenn das Steuersignal va2 einen Übergang hat, die höherwertigeren sieben Bits ha2 bis ha8 der verzögerten Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der verzögerten Vertikaladresse VA zwischen der A-Bankadresse und der B-Bankadresse, während die höherwertigeren sieben Bits ha2 bis ha8 der Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der Vertikaladresse VA zwischen der B-Bankadresse und der A-Bankadresse wechseln.

[0138] Die Bits, welche als A-Bankadresse und B-Bankadresse durch die Auswahlschaltung **34** ausgewählt werden, werden entsprechend zu den A-Bankadressanschlüssen und den B-Bankadressanschlüssen im Speicher **4** der dritten Ebene geführt.

[0139] Der erste Adressraum des Speichers **2** der ersten Ebene ist in zwei Bänke (Blöcke) d. h. eine Bank A und eine Bank B bei der in Fig. 6 gezeigten Ausführungsform unterteilt (das gleiche gilt für Fig. 8, wie später beschrieben). Insbesondere ist, wie in Fig. 2 gezeigt ist, der Speicherbereich des Speichers **2** der ersten Ebene zum Speichern der Pixel auf einer Zeile **8a** bis einer Zeile 8α + 3 die Bank A, und der Speicherbereich des Speichers **2** der ersten Ebene zum Speichern der Pixel auf einer Zeile 8α + 4 bis einer Zeile 8α + 7 ist die Bank B (α = 0, 1, ..., 63).

[0140] Um gleichzeitige Zugriffe sowohl auf die Bank A als auch auf die Bank B zuzulassen, sind zwei Adressanschlüsse, nämlich ein Adressanschluss (A-Bankadressanschluss) zum Zugreifen auf die Bank A und ein Adressanschluss (B-Bankadressanschluss) verfügbar. Die Bank A und die Bank B haben entsprechend zwei A-Bankdatenanschlüsse und zwei B-Bankdatenanschlüsse als Eingangs-/Ausgangsanschlüsse zum Lesen von Daten davon und zum Schreiben von Daten darauf.

[0141] Im Speicher **2** der ersten Ebene werden die Daten (A-Bankdaten) über die A-Bankanschlüsse bei der Adresse (A-Bankadresse) gelesen und geschrieben, welche den A-Bankadressanschlüssen zugeführt werden, während die Daten (B-Bankdaten) über die B-Bankanschlüsse bei der Adresse (B-Bankadresse) gelesen und geschrieben werden, welche zu den B-Bankadressanschlüssen geführt werden.

[0142] Bei dieser Ausführungsform sind die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA entsprechend die Horizontaldresse HA und die Vertikaladresse VA, jedoch mit einer Verzögerung von vier Zeilen, die darin eingeführt ist (vier Zeilen im Bild der ersten Ebene). Wenn die Auswahlschaltung **32** beispielsweise die Horizontaldresse HA und die Vertikaladresse VA als die A-Bankadresse und die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA als die B-Bankadresse auswählt, wird auf die Speicherzellen der A-Bankadresse entsprechend der Horizontaldresse HA und der Vertikaladresse VA zugegriffen, während auf die Speicherzellen der B-Bankadresse entsprechend der verzögerten Horizontaladresse HA und der verzögerten Vertikaladresse VA, auf welche vier Zeilen früher zugegriffen wurde, ebenfalls zugegriffen wird.

[0143] Es sei nun angenommen, dass der Speicher **2** der ersten Ebene nun in einen Speicherbereich als Bank A und einen Speicherbereich als Bank B unterteilt ist, wie in Fig. 7 gezeigt ist, und auf eine Speicherzelle in der Bank A zugegriffen wird, während auf eine Speicherzelle in der Bank B im gleichen Zeitpunkt zugegriffen wird. Die entsprechenden Speicherzellen in der gleichzeitig zugegriffenen Bank A und der Bank B sind um vier Zeilen bei dieser Ausführungsform beabstandet. Der Grund, warum die entsprechenden Speicherzellen in der gleichzeitig zugegriffenen Bank A und der Bank B um vier Zeilen beabstandet sind, ist folgender: da ein einzelnes Pixel in

der dritten Ebene als obere hierarchische Ebene 4×4 Pixeln in der ersten Ebene bei dieser Ausführungsform entspricht, basiert jede Bank vorzugsweise auf zumindest der Einheit von 4×4 Pixeln. Die Bank A und die Bank B wechseln hier alle vier Zeilen. Alternativ kann die Bank A und die Bank B alle vier Spalten wechseln. Die Anzahl der Bänke ist nicht auf zwei Bänke, d. h., die Bank A und die Bank B begrenzt. Außerdem können die Bänke in sowohl einer horizontalen Richtung als auch einer vertikalen Richtung, nämlich in Form eines Gittermusters gebildet sein.

[0144] Kehrt man nun zu Fig. 6 zurück, so wird wie bei dem Speicher **2** der ersten Ebene der Adressraum im Speicher **3** der zweiten Ebene in zwei Bänke, d. h., die Bank A und die Bank B unterteilt. Da die Anzahl von Pixeln in einer horizontalen Richtung und einer vertikalen Richtung für das Bild der zweiten Ebene entsprechend die Hälfte der Anzahl von Pixeln in einer horizontalen Richtung und in einer vertikalen Richtung im Bild der ersten Ebene sind, ist der Speicherbereich des Speichers **3** der zweiten Ebene zum Speichern der Pixel auf einer Zeile 4α und einer Zeile 4α + 1 in der zweiten Ebene die Bank A, und der Speicherbereich des Speichers **3** der zweiten Ebene zum Speichern der Pixel auf einer Zeile 4α + 2 und einer Zeile 4α + 3 ist die Bank B.

[0145] Wie im Speicher **2** der ersten Ebene ist der Adressraum im Speicher **4** der dritten Ebene in zwei Bänke unterteilt, nämlich die Bank A und die Bank B. Da die Anzahl der Pixel in einer horizontalen Richtung und in einer vertikalen Richtung für das Bild der dritten Ebene entsprechend 1/4 der Anzahl der Pixel in einer horizontalen Richtung und in einer vertikalen Richtung im Bild der ersten Ebene ist, ist der Speicherbereich des Speichers **4** der dritten Ebene zum Speichern der Pixel auf einer Zeile 2α in der dritten Ebene die Bank A und der Speicherbereich des Speichers **4** der dritten Ebene zum Speichern der Pixel auf einer Zeile 2α + 1 ist die Bank B.

[0146] Mit einer Auswahlschaltung **41** sind ein A-Bankdatenanschluss und ein B-Bankdatenanschluss verbunden, zu denen Daten (A-Bankdaten und B-Bankdaten), welche von der Bank A und der Bank B im Speicher **2** der ersten Ebene gelesen werden, entsprechend ausgegeben werden. Die Adresslieferschaltung **1** liefert das niedrigwertigere dritte Bit va2 der Vertikaladresse VA zur Auswahlschaltung **41** als Steuersignal, und als Antwort auf das Steuersignal va2 verbindet die Auswahlschaltung **41** einen von dem A-Bankdatenanschluss und dem B-Bankdatenanschluss mit einem Leseabschnitt **44** und den anderen des A-Bankdatenanschlusses und des B-Bankdatenanschlusses mit einem Leseabschnitt **45**.

[0147] Wenn das Steuersignal va2 einen Übergang an einem Punkt hat, wenn die Auswahlschaltung **41** den A-Bankdatenanschluss bzw. den B-Bankdatenanschluss mit dem Leseabschnitt **44** und dem Leseabschnitt **45** verbindet, werden der A-Bankdatenanschluss und der B-Bankdatenanschluss wiederum mit dem Leseabschnitt **45** bzw. dem Leseabschnitt **44** verbunden. Wenn das Steuersignal va2 wiederum einen Übergang hat, verbindet die Auswahlschaltung **41** wiederum den A-Bankdatenanschluss und den B-Bankdatenanschluss mit dem Leseabschnitt **44** bzw. dem Leseabschnitt **45**. Jedes Mal, wenn das Steuersignal va2 einen Übergang hat, wechselt die Auswahlschaltung **41** die Verbindung des A-Bankdatenanschlusses zwischen dem Leseabschnitt **44** und dem Leseabschnitt **45**, während die Verbindung des B-Bankdatenanschlusses zwischen dem Leseabschnitt **45** und dem Leseabschnitt **44** gewechselt wird.

[0148] Mit der Auswahlschaltung **42** sind ein A-Bankdatenanschluss, zu dem die Daten, die auf die Bank A im Speicher **3** der dritten Ebene zu schreiben sind, geführt werden, ein A-Bankdatenanschluss, von welchem die Daten, welche von der Bank A gelesen werden, ausgegeben werden, ein B-Bankdatenanschluss, zu welchem die Daten, die auf die Bank B zu schreiben sind, geführt werden, und ein B-Bankdatenanschluss, von welchem die Daten, welche von der Bank B gelesen werden, ausgegeben werden, verbunden. Die Auswahlschaltung **42** wird außerdem mit dem niedrigwertigeren dritten Bit va2 der Vertikaladresse VA von der Adresslieferschaltung **1** als Steuersignal beliefert, und, als Antwort auf das Steuersignal va2 verbindet die Auswahlschaltung **42** einen von den A-Bankdatenanschlüssen und den B-Bankdatenanschlüssen mit einem Schreibabschnitt **46** und einem Leseabschnitt **47**, während der andere der A-Bankdatenanschlüsse und der B-Bankdatenanschlüsse mit einem Schreibabschnitt **48** und einem Leseabschnitt **49** verbunden wird.

[0149] Wenn das Steuersignal va2 einen Übergang an einem Punkt hat, wenn die Auswahlschaltung **42** die A-Bankdatenanschlüsse mit dem Schreibabschnitt **46** und dem Leseabschnitt **47** und die B-Bankdatenanschlüsse mit dem Schreibabschnitt **48** und dem Leseabschnitt **49** verbindet, werden die A-Bankdatenanschlüsse wiederum mit dem Schreibabschnitt **48** und dem Leseabschnitt **49** verbunden, während die B-Bankdatenanschlüsse wiederum mit dem Schreibabschnitt **46** und dem Leseabschnitt **47** verbunden werden. Wenn das Steuersignal va2 wiederum einen Übergang hat, verbindet die Auswahlschaltung **42** wiederum die A-Bankdatenanschlüsse mit dem Schreibabschnitt **46** und dem Leseabschnitt **47**, während die B-Bankdatenanschlüsse mit dem Schreibabschnitt **48** und dem Leseabschnitt **49** verbunden werden. Jedes Mal, wenn das Steuersignal va2 einen Übergang hat, wechselt die Auswahlschaltung **42** die Verbindung der A-Bankdatenanschlüsse zwischen dem Schreibabschnitt **46** und dem Leseab-

schnitt **47** und dem Schreibabschnitt **48** und dem Leseabschnitt **49**, während die Verbindung der B-Bankdatenanschlüsse zwischen dem Schreibabschnitt **48** und dem Leseabschnitt **49** und dem Schreibabschnitt **46** und dem Leseabschnitt **47** gewechselt wird.

[0150] Mit einer Auswahlschaltung **43** sind ein A-Bankdatenanschluss, zu dem die Daten, die auf die Bank A im Speicher **4** der dritten Ebene zu schreiben sind, geführt werden, ein A-Bankdatenanschluss, von dem die Daten, welche von der Bank A gelesen werden, ausgegeben werden, ein B-Bankdatenanschluss, zu dem die Daten, welche auf die Bank B zu schreiben sind, geliefert werden, und ein B-Bankdatenanschluss, von welchem die Daten, welche von der Bank B gelesen werden, ausgegeben werden, verbunden. Die Auswahlschaltung **43** wird außerdem mit dem niedrigwertigeren dritten Bit va2 der Vertikaladresse VA der Adresslieferschaltung **1** als Steuersignal beliefert. In der gleichen Weise wie in der Auswahlschaltung **42** wechselt als Antwort auf das Steuersignal va2 die Auswahlschaltung **43** die Verbindung der A-Bankdatenanschlüsse zwischen einem Schreibabschnitt **50** und einem Leseabschnitt **51** und einem Schreibabschnitt **52** und einem Leseabschnitt **53**, während die Verbindung der B-Bankdatenanschlüsse zwischen dem Schreibabschnitt **52** und dem Leseabschnitt **53** und dem Schreibabschnitt **50** und dem Leseabschnitt **51** gewechselt wird.

[0151] Der Leseabschnitt **44** und der Leseabschnitt **45** lesen Daten vom Speicher **2** der ersten Ebene über die Auswahlschaltung **41**. Die durch den Leseabschnitt **44** gelesenen Daten werden einer Recheneinheit **54** und einer Auswahlschaltung **58** zugeführt, und sie werden auch einer Recheneinheit **56** über einen Schalter **61** zugeführt. Die durch den Leseabschnitt **45** gelesenen Daten werden den Recheneinheiten **55** und **57** zugeführt. Der Schreibabschnitt **46** schreibt das Ausgangssignal der Recheneinheit **54** auf den Speicher **3** der zweiten Ebene über die Auswahlschaltung **42**. Der Leseabschnitt **47** liest Daten vom Speicher **3** der zweiten Ebene über die Auswahlschaltung **42** und führt die Daten zur Recheneinheit **54** und zur Auswahlschaltung **58**. Der Schreibabschnitt **48** schreibt das Ausgangssignal der Recheneinheit **55** auf den Speicher **3** der zweiten Ebene über die Auswahlschaltung **42**. Der Leseabschnitt **49** liest die Daten vom Speicher **3** der zweiten Ebene über die Auswahlschaltung **42** und führt die Daten zur Recheneinheit **55** und einem Schalter **62**. Der Schreibabschnitt **50** schreibt das Ausgangssignal der Recheneinheit **56** auf den Speicher **4** der dritten Ebene über die Auswahlschaltung **43**. Der Leseabschnitt **51** liest die Daten vom Speicher **4** der dritten Ebene über die Auswahlschaltung **43** und führt die Daten zur Recheneinheit **56** und zur Auswahlschaltung **58**. Der Schreibabschnitt **52** schreibt das Ausgangssignal der Recheneinheit **57** auf den Speicher **4** der dritten Ebene über die Auswahlschaltung **43**. Der Leseabschnitt **53** liest die Daten vom Speicher **4** der dritten Ebene über die Auswahlschaltung **43** und führt die Daten zur Recheneinheit **57**.

[0152] Die Recheneinheit **54** subtrahiert das Ausgangssignal des Leseabschnitts **44** vom Ausgangssignal des Leseabschnitts **47** und führt die Differenz zum Schreibabschnitt **46**. Die Recheneinheit **55** summiert die Ausgangssignale des Leseabschnitts **45** und des Leseabschnitts **49** und führt die Summe zum Schreibabschnitt **48**. Die Recheneinheit **56** subtrahiert das Signal, welches über den Schalter **61** geliefert wird, vom Ausgangssignal des Leseabschnitts **51** und führt die Differenz zum Schreibabschnitt **50**. Die Recheneinheit **57** summiert die Ausgangssignale des Leseabschnitts **45** und des Leseabschnitts **53** und führt die Summe zum Schreibabschnitt **52**. Die Recheneinheit **57** summiert außerdem das Ausgangssignal des Leseabschnitts **49** bei ihrer Summieroperation, wenn der Schalter **62** eingeschaltet ist und wenn der Leseabschnitt **49** sein Ausgangssignal abgibt.

[0153] Die Auswahlschaltung **58** wählt eines von den Ausgangssignalen des Leseabschnitts **44**, des Leseabschnitts **47** und des Leseabschnitts **51** als Antwort auf die Ausgangssignale der UND-Gates **59** und **60** aus. Das UND-Gate **59** empfangt das niedrigstwertige Bit ha0 der Horizontaldresse HA und das niedrigstwertige Bit va0 der Vertikaladresse VA als Steuersignale von der Adresslieferschaltung **1**, berechnet ihr logisches Produkt und führt dieses zur Auswahlschaltung **58**. Das UND-Gate **60** empfangt das niedrigwertigere zweite Bit ha1 der Horizontaldresse HA und das niedrigwertigere zweite Bit va1 der Vertikaladresse VA, welche zur Adresslieferschaltung **1** als Steuersignale geliefert werden, berechnet deren logisches Produkt und führt dieses zur Auswahlschaltung **58**.

[0154] In Abhängigkeit vom Ausgangssignal des UND-Gates **59** wählt der Schalter **61** zwischen seinem Anschluss **61a** und seinem Anschluss **61b** aus. Die Anschlüsse **61a** und **61b** werden mit dem Ausgangssignal des Leseabschnitts **44** bzw. dem Ausgangssignal des Leseabschnitts **47** beliefert. In Abhängigkeit vom Ausgangssignal eines NOR-Gates **63** wird der Schalter **62** eingeschaltet oder ausgeschaltet, um das Ausgangssignal des Leseabschnitts **49** zur Recheneinheit **57** zu führen. Wie das UND-Gate **59** empfangt das NOR-Gate **63** die niedrigwertigsten Bits ha0 und va0 und dessen Ausgangssignal schaltet den Schalter **62** ein bzw. aus.

[0155] Die RMW-Schaltung **5** ist somit aus den Auswahlschaltungen **41** bis **43**, den Leseabschnitten **44** und **45**, dem Schreibabschnitt **46**, dem Leseabschnitt **47**, dem Schreibabschnitt **48**, dem Leseabschnitt **49**, dem Schreibabschnitt **50**, dem Leseabschnitt **51**, dem Schreibabschnitt **52**, dem Leseabschnitt **53**, den Recheneinheiten **54** bis **57**, der Auswahlschaltung

58, den UND-Gates **59** und **60**, den Schaltern **61** und **62** und dem NOR-Gate **63** gebildet.

[0156] Der Takt, das R/W-Signal und das hierarchische Flag sind in Fig. 6 ausgelassen (das gleiche gilt für Fig. 8, die später beschrieben wird).

[0157] Es wird nun die Arbeitsweise der RMW-Schaltung **5** erläutert.

[0158] Es sei nun angenommen, dass die Auswahlschaltung **32** die Horizontaldresse HA und die Vertikaladresse VA, welche zur Adresslieferschaltung **1** geliefert werden, als A-Bankadresse und die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA als B-Bankadresse auswählt.

[0159] Ähnlich wählen die Auswahlschaltungen **33** und **34** die A-Bankadresse und B-Bankadresse aus. Insbesondere wählt die Auswahlschaltung **33** die höherwertigeren acht Bits ha1 bis ha8 der Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 der Vertikaladresse VA als A-Bankadresse und die höherwertigeren acht Bits ha1 bis ha8 der verzögerten Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 der verzögerten Vertikaladresse VA als B-Bankadresse aus. Die Auswahlschaltung **34** wählt die höherwertigeren sieben Bits ha2 bis ha8 der Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der Vertikaladresse VA als A-Bankadresse und die höherwertigeren sieben Bits ha2 bis ha8 der verzögerten Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der verzögerten Vertikaladresse VA als B-Bankadresse aus.

[0160] Die A-Bankadresse und die B-Bankadresse, welche in den Auswahlschaltungen **32** bis **34** ausgewählt werden, werden entsprechend zu den A-Bankadressanschlüssen und den B-Bankadressanschlüssen des Speichers **2** der ersten Ebene, des Speichers **3** der zweiten Ebene und des Speichers **4** der dritten Ebene geführt.

[0161] In der Auswahlschaltung **41** ist der A-Bankdatenanschluss des Speichers **2** der ersten Ebene mit dem Leseabschnitt **44** verbunden, während der B-Bankdatenanschluss mit dem Leseabschnitt **45** verbunden ist. In der Auswahlschaltung **42** sind die A-Bankdatenanschlüsse des Speichers **3** der zweiten Ebene mit dem Schreibabschnitt **46** und dem Leseabschnitt **47** verbunden, während die B-Bankdatenanschlüsse mit dem Schreibabschnitt **48** und dem Leseabschnitt **49** verbunden sind. In der Auswahlschaltung **43** sind die A-Bankdatenanschlüsse des Speichers **4** der dritten Ebene mit dem Schreibabschnitt **50** und dem Leseabschnitt **51** verbunden, während die B-Bankdatenanschlüsse mit dem Schreibabschnitt **52** und dem Leseabschnitt **53** verbunden sind.

[0162] Der Leseabschnitt **44** liest über die Auswahlschaltung **41** ein Pixel (Pixelwert) in der ersten Ebene, welches in einer A-Bankadresse gespeichert ist, welches durch die Auswahlschaltung **32** ausgegeben wird, und führt dies zur Recheneinheit **54**, zur Auswahlschaltung **58** und zum Anschluss **61a** des Schalters **61**.

[0163] Die Auswahlschaltung **58** wählt und gibt das Ausgangssignal des Leseabschnitts **44** als Pixel in der ersten Ebene aus, wenn das Ausgangssignal des UND-Gates **59** nicht eine 1 ist (nämlich eine 0 ist). Insbesondere, wenn das Ausgangssignal des UND-Gates **59** nicht eine 1 ist, bedeutet dies, dass zumindest eines von ha0 und va0 eine 0 ist, und bedeutet den Zeitpunkt, wo irgendeines der drei Pixel h(2s, 2t), h(2s + 1, 2t), und h(2s, 2t + 1) mit Ausnahme des unteren rechten Pixels (2s + 1, 2t + 1) von den vier Pixeln 2×2 von h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene, welche durch D1 dargestellt wird, wie in Fig. 2 gezeigt ist, gelesen wird. Da irgendeines von h(2s, 2t), h(2s + 1, 2t) und h(2s, 2t + 1) im Speicher **2** der ersten Ebene gespeichert ist, wird der Wert, der vom Speicher **2** der ersten Ebene gelesen wird, unverändert ausgewählt und durch die Auswahlschaltung **58** ausgegeben.

[0164] Der Leseabschnitt **47** liest über die Auswahlschaltung **42** ein Pixel der zweiten Ebene (Pixelwert) in der zweiten Ebene, welches bei der A-Bankadresse gespeichert ist, welches durch die Auswahlschaltung **33** ausgegeben wird, und führt dies zur Recheneinheit **54**, zur Auswahlschaltung **58** und zum Anschluss **61b** des Schalters **61**.

[0165] In dem Zeitpunkt, wo auf eines der vier Pixel 2×2 von h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene zugegriffen wird, nämlich in dem Zeitpunkt, wo auf eine von der A-Bankadresse (2s, 2t), (2s + 1, 2t), (2s, 2t + 1) und (2s + 1, 2t + 1) in dem Speicher **2** der ersten Ebene zugegriffen wird, wird auf die A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene zugegriffen.

[0166] Wenn der Leseabschnitt **44** eines von den Pixeln h(2s, 2t), h(2s + 1, 2t) und h(2s, 2t + 1) vom Speicher **2** der ersten Ebene liest und dies zur Recheneinheit **54** führt, liest der Leseabschnitt **47** die Daten von der A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene und führt diese zur Recheneinheit **54**.

[0167] Die Recheneinheit **54** subtrahiert das Ausgangssignal des Leseabschnitts **44** vom Ausgangssignal des Leseabschnitts **47** und liefert die Differenz zum Schreibabschnitt **46**. Der Schreibabschnitt **46** schreibt das Ausgangssignal der Recheneinheit **54** auf die A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene über die Auswahlschaltung **42**.

[0168] Das Pixel der zweiten Ebene m(s, t), welches die Summe der vier Pixel aus 2×2 von h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene ist, wird zunächst in der A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene gespeichert. Wenn der Leseabschnitt **44** das Pixel h(2s, 2t) in der ersten Ebene liest, während der Leseabschnitt **47** die Daten (hier m(s, t) – h(2s, 2t)) liest, welche in der A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene gespeichert sind, bestimmt die Recheneinheit **54** die Differenz m(s, t) – h(2s, 2t) dazwischen und der Schreibabschnitt **46** schreibt diese auf die A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene.

[0169] Wenn der Leseabschnitt **44** das Pixel h(2s + 1, 2t) in der ersten Ebene liest, liest der Leseabschnitt **47** die Daten (hier m(s, t) – h(2s, 2t)), welche in der A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene gespeichert sind. Die Recheneinheit **54** bestimmt die Differenz (m(s, t) – h(2s, 2t) – h(2s + 1, 2t)) dazwischen und der Schreibabschnitt **46** schreibt diese auf die A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene.

[0170] Wenn der Leseabschnitt **44** das Pixel h(2s, 2t + 1) in der ersten Ebene liest, liest der Leseabschnitt **47** die Daten (hier (m(s, t) – h(2s, 2t) – h(2s + 1, 2t)), welche in der A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene gespeichert sind. Die Recheneinheit **54** bestimmt die Differenz (m(s, t) – h(2s, 2t) – h(2s + 1, 2t) – h(2s, 2t + 1)) dazwischen und der Schreibabschnitt **46** schreibt diese in die A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene. Schließlich wird das Pixel der ersten Ebene h(2s + 1, 2t + 1) = m(s, t) – h(2s, 2t) – h(2s + 1, 2t) – h(2s, 2t + 1)) in die A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene geschrieben.

[0171] Die Daten, welche der Leseabschnitt **47** von der A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene liest, in dem Zeitpunkt, wo auf die A-Bankadresse (2s + 1, 2t + 1) im Speicher **2** der ersten Ebene zugegriffen wird (es gibt keine Speicherzelle, welche dieser Adresse entspricht, und sogar, wenn ein Versuch gemacht wird, auf diese Adresse zuzugreifen, wird nicht darauf geschrieben und nichts davon gelesen), sind das rechte untere Pixel (Pixelwert) h(2s + 1, 2t + 1) von vier Pixeln 2×2 aus h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene, welche durch D1 dargestellt wird, wie in Fig. 2 gezeigt ist (mit Ausschluss von h(4m + 3, 4n + 3)).

[0172] Die Auswahlschaltung **58** wählt das Ausgangssignal des Leseabschnitts **44** als Pixel in der ersten Ebene aus und gibt dieses aus, wenn das Ausgangssignal des UND-Gates **59** lediglich (eines der beiden Ausgangssignale des UND-Gates **59** und des UND-Gates **60**) eine 1 ist (das Ausgangssignal des UND-Gates **60** ist somit eine 0). Insbesondere, wenn das Ausgangssignal des UND-Gates **59** lediglich eine 1 ist, bedeutet dies, dass sowohl ha0 als auch va0 gleich 1 sind, und dass ha1 und/oder va1 eine 0 sind, und bedeutet den Zeitpunkt, wo das rechte untere Pixel h(2s + 1, 2t + 1) von den vier Pixeln 2×2 aus h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene, welche durch D1 dargestellt wird, wie in Fig. 2 gezeigt ist, (mit Ausnahme von h(4m + 3, 4n + 3) gelesen wird. Wie oben beschrieben wird das Pixel h(2s + 1, 2n + 1) von der A-Bankadresse (s, t) im Speicher **3** der zweiten Ebene durch den Leseabschnitt **47** gelesen, und das Ausgangssignal des Leseabschnitts **47** wird durch die Auswahlschaltung **58** ausgewählt und ausgegeben.

[0173] Der Leseabschnitt **51** liest über die Auswahlschaltung **43** vom Speicher **4** der dritten Ebene ein Pixel (Pixelwert) in der dritten Ebene, welches in der A-Bankadresse gespeichert ist, welches durch die Auswahlschaltung **34** ausgegeben wird, und führt dies zur Recheneinheit **56** und zur Auswahlschaltung **58**.

[0174] In dem Zeitpunkt, wo auf jedes von 16 Pixeln aus 4×4 aus h(4m, 4n)
h(4m + 1, 4n), h(4m + 2 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 1, 4n + 1), h(4m + 2, 4n + 1), h(4m + 3, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), h(4m + 1, 4n + 3), h(4m + 2, 4n + 3), und h(4m + 3, 4n + 3)
in der ersten Ebene, welche durch D2 dargestellt wird, wie in Fig. 2 gezeigt ist, zugegriffen wird, wie oben beschrieben wurde, wird auf die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene zugegriffen.

[0175] Wenn der Leseabschnitt **44** jedes der Pixel
h(4m, 4n), h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 2, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), und h(4m + 2, 4n + 3)
im Speicher **2** der ersten Ebene liest, mit Ausnahme des rechten unteren Pixels h(2s + 1, 2t + 1) in der ersten Ebene 2×2 Pixel und diese zum Anschluss **61a** führt, liest der Leseabschnitt **51** Daten von der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene und führt diese zur Recheneinheit **56**.

[0176] Der Schalter **61** wählt seinen Anschluss **61a** aus, wenn das Ausgangssignal des UND-Gates **59** eine 0 ist. Jedes der Pixel
h(4m, 4n), h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 2, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), und h(4m + 2, 4n + 3)
in der ersten Ebene, welches durch den Leseabschnitt **44** ausgegeben wird, wird über den Schalter **61** zur Recheneinheit **56** geliefert.

[0177] Wenn der Leseabschnitt **47** Pixel h(4m + 1,

4n + 1), welche dem rechten unteren Pixel h(2s + 1, 2t + 1) in den 2×2 Pixeln in der ersten Ebene h(4m + 3, 4n + 1) und h(4m + 1, 4n + 3) entsprechen, ausgibt, wenn das Ausgangssignal des UND-Gates **59** eine 1 ist, wird der Schalter **61** dazu bestimmt, seinen Anschluss **61b** auszuwählen. Die Pixel h(4m + 1, 4n + 1), h(4m + 3, 4n + 1) und h(4m + 1, 4n + 3), welche durch den Leseabschnitt **47** ausgegeben werden, werden über den Schalter **61** zur Recheneinheit **56** geliefert.

[0178] Die Recheneinheit **56** subtrahiert das Ausgangssignal des Schalters **61** vom Ausgangssignal des Leseabschnitts **51** und liefert die Differenz zum Schreibabschnitt **50**. Der Schreibabschnitt **50** schreibt das Ausgangssignal der Recheneinheit **56** in die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene über die Auswahlschaltung **43**.

[0179] Das Pixel q(m, n) der dritten Ebene, welche die Summe der 16 Pixel aus 4×4 in der ersten Ebene ist, wird zunächst in der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene gespeichert. Wenn der Leseabschnitt **44** das Pixel h(4m, 4n) in der ersten Ebene liest, liest der Leseabschnitt **51** die Daten (hier q(m, n)), welche in der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene gespeichert sind. Die Recheneinheit **56** bestimmt die Differenz (q(m, n) – h(m, n)) dazwischen, und der Schreibabschnitt **50** schreibt diese in die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene.

[0180] Wenn der Leseabschnitt **44** das Pixel h(4m + 1, 4n) in der ersten Ebene liest, liest der Leseabschnitt **51** die Daten (hier q(m, n) – h(4m, 4n)), welche in der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene gespeichert sind. Die Recheneinheit **56** bestimmt die Differenz (q(m, n) – h(4m, 4n) – h(m + 1, 4n)) dazwischen und der Schreibabschnitt **50** schreibt diese in die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene.

[0181] Ähnlich wird der Wert, welcher in der A-Bankadresse (m, n) im Speicher der dritten Ebene gespeichert ist, danach wiederholt umgeschrieben.

[0182] Wenn das Pixel h(4m + 1, 4n + 1) der ersten Ebene, welches dem rechten unteren Pixel h(2s + 1, 2t + 1) in den 2×2 Pixeln in der ersten Ebene entspricht, gelesen wird, führt der Leseabschnitt **47** dieses zur Recheneinheit **56** über den Schalter **61**, wie schon beschrieben wurde. Die A-Bankadresse im Speicher **4** der dritten Ebene speichert dann die Daten, welche ausgedrückt werden durch die Gleichung q(m, n) – h(4m, 4n) – h(4m + 1, 4n) – h(4m + 2, 4n) – h(4m + 3, 4n) h(4m, 4n + 1), und der Leseabschnitt **51** liest die Daten und liefert diese zur Recheneinheit **56**.

[0183] Die Recheneinheit **56** subtrahiert das Ausgangssignal des Leseabschnitts **47** vom Ausgangssignal des Leseabschnitts **51**, und der Schreibabschnitt **50** schreibt die Differenz
(q(m, n) – h(4m, 4n) – h(4m + 1, 4n) – h(4m + 2, 4n) – h(4m + 3, 4n) – h(4m, 4n + 1) – h(4m + 1, 4n + 1))
in die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene.

[0184] Schließlich liest, wenn der Leseabschnitt **44** das Pixel h(4m + 2, 4n + 3) in der ersten Ebene liest, der Leseabschnitt **51** die Daten, welche in der A-Bankadresse im Speicher **4** der dritten Ebene gespeichert sind (hier
q(m, n) – h(4m, 4n) – h(4m + 1, 4n) – h(4m + 2,4n) – h(4m + 3, 4n) – h(4m, 4n + 1) – h(4m + 1, 4n + 1) – h(4m + 2,4n + 1) – h(4m + 3, 4n + 1) – h(4m, 4n + 2) – h(4m + 1, 4n + 2) – h(4m + 2 4n + 2) – h(4m + 3, 4n + 2) – h(4m, 4n + 3) – h(4m + 1, 4n + 3)).

[0185] Die Recheneinheit **56** bestimmt die Differenz dazwischen, und der Schreibabschnitt **50** schreibt die Differenz in die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene.

[0186] Insbesondere wird das Pixel (4m + 3, 4n + 3) in der ersten Ebene (= q(m, n) – h(4m, 4n) – h(4m + 1, 4n) – h(4m + 2, 4n) – h(4m + 3, 4n) – h(4m, 4n + 1) – h(4m + 1, 4n + 1) – h(4m + 2, 4n + 1) – h(4m + 3, 4n + 1) – h(4m, 4n + 2) – h(4m + 1, 4n + 2) – h(4m + 2, 4n + 2) – h(4m + 3, 4n + 2) – h(4m, 4n + 3) – h(4m + 1, 4n + 3) – h(4m + 2, 4n + 3))
in die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene geschrieben.

[0187] Die Daten, welche der Leseabschnitt **51** von der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene liest, in dem Zeitpunkt, wo auf die A-Bankadresse (4m + 3, 4n + 3) im Speicher **2** der ersten Ebene zugegriffen wird (es gibt keine Speicherzelle, welche dieser Adresse entspricht, und sogar, wenn ein Versuch gemacht wird, auf diese Adresse zuzugreifen, wird nichts darauf geschrieben und nichts davon lesen) sind das rechte untere Pixel (Pixelwert) h(4m + 3, 4n + 3) von den 16 Pixeln aus 4×4 in der ersten Ebene, welche durch D2 dargestellt wird, wie in Fig. 2 gezeigt ist.

[0188] Die Auswahlschaltung **58** wählt das Ausgangssignal des Leseabschnitts **51** als Pixel der ersten Ebene aus und gibt dieses aus, wenn die Ausgangssignale von sowohl dem UND-Gate **59** als auch dem UND-Gate **60** gleich 1 sind. Insbesondere, wenn die Ausgangssignale von sowohl dem UND-Gate **59** als auch dem UND-Gate **60** gleich 1 sind, bedeutet dies, dass sämtliche ha0, va0, ha1 und va1 gleich 1 sind, und bedeutet den Zeitpunkt, wo das rechte untere Pixel (4m + 3, 4n + 3) der 16 Pixel aus 4×4 in der ersten Ebene gelesen wird. Der Leseabschnitt **51** liest das Pixel h(4m + 3, 4n + 3) von der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene, und das

Ausgangssignal des Leseabschnitts **51** wird ausgewählt und durch die Auswahlschaltung **58** ausgegeben.

[0189] Wenn die Pixel der ersten Ebene auf diese Weise gelesen werden, speichert der Speicher **3** der zweiten Ebene das Pixel h(2s + 1, 2n + 1) der ersten Ebene (mit Ausnahme von h(4m + 3, 4n + 3)), und der Speicher **4** der dritten Ebene speichert das Pixel h(4m + 3, 4n + 3) der ersten Ebene.

[0190] Die Pixel in der ersten Ebene werden geschrieben, wobei die gespeicherten Werte im Speicher **3** der zweiten Ebene und im Speicher **4** der dritten Ebene ersetzt werden.

[0191] Die somit umgeschriebenen Werte im Speicher **3** der zweiten Ebene und im Speicher **4** der dritten Ebene müssen in ihre ursprünglichen Pixel im Speicher **3** der zweiten Ebene und im Speicher **4** der dritten Ebene wiederhergestellt werden (wenn nicht notwendig, können sie ungespeichert verbleiben).

[0192] Wie schon beschrieben wird der Speicher **2** der ersten Ebene in die Bank A unterteilt, um die Pixel auf der Zeile 8α bis zur Zeile 8α + 3 zu speichern, und in die Bank B, um die Pixel auf der Zeile 8α + 4 bis zur Zeile 8α + 7 zu speichern. Der Speicher **3** der zweiten Ebene wird in die Bank A unterteilt, um die Pixel auf der Zeile 4α und der Zeile 4α + 1 in der zweiten Ebene zu speichern, und in die Bank B, um die Pixel auf der Zeile 4α + 2 und der Zeile 4α + 3 in der zweiten Ebene zu speichern, und der Speicher **4** für die dritte Ebene wird in die Bank A unterteilt, um die Pixel auf der Zeile 2α in der dritten Ebene zu speichern, und in die Bank B, um die Pixel auf der Zeile 2α + 1 zu speichern.

[0193] Bei dieser Ausführungsform sind die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA entsprechend die Horizontaldresse HA und die Vertikaladresse VA, jedoch mit einer Verzögerung von vier Zeilen, die darin eingeführt wird. Wie oben schon beschrieben, wenn die Horizontaldresse HA und die Vertikaladresse VA als A-Bankadresse ausgewählt werden, während die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA als B-Bankadresse ausgewählt werden, wird auf eine Speicherzelle in der Bank A für die Horizontaldresse HA und die Vertikaladresse VA im Speicher **2** der ersten Ebene zugegriffen, und im gleichen Zeitpunkt wird auf eine Speicherzelle in der Bank B (der B-Bankspeicherzelle entsprechend der Position der Speicherzelle in der der Bank A) für die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA ebenfalls zugegriffen.

[0194] Ähnlich wird im Speicher **3** der zweiten Ebene auf eine Speicherzelle in der Bank A zugegriffen, während auf eine Speicherzelle in der Bank B, auf welche zwei Zeilen früher zugegriffen wurde, zugegriffen wird. Bei dem Speicher **4** der dritten Ebene wird auf eine Speicherzelle in der Bank A zugegriffen, während auf eine Speicherzelle in der Bank B, auf die eine Zeile früher zugegriffen wurde, zugegriffen wird.

[0195] Wenn der Leseabschnitt **44** ein jedes der Pixel h(2s, 2t), h(2s + 1, 2t) und h(2s, 2t + 1) von der Bank A im Speicher **2** der ersten Ebene liest, liest der Leseabschnitt **45** über die Auswahlschaltung **41** jedes der Pixel h(2s, 2t'), h(2s + 1, 2t') und h(2s, 2t' + 1) von der Bank B im Speicher der ersten Ebene, auf die vier Zeilen früher zugegriffen wurde, und liefert dies zur Recheneinheit **55**. Hier gilt: t' = t – 2

[0196] Wenn der Leseabschnitt **45** ein jedes Pixel h(2s, 2t'), h(2s + 1, 2t') und h(2s, 2t' + 1) von der Bank B im Speicher **2** der ersten Ebene liest, liest der Leseabschnitt **49** über die Auswahlschaltung **42** die Daten von der Adresse (vorher bestimmte Adresse) (s, t') in der Bank B im Speicher **3** der zweiten Ebene und liefert die Daten zur Recheneinheit **55**.

[0197] Die Recheneinheit **55** summiert das Ausgangssignal des Leseabschnitts **45** und das Ausgangssignal des Leseabschnitts **49** und liefert die Summe zum Schreibabschnitt **48**. Der Schreibabschnitt **48** schreibt das Ausgangssignal der Recheneinheit **55** in die B-Bankadresse (s, t') im Speicher **3** der zweiten Ebene über die Auswahlschaltung **42**.

[0198] Die B-Bankadresse (s, t') im Speicher **3** der zweiten Ebene speichert zunächst das Pixel h(2s + 1, 2t' + 1) der ersten Ebene, welches bestimmt wurde, indem auf diese zwei Zeilen früher in der zweiten Ebene zugegriffen wird (vier Zeilen früher in der ersten Ebene). Wenn der Leseabschnitt **45** das Pixel der ersten Ebene h(2s, 2t') von der Bank B im Speicher **2** der ersten Ebene liest, liest der Leseabschnitt **49** die Daten (hier h(2s + 1, 2t' + 1)), welche in der B-Bankadresse (s, t') im Speicher **3** der zweiten Ebene gespeichert sind. Die Recheneinheit **55** bestimmt die Summe von diesen (h(2s, 2t') + h(2s + 1, 2t' + 1)), und der Schreibabschnitt **48** schreibt diese in die B-Bankadresse (s, t') im Speicher **3** der zweiten Ebene.

[0199] Wenn weiter der Leseabschnitt **45** das Pixel h(2s + 1, 2t') der ersten Ebene von der Bank B im Speicher **2** der ersten Ebene liest, liest der Leseabschnitt **49** die Daten (hier (2s, 2t') + h(2s + 1, 2t' + 1)), welche in der B-Bankadresse (s, t') im Speicher **3** der zweiten Ebene gespeichert sind. Die Recheneinheit **55** bestimmt die Summe von diesen h(2s, 2t') + h(2s + 1, 2t' + 1) + h(2s + 1, 2t' + 1), und der Schreibabschnitt **48** schreibt diese in die B-Bankadresse (s, t') im Speicher **3** der zweiten Ebene.

[0200] Wenn der Leseabschnitt **45** das Pixel h(2s + 1, 2t') der ersten Ebene von der Bank B im Speicher **2** der ersten Ebene liest, liest der Leseabschnitt **49**

die Daten (h(2s, 2t') + h(2s + 1, 2t') + h(2s + 1, 2t' + 1)), welche in der B-Bankadresse (s, t') im Speicher **3** der zweiten Ebene gespeichert sind. Die Recheneinheit **55** bestimmt die Summe von diesen h(2s, 2t') + h(2s + 1, 2t' + 1) + h(2s + 1, 2t' + 1)), und der Schreibabschnitt **48** schreibt diese in die B-Bankadresse (s, t') im Speicher der zweiten Ebene. Das ursprüngliche Pixel m(s, t') der zweiten Ebene, welches in die B-Bankadresse (s, t') im Speicher **3** der zweiten Ebene geschrieben ist, ist:
(= h(2s, 2t') + h(2s + 1, 2t') + h(2s, 2t' + 1) + h(2s + 1, 2t' + 1))

[0201] Wenn der Leseabschnitt **44** von der Bank A im Speicher **2** der ersten Ebene ein jedes der Pixel der ersten Ebene
h(4m, 4n), h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 2, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), und h(4m + 2, 4n + 3)
in der ersten Ebene liest, mit Ausnahme des rechten unteren Pixels h(2s + 1, 2t + 1) der 2×2 Pixel in der ersten Ebene, liest der Leseabschnitt B im Speicher **2** der ersten Ebene ein jedes der Pixel der ersten Ebene vier Zeilen früher
h(4m, 4n'), h(4m + 1, 4n'), h(4m + 2, 4n'), h(4m + 3, 4n'), h(4m, 4n' + 1), h(4m + 2, 4x' + 1), h(4m, 4n' + 2), h(4m + 1, 4n' + 2), h(4m + 2, 4n' + 2), h(4m + 3, 4n' + 2), h(4m, 4n' + 3), und h(4m + 2, 4' + 3), und liefert diese zur Recheneinheit **57**. Hier gilt: n' = n – 1.

[0202] Der Leseabschnitt **53** liest die Daten von der B-Bankadresse (m, n') im Speicher **4** der dritten Ebene über die Auswahlschaltung **43** und führt diese zur Recheneinheit **57**.

[0203] Das Ausgangssignal des Leseabschnitts **49** wird über den Schalter **62** zur Recheneinheit **57** geliefert. Der Schalter **62** wird lediglich dann eingeschaltet, wenn das Ausgangssignal des NOR-Gates **63** auf einem H-Pegel ist (ha0 = va0 = 0), und ist in der übrigen Zeit ausgeschaltet. Der Schalter **62** wird daher lediglich nur dann eingeschaltet, wenn der Leseabschnitt **49** jedes der Pixel der ersten Ebene h(4m + 1, 4n' + 1), h(4m + 3, 4n' + 1) und h(4m + 1, 4n' + 3) von der Bank B im Speicher **3** der zweiten Ebene liest, und als Ergebnis werden die Pixel h(4m + 1, 4n + 1), h(4m + 3, 4n + 1) und h(4m + 1, 4n' + 3) zur Recheneinheit **57** über den Schalter **62** geliefert.

[0204] Die Recheneinheit **57** summiert das Ausgangssignal des Leseabschnitts **45** und das Ausgangssignal des Leseabschnitts **53**, und sie summiert außerdem das Ausgangssignal des Leseabschnitts **49** bei der Summieroperation, wenn der Schalter **62** eingeschaltet ist und wenn der Leseabschnitt **49** sein Ausgangssignal abgibt, und die resultierende Summe wird zum Schreibabschnitt **52** geliefert. Der Schreibabschnitt **52** schreibt das Ausgangssignal der Recheneinheit **57** in die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene über die Auswahlschaltung **43**.

[0205] Die A-Bankadresse (m, n') im Speicher **4** der dritten Ebene speichert zunächst das Pixel h(4m + 3, 4n' + 3) der ersten Ebene, welches dadurch bestimmt wurde, indem darauf eine Zeile früher in der dritten Ebene zugegriffen wurde (vier Zeilen früher in der ersten Ebene). Wenn der Leseabschnitt **45** und der Leseabschnitt **49** das Pixel h(4m, 4n') bzw. h(4m + 1, 4n' + 1) der ersten Ebene lesen, liest der Leseabschnitt **53** die Daten (hier h(4m + 3, 4n' + 3)), welche in der B-Bankadresse (m, n') im Speicher **4** der dritten Ebene gespeichert ist. die Recheneinheit **57** bestimmt die Summe von diesen (h(4m, 4n') + h(4m + 1, 4n' + 1) h(4m + 3, 4n' + 3) und der Schreibabschnitt **52** schreibt diese in die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene.

[0206] Wenn der Leseabschnitt **45** das Pixel h(4m + 1, 4n') der ersten Ebene liest, liest der Leseabschnitt **53** die Daten (hier h(4m, 4n') + h(4m + 1, 4n' + 1) + h(4m + 3, 4n' + 3), welche in der B-Bankadresse (m, n') im Speicher **4** der dritten Ebene gespeichert sind. Die Recheneinheit **57** bestimmt die Summe von diesen
(h(4m, 4n') + h(4m + 1, 4n') + + h(4m + 1, 4n' + 1) + h(4m + 3, 4n' + 3)),
und der Schreibabschnitt **52** schreibt diese in die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene.

[0207] Schließlich liest der Leseabschnitt **45** das erste Pixel h(4m + 2, 4n' + 3), und der Leseabschnitt **53** liest die Daten (hier
h(4m, 4n') + h(4m + 1, 4n') + h(4m + 2, 4n') + h(4m + 3, 4n') + h(4m, 4n' + 1) + h(4m + 1, 4n' + 1) + h(4m + 2, 4n' + 1) + h(4m + 3, 4n' + 1) + h(4m, 4n' + 2) + h(4m + 1, 4n' + 2) + h(4m + 2, 4n' + 2) + h(4m + 3, 4n' + 2) + h(4m, 4n' + 3) + h(4m + 1, 4n' + 3) + h(4m + 3, 4n' + 3)), welche in der B-Bankadresse (m, n') im Speicher **4** der dritten Ebene gespeichert sind. Die Recheneinheit **57** bestimmt die Summe von diesen, und der Schreibabschnitt **52** schreibt diese in die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene. Insbesondere wird das ursprüngliche Pixel der dritten Ebene, welches in die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene geschrieben ist, zu
q(m, n')(= h(4m, 4n') + h(4m + 1, 4n') + h(4m + 2, 4n') + h(4m + 3, 4n') + h(4m, 4n' + 1) + h(4m + 1, 4n' + 1) + h(4m + 2, 4n' + 1) + h(4m + 3, 4n' + 1) + h(4m, 4n' + 2) + h(4m + 1, 4n' + 2) + h(4m + 2, 4n' + 2) + h(4m + 3, 4n' + 2) + h(4m, 4n' + 3) + h(4m + 1, 4n' + 3) + h(4m + 2, 4n' + 3) + h(4m + 3, 4n' + 3)).

[0208] Wenn das niedrigwertigere dritte Bit va2 der Vertikaladresse VA einen Übergang hat, wählt die Auswahlschaltung **32** die Horizontaldresse HA und die Vertikaladresse VA, welche zur Adresslieferschaltung **1** geliefert werden, als B-Bankadresse und die

verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA als A-Bankadresse.

[0209] Ähnlich wählen die Auswahlschaltungen **33** und **34** die A-Bankadresse und die B-Bankadresse aus. Insbesondere wählt die Auswahlschaltung **33** die höherwertigeren acht Bits ha1 bis ha8 der Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 der Vertikaladresse VA als B-Bankadresse, und die höherwertigeren acht Bits ha1 bis ha8 der verzögerten Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 verzögerten Vertikaladresse VA als A-Bankadresse aus. Die Auswahlschaltung **34** wählt die höherwertigeren sieben Bits ha2 bis ha8 der Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der Vertikaladresse VA als B-Bankadresse, und die höherwertigeren sieben Bits ha2 bis ha8 der verzögerten Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der verzögerten Vertikaladresse VA als A-Bankadresse aus.

[0210] Die A-Bankadresse und B-Bankadresse, welche in den Auswahlschaltungen **32** bis **34** ausgewählt wurden, werden entsprechend zu den A-Bankadressanschlüssen und den B-Bankadressanschlüssen des Speichers **2** der ersten Ebene, des Speichers **3** der zweiten Ebene und des Speichers **4** der dritten Ebene geliefert.

[0211] In der Auswahlschaltung **41** ist der B-Bankdatenanschluss des Speichers **2** der ersten Ebene mit dem Leseabschnitt **44** verbunden, während der A-Bankdatenanschluss mit der Leseabschnitt **45** verbunden ist. In der Auswahlschaltung **42** sind die B-Bankdatenanschlüsse des Speichers **3** der zweiten Ebene mit dem Schreibabschnitt **46** und dem Leseabschnitt **47** verbunden, während die A-Bankdatenanschlüsse mit dem Schreibabschnitt **48** und dem Leseabschnitt **49** verbunden sind. In der Auswahlschaltung **43** sind die B-Bankdatenanschlüsse des Speichers **4** der dritten Ebene mit dem Schreibabschnitt **50** und dem Leseabschnitt **51** verbunden, während die Bankdatenanschlüsse mit dem Schreibabschnitt **52** und dem Leseabschnitt **53** verbunden sind.

[0212] Der Prozess, der identisch mit dem obigen Prozess ist, wobei jedoch die Bank A und die Bank B bei der obigen Erläuterung untereinander vertauscht sind, wird durchgeführt.

[0213] Die Pixel der ersten Ebene werden durch die Auswahlschaltung **58** ausgegeben, während der Speicherinhalt im Speicher der zweiten Ebene und im Speicher **4** der dritten Ebene in die ursprünglichen Werte umgeschrieben wird.

[0214] Fig. 8 zeigt den Aufbau der Speichereinrichtung von Fig. 1, um das Bild in der zweiten Ebene zu lesen, wenn der Speicher **2** der ersten Ebene und der Speicher **3** der zweiten Ebene eingerichtet sind, eine kleinere Speicherkapazität wie schon beschrieben zu haben. Wie in Fig. 8 gezeigt ist, wird ein Bereich, der auf den Speicher **2** der ersten Ebene bezogen ist, ausgelassen.

[0215] Die Adresslieferschaltung **1** ist aus einer Verzögerungsschaltung **71** und den Auswahlschaltungen **73** und **74** aufgebaut. Die Verzögerungsschaltung **71** und die Auswahlschaltungen **73** und **74** haben einen identischen Aufbau wie die Verzögerungsschaltung **31** und die Auswahlschaltungen **33** und **34** entsprechend in Fig. 6.

[0216] Der Speicher **3** der zweiten Ebene und der Speicher **4** der dritten Ebene haben einen identischen Aufbau wie die, welche in Fig. 6 gezeigt sind.

[0217] Die RMW-Schaltung **5** besteht aus den Auswahlschaltungen **81** und **82**, den Leseabschnitten **84** und **85**, dem Schreibabschnitt **86**, dem Leseabschnitt **87**, dem Schreibabschnitt **88**, dem Leseabschnitt **89**, den Schaltern **91** und **92**, den Recheneinheiten **94** und **95**, der Auswahlschaltung **98** und den UND-Gates **99** und **100**.

[0218] Die A-Bankdaten und die B-Bankdaten, die entsprechend von der Bank A und der Bank B im Speicher **3** der zweiten Ebene gelesen werden, werden an den A-Bankdatenanschluss und den B-Bankdatenanschluss ausgegeben, welche mit der Auswahlschaltung **81** verbunden sind. Die Auswahlschaltung **81** empfangt das niedrigwertigere dritte Bit va2 der Vertikaladresse VA von der Adresslieferschaltung **1** als Steuersignal. Als Antwort auf das Steuersignal va2 verbindet die Auswahlschaltung **81** einen von dem A-Bankdatenanschluss und dem B-Bankdatenanschluss mit dem Leseabschnitt **84** und den anderen von dem A-Bankdatenanschluss und dem B-Bankdatenanschluss mit dem Leseabschnitt **85**.

[0219] Wenn das Steuersignal va2 ein Übergang an einem Punkt hat, wenn die Auswahlschaltung **81** den A-Bankdatenanschluss und den B-Bankdatenanschluss entsprechend mit dem Leseabschnitt **84** und dem Leseabschnitt **85** verbindet, werden der A-Bankdatenanschluss und der B-Bankdatenanschluss mit dem Leseabschnitt **85** bzw. dem Leseabschnitt **84** verbunden. Wenn das Steuersignal va2 wiederum einen Übergang hat, verbindet die Auswahlschaltung **81** wiederum den A-Bankdatenanschluss und den B-Bankdatenanschluss mit dem Leseabschnitt **84** bzw. dem Leseabschnitt **85**. Jedes Mal, wenn das Steuersignal va2 einen Übergang hat, wechselt die Auswahlschaltung **81** die Verbindung des A-Bankdatenanschlusses zwischen dem Leseabschnitt **84** und dem Leseabschnitt **85**, während die Verbindung des A-Bankdatenanschlusses zwischen dem Leseab-

schnitt **85** und dem Leseabschnitt **84** gewechselt wird.

[0220] Mit der Auswahlschaltung **82** sind ein A-Bankdatenanschluss, zu dem die Daten, welche in die Bank A im Speicher **4** der dritten Ebene zu schreiben sind, geliefert werden, ein A-Bankdatenanschluss, von welchem die Daten, welche von der Bank A gelesen werden, ausgegeben werden, ein B-Bankdatenanschluss, zu dem die Daten, welche in die Bank B zu schreiben sind, geliefert werden, und ein B-Bankdatenanschluss, von welchem die Daten, welche von der Bank B gelesen werden, ausgegeben werden, verbunden. Die Auswahlschaltung **82** wird außerdem mit dem niedrigwertigeren dritten Bit va2 der Vertikaladresse VA von der Adresslieferschaltung **1** als Steuersignal beliefert. Als Antwort auf das Steuersignal va2 verbindet die Auswahlschaltung **82** einen von den A-Bankdatenanschlüssen und den B-Bankdatenanschlüssen mit einem Schreibabschnitt **86** und einem Leseabschnitt **87**, während der andere der A-Bankdatenanschlüsse und der B-Bankdatenanschlüsse mit einem Schreibabschnitt **88** und einem Leseabschnitt **89** verbunden wird.

[0221] Wenn das Steuersignal va2 einen Übergang an einem Punkt hat, wenn die Auswahlschaltung **82** die A-Bankdatenanschlüsse mit dem Schreibabschnitt **86** und dem Leseabschnitt **87** und die B-Bankdatenanschlüsse mit dem Schreibabschnitt **88** und dem Leseabschnitt **89** verbindet, werden die A-Bankdatenanschlüsse wiederum mit dem Schreibabschnitt **88** und dem Leseabschnitt **89** verbunden, während die B-Bankdatenanschlüsse wiederum mit dem Schreibabschnitt **86** und dem Leseabschnitt **87** verbunden sind. Wenn das Steuersignal va2 wiederum einen Übergang hat, verbindet die Auswahlschaltung **82** wiederum die A-Bankdatenanschlüsse mit dem Schreibabschnitt **86** und dem Leseabschnitt **87**, während die B-Bankdatenanschlüsse mit dem Schreibabschnitt **88** und dem Leseabschnitt **89** verbunden werden. Jedes Mal, wenn das Steuersignal va2 einen Übergang hat, wechselt die Auswahlschaltung **82** die Verbindung der A-Bankdatenanschlüsse zwischen dem Schreibabschnitt **86** und dem Leseabschnitt **87** und dem Schreibabschnitt **88** und dem Leseabschnitt **89**, während die Verbindung der B-Bankdatenanschlüsse zwischen dem Schreibabschnitt **88** und dem Leseabschnitt **89** und dem Schreibabschnitt **86** und dem Leseabschnitt **87** gewechselt wird.

[0222] Die Leseabschnitte **84** und **85** lesen Daten vom Speicher **3** der zweiten Ebene über die Auswahlschaltung **81**. Die Daten, welche durch den Leseabschnitt **84** gelesen werden, werden zum Anschluss **91b** des Schalters **91** und zur Auswahlschaltung **98** geführt. Die Daten, welche durch den Leseabschnitt **85** gelesen werden, werden zum Anschluss **92b** des Schalters **92** geliefert. Der Schreibabschnitt **86** schreibt das Ausgangssignal der Recheneinheit **94** über die Auswahlschaltung **82** in den Speicher **4** der dritten Ebene. Der Leseabschnitt **87** liest die Daten vom Speicher **4** der dritten Ebene über die Auswahlschaltung **82** und liefert die Daten zur Recheneinheit **94** und zur Auswahlschaltung **98**. Der Schreibabschnitt **88** schreibt das Ausgangssignal der Recheneinheit **95** über die Auswahlschaltung **82** in den Speicher **4** der dritten Ebene. Der Leseabschnitt **89** liest die Daten von dem Speicher der dritten Ebene über die Auswahlschaltung **82** und liefert die Daten zur Recheneinheit **95**.

[0223] In Abhängigkeit vom Ausgangssignal des UND-Gates **99** schaltet der Schalter **91** zwischen seinem Anschluss **91a** und seinem Anschluss **91b** um, und dessen Ausgangssignal wird zur Recheneinheit **94** geliefert. Der Anschluss **91b** wird mit einer 0 beliefert. In Abhängigkeit vom Ausgangssignal des UND-Gates **99** wählt der Schalter **92** zwischen seinem Anschluss **92a** und **92b** aus, und dessen Ausgangssignal wird zur Recheneinheit **95** geliefert. Der Anschluss **92b** wird mit einer 0 beliefert.

[0224] Die Recheneinheit **94** subtrahiert das Ausgangssignal des Schalters **91** vom Ausgangssignal des Leseabschnitts **87** und liefert die Differenz zum Schreibabschnitt **86**. Die Recheneinheit **95** summiert das Ausgangssignal des Leseabschnitts **89** und das Ausgangssignal des Schalters **92** und liefert die Summe zum Schreibabschnitt **88**.

[0225] Die Auswahlschaltung **98** wählt eines von den Ausgangssignalen des Leseabschnitts **84** und des Leseabschnitts **87** als Antwort auf die Ausgangssignale der UND-Gates **99** und **100** aus. Das UND-Gate **99** empfangt das niedrigstwertige Bit ha0 der Horizontaldresse HA und das niedrigstwertige Bit va0 der Vertikaladresse VA von der Adresslieferschaltung **1** als Steuersignale, berechnet deren logisches Produkt und liefert dies zur Auswahlschaltung **98** und den Schaltern **91** und **92**. Das UND-Gate **100** empfängt das niedrigwertigere zweite Bit ha1 der Horizontaldresse HA und das niedrigwertigere zweite Bit va1 der Vertikaladresse VA, welche zur Adresslieferschaltung **1** als Steuersignale geliefert werden, und berechnet deren logisches Produkt und liefert dies zur Auswahlschaltung **98**.

[0226] Die Arbeitsweise der Speichereinrichtung wird anschließend erläutert.

[0227] Es sei nun angenommen, dass die Horizontaldresse HA und die Vertikaladresse VA als A-Bankadresse ausgewählt werden, und die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA als B-Bankadresse in der Auswahlschaltung **73** und der Auswahlschaltung **74** ausgewählt werden.

[0228] Insbesondere wählt die Auswahlschaltung

73 die höherwertigeren acht Bits ha1 bis ha8 der Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 der Vertikaladresse VA als A-Bankadresse, und die höherwertigeren acht Bits ha1 bis ha8 der verzögerten Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 der verzögerten Vertikaladresse VA als B-Bankadresse aus. Die Auswahlschaltung **74** wählt die höherwertigeren sieben Bits ha2 bis ha8 der Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der Vertikaladresse VA als A-Bankadresse, und die höherwertigeren sieben Bits ha2 bis ha8 der verzögerten Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der verzögerten Vertikaladresse VA als B-Bankadresse aus.

[0229] Die A-Bankadresse und die B-Bankadresse, welche in den Auswahlschaltungen **73** und **74** ausgewählt wurden, werden entsprechend zu den A-Bankadressanschlüssen und B-Bankadressanschlüssen des Speichers **3** der zweiten Ebene und des Speichers **4** der dritten Ebene geliefert.

[0230] In der Auswahlschaltung **81** ist der A-Bankdatenanschluss des Speichers **3** der zweiten Ebene mit dem Leseabschnitt **84** verbunden, während der B-Bankdatenanschluss mit dem Leseabschnitt **85** verbunden ist. In der Auswahlschaltung **82** sind die A-Bankdatenanschlüsse des Speichers **4** der dritten Ebene mit dem Schreibabschnitt **86** und dem Leseabschnitt **87** verbunden, während die B-Bankdatenanschlüsse mit dem Schreibabschnitt **88** und dem Leseabschnitt **89** verbunden sind.

[0231] Der Leseabschnitt **84** liest über die Auswahlschaltung **81** das Pixel der zweiten Ebene (Pixelwert), das in der A-Bankadresse des im Speicher **3** der zweiten Ebene gespeichert ist, welches über die Auswahlschaltung **73** ausgegeben wird, und liefert dies zum Anschluss **91b** des Schalters **91** und zur Auswahlschaltung **98**.

[0232] Die Auswahlschaltung **98** wählt das Ausgangssignal des Leseabschnitts **84** aus und gibt dies als Pixel zweiter Ebene aus, wenn das Ausgangssignal des UND-Gates **99** lediglich eine 1 ist (von den Ausgangssignalen der UND-Gates **99** und **100**). Insbesondere, wenn das Ausgangssignal des UND-Gates **99** eine 1 ist, bedeutet dies, dass sowohl ha0 als auch va0 gleich 1 sind, wobei ha1 und/oder va1 eine 0 sind, und bedeutet den Zeitpunkt, wo das rechte untere Pixel h(2s + 1, 2t + 1) mit Ausnahme von h(4m + 3, 4t + 3)) von den vier Pixeln 2×2 von h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene, dargestellt durch D1, wie in Fig. 2 gezeigt ist, gelesen wird.

[0233] In dem Zeitpunkt, wo auf jedes der vier Pixel 2×2 aus h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene zugegriffen wird, wird auf das Pixel der zweiten Ebene ebenfalls zugegriffen. In dem Zeitpunkt, wo auf jedes der vier Pixel 2×2 aus h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene zugegriffen wird, werden die Daten, welche vom Speicher **3** der zweiten Ebene gelesen werden, nämlich das Pixel m(s, t) der zweiten Ebene ausgegeben, und in diesem Fall wird das gleiche Pixel wiederholt vier Mal ausgegeben.

[0234] Die Auswahlschaltung **98** wählt das Ausgangssignal des Leseabschnitts **94** aus und gibt dieses aus, d. h., das Pixel m(s, t) der zweiten Ebene in dem Zeitpunkt, wo das rechte Bodenpixel h(2s + 1, 2t + 1) (mit Ausnahme von h(4m + 3, 4t + 3)) von den vier Pixeln 2×2 aus h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene gelesen wird.

[0235] Aus dem gleichen Grund wählt der Schalter **91** den Anschluss **91b** lediglich in dem Zeitpunkt aus, wo der Leseabschnitt **84** das Pixel h(2s + 1, 2t + 1) der ersten Ebene ausgibt (in dem Zeitpunkt, wo das Ausgangssignal des UND-Gates **99** auf eine 1 übergegangen ist), und wählt den Anschluss **91a** in der übrigen Zeit aus. Insbesondere wird das Pixel (m(s, t) der zweiten Ebene, welches durch den Leseabschnitt **84** ausgegeben wird, nur dann zur Recheneinheit **94** in dem Zeitpunkt geliefert, wo das rechte untere Pixel h(2s + 1, 2t + 1) von den vier Pixeln 2×2 aus h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) in der ersten Ebene gelesen wird und eine 0 zum Leseabschnitt **94** in der übrigen Zeit geliefert wird.

[0236] Der Leseabschnitt **87** liest über die Auswahlschaltung **82** das Pixel (Pixelwert) der dritten Ebene, welches in der A-Bankadresse gespeichert ist, welches durch die Auswahlschaltung **94** ausgegeben wird, und liefert dies sowohl zur Recheneinheit **94** als auch zur Auswahlschaltung **98**.

[0237] In dem Zeitpunkt, wo auf jede der Adressen (4m, 4n),
(4m + 1, 4n), (4m + 2, 4n), (4m + 3, 4n), (4m, 4n + 1), (4m + 1, 4n + 1), (4m + 2, 4n + 1), (4m + 3, 4n + 1), (4m, 4n + 2), (4m + 1, 4n + 2), (4m + 2, 4n + 2), (4m + 3, 4n + 2), (4m, 4n + 3), (4m + 1, 4n + 3), (4m + 2, 4n + 3), und (4m + 3, 4n + 3)
im Speicher der ersten Ebene zugegriffen wird, liest der Leseabschnitt **87** die Daten von der A-Bankadresse im Speicher **4** der dritten Ebene und liefert diese zur Recheneinheit **94**.

[0238] Aus der obigen Erläuterung sieht man, dass der Schalter **91** den Anschluss **91b** in dem Zeitpunkt auswählt, wo ein Zugriff auf jede der Adressen
(4m, 4n), (4m + 1, 4n), (4m + 2, 4n), (4m + 3, 4n), (4m, 4n + 1), (4m + 2, 4n + 1), (4m, 4n + 2), (4m + 1, 4n + 2), (4m + 2, 4n + 2), (4m + 3, 4n + 2), (4m, 4n + 3), und (4m + 2, 4n + 3),
mit Ausnahme der Adressen (4m + 1, 4n + 1), (4m +

3, 4n + 1), (4m + 1, 4n + 3) und (4m + 3, 4n + 3) entsprechend der Adresse (2s + 1, 2t + 1) im Speicher **2** der ersten Ebene zugegriffen wird. In diesem Fall subtrahiert die Recheneinheit **94** eine 0 von den Daten, welche von der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene gelesen werden, und die Differenz, nämlich die Daten selbst, welche von der A-Bankadresse im Speicher **4** der dritten Ebene gelesen werden, werden dem Schreibabschnitt **86** zugeführt. Der Schreibabschnitt **86** schreibt über die Auswahlschaltung **82** die Daten von der Recheneinheit **94** in die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene. Der Wert, welcher in der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene gespeichert ist, bleibt unmittelbar dem vorhergehenden einen unverändert.

[0239] In dem Zeitpunkt, wo auf jede der Adressen (4m + 1, 4n + 1), (4m + 3, 4n + 1) und (4m + 1, 4n + 3) im Speicher **2** der ersten Ebene zugegriffen wird, wählt der Schalter **91** den Anschluss **91b** aus. In diesem Fall liest der Leseabschnitt **84** ein jedes der Pixel der m(2m, 2n), m(2m + 1, 2n) und m(2m, 2n + 1) der zweiten Ebene vom Speicher **3** der zweiten Ebene und liefert dieses zur Recheneinheit **94** über den Schalter **91**.

[0240] Die Recheneinheit **94** subtrahiert das Ausgangssignal des Leseabschnitts **84** vom Ausgangssignal des Leseabschnitts **87** und liefert die Differenz zum Schreibabschnitt **86**. Der Schreibabschnitt **86** schreibt das Ausgangssignal der Recheneinheit **94** in die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene über die Auswahlschaltung **82**.

[0241] Die A-Bankadresse (m, n) im Speicher **4** der dritten Ebene speichert anfangs die Summe der 16 Pixel aus 4×4 von
h(4m, 4n), h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 1, 4n + 1), h(4m + 2, 4n + 1), h(4m + 3, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), h(4m + 1, 4n + 3), h(4m + 2, 4n + 3), und h(4m + 3, 4n + 3)
in der ersten Ebene, d. h., das Pixel l(m, n) in der dritten Ebene, welches die Summe der vier Pixel aus 2×2 von m(2m, 2n), m(2m + 1, 2n), m(2m, 2n + 1) und m(2m + 1, 2n + 1) in der zweiten Ebene ist, und die Recheneinheit **94** empfangt das Pixel m(2m, n2) der zweiten Ebene vom Leseabschnitt **84** über den Schalter **91** in dem Zeitpunkt, wo auf die Adresse (4m + 1, 4n + 1) im Speicher der ersten Ebene zugegriffen wird, während vom Leseabschnitt **87** die Daten (hier q(m, n)), welche in der A-Bankadresse im Speicher **4** der dritten Ebene gespeichert sind, empfangen werden.

[0242] Die Recheneinheit **94** bestimmt die Differenz (q(m, n) – m(2m, 2n)) dazwischen und der Schreibabschnitt **86** schreibt diese in die A-Bankadresse (m, n) in den Speicher **4** der dritten Ebene.

[0243] In dem Zeitpunkt, wo auf die Adresse (4m + 3, 4n + 1) im Speicher **2** der ersten Ebene zugegriffen wird, empfangt die Recheneinheit **94** das Pixel m(2m + 1, 2n + 1) der zweiten Ebene über den Schalter **91** vom Leseabschnitt **84**, während vom Leseabschnitt **87** die Daten (hier q(m, n) – m(2m, 2n)), welche in der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene gespeichert sind, empfangen werden.

[0244] Die Recheneinheit **94** bestimmt die Differenz (q(m, n) – m(2m, 2n) – m(2m + 1, 2n)) dazwischen, und der Schreibabschnitt **86** schreibt diese in die A-Bankadresse (m, n) in den Speicher **4** der dritten Ebene.

[0245] In dem Zeitpunkt, wo auf die Adresse (4m + 1, 4n + 3) im Speicher **2** der ersten Ebene zugegriffen wird, empfangt die Recheneinheit **94** das Pixel m(2m, 2n + 1) der zweiten Ebene über den Schalter **91** vom Leseabschnitt **84**, während vom Leseabschnitt **87** die Daten (hier q(m, n) – m(2m, 2n) – m(2m + 1, 2n)), welche in der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene gespeichert sind, empfangen werden.

[0246] Die Recheneinheit **94** bestimmt die Differenz q(m, n) – m(2m, 2n) – m(2m + 1, 2n) – m(2m, 2n + 1)) dazwischen, und der Schreibabschnitt **86** schreibt diese in die A-Bankadresse (m, n) in den Speicher **4** der dritten Ebene.

[0247] Das Pixel m(2m + 1, 2n + 1) (= q(m, n) – m(2m, 2n) – m(2m + 1, 2n) – m(2m, 2n + 1)) der zweiten Ebene wird somit in die A-Bankadresse (m, n) in den Speicher **4** der dritten Ebene geschrieben.

[0248] In dem Zeitpunkt wird auf die A-Bankadresse (4m + 3, 4n + 3) im Speicher **2** der ersten Ebene (nämlich in dem Zeitpunkt, wo auf die A-Bankadresse (2m + 1, 2n + 1) im Speicher **3** der zweiten Ebene zugegriffen wird; es gibt keine Speicherzelle, welche dieser Adresse entspricht, und sogar, wenn ein Versuch gemacht wird, auf diese Adresse zuzugreifen, wird nichts darauf geschrieben und nichts davon gelesen), der Leseabschnitt **87** liest von der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene die Summe (m(2m + 1, 2n + 1) in der zweiten Ebene) der rechten unteren Pixel aus 2×2 von h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m + 2, 4n + 3) und h(4m + 3, 4n + 3) von den 16 Pixeln aus 4×4 in der ersten Ebene, welche durch D2 in Fig. 2 dargestellt wird.

[0249] Die Auswahlschaltung **98** wählt das Ausgangssignal des Leseabschnitts **51** als Pixel der zweiten Ebene aus und gibt dieses aus, wenn die Ausgangssignale der beiden UND-Gates **99** und **50** gleich 1 sind. Insbesondere, wo das Ausgangssignal der beiden UND-Gates **99** und **50** eine 1 ist, bedeutet dies, dass alle ha0, va0, ha1 und va1 1 sind, und be-

deutet den Zeitpunkt, wo auf die Adresse (4m + 3, 4n + 3) im Speicher **2** der ersten Ebene zugegriffen wird. Wie schon beschrieben sind, wo der Datenleseabschnitt **87** von der A-Bankadresse (m, n) im Speicher **4** der dritten Ebene liest, in diesem Zeitpunkt das Pixel der zweiten Ebene (2m + 1, 2n + 1), und diese Daten werden durch die Auswahlschaltung **98** ausgewählt und ausgegeben.

[0250] Wenn das Pixel der zweiten Ebene auf diese Weise gelesen wird, speichert der Speicher **4** der dritten Ebene das Pixel m(2m + 1, 2n + 1) der zweiten Ebene in der gleichen Weise wie in Fig. 6 gezeigt ist.

[0251] Insbesondere wird das Pixel der zweiten Ebene geschrieben, wobei das Pixel der dritten Ebene im Speicher der dritten Ebene ersetzt wird.

[0252] Der Wert, der im Speicher **4** der dritten Ebene auf diese Weise gespeichert ist, muss in das ursprüngliche Pixel der dritten Ebene wiederhergestellt werden.

[0253] Wenn die Horizontaldresse HA und die Vertikaladresse VA als A-Bankadresse ausgewählt werden, wenn die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA als B-Bankadresse ausgewählt werden, wird auf die A-Bankspeicherzelle für die Horizontaldresse HA und die Vertikaladresse VA im Speicher **2** der ersten Ebene zugegriffen, während im gleichen Zeitpunkt ein Zugriff auf die B-Bankspeicherzelle für die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA gemacht wird, wobei auf beide um vier Zeilen früher zugegriffen wird.

[0254] Im Speicher **3** der zweiten Ebene wird auf die A-Bankspeicherzelle zugegriffen, während auf die B-Bankspeicherzelle, auf welche zwei Zeilen früher zugegriffen wurde, im gleichen Zeitpunkt zugegriffen wird. Im Speicher **4** der dritten Ebene wird auf die A-Bankspeicherzelle zugegriffen, während auf die B-Bankspeicherzelle, auf welche eine Zeile früher zugegriffen wurde, zugegriffen wird.

[0255] Wenn der Leseabschnitt **84** von der Bank A im Speicher **3** der zweiten Ebene jedes der Pixel m(2m, 2n), m(2m + 1, 2n) und m(2m, 2n + 1) der zweiten Ebene liest, liest der Leseabschnitt **85** von der Bank B im Speicher **3** der zweiten Ebene jedes der Pixel m(2m, 2n'), m2(m + 1, 2n') bzw. m(2m, 2n' + 1) der zweiten Ebene und liefert diese zum Anschluss **92b** des Schalters **92**. Hier gilt: n' = n – 1.

[0256] Wie der Schalter **91** ist der Schalter **92** dazu bestimmt, seinen Anschluss **92b** nur in dem Zeitpunkt auszuwählen, wo der Leseabschnitt **84** das Pixel h(2s + 1, 2t + 1) der ersten Ebene ausgibt (in dem Zeitpunkt, wo das Ausgangssignal des UND-Gates **99** auf eine 1 übergegangen ist), und wählt seinen Anschluss **92a** in der übrigen Zeit aus. Die Recheneinheit **95** wird mit dem Pixel der zweiten Ebene beliefert, welches durch den Leseabschnitt **85** ausgegeben wird, nur in dem Zeitpunkt, wo das untere rechte Pixel h(2s + 1, 2t + 1) von den vier Pixeln der ersten Ebene aus 2×2 aus h(2s, 2t), h(2s + 1, 2t), h(2s, 2t + 1) und h(2s + 1, 2t + 1) gelesen wird, und wird mit einer 0 in der übrigen Zeit beliefert.

[0257] Wenn der Leseabschnitt **85** von der Bank B im Speicher **3** der zweiten Ebene jedes der Pixel m(2m, 2n'), m(2m + 1, 2n') und m(2m, 2n' + 1) der zweiten Ebene liest, liest der Leseabschnitt **89** die Daten von der B-Bankadresse (m, n') im Speicher **4** der dritten Ebene über die Auswahlschaltung **82** und liefert diese zur Recheneinheit **95**.

[0258] Die Recheneinheit **95** summiert das Ausgangssignal des Leseabschnitts **85** und das Ausgangssignal des Leseabschnitts **89** und liefert die Summe zum Schreibabschnitt **88**. Der Schreibabschnitt **88** schreibt das Ausgangssignal der Recheneinheit **95** in die B-Bankadresse (m, n') über die Auswahlschaltung **82** in den Speicher **4** der dritten Ebene.

[0259] Die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene speichert zunächst das Pixel m(2m + 1, 2n' + 1) der zweiten Ebene, welches bestimmt wurde, indem auf dies in der zweiten Ebene um zwei Zeilen früher zugegriffen wurde (vier Zeilen früher für die erste Ebene). Wenn der Leseabschnitt **85** das Pixel m(2m, 2n') der zweiten Ebene von der Bank B im Speicher **3** der zweiten Ebene liest, liest der Leseabschnitt **89** die Daten (das Pixel m(2m + 1, 2n' + 1)), welches in der B-Bankadresse (m, n') im Speicher **4** der dritten Ebene gespeichert ist. Die Recheneinheit **95** bestimmt die Summe von diesen m(2m, 2n'), m(2m + 1, 2n' + 1)), und der Schreibabschnitt **88** schreibt diese in die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene.

[0260] Wenn der Leseabschnitt **85** das Pixel m(2m + 1, 2n') von der Bank B im Speicher **3** der zweiten Ebene liest, liest der Leseabschnitt **89** die Daten (hier m(2m, 2n') + m(2m + 1, 2n' + 1)), welche in der B-Bankadresse (m, n') im Speicher **4** der dritten Ebene gespeichert sind. Die Auswahlschaltung **98** bestimmt die Summe von diesen (m(2m, 2n') + m(2m + 1, 2n') + m(2m + 1, 2n' + 1)), und der Schreibabschnitt **88** schreibt diese in die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene.

[0261] Wenn der Leseabschnitt **85** das Pixel m(2m, 2n' + 1) der zweiten Ebene von der Bank B im Speicher **3** der zweiten Ebene liest, liest der Leseabschnitt **89** die Daten (hier m(2m, 2n') + m(2m + 1, 2n') + m(2m + 1, 2n' + 1)), welche in der B-Bankadresse (m, n') im Speicher **4** der dritten Ebene gespeichert sind. Die Auswahlschaltung **95** bestimmt die Summe

von diesen m(2m, 2n') + m(2m + 1, 2n') + m(2m + 1, 2n' + 1), und der Schreibabschnitt **88** schreibt diese in die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene. Insbesondere speichert die B-Bankadresse (m, n') im Speicher **4** der dritten Ebene das ursprüngliche Pixel der dritten Ebene.
q(m, n')(= m(2m, 2n') + m(2m + 1, 2n') + m(2m, 2n' + 1) + m(2m + 1, 2n' + 1) = h(4m, 4n), h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n), h(4m, 4n + 1), h(4m + 1, 4n + 1), h(4m + 2, 4n + 1), h(4m + 3, 4n + 1), h(4m, 4n + 2), h(4m + 1, 4n + 2), h(4m + 2, 4n + 2), h(4m + 3, 4n + 2), h(4m, 4n + 3), h(4m + 1, 4n + 3), h(4m + 2, 4n + 3), h(4m + 3, 4n + 3)).

[0262] Wenn das niedrigwertigere dritte Bit va2 der Vertikaladresse VA einen Übergang hat, wird die Auswahl der A-Bankadresse und der B-Bankadresse in jeder der Auswahlschaltungen **73** und **74** umgekehrt. Insbesondere wählt die Auswahlschaltung **73** die höherwertigeren acht Bits ha1 bis ha8 der Horizontaldresse HA und die höherwertigeren acht Bits va1 bis va8 der Vertikaladresse VA als B-Bankadresse, und die höherwertigeren acht Bits ha1 bis ha8 der verzögerten Horizontaldresse HA und der höherwertigeren acht Bits va1 bis va8 der verzögerten Vertikaladresse VA als A-Bankadresse aus. Die Auswahlschaltung **74** wählt die höherwertigeren sieben Bits ha2 bis ha8 der Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der Vertikaladresse VA als B-Bankadresse, und die höherwertigeren sieben Bits ha2 bis ha8 der verzögerten Horizontaldresse HA und die höherwertigeren sieben Bits va2 bis va8 der verzögerten Vertikaladresse VA als A-Bankadresse aus.

[0263] Die A-Bankadresse und die B-Bankadresse, welche in den Auswahlschaltungen **73** und **74** ausgewählt werden, werden entsprechend zu den A-Bankadressanschlüssen und den B-Bankadressanschlüssen des Speichers **3** der zweiten Ebene und des Speichers **4** der dritten Ebene geliefert.

[0264] In der Auswahlschaltung **81** ist der B-Bankdatenanschluss des Speichers **3** der zweiten Ebene mit dem Leseabschnitt **84** verbunden, während der A-Bankdatenanschluss mit dem Leseabschnitt **85** verbunden ist. In der Auswahlschaltung **82** sind die B-Bankdatenanschlüsse des Speichers **4** der dritten Ebene mit dem Schreibabschnitt **86** und dem Schreibabschnitt **87** verbunden, während die A-Bankdatenabschnitte mit dem Schreibabschnitt **88** und dem Leseabschnitt **89** verbunden sind.

[0265] Der Prozess, der identisch mit dem obigen Prozess ist, wobei jedoch die Bank A und die Bank B bei der obigen Erläuterung untereinander vertauscht sind, wird durchgeführt.

[0266] Die Pixel der zweiten Ebene werden durch die Auswahlschaltung **98** ausgegeben, während der Speicherinhalt im Speicher **4** der dritten Ebene in den Originalwert umgeschrieben wird.

[0267] Wie oben beschrieben ist der Speicher **2** der ersten Ebene, der Speicher **3** der zweiten Ebene und der Speicher **4** der dritten Ebene in zwei Bänke unterteilt, d. h., die Bank A und die Bank B, und, indem auf die beiden Bänke parallel zugegriffen wird, werden die Pixel in die erste Ebene und die zweite Ebene geschrieben, wobei die Werte, welche im Speicher **3** der zweiten Ebene und im Speicher **4** der dritten Ebene gespeichert sind, ersetzt werden und die umgeschriebenen Daten dann zurück in die Ursprungsdaten umgespeichert werden.

[0268] Insbesondere wird das Pixel der ersten Ebene, welches in der A-Bankadresse im Speicher **2** der ersten Ebene gespeichert ist, welche durch die Horizontaldresse HA und die Vertikaladresse VA bestimmt wird, gelesen, während das Pixel der zweiten Ebene (erste verarbeitete Daten), welches in der A-Bankadresse im Speicher **3** der zweiten Ebene gespeichert ist, welche teils von der Horizontaldresse HA und der Vertikaladresse VA bestimmt wird, gelesen wird. Durch Subtrahieren des Pixels der ersten Ebene vom Pixel der zweiten Ebene wird das erste Pixel (zweite verarbeitete Daten) schließlich bestimmt und in die Adresse im Speicher **3** der zweiten Ebene geschrieben, die das Pixel der zweiten Ebene speicherte. Im gleichen Zeitpunkt wird das Pixel der ersten Ebene, welches in der B-Bankadresse im Speicher **2** der ersten Ebene gespeichert ist, welche durch die verzögerte Horizontaldresse HA und die verzögerte Vertikaladresse VA bestimmt wird, gelesen, während das Pixel der ersten Ebene (die zweiten verarbeiteten Daten), welches in der B-Bankadresse im Speicher **3** der zweiten Ebene gespeichert ist, welche mittels der verzögerten Horizontaldresse HA und der verzögerten Vertikaladresse VA bestimmt wird, gelesen wird. Durch Summieren dieser Pixel der ersten Ebene wird das Ursprungspixel der zweiten Ebene (die ersten verarbeiteten Daten) bestimmt, und der Wert, welcher in der B-Bankadresse im Speicher **3** der zweiten Ebene gespeichert ist, der das Pixel der ersten Ebene ist, wird dann in das Ursprungspixel der zweiten Ebene umgeschrieben.

[0269] Obwohl jeder vom Speicher **2** der ersten Ebene, vom Speicher **3** der zweiten Ebene und vom Speicher **4** der dritten Ebene in zwei Bänke unterteilt ist, d. h., die Bank A und die Bank B bei dieser Ausführungsform, ist die Bankpartition nicht auf dieses Verfahren beschränkt.

[0270] Obwohl Summier- und Subtraktionsoperationen in Bezug auf die Daten durchgeführt werden, welche von der Bank A und der Bank B bei dieser Ausführungsform gelesen werden, ist die Verarbeitung der Daten, welche von der Bank A und der Bank B gelesen werden, nicht auf die Summier- und Sub-

traktionsoperationen beschränkt.

[0271] Obwohl auf den Speicher **3** der zweiten Ebene und den Speicher **4** der dritten Ebene unter Verwendung des Teils der Horizontaldresse HA und der Vertikaladresse VA, welche für den Speicher **2** der ersten Ebene bei dieser Ausführungsform vorgesehen sind, zugegriffen wird, kann auf den Speicher der zweiten Ebene und den Speicher **4** der dritten Ebene zugegriffen werden, indem eine eigens dafür bestimmte (unabhängige) Adresse verwendet wird, welche gegenüber der Horizontaldresse HA und der Vertikaladresse VA, welche für den Speicher **2** der ersten Ebene vorgesehen ist, verschieden ist.

[0272] Obwohl auf den Speicher **2** der ersten Ebene, den Speicher **3** der zweiten Ebene und den Speicher **4** der dritten Ebene unter Verwendung der Horizontaldresse HA und der Vertikaladresse VA entsprechend der horizontalen Position und der vertikalen Position jedes Pixels für das Bild bei dieser Ausführungsform zugegriffen wird, kann auf den Speicher **2** der ersten Ebene, den Speicher **3** der zweiten Ebene und den Speicher **4** der dritten Ebene unter Verwendung der Adresse zugegriffen werden, entsprechend der zeitlichen Richtung. In einem solchen Fall können die Pixel in der zweiten und dritten Ebene durch Pixel gebildet sein, welche in der zeitlichen Richtung verteilt sind, sowie durch Pixel, welche in einem Raum verteilt sind, der sich in einer horizontalen Richtung und einer vertikalen Richtung erstreckt.

[0273] Der Speicher **2** der ersten Ebene, der Speicher **3** der zweiten Ebene und der Speicher **4** der dritten Ebene sind notwendigerweise aus entsprechenden realen Speichern aufgebaut, wobei alle diese aus einem einzigen Speicher ausgebildet sein können. In einem solchen Fall haben der Speicher **2** der ersten Ebene, der Speicher **3** der zweiten Ebene und der Speicher **4** der dritten Ebene ihre eigenen Speicherbereiche in einem einzigen Speicher.

[0274] Obwohl die Adresselieferschaltung **1**, der Speicher **2** der ersten Ebene, der Speicher **3** der zweiten Ebene und der Speicher **4** der dritten Ebene und die RMW-Schaltung **5** insgesamt auf einem einzigen Chip bei dieser Ausführungsform angeordnet sind, ist dies nicht ein Erfordernis.

[0275] Obwohl die Menge an Bits, welche jedem Pixel in der ersten Ebene zugeteilt ist, 8 beträgt, und die Datenlängen der Speicherzellen im Speicher **2** der ersten Ebene, im Speicher **3** der zweiten Ebene und im Speicher **4** der dritten Ebene entsprechend 8, 10 und 12 Bits, um digitales Ausbleiben bei dieser Ausführungsform zu verhindern, können die Datenlängen der Speicherzellen im Speicher **2** der ersten Ebene, im Speicher **3** der zweiten Ebene und im Speicher **4** der dritten Ebene alle so festgelegt sein, dass diese 8 Bits sind. In einem solchen Fall wird jedoch, wie für die Pixel in der zweiten und dritten Ebene der Wert, der durch Abrunden der niedrigwertigeren zwei Bits der Summe aus 2×2 Pixel in der ersten und zweiten Ebene erlangt wird (der Wert ist identisch einem, der durch 4 geteilt ist, somit ein Durchschnitt) gespeichert, und dies hat Zeichenausbleiben zur Folge, wodurch die Datenwiederherstellbarkeit gestört wird.

[0276] Wenn die Speicherkapazität im Speicher **2** der ersten Ebene und im Speicher **3** der zweiten Ebene reduziert wird, wenn einige der Pixel der ersten Ebene und der Pixel der zweiten Ebene, welche verbleiben, nicht gespeichert werden, und das Datenausbleiben wie oben beschrieben vermieden wird, werden die Pixel (Pixelwert), die nicht in der ersten und zweiten Ebene gespeichert sind, korrekt gemäß der Gleichungen (1) und (2) bestimmt. Wenn dagegen einige der Pixel in der ersten Ebene und der zweiten Ebene nicht gespeichert werden, wobei das Zeichenausbleiben ungeheilt verbleibt, wird der Wert jedes der Pixel, welche nicht in der ersten und zweiten Ebene gespeichert sind, nicht mehr korrekt bestimmt.

[0277] Die vorliegende Erfindung kann sowohl bei einem Bild, welches nicht das Zeilensprungverfahren verwendet, als auch ein Bild, bei dem das Zeilensprungsverfahren verwendet wird, arbeiten.

[0278] Die Anzahl von Ebenen, d. h., drei bei der obigen Ausführungsform, kann zwei oder vier oder mehr sein.

[0279] Obwohl die Summe von vier Pixeln aus 2×2 in der unteren hierarchischen Ebene ein Pixel (Pixelwert) in einer anderen Ebene um eine Ebene höher als die untere Ebene bei dieser Ausführungsform bildet, ist das Verfahren zum Bilden der Pixel in der höheren hierarchischen Ebene nicht darauf beschränkt.

[0280] Die vorliegende Erfindung, obwohl diese durch Anwenden von Hardware bei dieser Ausführungsform realisiert wird, kann realisiert werden, indem zugelassen wird, dass ein Programm den oben beschriebenen Prozess ausführt.

[0281] Obwohl Pixel (Pixelwert) in einem Speicher (beispielsweise einem RAM (Speicher mit wahlfreiem Zugriff) bei der oben beschriebenen Ausführungsform gespeichert sind, können die Pixel auf einem Speichermedium, beispielsweise eine Magnetplatte, einer magneto-optischen Platte, einem Magnetband und einer optischen Karte gespeichert (geschrieben) sein.

[0282] Bei der Speichereinrichtung nach der vorliegenden Erfindung speichert der erste Speicher die zugeführten Bilddaten bei der Adresse, welche durch zumindest das erste und zweite Adresssignal bestimmt wird. Der zweite Speicher speichert die ersten

verarbeiteten Daten, in welche die Steuerung die zugeführten Bilddaten verarbeitet hat, bei der Adresse, die als Teil von zumindest des ersten und zweiten Adresssignals bestimmt wird. Mit dieser Anordnung wird die Summe, welche durch Summieren einiger der Pixel der zugeführten Bilddaten erlangt wird, die über mehrere Zeilen verteilt sind, bestimmt und gespeichert, ohne die Notwendigkeit, separat eine Einrichtung zur Zeilenverzögerung anzuordnen.

[0283] Bei dem Zugriffsverfahren nach der vorliegenden Erfindung werden die zugeführten Bilddaten bei der Adresse im ersten Speicher gespeichert, der durch das erste und zweite Adresssignal bestimmt wird, während die Speicherdaten, welche an der Adresse im zweiten Speicher gespeichert sind, der mittels der ersten und zweiten Adresssignale bestimmt wird, gelesen werden, und durch Verarbeiten der Speicherdaten und der zugeführten Bilddaten werden die ersten verarbeiteten Daten berechnet. Die ersten verarbeiteten Daten werden in die Adresse im zweiten Speicher geschrieben, welche die Speicherdaten speicherte. Mit dieser Anordnung wird die Summe, welche durch Summieren einiger der Pixel der zugeführten Bilddaten erlangt wird, welche über mehrere Zeilen verteilt sind, bestimmt und gespeichert, ohne die Notwendigkeit, eine Einrichtung zur Zeilenverzögerung separat anzuordnen.

[0284] Bei dem Zugriffsverfahren nach der vorliegenden Erfindung werden die zugeführten Bilddaten, welche in der Adresse im ersten Speicher gespeichert sind, welche durch die ersten und zweiten Adresssignale bestimmt wird, gelesen, während die ersten verarbeiteten Bilddaten, welche an der Adresse im zweiten Speicher gespeichert sind, die mittels der ersten und zweiten Adresssignale bestimmt wird, gelesen werden. Die zweiten verarbeiteten Daten werden durch Verarbeiten der zugeführten Bilddaten und der ersten verarbeiten Daten berechnet, und die zweiten verarbeiteten Daten werden in die Adresse im zweiten Speicher geschrieben, welcher die ersten verarbeiteten Daten speicherte. Im gleichen Zeitpunkt werden die zugeführten Bilddaten, welche in der Adresse im ersten Speicher gespeichert sind, welche durch das Verzögerungsadresssignal bestimmt wird, gelesen, während die zweiten verarbeiteten Daten, welche an der Adresse im zweiten Speicher gespeichert sind, welche mittels des Verzögerungsadresssignal bestimmt wird, gelesen werden. Die ursprünglichen ersten verarbeiteten Daten werden durch Verarbeiten der zugeführten Bilddaten und der zweiten verarbeiteten Daten berechnet, und die ersten verarbeiteten Daten werden in die Adresse im zweiten Speicher geschrieben, der die zweiten verarbeiteten Daten speicherte. Mit dieser Anordnung werden die zweiten verarbeiteten Daten von den ersten verarbeiteten Daten bestimmt, während im gleichen Zeitpunkt die ursprünglichen ersten verarbeiteten Daten von den vorher bestimmten zweiten verarbeiteten Daten wiederhergestellt werden.

[0285] Die oben beschriebenen bevorzugten Ausführungsformen sind nicht dazu da, den Rahmen der vorliegenden Erfindung zu begrenzen, und es können verschiedene Modifikationen und Änderungen vorgenommen werden, ohne den Rahmen der vorliegenden Erfindung zu verlassen.

Patentansprüche

1. Speichereinrichtung zum Speichern eines Bilds, wobei die Einrichtung eine Speichereinrichtung (**2**, **3**) und eine Steuerung (**5**) zum Steuern des Schreibens und des Lesens von Daten hinsichtlich der Speichereinrichtung aufweist, **dadurch gekennzeichnet**, dass:
die Speichereinrichtung (**2**, **3**) einen ersten Speicher (**2**) und einen zweiten Speicher (**3**) aufweist;
eine Adresslieferschaltung (**1**) betriebsfähig ist, ein Reihenadresssignal (ha0–ha8) und ein Spaltenadresssignal (va0–va8) bereitzustellen, um die Positionierung von zugeführten Bilddatenpixeln im Bild zu identifizieren; und
die Steuerung (**5**) betriebsfähig ist, um:
zugeführte Bilddatenpixel in Adressen des ersten Speichers (**2**) zu schreiben, die durch das Reihenadresssignal (ha0–ha8) und das Spaltenadresssignal (va0–va8) bestimmt werden;
verarbeitete Daten, welche verarbeitete Bilddatenpixel aufweisen, in Adressen des zweiten Speichers (**3**) zu schreiben, welche durch Teile (ha1–ha8, va1–va8) von jedem des Reihenadresssignals (ha0–ha8) und des Spaltenadresssignals (va0–va8) bestimmt werden; und
jedes genannte verarbeitete Bilddatenpixel von einer Matrix von zugeführten Bilddatenpixeln in entsprechenden Reihen und Spalten als Antwort auf die übrigen Teile (ha0–va0) des Reihenadresssignals (ha0–ha8) und des Spaltenadresssignals (va0–va8) herzuleiten;
wobei die verarbeiteten Bilddatenpixel, welche durch die Steuerung (**5**) in jede Adresse in den zweiten Speicher (**3**) geschrieben sind, die Summe oder der Durchschnitt der Summe von Daten sind, welche in mehrere Adressen im ersten Speicher (**2**) geschrieben sind.

2. Speichereinrichtung nach Anspruch 1, wobei der zweite Speicher (**3**) Daten speichert, welche eine Datenlänge haben, die größer ist als die Datenlänge der Daten, welche der erste Speicher (**2**) speichert.

3. Speichereinrichtung nach Anspruch 2, wobei das Reihenadresssignal und das Spaltenadresssignal entsprechend einer horizontalen Position und einer vertikalen Position der zugeführten Bilddatenpixel entsprechen.

4. Speichereinrichtung nach Anspruch 3, wobei

der erste Speicher (**2**) eine Speicherkapazität hat, welche der Anzahl von Pixeln entspricht, welche einen Bildschirm der zugeführten Bilddaten bilden.

5. Speichereinrichtung nach Anspruch 3, wobei der erste Speicher (**2**) eine Speicherkapazität hat, welche einer Anzahl entspricht, welche durch Subtrahieren der Anzahl von Adressen im zweiten Speicher (**3**) von der Anzahl von Pixeln, welche einen Bildschirm der zugeführten Bilddaten bilden, erlangt wird.

6. Speichereinrichtung nach Anspruch 3, wobei die Steuerung (**5**) betriebsfähig ist, um:
Speicherdaten, welche an einer Adresse des zweiten Speichers (**3**) gespeichert sind, welche durch die Teile der Reihen- und Spaltenadresssignale bestimmt wird, zu lesen;
die verarbeiteten Daten durch Verarbeiten der Speicherdaten und der zugeführten Bilddaten zu berechnen; und
die verarbeiteten Daten in die Adresse im zweiten Speicher (**3**) zu schreiben, der die Speicherdaten speicherte.

7. Speichereinrichtung nach Anspruch 3, wobei die Steuerung (**5**) betriebfähig ist, die Daten, welche in der Adresse im ersten Speicher (**2**) gespeichert sind, welcher durch die Reihen- und Spaltenadresssignale bestimmt wird, zu lesen, während die Daten, welche in der Adresse im zweiten Speicher (**3**) gespeichert sind, welche durch die Teile der Reihen- und Spaltenadresssignale bestimmt wird, gelesen werden, und um eines der beiden gelesenen Datenelemente auszuwählen und auszugeben.

8. Speichereinrichtung nach Anspruch 7, welche eine Verzögerungseinheit aufweist, um verzögerte Adresssignale zu erzeugen, indem die Reihen- und Spaltenadresssignale verzögert werden, wobei die Steuerung (**5**) betriebsfähig ist, um:
die zweiten verarbeiteten Daten durch Verarbeiten der zugeführten Bilddaten und der zuerst erwähnten verarbeiteten Daten zu berechnen;
die zweiten verarbeiteten Daten in die Adresse im zweiten Speicher zu schreiben, welche die zuerst erwähnten verarbeiteten Daten speicherte, während, im gleichen Zeitpunkt, die zugeführten Bilddaten, welche in der Adresse im ersten Speicher gespeichert sind, die durch die verzögerten Adresssignale bestimmt wird, gelesen werden, während die zweiten verarbeiteten Daten, welche in der Adresse im zweiten Speicher (**3**) gespeichert sind, welche durch die Teile der verzögerten Adresssignale bestimmt wird, gelesen werden;
die zuerst erwähnten verarbeiteten Daten zu berechnen, indem die zugeführten Bilddaten und die zweiten verarbeiteten Daten zu verarbeiten; und
die zuerst erwähnten verarbeiteten Daten in die Adresse im zweiten Speicher zu schreiben, der die zweiten verarbeiteten Daten speicherte.

9. Verfahren zum Zugreifen auf eine Speichereinrichtung zum Speichern eines Bilds, wobei die Einrichtung eine Speichereinrichtung (**2**, **3**) und eine Steuerung (**5**) aufweist, um das Schreiben und das Lesen von Daten hinsichtlich der Speichereinrichtung zu steuern, gekennzeichnet durch
die Speichereinrichtung (**2**, **3**), welche einen ersten Speicher (**2**) und einen zweiten Speicher (**3**) aufweist;
Bereitstellen (**1**) eines Reihenadresssignals (ha0–ha8) und eines Spaltenadresssignals (va0–va8), welche die Positionierung der zugeführten Bilddatenpixel im Bild identifizieren;
Schreiben von zugeführten Bilddatenpixeln in Adressen des ersten Speichers (**2**) der Speichereinrichtung (**2**, **3**), welche durch das Reihenadresssignal (ha0–ha8) und das Spaltenadresssignal (va0–va8) bestimmt werden;
Schreiben verarbeiteter Daten, welche verarbeitete Bilddatenpixel aufweisen, in Adressen des zweiten Speichers (**3**) der Speichereinrichtung (**2**, **3**) welche durch Teile (ha1–ha8, va1–va8) von jedem des Reihenadresssignals (ha0–ha8) und des Spaltenadresssignals (va0–va8) bestimmt werden; und
Herleiten jedes verarbeiteten Bilddatenpixels von einer Matrix von zugeführten Bilddatenpixeln in entsprechen Reihen und Spalten als Antwort auf die übrigen Teile (ha0, va0) des Reihenadresssignals (ha0–ha8) und des Spaltenadresssignals (va0–va8);
wobei die verarbeiteten Bilddatenpixel, welche in jede Adresse in den zweiten Speicher (**3**) geschrieben sind, die Summe oder ein Durchschnitt der Summe von Daten sind, welche in mehrere Adressen des ersten Speichers (**2**) geschrieben werden.

10. Zugriffsverfahren nach Anspruch 9, welches aufweist:
Erzeugen verzögerter Adresssignale durch Verzögern der Reihen- und Spaltenadresssignale;
Lesen der zugeführten Bilddaten, welche in einer Adresse im ersten Speicher gespeichert sind, welche durch die ersten und zweiten Adresssignale bestimmt wird, während die verarbeiteten Daten, welche in einer Adresse im zweiten Speicher gespeichert sind, welche durch die Teile der Reihen- und Spaltenadresssignale bestimmt wird, gelesen werden;
Berechnen der zweiten verarbeiteten Daten durch Verarbeiten der zugeführten Bilddaten und der zuerst erwähnten verarbeiteten Daten;
Schreiben der zweiten verarbeiteten Daten in die Adresse in den zweiten Speicher, der die zuerst erwähnten verarbeiteten Daten gespeichert hat, während, im gleichen Zeitpunkt, die zugeführten Bilddaten, welche in der Adresse im ersten Speicher gespeichert sind, welche durch die verzögerten Adresssignale bestimmt wird, gelesen werden, während die zweiten verarbeiteten Daten, welche in der Adresse im zweiten Speicher gespeichert sind, die durch das Teil der verzögerten Adresssignale bestimmt wird, gelesen werden;

Berechnen der zuerst erwähnten verarbeiteten Daten durch Verarbeiten der zugeführten Bilddaten und der zweiten verarbeiteten Daten; und
Schreiben der zuerst erwähnten verarbeiteten Daten in die Adresse im zweiten Speicher, der die zweiten verarbeiteten Daten gespeichert hat.

Es folgen 9 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

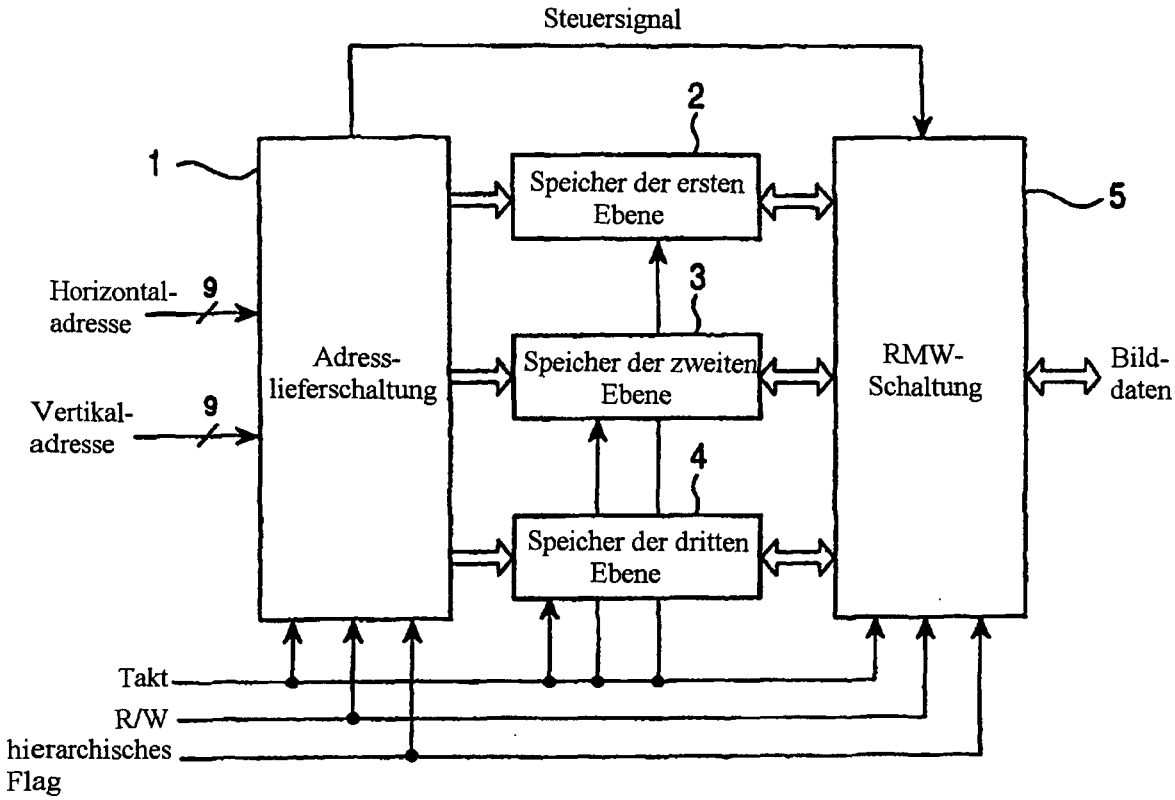


FIG. 2

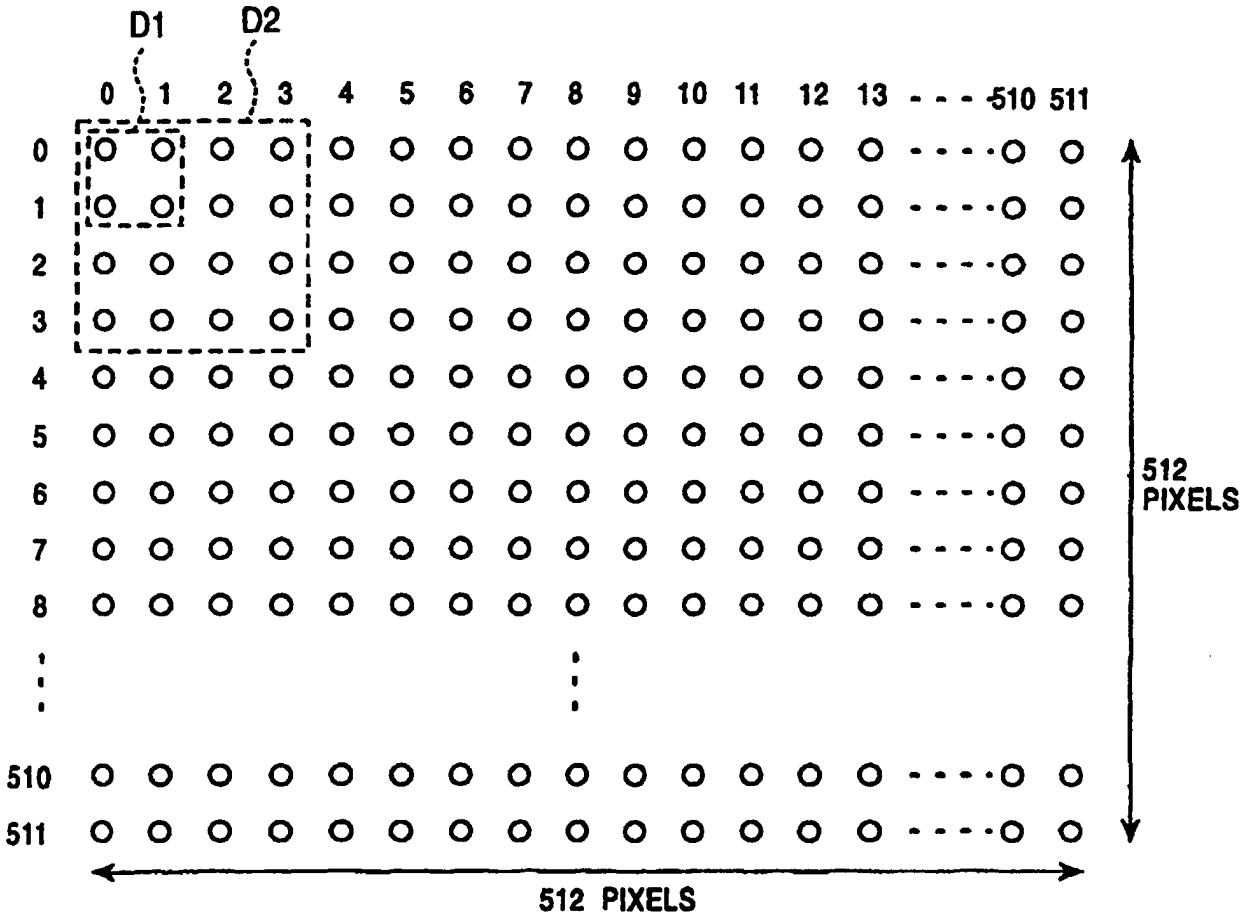

D1
D2
0 1 2 3 4 5 6 7 8 9 10 11 12 13 - - - 510 511
0
1
2
3
4
5
6
7
8
510
511
512 PIXELS
512 PIXELS

FIG. 3

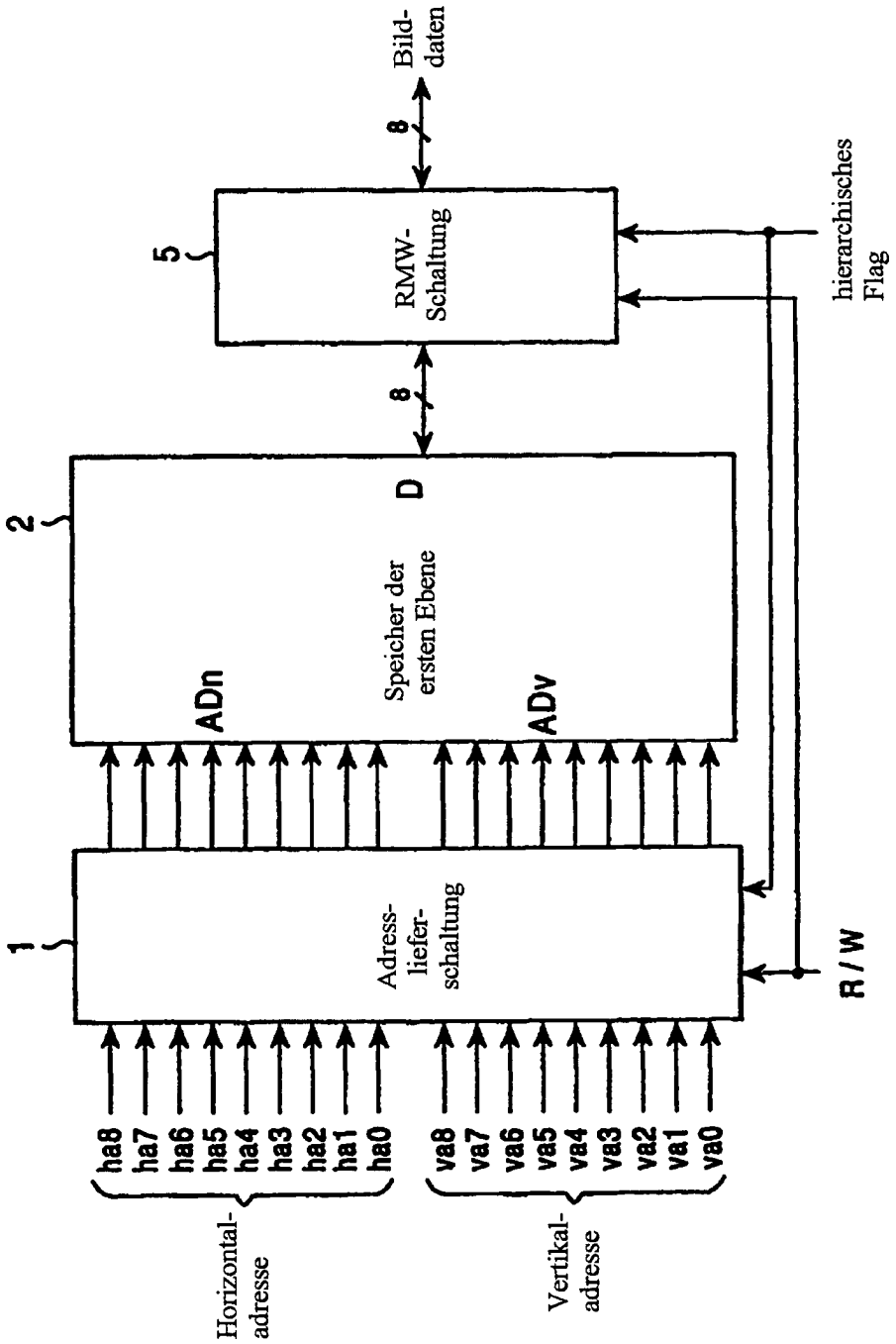

Bild-
daten
8
5
RMW-
Schaltung
8
hierarchisches
Flag
2
D
Speicher der
ersten Ebene
ADn
ADv
1
Adress-
liefer-
schaltung
R / W
ha8
ha7
ha6
ha5
ha4
ha3
ha2
ha1
ha0
va8
va7
va6
va5
va4
va3
va2
va1
va0
Horizontal-
adresse
Vertikal-
adresse

FIG. 4

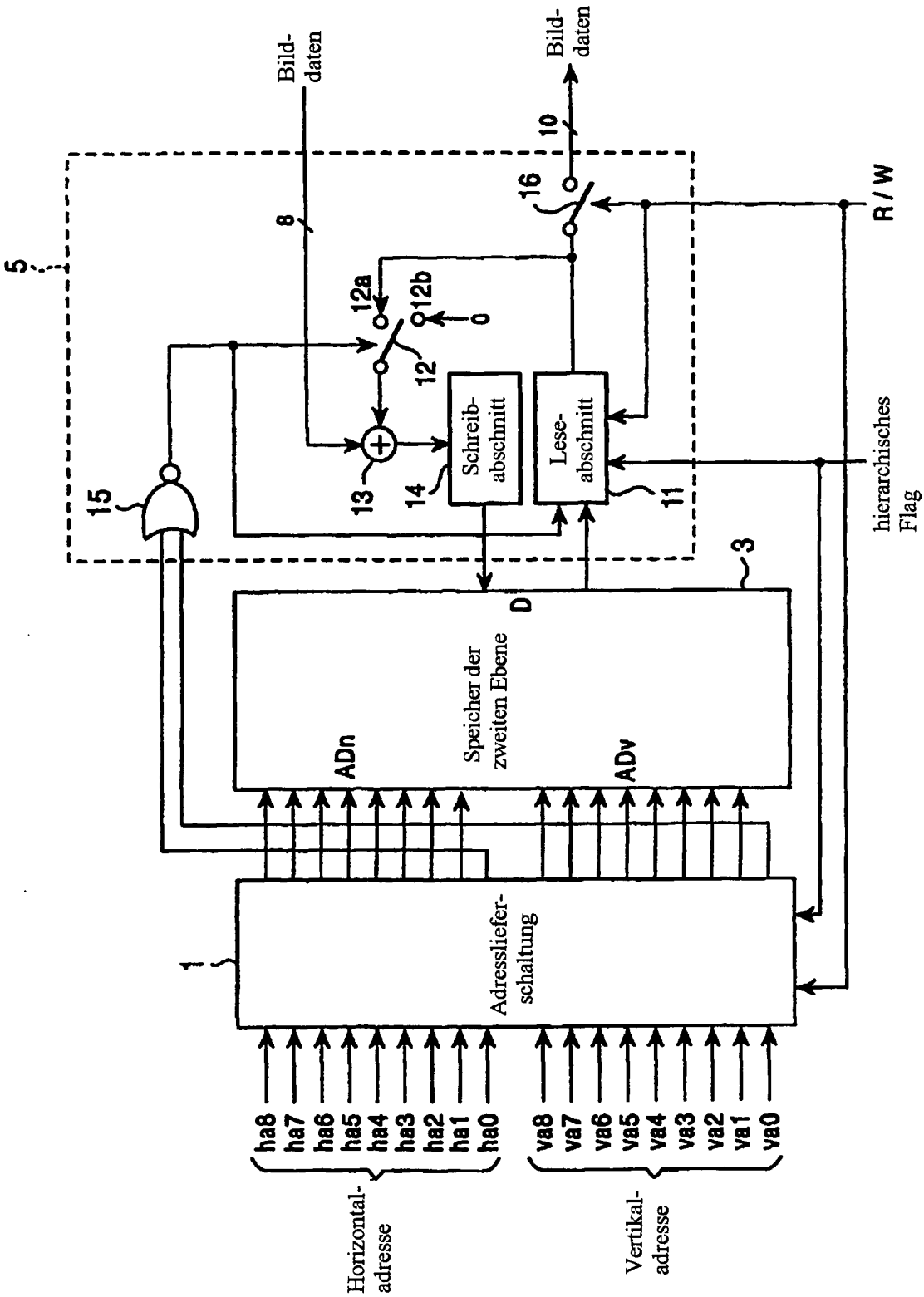

Bild-daten
Bild-daten
10
16
R / W
5
8
12a
12b
0
12
Schreib-abschnitt
Lese-abschnitt
13
14
11
15
hierarchisches Flag
3
D
ADn
Speicher der zweiten Ebene
ADv
1
Adressliefer-schaltung
ha8 ha7 ha6 ha5 ha4 ha3 ha2 ha1 ha0
va8 va7 va6 va5 va4 va3 va2 va1 va0
Horizontal-adresse
Vertikal-adresse

FIG. 5

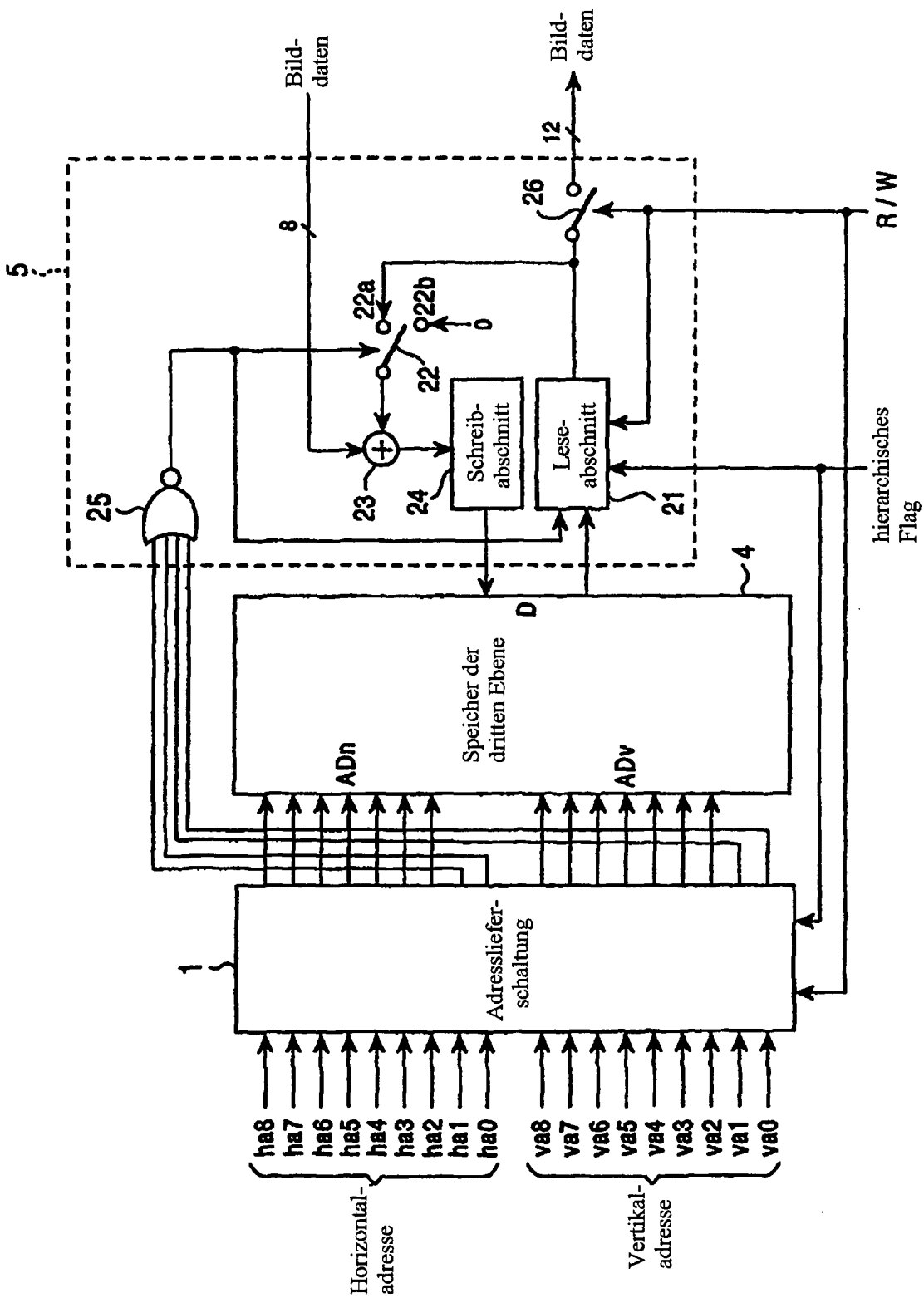

Bild-daten
Bild-daten
12
26
R / W
5
8
22a
22b
0
22
Schreib-abschnitt
Lese-abschnitt
23
24
21
25
hierarchisches Flag
4
D
Speicher der dritten Ebene
ADh
ADv
1
Adressliefer-schaltung
ha8 ha7 ha6 ha5 ha4 ha3 ha2 ha1 ha0
va8 va7 va6 va5 va4 va3 va2 va1 va0
Horizontal-adresse
Vertikal-adresse

FIG. 6

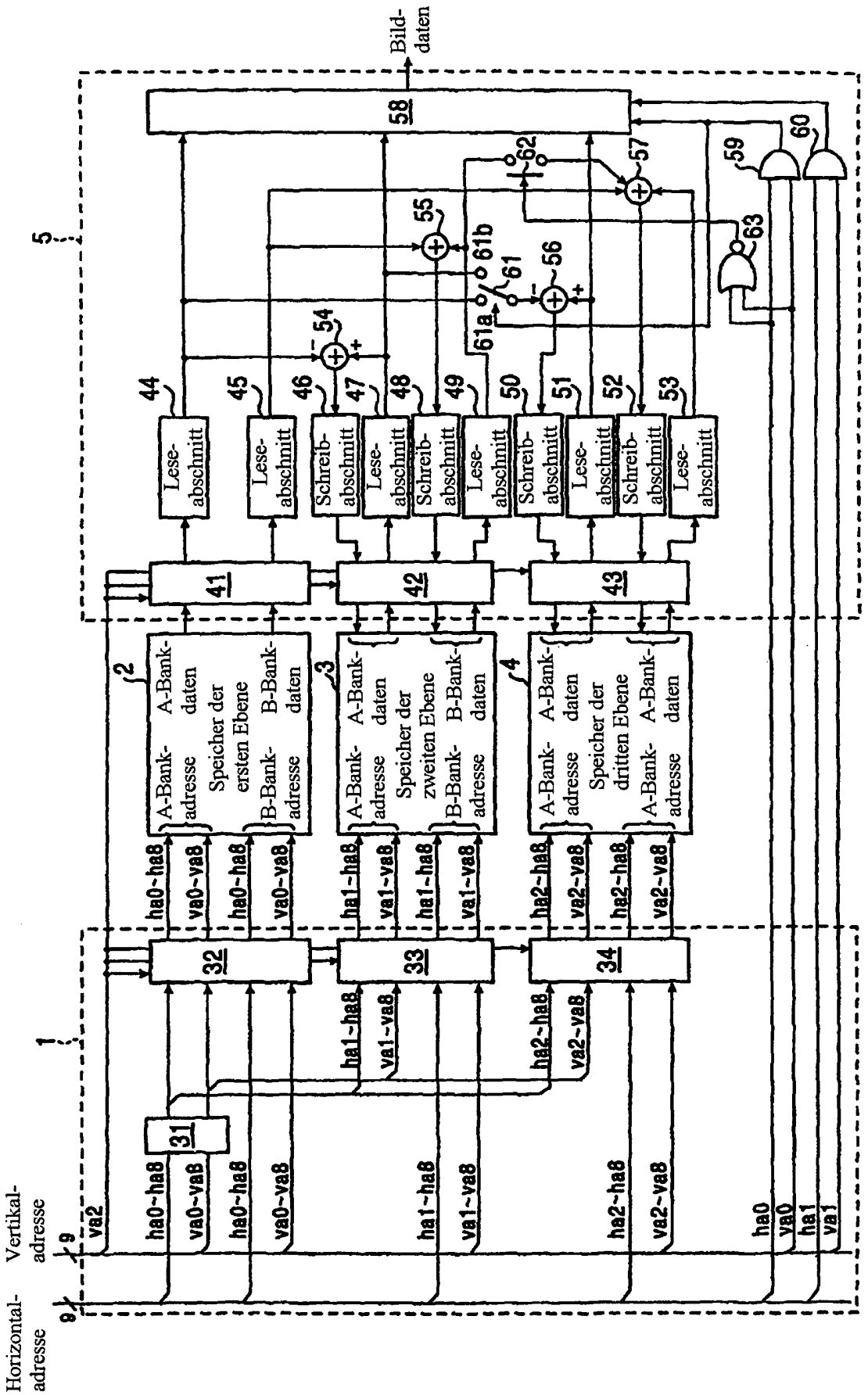

Horizontal-adresse
Vertikal-adresse
Bild-daten
A-Bank-adresse
A-Bank-daten
B-Bank-adresse
B-Bank-daten
Speicher der ersten Ebene
Speicher der zweiten Ebene
Speicher der dritten Ebene
Lese-abschnitt
Schreib-abschnitt
ha0~ha8
va0~va8
ha1~ha8
va1~va8
ha2~ha8
va2~va8
ha0
va0
ha1
va1

FIG. 7

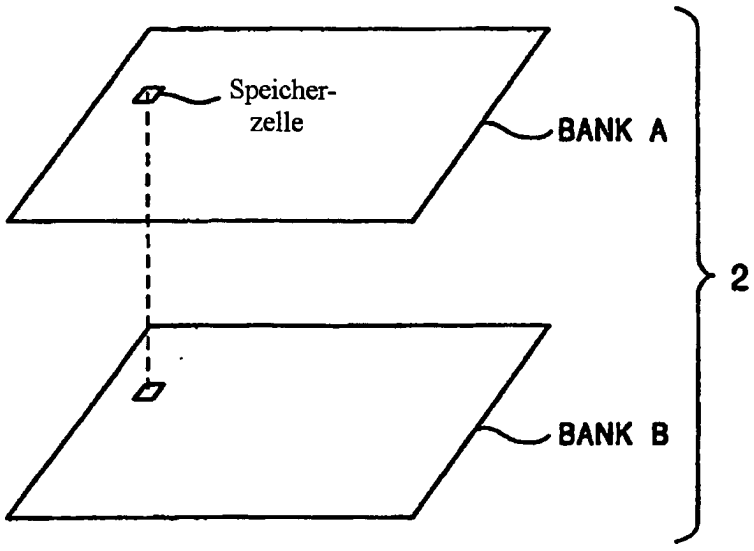


FIG. 8

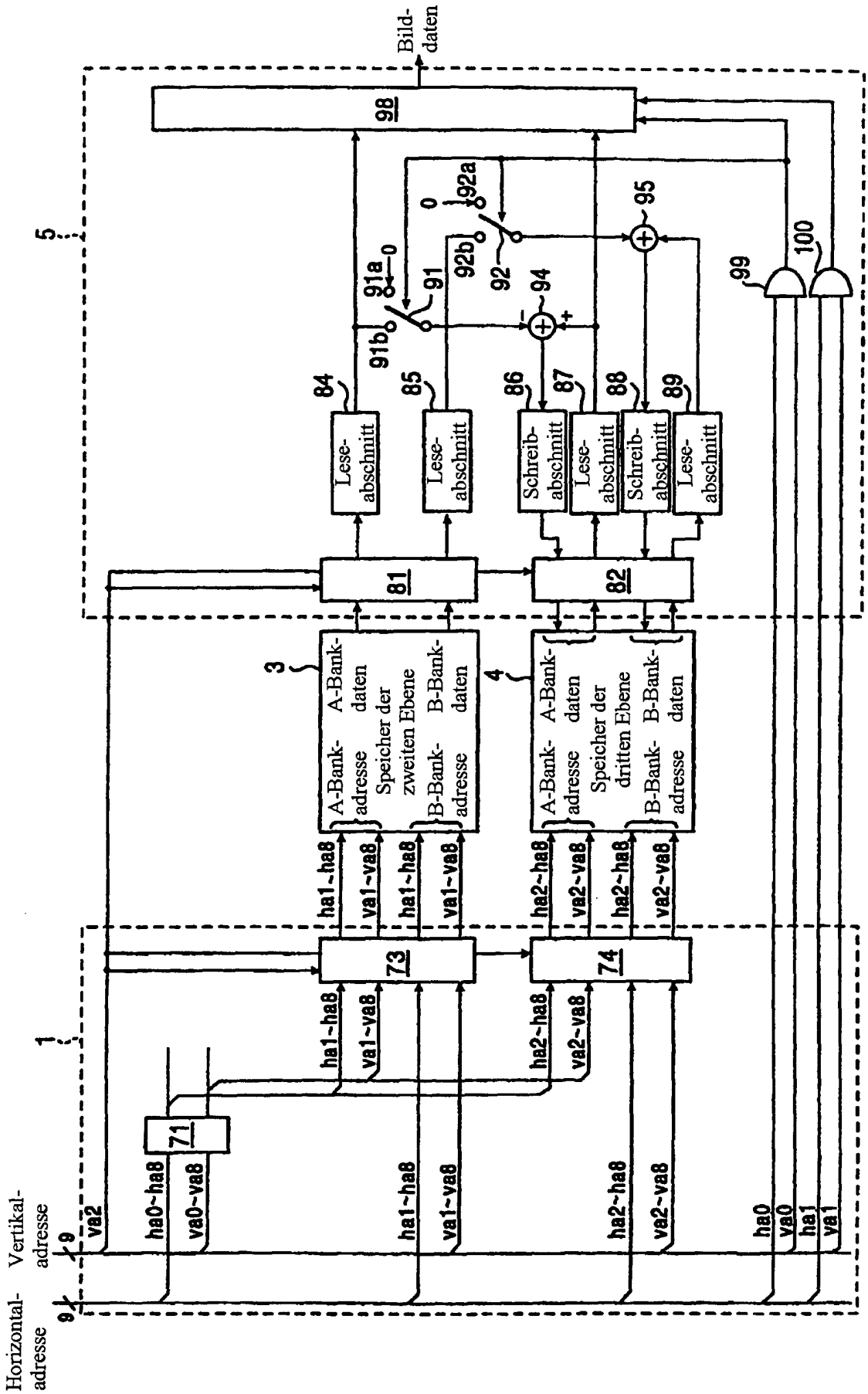

Horizontal-adresse
Vertikal-adresse
Bild-daten
A-Bank-adresse
A-Bank-daten
B-Bank-adresse
B-Bank-daten
Speicher der zweiten Ebene
Speicher der dritten Ebene
Lese-abschnitt
Schreib-abschnitt

FIG. 9A

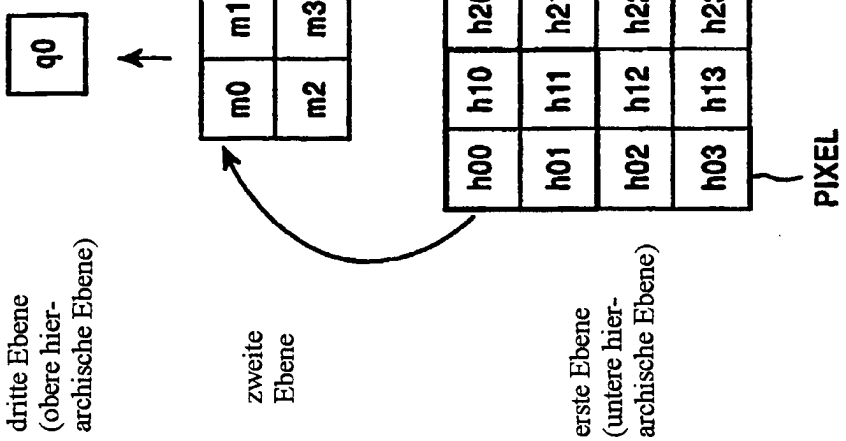


FIG. 9B

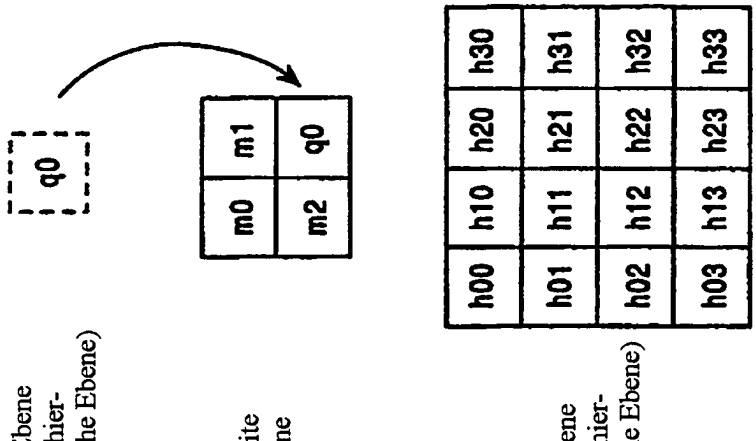


FIG. 9C

