



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0056429
(43) 공개일자 2017년05월23일

(51) 국제특허분류(Int. Cl.)
H03H 17/02 (2006.01) H03H 17/00 (2006.01)
(52) CPC특허분류
H03H 17/0291 (2013.01)
H03H 17/0009 (2013.01)
(21) 출원번호 10-2016-0143585
(22) 출원일자 2016년10월31일
심사청구일자 없음
(30) 우선권주장
JP-P-2016-030127 2016년02월19일 일본(JP)
JP-P-2015-223002 2015년11월13일 일본(JP)

(71) 출원인
르네사스 일렉트로닉스 가부시키키가이샤
일본국 도쿄도 고토쿠 도요스 3쵸메 2방 24고
(72) 발명자
오이카와 류이치
일본국 도쿄도 고토쿠 도요스 3쵸메 2방 24고르네
사스 일렉트로닉스 가부시키키가이샤나이
(74) 대리인
특허법인원전

전체 청구항 수 : 총 20 항

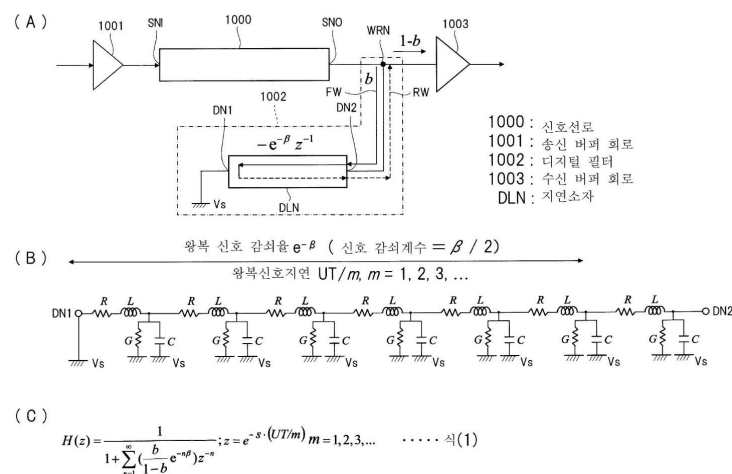
(54) 발명의 명칭 반도체 장치

(57) 요약

소비 전력의 증가를 억제하는 것이 가능한 반도체 장치를 제공한다.

반도체 장치는, 신호 선로(1000)와, 신호 선로(1000)의 단부에 접속되며, 신호 선로(1000)로부터 신호가 공급되는 수신 버퍼 회로(1003)와, 신호 선로(1000)의 단부에 와이어드 오어 접속되며, 신호 선로(1000)의 단부에 있어서의 신호의 파형을 정형하는 지연 소자(DLN)를 구비한다.

대표도



(52) CPC특허분류

H03H 17/0054 (2013.01)

H03H 7/0115 (2013.01)

명세서

청구범위

청구항 1

신호 선로와,

상기 신호 선로의 단부에 접속되어, 상기 신호 선로로부터 신호가 공급 또는 상기 신호 선로에 신호를 공급하는 제1회로와,

상기 신호 선로의 단부에 와이어드 오어 접속되어, 상기 신호 선로의 단부에 있어서의 신호의 파형을 정형하는 지연 소자를 구비하는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 지연 소자는, 상기 신호 선로의 단부에 와이어드 오어 접속된 한쪽의 단부와, 소정의 전압에 접속된 다른 한쪽의 단부를 갖는 지연 선로를 구비하고, 상기 한쪽의 단부에 입력된 신호에 대응하는 출력 신호에 의해, 상기 신호 선로의 단부에 있어서의 신호의 파형의 정형이 행해지는, 반도체 장치.

청구항 3

제2항에 있어서,

상기 지연 선로는, 상기 한쪽의 단부에 입력된 신호와 상기 한쪽의 단부로부터 출력되는 출력신호와의 사이의 신호 지연이, 상기 신호의 1 데이터 폭 구간의 시간의 정수 분의 1이 되도록 되어 있는, 반도체 장치.

청구항 4

제3항에 있어서,

상기 제1 회로에는, 상기 신호 선로로부터의 신호가 공급되며,

상기 반도체 장치는, 상기 신호 선로에, 상기 신호를 공급하는 제2 회로를 구비하는, 반도체 장치.

청구항 5

제3항에 있어서,

상기 반도체 장치는, 상기 신호 선로를 거쳐서 신호가 공급되는 제2 회로를 구비하고,

상기 제1 회로는, 상기 신호를, 상기 신호 선로의 단부에 공급하고,

상기 지연 선로는, 상기 단부에 있어서의 신호를 상기 출력 신호에 의해 조정함으로써, 정형된 신호가, 상기 제2 회로에 공급되는, 반도체 장치.

청구항 6

제1항에 있어서,

상기 신호 선로는, 서로 상보적으로 변화하는 차동 신호를 전달하는 제1 신호 선로와 제2 신호 선로를 구비하고,

상기 제1 회로는, 상기 제1 신호 선로와 상기 제2 신호 선로에 접속된 차동 회로를 구비하고,

상기 지연 소자는, 상기 제1 신호 선로의 단부에 와이어드 오어 접속된 한쪽의 단부와 상기 제2 신호 선로의 단부에 와이어드 오어 접속된 다른 한쪽의 단부를 구비하는, 반도체 장치.

청구항 7

전극이 형성된 주면을 갖는 반도체 칩과,

제1 전극이 형성된 제1주면과, 상기 제1 주면과 대향하고, 상기 제1 전극과 전기적으로 접속된 제2 전극이 형성된 제2 주면을 구비하고, 상기 반도체 칩의 전극이, 상기 제1 전극에 접속되도록, 상기 반도체 칩의 주면이, 상기 제1 주면과 대향하도록 탑재되는 인터포저를 구비하고,

상기 전극에 접속된 한쪽의 단부와, 소정의 전압이 공급되는 다른 한쪽의 단부를 갖는 제1 배선 패턴에 의해, 상기 제2 전극과 상기 전극과의 사이에 신호가 전달될 때, 상기 신호의 정형이 행해지는, 반도체 장치.

청구항 8

제7항에 있어서,

상기 반도체 장치는, 상기 소정의 전압이 공급되며, 상기 제1 배선 패턴의 다른 한쪽의 단부가 접속된 제2 배선 패턴을 구비하고, 상기 제2 배선 패턴은, 상기 제 1 배선 패턴과 대향하는 영역을 구비하고 있는, 반도체 장치.

청구항 9

제8항에 있어서,

상기 제1 배선 패턴은, 상기 반도체 칩의 주면에 형성되어 있는, 반도체 장치.

청구항 10

제9항에 있어서,

상기 인터포저는, 상기 제1 전극과 상기 제2 전극을 전기적으로 접속하는 제3 배선 패턴을 구비하고,

상기 제1 배선 패턴의 전기 저항률은, 상기 제3 배선 패턴의 전기 저항률보다도 작은, 반도체 장치.

청구항 11

제9항에 있어서,

상기 반도체 칩은, 상기 제1 배선 패턴에 접속된 등가적인 다이오드 소자를 구비하고 있는, 반도체 장치.

청구항 12

제7항에 있어서,

상기 제1 배선 패턴은, 상기 인터포저의 제1주면과 상기 인터포저의 제2주면과의 사이에 배치된 제4 배선 패턴을 구비하고 있는, 반도체 장치.

청구항 13

제12항에 있어서,

상기 인터포저는, 상기 제1주면과 상기 제2주면과의 사이에 배치되며, 상기 제4 배선 패턴보다 선평이 넓은 제5 배선 패턴을 구비하고,

상기 제1 전극과 상기 제2 전극은, 상기 제5 배선 패턴을 거쳐서, 전기적으로 접속되어 있는, 반도체 장치.

청구항 14

제13항에 있어서,

상기 인터포저는, 상기 제1주면과 상기 제2주면과의 사이에 배치되며, 상기 제5 배선 패턴보다도, 선평이 좁은 제6 배선 패턴을 구비하고 있는, 반도체 장치.

청구항 15

제12항에 있어서,

상기 인터포저의 제1주면 측에서 보았을 때, 상기 인터포저는, 상기 제4 배선 패턴을 사이에 두도록 배치된 제7

배선 패턴 및 제8 배선 패턴을 구비하고 있는, 반도체 장치.

청구항 16

제12항에 있어서,

상기 인터포저의 제1주면 측에서 보았을 때, 상기 인터포저는, 상기 제4 배선 패턴과 겹치도록 배치된 제9 배선 패턴을 구비하고 있는, 반도체 장치.

청구항 17

전극이 형성된 주면을 갖는 제1 반도체 칩과,

제1 전극이 형성된 제1주면과, 상기 제1주면과 대향하고, 상기 제1 전극과 전기적으로 접속된 제2 전극이 형성된 제2주면과, 상기 전극에 접속된 한쪽의 단부와, 소정의 전압이 공급되는 다른 한쪽의 단부를 갖는 제1 배선 패턴을 구비하고, 상기 제1 반도체 칩의 전극이, 상기 제1 전극에 접속되도록, 상기 제1 반도체 칩의 주면이, 상기 제1주면과 대향하도록 탑재되는 제1 인터포저와,

상기 제1 인터포저의 제2주면과 대향하는 주면과, 상기 주면에 형성된 제3 전극과, 상기 주면에 형성된 제4 전극과, 상기 제3 전극과 상기 제4 전극을 전기적으로 접속하는 제2 배선 패턴을 구비한 기판을 구비하고,

상기 제3 전극은, 상기 제2 전극에 전기적으로 접속되며, 상기 제4 전극과 상기 전극과의 사이에 신호가 전달될 때, 상기 제1 배선 패턴에 의해, 상기 신호의 정형이 행해지는, 반도체 장치.

청구항 18

제17항에 있어서,

상기 반도체 장치는,

전극이 형성된 주면을 갖는 제2 반도체 칩과,

제5 전극이 형성된 제1주면과, 상기 제1 주면과 대향하고, 상기 제5 전극과 전기적으로 접속된 제6 전극이 형성된 제2주면을 갖고, 상기 제2 반도체 칩의 전극이, 상기 제5 전극에 접속되도록, 상기 제2 반도체 칩의 주면이, 상기 제1주면과 대향하도록 탑재되는 제2 인터포저를 구비하고,

상기 제2 인터포저의 제2주면은, 상기 기판의 주면과 대향하고, 상기 제2 인터포저의 상기 제6 전극은, 상기 제4 전극에 전기적으로 접속되며,

상기 제1 반도체 칩은, 상기 전극으로부터의 신호를 증폭하는 제1회로를 구비하고, 상기 제2 반도체 칩은, 시리얼 신호를, 상기 전극에 출력하는 제2 회로를 구비하는, 반도체 장치.

청구항 19

제18항에 있어서,

상기 반도체 장치는, 상기 기판과 상기 제1 인터포저와의 사이에 개재하는 제1 패키지 기판과, 상기 기판과 상기 제2 인터포저와의 사이에 개재하는 제2 패키지 기판을 구비하고,

상기 제1 패키지 기판은, 상기 제1 인터포저의 제2주면과 대향하는 제1주면과, 상기 기판의 주면과 대향하는 제2주면과, 상기 제1주면에 형성되며, 상기 제2 전극에 접속되는 제7 전극과, 상기 제2주면에 형성되며, 상기 제3 전극에 접속되는 제8 전극과, 상기 제7 전극과 상기 제8 전극을 접속하는 배선 패턴을 구비하고,

상기 제2 패키지 기판은, 상기 제2 인터포저의 제2주면과 대향하는 제1주면과, 상기 기판의 주면과 대향하는 제2주면과, 상기 제1주면에 형성되며, 상기 제4 전극에 접속되는 제9 전극과, 상기 제2주면에 형성되며, 상기 제5 전극에 접속되는 제10 전극과, 상기 제9 전극과 상기 제10 전극을 접속하는 배선 패턴을 구비하고,

상기 전극과 상기 제1 전극과의 사이와, 상기 전극과 상기 제5 전극과의 사이는, 각각 제1 범프에 의해 전기적으로 접속되고,

상기 제2 전극과 상기 제7 전극과의 사이와, 상기 제6 전극과 상기 제9 전극과의 사이는, 각각 제2 범프에 의해 전기적으로 접속되며,

상기 제8 전극과 상기 제3 전극과의 사이와, 상기 제10 전극과 상기 제4 전극과의 사이는, 각각 제3 범프에 의해 전기적으로 접속되며,

상기 제1 범프의 사이즈는, 상기 제2 범프의 사이즈보다 작고, 상기 제2 범프의 사이즈는, 상기 제3 범프의 사이즈보다 작은, 반도체 장치.

청구항 20

제19항에 있어서,

상기 제1 인터포저의 제1주면에는, 제3 반도체 칩이 탑재되고 있는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 예를 들어 고속 신호를 전달하는 신호 선로를 구비한 반도체 장치 및 인쇄 회로 기판에 탑재된 복수의 반도체 칩을 구비하고, 고속 신호가 프린트 기판의 신호 선로를 통해 반도체 칩 사이를 전송하는 반도체 장치에 관한 것이다.

배경 기술

[0002] 고속 신호, 예를 들어 전송 속도가 25Gbps 이상의 신호를 송신하거나 수신할 수 있는 반도체 장치가 요구되고 있다. 예를 들어 반도체 장치 사이에서 신호를 송수신할 경우 수신되는 신호 사이의 타이밍 차이에 의한 영향을 저감하고, 단자 수의 증가도 억제할 수 있는 시리얼 통신 방식을 이용하여 신호의 송수신이 이루어진다. 이 경우, 예를 들어 반도체 장치에는, 소위 SerDes (Serializer-Deserializer) 회로가 마련된다. 반도체 장치내에서의 처리에 의해 형성된 병렬 신호는 SerDes 회로에 의해서 25Gbps 이상의 고속 신호 (시리얼 신호)로 변환되어 반도체장치로부터 전송된다. 또한 반도체 장치에 수신된 25Gbps 이상의 고속 신호 (시리얼 신호)는 SerDes 회로에 의해서 예를 들면 병렬 신호로 변환되고, 변환에 의해 얻어진 병렬 신호에 있어서 처리가 반도체 장치에서 행해진다.

[0003] 상기한 바와 같은 반도체 장치는, 예를 들어 네트워크 제어용으로 사용된다. 네트워크 제어용으로 사용하는 경우, 프린트 기판에 탑재된 인터포저에 SerDes 회로를 구비한 반도체 장치 및 휘발성 메모리를 구성하는 반도체 장치가 탑재된다. SerDes 회로를 구비한 반도체 장치는 기판에 형성된 신호 선로를 통해 25Gbps 이상의 고속 신호를 송수신한다. 예를 들어, SerDes 회로를 구비한 반도체 장치는 수신한 고속 신호에 따라 휘발성 메모리를 구성하는 반도체 장치를 제어하고 데이터 쓰기를 실시하여 휘발성 메모리를 구성하는 반도체 장치로부터 읽어낸 데이터를 고속신호 (시리얼 신호)로 변환하여 프린트 기판에서 신호 선로를 통해 다른 반도체 장치 또는/및 전자 장치에 전송한다.

[0004] 신호 선로를 통해 고속 신호의 송수신이 이루어지게 되므로 신호 파형에 왜곡이 발생하게 된다. 왜곡된 파형을 정형하기 위해, 예를 들면 수동 소자에 의해 구성된 아날로그 필터 회로를 이용하는 것이 행해지고 있었다. 최근에는 수신 성능의 향상을 도모하기 위해 아날로그 필터 회로 대신에 트랜지스터 등의 능동 소자에 의해 구성된 디지털 필터 회로가 이용되도록 되어있다.

[0005] 특허 문헌 1에는 디지털 필터 회로에 관한 기술이 기재되어있다. 또한 특허 문헌 2에는 신호 선로에 관한 기술이 기재되어있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) [특허 문헌 1] 일본 특개평 2-72711호 공보

(특허문헌 0002) [특허 문헌 2] 일본 특개 2004-297411호 공보

발명의 내용

해결하려는 과제

- [0007] 아날로그 필터 회로 대신에 디지털 필터 회로를 이용함으로써 수신성능을 크게 향상시킬 수 있게 된다. 그러나 신호의 전송 속도가 32Gbps, 54Gbps로 상승하면 이에 맞추어 디지털 필터 회로도 32GHz, 54GHz라고 하는 클럭 주파수로 동작시키는 것이 필요하다.
- [0008] 높은 클럭 주파수에서 동작하는 디지털 필터 회로는 설계 난이도가 높아진다. 또한 설계의 난이도뿐만 아니라 고속 동작하기 때문에 소비 전력이 증가한다고 하는 과제가 발생한다.
- [0009] 특허 문헌 1에는 디지털 필터 회로에 관한 기술이 기재되어있다. 특허 문헌 1에 기재되어있는 디지털 필터 회로는 능동 소자로 구성되어 있다고 추정된다. 따라서 고속 신호를 처리하는 경우에는 디지털 필터 회로의 소비 전력이 증가하게 된다. 또한, 특허 문헌 2에는 신호 선로에 관한 기술이 기재되어 있지만 신호 선로를 전달함으로써 생기는 파형의 열화를 정형하는 기술은 기재되어 있지 않다.
- [0010] 기타 과제 및 신규한 특징은 본 명세서의 설명 및 첨부 도면에서 명백하게 될 것이다.

과제의 해결 수단

- [0011] 과제의 이해를 용이하게 하기 위해서, 먼저, 본 발명자가 본 발명에 앞서 검토한 기술에 대해서 설명한다.
- [0012] <발명자에 의한 검토>
- [0013] 도 21은, 본 발명자가 본 발명에 앞서 검토한 기술을 나타내는 설명도이다. 도 21(A)에 있어서, 2100은 신호 선로, 2101은 송신 버퍼 회로, 2102는 디지털 필터 회로, 2103은 수신 버퍼 회로를 나타내고 있다. 송신 버퍼 회로(2101)로부터 시리얼로 신호 선로(2100)에 신호가 공급된다. 송신 버퍼 회로(2101)로부터의 신호는, 신호 선로(2100)를 거쳐서(전달되어), 디지털 필터 회로(2102)에 공급되고, 디지털 필터 회로(2102)로부터의 출력이, 수신 버퍼 회로(2103)에 공급된다.
- [0014] 디지털 필터 회로(2102) 및 수신 버퍼 회로(2103)는, 제1 반도체 장치에 설치된 SerDes 회로에 포함되어 있으며, 복수의 능동 소자로 구성되어 있다
- [0015] 또한, 송신 버퍼 회로(2101)는, 제2 반도체 장치에 설치된 SerDes 회로에 포함되어 있으며, 복수의 능동 소자로 구성되어 있다. 능동 소자의 예로서는, 트랜지스터이다. 신호 선로(2100)는 제1 반도체 장치와 제2 반도체 장치가 탑재된 프린트 기판에 형성된 신호 배선에 의해 구성된다. 이것에 의해, 제2 반도체 장치에서 형성된 신호가, 송신 버퍼 회로(2101)로부터, 신호 선로(2100)에 출력되고, 신호 선로(2100)로부터의 신호가, 제1 반도체 장치 내의 디지털 필터 회로(2102)를 거쳐서, 수신 버퍼 회로(2103)에 공급되어 수신 버퍼 회로(2103)로부터 출력된 신호가 제1 반도체 장치 내에서 처리되게 된다.
- [0016] 신호 선로(2100)에는, 손실이 있기 때문에, 신호 선로(2100)에 신호가 전달될 때에, 신호의 파형(신호 파형)에 열화가 발생한다.
- [0017] 도 21(A)에 있어서, 2104는, 송신 버퍼 회로(2101)로부터 신호 선로(2100)에 출력되는 송신 파형을 나타내고 있다. 또, 도 21(A)에 있어서, 2105는, 신호선로(2100)로부터 디지털 필터 회로(2102)에 입력되는 필터 입력 파형을 나타내고 있으며, 2106은, 디지털 필터 회로(2102)로부터 출력되는 필터 출력 파형을 가리키고 있다. 도 21(A)에는, 설명을 위해서, 송신 버퍼 회로(2101)가, 송신 파형(2104)으로서 전압이 임펄스(impulse) 형상으로 변화하는 임펄스 신호를 출력한 경우가 나타내지고 있다. 또한 도 21(A)에 있어서, 송신 파형 (2104), 필터 입력 파형(2105) 및 필터 출력 파형(2106)의 각각의 형상은, 시간을 나타내고, 종축은, 전압을 나타내고 있다.
- [0018] 신호 선로(2100)의 한쪽의 단부에, 임펄스 형상으로 전압이 변화하는 송신 파형(2104)이 입력되면, 신호 선로(2100)의 손실 때문에, 신호 선로(2100)의 다른 한쪽의 단부로부터 출력되는 필터 입력 파형에는, 열화가 발생한다. 도 21(A)에 나타난 예에서는, 송신 파형(2104)이, 임펄스 형상의 파형인 것에 대해서, 필터 입력 파형

(2105)은, 급격하게 전압이 상승하고, 그 후, 서서히 하강하는 파형으로 되어 있다.

- [0019] 디지털 필터 회로(2102)의 특성을, 적절히 설정하는 것으로써, 신호 선로(2100)에 있어서의 신호 파형의 변화를 등화하는 것이 가능하게 되고, 디지털 필터 회로(2102)로부터는, 복원(정형)된 신호 파형을 필터 출력 파형(2106)으로서 출력한다 것이 가능해진다. 이것에 의해, 필터 출력 파형(2106)은, 송신 파형(2104)에 근사한 파형으로 하는 것이 가능해진다. 등화라고 하는 관점에서 보았을 경우, 디지털 필터 회로(2102)는, 이퀄라이저(등화기)라고 볼 수가 있다.
- [0020] 도 21(B)은, 디지털 필터 회로(2102)의 구성을 나타내는 블록도이다. 디지털 필터 회로(2102)는, 가산 회로(SM1, SM2), 승산 회로(MM1~MMn) 및 지연 회로(DL1~DLn)를 갖고 있다. 이러한 가산 회로(SM1, SM2), 승산 회로(MM1~MMn) 및 지연 회로(DL1~DLn)가, 예를 들면 트랜지스터와 같은 능동 소자로 의해 구성되어 있다.
- [0021] 가산 회로(SM1)는, 필터 입력 파형(2105)과 가산 회로(SM2)의 출력과의 사이에 감산을 실시하고, 감산의 결과를 필터 출력 파형(2106)으로서 출력함과 함께, 지연 회로(DL1)에 공급한다. 지연 회로(DL1~DLn)는, 직렬로 접속되고 있으며, 각각의 지연회로는, 소정의 시간 지연(지연 시간)한 후, 다음 단의 지연 회로에 지연된 신호를 공급한다. 또한, 각각의 지연 회로(DL1~DLn)의 출력은, 대응하는 승산 회로(MM1~MMn)에 공급된다. 각각의 승산 회로(MM1~MMn)는, 대응하는 계수($a_1 \sim a_n$)와 대응하는 지연 회로(DL1~DLn)와의 사이에 승산을 실시하고, 승산 결과를, 가산 회로(SM2)에 공급한다. 가산 회로(SM2)는, 승산 회로(MM1~MMn)의 출력을 가산하고, 가산의 결과를, 가산회로(SM1)에 공급한다.
- [0022] 지연 회로(DL1~DLn)의 각각에 있어서의 지연 시간은, 1 데이터 폭 구간의 시간(UT 지연)에 상당한다. 한쪽, 송신 버퍼 회로(2101)로부터, 신호 선로(2100)에 출력되는 신호는 송신하는 신호의 전송 속도에 따른 주기로 변화한다. 1 데이터 폭 구간의 시간은, 이 신호의 전송 속도의 주기에 비례한다. 그 때문에, 시간적으로 이전에 출력된 필터 출력 파형(2106)의 전압에, 계수($a_1 \sim a_n$)가 승산되어 필터 입력 파형(2105)으로부터 감산 되게 된다. 따라서, 적절한 계수($a_1 \sim a_n$)를 설정함으로써, 디지털 필터 회로(2102)로부터 출력되는 필터 출력 파형을, 적절한 파형으로 정형하는 것이 가능해진다. 또한, 도 21(B)에 있어서, X_k 는, 필터 입력 파형의 디지털치를 가리키고 있다. Y_k 는 필터 출력파형의 디지털치를 나타낸다.
- [0023] 신호 선로(2100)에 있어서의 신호 파형의 열화를 등화하기 위해서, 디지털 필터 회로(2102)는, 신호 선로(2100)의 전달 함수에 있어서, 역의 전달 함수(역 전달 함수)를 갖도록 한다. 즉, 신호 선로(2100)의 전달 함수와 디지털 필터 회로(2102)의 전달 함수(역 전달 함수)를 곱했을 때, 정수가 되도록 한다.
- [0024] 먼저, 신호 선로(2100)의 전달 함수를, Z변환 표기로 나타내면, 신호 선로(2100)의 전달 함수($S(z)$)는, 도 22에 나타내는 식(8)과 같이 나타낼 수 있다. 여기서, h_k 는, 신호선로(2100)의 임펄스 응답을 나타내고 있다. 다음에, 디지털 필터 회로(2102)의 전달 함수($H(z)$)를, Z변환 표기로 나타내면, 도 22에 나타내는 식(9)과 같이 나타낼 수 있으며, Z변환 부호(z)는, 도 22에 나타내는 식(10)과 같이 나타낼 수 있다. 여기서, UT는, 1 데이터 폭 구간의 시간을 나타내고 있다.
- [0025] 신호 선로(2100)의 전달 함수($S(z)$)와 디지털 필터 회로(2102)의 전달함수($H(z)$)를 곱하면, 곱하여 합한 전달 함수 $H_{total}(z)$ 는, 도 22에 나타낸 식(11)로 된다. 계수 a_k 를, 도 22에 나타낸 식(12)과 같이 치환하면, 전달 함수 $H_{total}(z)$ 는, 도 22에 나타낸 식(13)과 같이 된다. 즉, 전달 함수 $H_{total}(z)$ 는, 정수가 되며, 신호 선로(2100)에 있어서의 손실에 의해 열화 한 파형을, 디지털 필터 회로(2102)로 복원하여, 정형된 필터 출력 파형(2106)을 얻은 것이 가능해진다. 이 계수 a_k 가, 도 21(B)에 나타낸 승산 회로(MM1~MMn)에 공급되는 계수 $a_1 \sim a_n$ 에 상당한다. 임의의 방법을 이용하여 이 계수 a_k 의 적절한 값을 구하면, 신호 선로를 통해서 열화한 신호 파형을, 수치 연산에 의해 복원하는 것이 가능하게 된다. 식(13)에서는, 곱하여 합한 전달 함수 $H_{total}(z)$ 는, 근사 등호로, 정수(ho)와 연결되고 있다. 이것을, 완전 등호(=)로 하기 위해서는, 도 21(B)로 도시된 승산 회로(MM1~MMn)의 수는 무한대가 아니면 안 된다.
- [0026] 그렇지만, 승산 회로(MM1~MMn)의 수를 무한대로 하는 것은, 불가능하다. 또한, 승산 회로의 수를 늘림으로써, 소비 전력이 증가함과 함께, 디지털 필터 회로(2102)에 의해 점유되는 면적도 커진다. 그 때문에, 허용되는 소비 전력과 점유 면적의 범위로 승산 회로(MM1~MMn)의 수가 정해지게 된다.
- [0027] 여기서, 디지털 필터 회로(2102)를 이용하는 경우에는, 다음의 2개의 옵션 중 어느 하나를 선택하는 것이 요구되게 된다. 즉, 옵션 1)은, 디지털 필터 회로를 구성하는 연산 회로 및 지연 회로의 개수를 줄여 소비 전력을

저감한다. 이 옵션 1)을 선택했을 경우에는, 파형의 재현 정밀도가 억제되어 버리게 된다. 또, 옵션 2)는, 디지털 필터 회로를 구성하는 연산 회로 및 지연 회로의 개수를 늘려, 파형의 재현 정밀도를 높게 한다. 이 옵션을 선택했을 경우에는, 소비 전력 및 점유 면적의 증가가 발생하게 된다. 즉, 소비 전력(점유 면적)의 저감과 파형 재현 정밀도의 향상을 양립시키는 것은 곤란해진다. 또, 옵션 1)을 선택 한 경우에도, 연산 회로 및 지연 회로를 동작시키는 클록 신호가, 높은 주파수로 되기 때문에 소비 전력은 커져 버린다.

[0028] 또, 디지털 필터 회로(2102)를 이용하는 경우에는, 소비 전력과 점유 면적만 아니라, 표본화 이론에 의한 제약도 존재한다. 도 23은, 표본화 이론에 의한 제약을 설명하는 도이다. 디지털 필터 회로(2102)에 의해, 수직 연산을 실시하는 경우에는, 신호의 파형을 1 데이터 폭 구간(UT) 마다 이산화할 필요가 있다. 즉, 1 데이터 폭 구간(UT)의 시간에 상당하는 샘플링 주기로, 파형을 샘플링 하는 것이 요구된다.

[0029] 도 23에 있어서, 좌상에는, 필터 입력 파형(2105)이 도시되어 있으며, 중앙 상에는 디지털 필터 회로(2102)와 수신 버퍼 회로(2103)가 도시되어 있으며, 우상에는, 필터 출력 파형(2106)이 도시되어 있다. 도 23에 있어서 필터 입력 파형(2105) 및 필터 출력 파형(2106)의 횡축은, 시간을 나타내고, 종축은 전압을 나타내고 있다. 여기서는, 필터 입력 파형(2105) 및 필터 출력 파형(2106) 각각은, 소정의 전압(V_c)을 기준 전압으로 해서 그 상하에 전압이 변화하는 것으로서 도시되어 있다.

[0030] 도 23에 있어서, 중앙 아래에는, 수신 버퍼 회로(2103)의 입력 단자에 있어서의 전압의 변화가 아이 패턴(Eyediagram)으로 도시되어 있다. 아이 패턴의 횡축은 시간이며, 종축은 전압을 나타내고 있다. 아이 패턴은, 디지털 필터 회로(2102)에 같은 필터 입력 파형을 반복해서 공급한 때에, 수신 버퍼 회로(2103)의 입력단자에 공급되는 필터 출력 파형을 중첩하는 것으로 생성하고 있다.

[0031] 도 23에 있어서는, 설명을 위해서, 디지털 필터 회로(2102)의 전달 함수 $H(z)$ 가 1의 경우를 나타내고 있다. 또한, 필터 입력 파형(2105), 필터 출력 파형(2106) 및 아이 패턴에 있어서, UT는, 1 데이터 폭 구간의 시간을 나타내고 있으며, 파선은 샘플링 타이밍을 나타내고 있다. 여기에서는, 샘플링 타이밍 사이에 있는 샘플링 주기가, 1 데이터 폭 구간(UT)의 시간과 같은 경우가 도시되어 있다.

[0032] 디지털 필터 회로(2103)에 있어서, 연산 처리를 실시하기 전에, 파선으로 나타낸 샘플링 타이밍의 경우에, 필터 입력 파형(2105)은, 샘플링되어 샘플링에 의해 얻어진 이산 데이터에 대해서 연산 처리를 한다. 그 때문에, 필터 입력 파형(2105)이, 사다리꼴에 가까운 파형을 갖고 있어도, 디지털 필터 회로(2102)를 통과한 후의 필터 출력 파형은, 도 23에 나타내듯이, 꺾은 선 형상의 파형이 되어 버린다. 그 때문에, 수신 버퍼 회로(2103)의 입력 단자에 있어서의 아이 패턴은, 꺾은 선 형상의 파형을 중첩한 능형(菱形)의 패턴이 된다. 능형의 아이 패턴이 되면, 수신 버퍼 회로(2103)가, 입력 단자의 전압을 취입하는 타이밍이, 어긋나면, 수신 레벨이 저하하여 버린다. 예를 들면, 도 23의 아이 패턴에 있어서 취입 타이밍이 시각(t_{10})으로부터, 시각(t_{11})으로 어긋났을 경우, 수신 버퍼 회로(2103)가 취입한 수신 레벨이 크게 저하해 버린다.

[0033] 샘플링 주파수를, 예를 들면 수배 높게 하고, 디지털 필터 회로(2102)를 구성하는 연산 회로 및 지연 회로를 동작시키는 클록

[0034] 신호도 수배 높게 하는 것에 의해, 보다 필터 입력 파형(2105)에 근사한 필터 출력 파형(2106)을 생성하는 것이 가능하게 되고, 취입하는 타이밍이 어긋나도, 수신 레벨이 크게 저하하는 것을 막는 것이 가능하게 된다. 그렇지만, 디지털 필터 회로(2102)를 구성하는 연산 회로 및 지연 회로를 동작시키는 클록 신호의 주파수가 높아지는 것으로, 디지털 필터 회로(2102)의 소비 전력이 증가하게 된다. 또, 클럭 주파수가 높아지는 것에 의해, 지연 회로 등의 타이밍 설계가 어려워진다.

[0035] <해결하기 위한 수단>

[0036] 일 실시 형태와 관계되는 반도체 장치는, 신호 선로와 신호 선로의 단부에 접속되며, 신호선로부터 신호가 공급 또는 신호 선로에 신호를 공급하는 제1회로와, 신호 선로의 단부에 와이어드 오어 접속되며, 신호 선로의 단부에 있어서의 신호의 파형을 정형하는 지연 소자를 구비한다.

[0037] 신호 선로로부터의 신호 또는 신호 선로로의 신호는, 와이어드 오어 접속된 단부에 있어서, 그 일부가 지연 소자에 전달된다. 지연 소자에 있어서는, 공급된 신호의 일부에 기초한 반사파를, 와이어드 오어 접속된 단부에 전달한다. 이것에 의해, 반사파에 의해 신호 선로로부터의 신호 또는 신호 선로에의 신호의 파형이 정형되게 된다. 수동 소자인 지연 소자에 의해서, 신호의 파형의 정형이 행해지기 때문에, 신호 선로를 통과하는 신호의 전송속도가 높아져도, 신호의 파형을 정형할 때의 소비 전력이 증가하는 것을 억제하는 것이 가능하게 되고, 소비

전력의 증가를 억제하는 것이 가능한 반도체 장치를 제공하는 것이 가능하게 된다.

발명의 효과

[0038] 일 실시 형태에 의하면, 소비 전력의 증가를 억제하는 것이 가능한 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0039] 도 1(A)~(C)는, 실시 형태 1과 관계되는 디지털 필터의 기본 구성을 나타내는 도면이다.
 도 2(A)~(C)는, 실시 형태 1과 관계되는 디지털 필터의 동작을 나타낸 파형도이다.
 도 3은 실시 형태 1과 관계되는 디지털 필터를 설명하기 위한 도면이다.
 도 4는 실시 형태 1과 관계되는 디지털 필터를 송신 버퍼 회로에 접속한 구성을 나타내는 블록도이다.
 도 5는 실시 형태 1과 관계되는 디지털 필터와 능동 소자에 의해 구성된 디지털 필터 회로를 비교하는 도면이다.
 도 6은 실시 형태 1과 관계되는 반도체 장치의 단면을 나타내는 단면도이다.
 도 7은 실시 형태 1과 관계되는 반도체 장치의 주요부 평면을 나타내는 평면도이다.
 도 8은 도 7에 나타난 평면의 A-A' 단면 및 B-B' 단면을 나타내는 단면도이다.
 도 9(A) 및 (B)는, 실시 형태 1과 관계되는 디지털 필터의 파형을 나타내는 파형도이다.
 도 10(A) 및 (B)은, 실시 형태 1과 관계되는 디지털 필터의 파형을 나타내는 파형도이다.
 도 11은 실시 형태 1의 변형예와 관계되는 반도체 장치의 평면을 나타내는 평면도이다.
 도 12도는 도 11에 나타난 평면의 A1-A1' 단면 및 B1-B1' 단면을 나타내는 단면도이다.
 도 13은 실시 형태 2와 관계되는 반도체 장치의 평면을 나타내는 평면도이다.
 도 14는 도 13에 나타난 평면의 A2-A2' 단면 및 B2-B2' 단면을 나타내는 단면도이다.
 도 15는 실시 형태 3과 관계되는 반도체 장치의 단면을 나타내는 단면도이다.
 도 16(A)~(C)는, 실시 형태 3과 관계되는 반도체 장치의 평면 및 단면을 나타내는 도면이다.
 도 17은 실시 형태 4와 관계되는 반도체 장치의 단면을 나타내는 단면도이다.
 도 18(A)~(C)는, 실시 형태 4와 관계되는 반도체 장치의 평면 및 단면을 나타내는 도면이다.
 도 19는 실시 형태 5와 관계되는 디지털 필터의 구성을 나타내는 블록도이다.
 도 20은 실시 형태 6과 관계되는 디지털 필터의 구성을 나타내는 블록도이다.
 도 21(A) 및 (B)는, 본 발명자가 검토한 기술을 나타내는 설명도이다.
 도 22는 본 발명자가 검토한 기술을 설명하기 위한 도면이다.
 도 23은 본 발명자가 검토한 기술을 설명하기 위한 도면이다.
 도 24는 차동 신호의 전압 파형을 나타내는 파형도이다.
 도 25(A)~(C)는, 싱글 엔드 디지털 필터의 아이 패턴을 나타내는 도면이다.
 도 26(A)~(C)는, 싱글 엔드 디지털 필터의 아이 패턴을 나타내는 도면이다.
 도 27(A) 및 (B)는, 실시 형태 7과 관계되는 디지털 필터의 구성 및 등가 회로를 나타내는 도면이다.
 도 28(A)~(C)는, 실시 형태 7과 관계되는 아이 패턴을 나타내는 도면이다.
 도 29(A)~(C)는, 실시 형태 7과 관계되는 아이 패턴을 나타내는 도면이다.
 도 30은 실시 형태 7과 관계되는 디지털 필터를 설명하기 위한 도면이다.

도 31은 실시 형태 7과 관계되는 디지털 필터의 구조를 나타내는 평면도이다.
 도 32는 실시 형태 7과 관계되는 디지털 필터의 구조를 나타내는 단면도이다.
 도 33은 실시 형태 7의 변형예와 관계되는 디지털 필터의 구조를 나타내는 평면도이다.
 도 34는 실시 형태 7의 변형예와 관계되는 디지털 필터의 구조를 나타내는 단면도이다.
 도 35는 실시 형태 8과 관계되는 디지털 필터의 구조를 나타내는 평면도이다.
 도 36은 실시 형태 8과 관계되는 디지털 필터의 구조를 나타내는 단면도이다.
 도 37은 실시 형태 9와 관계되는 디지털 필터의 구조를 나타내는 평면도이다.
 도 38은 실시 형태 9와 관계되는 디지털 필터의 구조를 나타내는 단면도이다.
 도 39는 실시 형태 9의 변형예와 관계되는 디지털 필터의 구조를 나타내는 평면도이다.
 도 40은 실시 형태 9의 변형예와 관계되는 디지털 필터의 구조를 나타내는 단면도이다.
 도 41은 실시 형태 10과 관계되는 반도체 장치의 구성을 나타내는 블록도이다.
 도 42는 실시 형태 10의 변형예와 관계되는 반도체 장치의 구성을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 이하, 본 발명의 실시 형태를 도면에 기초해서 상세하게 설명한다. 또한, 실시 형태를 설명하기 위한 전 도면에 있어서, 동일 부분에는 원칙으로서 동일한 부호를 부여하고, 그 반복의 설명은, 원칙으로서 생략한다.
- [0041] (실시 형태 1)
- [0042] <디지털 필터의 기본 구성>
- [0043] 먼저, 실시 형태 1과 관계되는 반도체 장치에 내장되는 디지털 필터의 기본 구성을 설명한다. 이 디지털 필터를 내장하는 반도체 장치는, 다음에 상세하게 설명하므로, 여기에서는 상세히 설명하지 않는다.
- [0044] 도 1은, 실시 형태 1과 관계되는 디지털 필터의 기본 구성을 나타내는 도면이며, 도 1(A)는, 디지털 필터의 구성을 나타내는 블록도이며, 도 1(B)은, 도 1(A)에 나타난 디지털 필터의 등가 회로도이다. 또, 도 1(C)은, 도 1(A)에 나타난 디지털 필터의 전달 함수를 나타내는 도면이다.
- [0045] 도 1(A)에 있어서, 1000은 신호 선로(신호 전송로)를 나타내고 있다. 도 1(A)에서는, 신호 선로(1000)는, 1쌍의 단부를 갖고 있는 것으로서 설명한다. 동 도에 있어서, SNO는 신호 선로(1000)의 한쪽의 단부를 나타내고, SNI는 신호 선로(1000)의 다른 한쪽의 단부를 나타내고 있다. 또, 도 1(A)에 있어서, 1001은 송신 버퍼 회로(제2 회로), 1002는 디지털 필터, 1003은 수신 버퍼 회로(제1회로)를 나타내고 있다.
- [0046] 후에 상세하게 설명하겠지만, 실시 형태 1과 관계되는 반도체 장치는, 프린트 기판과 이 프린트 기판에 탑재된 복수의 인터포저와, 각각의 인터포저에 탑재된 반도체 칩을 구비하고 있다. 프린트 기판에 탑재된 복수의 반도체 칩을 구비하고 있기 때문에, 이 반도체 장치는, 전자 장치(소위 SIP, MCM를 포함한다)라고 볼 수도 있다. 그렇지만, 본 명세서에 있어서는, 특히 명시할 필요가 없으면, 프린트 기판, 인터포저 및 반도체 칩을 포함한 장치도, 반도체 장치라고 칭한다. 마찬가지로 본 명세서에 있어서는, 인터포저와 인터포저에 탑재된 반도체 칩을 구비하는 장치도, 특히 명시할 필요가 없으면, 반도체 장치라고 칭한다. 더욱이 반도체 칩도, 특히 명시할 필요가 없으면, 본 명세서에 있어서는, 반도체 장치라고 칭한다.
- [0047] 후에 상술하겠지만, 도 1(A)에 나타난 수신 버퍼 회로(1003)는, 제1 인터포저에 탑재된 제1 반도체 칩에 형성되고 있으며, 송신 버퍼 회로(1001)는, 제1 인터포저와는 다른 제2 인터포저에 탑재된 제2 반도체 칩으로 형성되어 있다. 이 제1 인터포저 및 제2 인터포저는, 동일한 프린트 기판에 탑재되고 있다. 도 1(A)에 나타난 신호 선로(1000)는, 제2 반도체 칩에 형성된 송신 버퍼 회로(1001)와 제1 반도체 칩에 형성된 수신 버퍼 회로(1003)와의 사이를 전기적으로 접속하는 신호 배선을 나타내고 있다. 이 신호 배선은, 예를 들면 프린트 기판에 형성된 신호 배선(배선 패턴)을 포함하고 있다.
- [0048] 디지털 필터(1002)는, 1쌍의 단부(DN1, DN2)를 구비한 지연 소자(DLN)를 구비하고 있다. 지연 소자(DLN)는, 소정의 길이를 갖는 지연 배선(신호 배선)에 의해 구성되어 있으며, 이 신호 배선의 1쌍의 단부가, 지연 소자

(DLN)의 1쌍의 단부(DN1, DN2)에 상당하고 있다. 지연 소자(DLN)의 한쪽의 단부(DN2)는, 노드(WRN)에 있어서, 신호선로(1000)의 단부(SNO)와 와이어드 오어 접속되어 있다. 즉, 노드(WRN)에 있어서, 지연 소자(DLN)의 한쪽의 단부(DN2)와 신호 배선(1000)의 단부(SNO)는, 전기적으로 접속되어 있다. 노드(WRN)는, 수신 버퍼 회로(1003)의 입력 단자(입력 노드)에 전기적으로 접속되어 있다. 또, 지연 소자(DLN)의 한쪽의 단부(DN1)는, 소정의 전압(V_s)에 전기적으로 접속되어 있다. 도 1(A)에서는, 소정의 전압(V_s)은, 회로의 접지 전압이다.

[0049] 송신 버퍼 회로(1001)는, 송신해야 할 시리얼 신호를 받아 신호 선로(1000)의 한쪽의 단부(SN1)에 공급한다. 공급된 시리얼 신호는, 신호 선로(1000)로 전달되어, 신호 선로(1000)의 단부 SNO에 도달한다. 신호 선로(1000)의 단부 SNO에 도달한 신호는, 와이어드 오어 접속의 부분(노드 WRN)에 있어서, 수신 버퍼 회로(1003)와 디지털 필터(1002)에 분배된다. 이 분배의 비율이, 도 1에서는, 신호의 분배율 b 로서 도시되어 있다. 신호 선로(1000)의 단부(SNO)에 있어서의 신호 중, 분배율 b 의 신호가, 입력 신호(FW)로서 지연 소자(DLN)의 한쪽의 단부(DN2)에 입력(공급)된다 된다. 이때, 나머지의 신호, 즉 $1b$ 의 신호가, 수신 버퍼 회로(1003)의 입력 단자에 공급된다.

[0050] 디지털 필터(1002)에 있어서의 지연 소자(DLN)의 다른 쪽의 단부(DN1)는, 소정의 전압(V_s)(회로의 접지 전압)에 접속되고 있기 때문에, 지연 소자(DLN)의 한쪽의 단부(DN2)에 비해, 지연 소자(DLN)의 다른 쪽의 단부(DN1)의 임피던스는, 작아진다. 그 때문에, 지연 소자(DLN)의 한쪽의 단부(DN2)에 입력된 입력 신호(FW)는, 다른 쪽의 단부(DN1) 측에서 반사하고, 파선으로 나타낸 반사 신호가, 출력 신호(RW)로서 지연 소자(DLN)의 한쪽의 단부(DN2)로부터, 와이어드 오어 접속의 부분(노드 WRN)에 출력된다. 지연 소자(DLN)는, 손실을 갖고 있기 때문에, 단부(DN2)로부터 출력되는 출력 신호(RW)는, 단부(DN2)에 입력한 입력 신호(FW)에 대해서 감쇠하고 있다. 또한, 입력 신호(FW)에 대해서, 출력 신호(RW)는, 지연하고 있다. 노드(WRN)에 있어서 와이어드 오어 접속되는 지연 소자(DLN)의 단부(DN2)는, 신호의 입력과 출력이 행해지는 단부이기 때문에, 입출력 단부 혹은 입출력 단자라고 볼 수 있다.

[0051] 도 1(B)은, 도 1(A)에 나타낸 지연 소자(DLN)의 등가 회로도이다. 여기에서는, 지연소자(DLN)는, 분포 정수 회로로 표현되어 있다. 특히 제한되지 않지만, 복수의 분포정수 회로의 각각은, π 형 분포 정수 회로로 나타내고 있으며, π 형 분포 정수 회로는, 인덕턴스(L), 저항(R), 캐패시턴스(C) 및 컨덕턴스(G)에 의해 구성되어 있다. 지연 소자(DLN)의 등가 회로는, 단부(DN2)와 단부(DN1)와의 사이에, 복수의 인덕턴스(L)와 복수의 저항(R)이 직렬적으로 접속되어 신호 선로(DLN)와 소정의 전압(V_s)(회로의 접지전압)과의 사이에, 복수의 컨덕턴스(G)와 캐패시턴스(C)가 병렬적으로 접속되어 있는 것과 같이 나타내고 있다.

[0052] 도 1(B)에 나타낸 등가 회로에 있어서, 인덕턴스(L), 저항(R) 및 캐패시턴스(C) 등의 영향에 의해, 전술한 바와 같이, 지연 소자(DLN)는 손실을 갖고 있으며, 출력 신호(RW)는, 입력 신호(FW)에 대해서 감쇠한다. 여기서, 신호의 감쇠 계수(신호 감쇠 계수)를 $\beta/2$ 로 하면, 지연 소자(DLN)에 있어서, 단부(DN2)에 입력한 입력 신호가, 단부(DN2)로부터 출력될 때까지의 신호 감쇠율(왕복 신호 감쇠율)은, $e^{-\beta}$ 가 된다. 신호의 왕복을 고려하고 있으므로, 왕복의 감쇠 계수는 $\beta/2 \times 2 = \beta$ 가 된다. 한편, 지연 소자(DLN)에 있어서, 신호가 왕복하는데 필요로 하는 지연 시간(왕복 지연 시간)은, 데이터 폭 구간(UT)과 계수 m 과의 비 UT/m 에 의해 결정된다. 여기서, 계수 m 은, 정수 1, 2, 3, $\dots$ 이다. 도 1에서는, 지연 소자(DLN)내를 왕복하는 신호는, 입력 신호(FW)와 출력 신호(반사파)(RW)로서 묘사되어 있다.

[0053] 지연 소자(DLN)의 단부(DN2)로부터 출력되는 출력 신호(RW)는, 와이어드 오어 접속에 의해, 노드(WRN)에 있어서, 신호 선로(1000)로부터의 신호와 합성된다. 이 합성에 있어서, 출력 신호(RW)는, 반사파이기 때문에, 신호 선로(1000)로부터의 신호의 절대치를 감소하도록 동작한다. 지연 소자(DLN)에 있어서의 신호의 왕복 지연 시간이, 1 데이터 폭 구간(UT)의 정수분의 1로 되어 있기 때문에, 지연 소자(DLN)로부터의 하나 혹은 복수의 반사파에 의해, 신호 선로(1000)로부터의 신호의 절대치가, 감소되도록 조정되게 된다. 만약, 왕복 지연 시간이, 1 데이터 폭 구간(UT)의 정수분의 1이 아닌 경우에는, 노드(WRN)에 대해서, 지연 소자(DLN)로부터의 반사파가, 신호 선로(1000)로부터의 신호에 있어서, 절대치를 증가시키도록 동작하는 것이 고려되고, 신호 선로(1000)로부터의 신호가 열화하는 것이 고려될 수 있다.

[0054] 또, 지연 소자(DLN)의 단부(DN1)는, 플로팅 상태로 하면, 단부(DN1)에 있어서 임피던스가, 단부(DN2)에 있어서의 임피던스보다 높아지고, 지연 소자(DLN)의 단부(DN2)로부터 출력되는 출력 신호(RW)는, 진행파가 되어 버린다. 그 결과, 노드(WRN)에 있어서, 신호 선로(1000)로부터의 신호에, 진행파가 합성되고, 수신 버퍼 회로(1003)의 입력 단자에 공급되는 신호는, 열화된 신호가 된다고 생각할 수 있다. 그 때문에, 이 실시 형태 1에 있어서, 지연 소자(DLN)의 단부(DN1)는, 소정의 전압(V_s)에 접속되고 있다.

[0055] 왕복 신호 지연(UT/m)의 시간은, 지연 소자(DLN)의 길이, 즉 단부(DN1, DN2)사이의 거리, 지연 소자(DLN)를 구

성하는 지연 배선의 폭, 두께, 재료 등에 의해, 1 데이터 폭 구간(UT)의 정수 분의 1이 되도록 정해진다.

[0056] 도 1(C)은, 지연 소자(DLN)의 전달 함수를 나타내는 도면이다. 도 1(C)에 있어서, 식(1)은, 지연 소자(DLN)의 전달 함수 $H(z)$ 를, Z변환 표기로 나타낸 식이다. 식(1)에 있어서, s 는, 라플라스 계수를 나타내고 있다. 상기한 것처럼, b 는 신호의 분배율을 나타내고, UT 는, 1 데이터 폭 구간을 나타내고, m 은 정수를 나타내고 있다.

[0057] <디지털 필터의 동작>

[0058] 다음에, 도 1에 나타난 디지털 필터(1002)의 동작을 설명한다. 도 2(A)~(C)는, 디지털 필터(1002)의 동작을 나타내는 파형도이며, 각각의 횡축은 시간을 나타내고, 각각의 종축은 전압을 나타내고 있다. 도 2(A)는, 송신 버퍼 회로(1001)(도 1)로부터 신호 선로(1000)(도 1)의 단부(SNI)에 공급되는 송신 파형(2104)을 나타내고 있다. 또, 도 2(B) 및 도 2(C)는, 와이어드 오어 접속된 부분(노드 WRN)에 있어서의 신호의 파형을 나타내고 있다. 여기서, 도 2(B)는, 노드(WRN)에 있어서 와이어드 오어 접속에 의해 실현되는 신호 선로(1000)로부터의 필터 입력 파형(2105)과 지연 소자(DLN)로부터의 출력 신호(RW)의 파형의 합성을 나타내고 있다. 도 2(C)는, 도 2(B)에 있어서의 합성에 의해 형성된 필터 출력 파형(2106)을 나타내고 있다. 노드(WRN)에 있어서의 신호는, 수신 버퍼 회로(1003)의 입력 단자에 공급되기 때문에, 도 2(C)는, 수신 버퍼 회로(1003)의 입력 신호 혹은 수신 신호의 파형을 나타내고 있다고 볼 수 있다.

[0059] 송신 버퍼 회로(1001)에는, 소정의 전송 속도에 따른 시리얼 신호가 공급되어 공급된 시리얼 신호에 대응한 송신 신호를, 신호 선로(1000)의 단부(SNI)에 공급한다. 여기에서는, 설명을 용이하게 하기 위해서, 송신 버퍼 회로(1001)로부터, 전압이 임펄스 형상으로 변화하는 송신 파형(2104)이, 신호 선로(1000)의 단부(SNI)에 입력되는 것으로 해서 설명한다.

[0060] 신호 선로(1000)의 단부(SNI)에 입력된 송신 파형(2104)은 신호 선로(1000)의 단부(SNO)에 전달되지만, 신호 선로(1000)가 손실을 갖고 있기 때문에, 신호 선로(1000)의 단부(SNO)에는, 송신 파형(2104)에 대해서 열화한 파형이, 필터 입력 파형(2105)으로서 발생한다. 송신 파형(2104)은 임펄스 형상으로 변화하기 때문에, 송신 선로(1000)로부터 출력되는 필터 입력 파형(2105)은, 도 2(B)에 나타내듯이, 급준하게 전압이 상승한 후, 서서히 전압이 저하하는 형상을 가진다. 신호 선로(1000)로부터의 출력신호(필터 입력 파형(2105))는, 노드(WRN)에 대해서, 그 일부가, 지연 소자(DLN)의 단부(DN2)에 입력된다. 입력된 출력 신호(필터 입력 파형(2105))의 일부는, 도 1에서 설명한 것처럼, 지연 소자(DLN)에 있어서, 왕복 지연 시간 후에, 감쇠한 반사파로서 노드(WNR)에 출력된다.

[0061] 즉, 왕복 지연 시간 후에, 지연 소자(DLN)로부터의 출력 신호(RW)가, 와이어드 오어 접속의 부분에 전달된다. 이때의 파형은, 반사파이기 때문에, 출력 신호(필터 입력 파형(2105))에 대해서 위상이 반전한 파형이 되고 있으며, 그 값은, 출력 신호(필터 입력 파형(2105))를 감쇠한 값이 되고 있다. 와이어드 오어 접속의 부분, 즉, 노드(WNR)에 있어서, 출력 신호(필터 입력 파형(2105))와 지연 소자(DLN)로부터의 출력 신호(RW)(반사파의 파형)가 합성된다. 도 2(B)에서는, 지연 소자(DLN)에 있어서 첫 번째의 왕복으로 형성된 출력 신호(RW)가 부호(1)로 도시되어 있다. 이 왕복은, 무한 회수 발생하지만, 도 2(B)에서는, 예로서 2번째에서 6번째까지의 왕복으로 형성된 출력 신호(RW)가, 부호(2)~부호(6)로 나타내어져 있다. 또한, 지연 소자(DLN)를 왕복할 때에, 감쇠가 발생하기 때문에, 왕복으로 형성되는 출력 신호(RW)의 값은, 순차로 작아진다.

[0062] 와이어드 오어 접속의 부분, 즉 노드(WNR)는, 수신 버퍼 회로(1003)의 입력 단자의 근방에 마련하는 것이 바람직하다. 이것은, 노드(WNR)와 수신 버퍼 회로(1003)의 입력 단자와의 사이에도 임피던스가 존재한다. 노드(WNR)와 수신 버퍼 회로(1003)의 입력 단자와의 사이가 떨어져 있으면, 이 임피던스가 커져서 이 임피던스의 값을 고려하는 것이 바람직하게 되기 때문이다. 또, 지연 소자(DLN)의 단위길이 당의 저항(R) 또는 컨덕턴스(G)는, 신호 선로(1000)의 단위길이 당의 저항 또는 컨덕턴스보다도 크게 되어 있다.

[0063] 노드(WRN)에 있어서의 필터 입력(2105)과 출력 신호(RW)의 파형(예를 들면 부호(1)~부호(6)의 파형)의 합성은, 와이어드 오어 접속에 의해 행해지기 때문에, 파형의 중첩이 행해지게 된다. 그 결과, 수신 버퍼 회로(1003)의 입력 단자에 공급되는 필터 출력 파형(2106)은, 도 2(C)에 나타내듯이, 송신 파형(2104)에 유사한 파형을 갖게 된다. 즉, 파형의 복원(정형)이 행해지게 된다.

[0064] 지연 소자(DLN)의 동작을, 보다 간결하게 말하면, 다음과 같이 된다. 즉, 신호 선로(1000)로부터 송신되어 온 필터 입력 신호(필터 입력 파형(2105))는, 그 일부가 지연 소자(DLN)의 단부(DN2)에 입력되지만, 출구가 없기 때문에 단부(DN2)(입력 단자)로 돌아온다. 이때 지연 소자(DLN)의 단위길이 당 저항 또는 컨덕턴스를, 신호 선로(1000)의 그것보다 크게 하고, 지연 소자(DLN)의 단부(DN1)를, 회로의 접지전압 등의 소정의 전압(V_s)에 고정

한다. 이것에 의해, 도 2(B)의 부호(1)로 나타낸 바와 같은 위상(소정의 전압(V_s))을 기준으로 한 극성)이 반전하고, 감쇠한 신호가, 와이어드 오어 접속 부분(노드(WRN))까지 반사하여 돌아온다. 와이어드 오어 접속 부분(노드(WRN))과 지연 소자(DLN)의 단부(DN1)와의 사이에서, 임피던스가 다르기 때문에, 1번 신호 선로(1000)로부터 지연 소자(DLN)에 입력된 신호는, 지연 소자(DLN)에 있어서 반사를 반복하고, 부호(2)~부호(6) 등으로 나타내는 감쇠된 출력 신호(RW)가 와이어드 오어 접속 부분으로 돌아와서 필터 입력 파형(2105)과 합성된다.

[0065] 신호 선로(1000)을 통해서 온 필터 입력 파형(2105)은 원래의 임펄스 형상의 파형(구형파)으로부터 깨져서 도 2(B)에 나타내듯이, 꼬리를 이은 형상으로 되고 있는데, 지연소자(DLN)에 의해 만들어진 출력 신호(RW)의 파형군(부호(1)~(6) 등으로 나타낸 파형)과 합성됨으로써, 꼬리의 부분이 사라져 원래의 구형파에 가까운 신호 파형이 복원되게 된다.

[0066] 도 2(B)에 있어서, UT는, 먼저 설명한 것과 같이, 1 데이터 폭 구간을 나타내고 있다. 또, 시각(tsa)는, 지연 소자(DLN)로부터의 출력 신호(RW)가, 피크가 되는 타이밍을 나타내고 있다. 그 때문에, 서로 인접했을 때 시각(tsa) 사이의 시간이 지연 소자(DLN)의 왕복지연 시간에 상당한다고 볼 수가 있다. 도 2는, 도 1에 있어서 설명한 계수(m)가 1의 경우를 나타내고 있기 때문에, 서로 인접한 시각(tsa) 사이의 시간은, 1 데이터 폭 구간(UT) 시간과 같게 되어 있다.

[0067] 도 1에서 설명한 계수(m)를, 정수에서 증가시킴으로써, 소정의 시간 내에 있어서, 지연소자(DLN)를 왕복하는 회수를 늘리는 것이 가능해진다. 즉, 소정의 시간내에 있어서, 필터 입력 파형(2105)과 합성되는 지연 소자(DLN)의 출력 신호(RW)의 파형의 수를 증가시키는 것이 가능하게 되고, 수신 버퍼 회로(1003)의 입력 단자에 공급되는 필터 출력 파형(2106)을, 보다 송신 파형(2104)에 접근하는 것이 가능해진다. 계수(m)는, 예를 들면 4 정도가 바람직하다.

[0068] 도 2에서 설명한 것처럼, 디지털 필터 회로(2102)로 처리를 실시하는 경우, 신호 선로(2100)로부터의 필터 입력 파형(2105)을 샘플링하고, 연산 회로에 의해 처리를 실시하게 된다. 이 경우, 도 2(B)에 도시한 시각(tsa)을 필터 입력 파형(2105)을 샘플링하는 샘플링 타이밍으로 볼 수가 있다. 이와 같이 본 경우, 인접한 시각(tsa) 사이의 시간을 샘플링 주기로 한 샘플링에 의해 얻어진 디지털치에 대해서, 연산 회로에 의한 연산을 하게 된다.

[0069] 이 실시 형태 1에 있어서는, 디지털 필터는, 수동 소자인 지연 배선에 의해서 형성된 지연 소자(DLN)에 의해 구성되어 있다. 그 때문에, 신호 선로(1000)에 전달되는 것으로 열화가 발생하고 있는 신호 파형을, 소비 전력의 저감을 도모하면서, 복원(정형)하는 것이 가능해진다. 또한, 실시 형태 1과 관계되는 디지털 필터는, 도 2(B)에 나타낸 시각(tsa)을 샘플링 타이밍으로 본 경우, 임의의 샘플링 주기로, 등가적으로 무한개의 연산 회로를 구성하고 있다고 볼 수 있으며, 소비 전력의 저감을 도모하면서, 정밀도 좋게 신호 파형을 복원(정형)하는 것이 가능해진다.

[0070] 도 1에는 도시하지 않았지만, 신호 선로(1000) 및 지연 소자(DLN)의 각각은, 소정의 전압이 공급된 전압 배선과 평행하도록 배치되어 있다. 여기서, 지연 소자(DLN)의 단부(DN1)는, 이 지연 소자(DLN)와 평행하게 배치되어 있는 전압 배선에 접속되고 있다. 또한, 지연 소자(DLN)와 이것과 평행하게 배치되어 있는 전압 배선의 단위길이당 신호 손실은, 신호 선로의 단위길이당 신호 손실보다 크게 되어 있다.

[0071] 다음에, Z변환 표기에 의한 전달 함수를 이용하여, 도 1에 나타낸 디지털 필터(1002)를 설명해 둔다. 도 21(B)에 도시한 바와 같이, 디지털 필터 회로(2102)는, 능동소자에 의해 구성되어 있다. 한편, 도 1에 나타낸 바와 같이, 실시 형태 1과 관계되는 디지털 필터(1002)는, 수동 소자로 구성되어 있다. 이와 같이, 수동 소자로 구성되고 필터이어도, 후에 기술하듯이 전달 함수에서는 디지털 연산이 행해진다. 그 때문에 본 명세서에 있어서는, 수동 소자에 의해 구성된 필터여도 디지털 필터라고 칭하고 있다.

[0072] 도 3은, 실시 형태 1과 관계되는 디지털 필터를 설명하기 위한 도면이다. 전술한 바와 같이, 지연 소자(DLN)의 왕복 지연 시간을 UT/m로 한다. 여기서, 계수(m)는, 1, 2, 3, 4 등의 정수이다. 또, 지연 소자(DLN)의 왕복 신호 감쇠율을, $e^{-\beta}$ 로 한다.

[0073] 디지털 필터(1002)의 전달 함수(H(z))는, 도 3에 나타낸 식(2)으로 나타내어진다. 여기서, b는 신호의 분배율을 나타내고, b_0 , c 및 γ 은, 변수를 나타내고 있다. 한편, 신호 선로(1000)의 전달 함수 S(z)는, 도 3에 나타낸 식(3)에 의해 나타내어진다. 식(3)에 있어서, b_0 및 a는, 변수를 나타내고 있다. 신호 선로(1000)를 전파하는 신호를 열화시키는 열화 요인은, 표면 효과 및 유전손실이다. 식(3)에서는, α_1 이 표피효과에 의한 손실을 나

타내고, α_2 가 유전손실을 나타내고 있다.

- [0074] 신호 선로(1000)의 전달 함수와 디지털 필터(1002)의 전달 함수를 곱한 전체의 전달 함수($H_{total}(z)$)는, 도 3에 나타난 식(4)에 의해 나타내진다. 식(4)로부터, 전달 함수 $H_{total}(z)$ 가, 도 3에 나타난 식(5)과 같이, 거의 일정한 정수 h_0 가 되는 조건이 존재한다. 예를 들면, 도 3에 나타난 식(6)과 같이 설정하는 것에 의해, 거의 일정한 정수 h_0 가 된다. 즉, 디지털 필터(1002)를 이용하여, 신호선로(1000)을 등화하는 것이 가능해진다.
- [0075] 식(4)에 있어서, $H(z)S(z)$ 는, 디지털 필터(1002)를, 송신 버퍼 회로(1001) 측에 마련한 경우를 나타내고 있으며, $S(z)H(z)$ 는, 디지털 필터(1002)를, 수신 버퍼 회로(1003) 측에 마련한 경우를 나타내고 있다. 즉, 디지털 필터(1002)는, 수신 버퍼 회로(1003)의 입력 단자의 근방에 접속해도 되고, 송신 버퍼 회로(1001)의 출력 단자의 근방에 접속해도 된다.
- [0076] 도 4는, 디지털 필터(1002)를 송신 버퍼 회로(1001)의 출력 단자에 접속한 경우의 구성을 나타내는 블록도이다. 도 4는, 도 1(A)과 유사하고, 차이점은, 디지털 필터(1002)가, 송신 버퍼 회로(1001)의 출력 단자에 접속되고 있는 것이다. 즉, 송신 버퍼 회로(1001)의 출력 단자와 신호 선로(1000)의 단부(SNI)를 연결하는 신호 배선의 소정부가, 노드(WRN)로 되고, 이 노드(WRN)에 디지털 필터(1002)를 구성하는 지연 소자(DLN)의 단부(DN2)가, 와이어드 오버 접속되어 있다.
- [0077] 이 경우에는, 신호 선로(1000)의 단부(SNO)로부터 출력되는 신호의 파형이, 송신 버퍼 회로(1001)의 출력 단자로부터 출력되는 송신 파형과 유사한 파형으로 정형되도록, 디지털 필터(1002)로부터의 출력 신호(반사파)에 의해, 노드(WRN)에 있어서의 신호 파형이, 미리 변형(조정)되게 된다. 디지털 필터(1002)의 동작은, 도 1~도 3에서 설명한 것과 같기 때문에, 설명은 생략한다.
- [0078] 도 5는, 디지털 필터 회로(2102)와 디지털 필터(1002)를 비교한 도면이다. 도 5(A)는, 기능 블록에서의 비교를 나타내고, 도 5(B)는 기능에서의 비교를 나타내고 있다.
- [0079] 도 21(B)에 도시한 바와 같이, 디지털 필터 회로(2102)는, 승산 회로(MM1~MMn), 가산 회로(SM1, SM2) 및 지연 회로(DL1~DLn) 등의 기능 블록에 의해 구성되어 있다. 실시 형태 1과 관계되는 디지털 필터(1002)에 있어서는, 이것들의 기능 블록이, 물리량과 지연 소자(DLN)의 단부의 물리적인 접속으로 치환되어 있다. 즉, 도 5(A)에 나타내듯이, 디지털 필터 회로(2102)에 있어서, 「n번째의 승산 회로」는, 디지털 필터(1002)에 있어서는, 「n회 왕복 후의 지연소자의 손실」로 치환되며, 「n번째의 지연 회로」는, 「n회 왕복 후의 지연 소자의 지연」으로 치환되어 있다. 또한 디지털 필터 회로(2102)에 있어서의 「가산 회로」는, 디지털 필터(1002)에 있어서는, 「신호 선로와의 와이어드 오버 접속 및 소정의 전압 접속(위상 반전)」으로 치환되어 있다.
- [0080] 또, 디지털 필터 회로(2102)와 실시 형태 1과 관계되는 디지털 필터(1002)를 기능 비교했을 경우는, 도 5(B)와 같이 된다. 즉, 승산 회로는, 디지털 필터 회로(2102)에서는, 현실적으로는 「유한개」 밖에 마련할 수가 없다. 이에 대해서, 디지털 필터(1002)에서는, 지연 회로의 기능은, 지연 소자(DLN)의 지연에 의해 실현되기 때문에, 등가적인 지연 회로를 「무한개」로 할 수 있다.
- [0081] 또한, 신호 선로로 전달되는 신호를 샘플링하는 샘플링 주기는, 디지털 필터 회로(2102)에서는, 1 데이터 폭 구간「UT」인 것에 대해서, 디지털 필터(1002)에서는, 등가적인 샘플링 주기는, 「임의」이다. 또한, 등가적인 샘플링 주기는, 상기한 왕복 지연 시간(UT/m)에 상당한다. 여기서, 등가적인 샘플링 주기는, 「임의」이지만, 정수의 계수(m)에 의해 정해지는 왕복 지연 시간(등가적인 샘플링 주기)로 하는 것이 바람직하다.
- [0082] 또한, 디지털 필터 회로(2102)를 구성하는 승산 회로에 공급되는 승산 계수 $a_1 \sim a_n$ (도 21)의 자유도는, 디지털 필터 회로(2102)에서는, 「임의」로 정하는 것이 가능하지만, 디지털 필터(1002)에 있어서는, 등가적인 승산 계수는, 지연소자(DLN)의 감쇠에 의해 실현되고 있기 때문에, 「단조(單調) 감소만」으로 된다. 그러나, 예를 들면, 수신 버퍼 회로(1003)에 있어서, 그 입력 단자에 공급된 신호를 증폭하도록 하면, 임의의 전압 레벨의 신호를, 수신 버퍼 회로(1003)로부터 출력하는 것이 가능해진다.
- [0083] 실시 형태 1과 관계되는 디지털 필터(1002)에 있어서는, 승산 계수가, 도 5(B)와 같이 「단조 감소만」이 되기 때문에 수신 버퍼 회로(1003) 등에 있어서, 복원(정형)된 신호의 파형을 증폭하는 것이 바람직하다.
- [0084] 상기한 것처럼, 실시 형태 1과 관계되는 디지털 필터(1002)는, 수동 소자에 의해서, 도 21에 나타난 디지털 필터 회로(2102)와 같이, 신호 선로(1000)를 등화하는 것이 가능하고, 소비 전력의 저감을 도모하는 것이 가능하다. 또, 등가적인 승산 회로는 무한개이며, 디지털 필터의 시간 분해능을 디지털 필터 회로(2102)의 몇 배로도

하는 것이 가능하다. 따라서, 대폭적인 소비 전력 삭감과 신호 파형 복호 정밀도의 향상을 얻는 것이 가능해진다.

[0085] <반도체 장치의 전체 구성>

[0086] 다음에, 실시 형태 1과 관계되는 반도체 장치의 전체 구성을 설명한다. 여기서 설명하는 반도체 장치에, 도 1에서 설명한 디지털 필터(1002)가 내장되어 있다. 도 6은, 실시 형태 1과 관계되는 반도체 장치(6000)의 단면을 나타내는 단면도이다. 여기서 말하는 반도체 장치(6000)는, 프런트 기관(PBS), 프런트 기관(PBS)에 탑재된 복수의 패키지 기관 및 패키지 기관에 탑재된 복수의 인터포저를 구비하고 있다. 또한, 각각의 인터포저에는, 반도체 칩이 탑재되어 있다. 그 때문에, 실시 형태 1에 관계되는 반도체 장치(6000)는, 복수의 반도체 칩을 구비한 전자 장치라고 볼 수 있다.

[0087] 설명을 용이하게 하기 위해서, 도 6에서는, 프런트 기관(PBS)에 탑재된 복수의 패키지 기관 가운데, 2개의 패키지 기관(PPS-1, PPS-2)이 도시되어 있다. 또한, 패키지 기관(PPS-1)에 탑재된 인터포저를 부호(INS-1)로서 나타내고, 패키지 기관(PPS-2)에 탑재된 인터포저를 부호(INS-2)로서 나타내고 있다.

[0088] 도 6에는, 특히 제한되지 않지만, 인터포저(INS-1)(제1 인터포저)에, 복수의 반도체 칩(MCH-1~MCH-4)(제3 반도체 칩), LCH-1(제1반도체 칩)이 탑재되며, 인터포저(INS-2)(제2 인터포저)에는, 1개의 반도체 칩(LCH-2)(제2 반도체 칩)이 탑재된 경우가 도시되어 있다. 물론, 각각의 인터포저에 탑재되어 있는 반도체 칩의 개수 등은, 일례이고, 이것으로 한정되는 것은 아니다. 이 실시 형태 1과 관계되는 반도체 장치(6000)에 있어서는, 인터포저(INS-1)에 탑재된 반도체 칩 가운데, 일부의 반도체 칩(MCH-1~MCH-4)은, 입체적(3 차원적)으로 적층되며, 일부의 반도체 칩(LCH-1)은, 평면적(2 차원적)으로 탑재되어 있다. 즉, 인터포저(INS-1)를 상면에서 보았을 경우, 인터포저(INS-1)의 소정의 제1 영역에, 반도체 칩(MCH-1~MCH-4)은, 서로 겹쳐, 배치되고 있으며, 반도체 칩(LCH-1)은, 반도체 칩(MCH-1~MCH-4)이 배치되어 있는 소정의 제1 영역과는 다른 소정의 제2 영역에 배치되어 있다.

[0089] 여기서, 반도체 칩(MCH-1~MCH-4)의 각각은, 예를 들면 정보를 격납하는 메모리 반도체 칩이며, 반도체 칩(LCH-1)은, 메모리 반도체 칩(MCH-1~MCH-4)에 대해서 정보의 송수신 및 제어 등을 실시하는 논리 반도체 칩이다. 이 논리 반도체 칩(LCH-1)도, 인터포저(INS-1) 상에 입체적으로 적층하는 것도 가능하다. 예를 들면, 메모리 반도체 칩(MCH-1~MCH-4)을, 논리반도체 칩(LCH-1) 상에 적층하도록 해도 괜찮지만, 각각의 반도체 칩이 발열하기 때문에, 도 6에 나타내듯이, 메모리 반도체 칩(MCH-1~MCH-4)만을 입체적으로 적층하고, 논리 반도체 칩은, 메모리 반도체 칩(MCH-1~MCH-4)과는 다른 제 2 영역에 탑재하는 것이 바람직하다.

[0090] 프런트 기관(PBS)은, 제1주면(PBF1)과 제1주면(PBF1)과 대향하는 제2주면(PBF2)을 구비하고 있으며, 또한 제1주면(PBF1)과 제2주면(PBF2)과의 사이에 교대로 끼여진 복수의 도전층과 복수의 절연층을 구비하고 있다. 여기서, 복수의 도전층은, 서로 전기적으로 분리되도록, 그 사이에 절연층을 사이에 두도록 적층되어 있다. 프런트 기관(PBS)의 제1주면(PBF1)에는, 복수의 불용 전극(PDE)이 형성되어 있다. 도 6에서는, 도면이 복잡하게 되는 것을 피하기 위해서, 도 6에 있어서, 가장 우측으로 배치된 불용 전극과 가장 좌측으로 배치된 불용 전극에 대해서만, 부호(PDE)가 부여되어 있다. 프런트 기관(PBS)의 제1주면(PBF1)에 형성된 불용 전극, 예를 들면 2개의 불용 전극 사이는 프런트 기관(PBS)내의 도전층에 의해 형성된 소정의 배선 패턴에 의해 전기적으로 접속되어 있다. 도 6에서는, 프런트 기관(PBS) 내의 도전층에 의해 형성된 배선 패턴의 예로서 배선 패턴(신호 배선)(PBL1, PBL2)이 나타내어져 있다.

[0091] 패키지 기관(PPS-1)도, 제1주면(PPF1)과, 제1주면(PPF1)과 대향하는 제2주면(PPF2)을 구비하고 있으며, 제1주면(PPF1)과 제2주면(PPF2)와의 사이에 끼워진 복수의 도전층과 복수의 절연층을 구비하고 있다. 여기서, 복수의 도전층은, 그 사이에 절연층을 사이에 두도록 적층되어 있다. 패키지 기관(PPS-1)의 제1주면(PPF1)에는, 복수의 범프용 전극(도시치 않음)이 형성되고 있으며, 패키지 기관(PPS-1)의 제2주면(PPF2)에는, 복수의 불용 전극(도시치 않음)이 형성되어 있다. 여기서, 제1주면(PPF1)에 형성된 범프용 전극의 밀도는, 제2주면(PPF2)에 형성된 불용 전극의 밀도보다 높게 되어 있다. 또, 제1주면(PPF1)과 제2주면(PPF2)과의 사이에 끼워진 도전층에 의해 소망한 배선 패턴이 형성된다. 형성된 배선 패턴에 의해, 예를 들면 제1주면(PPF1)에 형성된 범프용 전극과, 제2주면(PPF2)에 형성된 불용 전극과의 사이가 전기적으로 접속되고 있다. 도 6에서는, 제1주면(PPF1)과 제2주면(PPF2)과의 사이에 끼워진 도전층에 의해 형성된 배선 패턴의 일례가 나타나 있으며, 일부가, 배선 패턴(신호 배선)(PPL1-1, PPL1-2)으로서 그려져 있다.

[0092] 인터포저(INS-1)도, 제1주면(INF1)과, 제1주면(INF1)과 대향하는 제2주면(INF2)을 구비하고 있으며, 제1주면(INF1)과 제2주면(INF2)과의 사이에 끼워진 복수의 도전층과 복수의 절연층을 구비하고 있다. 여기서, 복수의

도전층은, 그 사이에 절연층을 두도록 적층되어 있다. 인터포저(INS-1)의 제1주면(INF1)에는, 복수의 마이크로 범프용 전극(도시치 않음)이 형성되어 있으며, 인터포저(INS-1)의 제2주면(INF2)에는, 복수의 범프용 전극(도시치 않음)이 형성되어 있다. 여기서, 제1주면(INF1)에 형성된 마이크로 범프용 전극의 밀도는, 제2주면(INF2)에 형성된 범프용 전극의 밀도보다 높게 되어 있다.

[0093] 제1주면(INF1)과 제2주면(INF2)과의 사이에 끼워진 도전층에 의해 소망한 배선 패턴이 형성된다. 형성된 소망한 제 1 배선 패턴에 의해, 제1주면(INF1)에 형성된 마이크로 범프용 전극과, 제2주면(INF2)에 형성된 범프용 전극과의 사이가 전기적으로 접속되고 있다. 또, 형성된 소망한 제 2 배선 패턴에 의해, 제1주면(INF1)에 형성된 마이크로 범프용 전극 사이가 전기적으로 접속되고 있다. 도 6에는, 마이크로 범프용 전극과 범프용 전극을 전기적으로 접속하는 제1 배선 패턴과 마이크로 범프 전극 사이를 전기적으로 접속하는 제2 배선 패턴의 예가 도시되어 있으며, 제1 배선 패턴 중에서 소정의 마이크로 범프용 전극과 범프용 전극을 접속하는 제1 배선 패턴이, 배선 패턴(신호 배선)(INL1-1, INL1-2)으로서 그려져 있다.

[0094] 메모리 반도체 칩(MCH-1)의 주면에는, 복수의 마이크로 범프용 전극(도시치 않음)이 형성되고 있으며, 메모리 반도체 칩(MCH-2~MCH-4)의 각각은, 주면에 복수의 전극(도시 내)을 갖고 있으며, 메모리 반도체 칩(MCH-2~MCH-4)의 각각의 전극은, 범프(BMP)에 의해 스루홀(THF)에 전기적으로 접속되고, 스루홀(THF)을 거쳐서, 메모리 반도체 칩(MCH-1)의 마이크로 범프용 전극에 전기적으로 접속되고 있다. 이것에 의해, 메모리 반도체 칩(MCH-1~MCH-4)의 각각에 있어서 내부의 회로 블록은, 메모리 반도체 칩(MCH-1)의 마이크로 범프용 전극에 전기적으로 접속되어 있게 된다.

[0095] 논리 반도체 칩(LCH-1)은, 제1주면(CHF1)과, 제1주면(CHF1)과 대향하는 제 2주면(CHF2)을 구비하고 있다. 이 논리 반도체 칩(LCH-1)은, SerDes 회로를 구비하고 있다. SerDes 회로는, 복수의 송신 버퍼 회로와 복수의 수신 버퍼 회로를 구비하고 있지만, 도 6에는 1개의 송신 버퍼 회로가, 부호 SCB1-1로서 나타내어 지고, 2개의 수신 버퍼 회로가, 부호 RCB1-1, RCB1-2로서 나타내어져 있다. 이 논리 반도체 칩(LCH-1)의 제2주면(CHF2)에는, 복수의 마이크로 범프용 전극(도시치 않음)이 형성되고 있으며, 이 마이크로 범프용 전극에는, 논리 반도체 칩(LCH-1)의 내부의 회로 블록이 전기적으로 접속되어 있다. 도 6에서는, 1개의 송신 버퍼 회로(SCB1-1), 2개의 수신 버퍼 회로(RCB1-1, RCB1-2)가 마이크로 범프용 전극에 접속되어 있는 상태가 그려져 있다.

[0096] 메모리 반도체 칩(MCH-1)과 논리 반도체 칩(LCH-1)은, 메모리 반도체 칩(MCH-1)의 주면과 인터포저(INS-1)의 제2주면(CHF2)이, 인터포저(INS-1)의 제1주면(INF1)과 대향하도록 탑재되어 있다. 이때, 메모리 반도체 칩(MCH-2~MCH-4)은, 메모리 반도체 칩(MCH-1) 상에 입체적으로 쌓을 수 있도록 탑재되고 있다.

[0097] 메모리 반도체 칩(MCH1)의 주면에 형성된 마이크로 범프용 전극과 논리 반도체 칩(LCH-1)의 제2주면(CHF2)에 형성된 마이크로 범프용 전극은, 마이크로 범프(MBM)에 의해, 대향하는 인터포저(INS-1)의 제1주면(INF1)에 형성되어 있는 마이크로 범프용 전극과 전기적으로 접속된다.

[0098] 또, 인터포저(INS-1)는, 그 제2주면(INF2)이, 패키지 기관(PPS-1)의 제1주면(PPF1)과 대향하도록, 패키지 기관(PPS-1)에 탑재된다. 이때, 패키지 기관(PPS-1)의 제1주면(PPF1)에 형성된 범프용 전극과 인터포저(INS-1)의 제2주면(INF2)에 형성된 범프용 전극이, 범프(SBM)에 의해 전기적으로 접속된다. 또한, 패키지 기관(PPS-1)은, 그 제2주면(PPF2)이, 프린트 기관(PBS)의 제1주면(PBF1)과 대향하도록, 프린트 기관(PBS)에 탑재된다. 이때, 패키지 기관(PPS-1)의 제2주면(PPF2)에 형성되고 있는 볼용 전극과 프린트 기관(PBS)의 제1주면(PBF1)에 형성되고 있는 볼용 전극이 볼(SBL)에 의해 전기적으로 접속된다.

[0099] 복수의 마이크로 범프에 의해, 메모리 반도체 칩(MCH-1~MCH-4)과 논리 반도체 칩(LCH-1)은, 인터포저(INS-1)에 있어서의 대응하는 마이크로 범프용 전극에 접속되지만, 도 6에서는, 도면이 복잡하게 되는 것을 피하기 위해서, 복수의 마이크로 범프 중 가장 좌측에 그린 마이크로 범프에만, 부호 MBM이 부여되어 있다. 또, 복수의 범프에 의해, 인터포저(INS-1)는, 패키지 기관(PPS-1)에 있어서의 대응하는 범프용 전극에 접속되지만, 도면이 복잡하게 되는 것을 피하기 위해서, 복수의 범프 중, 도 6에 있어서 가장 좌측에 그린 범프에만, 부호 SBM이 부여되어 있다. 마찬가지로 복수의 볼에 의해, 패키지 기관(PPS-1)은, 기관(PBS)에 있어서의 대응하는 볼용 전극에 접속되지만, 도면의 복잡화를 피하기 위해서, 복수의 볼 중, 도 6에 있어서 가장 좌측에 그린 볼에만, 부호 SBL가 부여되어 있다.

[0100] 프린트 기관(PBS)을, 그 제1주면(PBF1)측에서 보았을 때, 프린트 기관(PBS)의 제1 영역에, 상기한 것처럼, 패키지 기관(PPS-1), 인터포저(INS-1) 및 반도체 칩(메모리 반도체 칩(MCH-1~MCH-4) 및 논리 반도체 칩(LCH-1))의 순서로 탑재되고 있다. 마찬가지로, 제1주면(PBF1)측에서 보았을 때, 프린트 기관(PBS)의 제2 영역에는,

패키지 기판(PPS-2), 인터포저(PPS-2), 논리 반도체 칩 (LCH-2)이, 이 순서로 탑재되고 있다. 여기서, 제1 영역과 제2 영역은, 제1주면(PBF1)측에서 보았을 때, 프린트 기판(PBS)에 있어서 격리된 영역이다.

[0101] 패키지 기판(PPS-2)은, 패키지 기판(PPS-1)과 같은 구성을 갖고 있으며, 패키지 기판(PPS-2)은, 그 제2주면(PPF2)이, 제1주면(PBF1)과 대향하도록 탑재되고, 패키지 기판(PPS-2)의 제2주면(PPF2)에 형성된 불용 전극(도시치 않음)이 불에 의해, 프린트 기판(PBS)의 제1주면(PBF1)에 있어서의 대응하는 불용 전극 (PDE)에 전기적으로 접속되어 있다. 또, 인터포저(INS-2)는, 그 제2주면(INF2)이 패키지 기판(PPS-2)의 제1주면(PPF1)과 대향하도록 탑재되며, 인터포저(INS-2)의 제2주면(INF2)에 형성된 범프용 전극(도시치 않음)은, 범프에 의해, 패키지 기판(PPS-2)의 제1주면(PPF1)에 있어서 대응하는 범프용 전극에 전기적으로 접속되고 있다. 또한, 논리 반도체 칩(LCH-2)은, 그 제2주면(CHF2)이, 인터포저 (INS-2)의 제1주면(INF1)과 대향하도록 탑재되며, 논리 반도체 칩 (LCH-2)의 제2주면에 형성된 마이크로 범프용 전극은, 마이크로 범프에 의해, 인터포저(INS-2)의 제1주면(INF1)에 있어서 대응하는 마이크로 범프용 전극에 전기적으로 접속되고 있다.

[0102] 패키지 기판(PPS-1)과 같이, 패키지 기판(PPS-2)은, 교대로 적층된 복수의 도전층과 절연층을 구비하고 있으며, 도 6에서는, 패키지 기판(PPS-2) 내의 도전층에 의해서 형성된 배선 패턴의 일부가 도시되어 있다. 또, 도 6에서는, 배선 패턴(신호 배선) 중 일부에, 부호 PPL2-1, PPL2-2가 부여되어 있다. 인터포저(INS-2)도, 인터포저 (INS-1)와 같이, 교대로 적층된 복수의 도전층과 절연층을 구비하고 있으며, 도 6에서는, 인터포저(INS-2) 내의 도전층에 의해 형성된 배선 패턴의 일부가 도시되어 있다. 또, 도 6에서는, 이 배선 패턴(신호배선) 중 일부에, 부호 INL2-1, INL2-2가 부여되어 있다.

[0103] 논리 반도체 칩(LCH-2)은, SerDes 회로를 갖고 있으며, 이 SerDes회로는, 복수의 송신 버퍼 회로와 복수의 수신 버퍼 회로를 갖고 있다. 이러한 송신 버퍼 회로 및 수신 버퍼 회로는, 논리 반도체 칩(LCH-2)의 제2주면(CHF2)에 형성된 마이크로 범프에 전기적으로 접속되고 있다. 도 6에서는, 논리반도체 칩(LCH-2)의 SerDes 회로가 구비하고 있는 복수의 송신 버퍼 회로 중 1개의 송신 버퍼 회로가, 부호 SCB2-1로서 도시되어 있으며, 복수의 수신 버퍼회로에 중 2개의 수신 버퍼 회로가, 부호 RCB2-1, RCB2-2로서 도시되어 있다.

[0104] 논리 반도체 칩(LCH-2) 내의 SerDes 회로에 있어서, 송신 버퍼 회로(SCB2-1)로부터, 제1 신호 선로를 통해서 시리얼 신호가, 논리 반도체 칩(LCH-1) 내의 SerDes 회로에 있어서의 수신 버퍼 회로(RCB1-2)에 공급된다. 또, 논리 반도체 칩(LCH-1) 내의 SerDes 회로에 있어서의 송신 버퍼 회로(SCB1-1)로부터, 제2 신호 선로를 통해, 시리얼 신호가, 논리 반도체 칩(LCH-2) 내의 SerDes 회로에 있어서의 수신 버퍼 회로(RCB2-2)에 공급된다. 이것에 의해, 논리 반도체 칩 (LCH-2)과 (LCH-1)과의 사이에서, 고속의 시리얼 신호의 송수신이 가능하게 되어 있다. 예를 들면, 논리 반도체 칩(LCH-2)으로부터, 메모리 반도체 칩(MCH-1~MCH-4)을 고속으로 액세스하는 것이 가능하게 되어 있다.

[0105] 또한, 논리 반도체 칩(LCH-1, LCH-2)의 각각에 있어서 수신 버퍼회로(RCB1-1, RCB2-1)는, 예를 들면 도시하지 않는 신호 선로를 거쳐서, 도시하지 않는 반도체 칩에 접속되며, 고속의 시리얼 신호의 수신에 이용된다.

[0106] 송신 버퍼 회로(SCB21)와 수신 버퍼 회로(RCB12)는, 인터포저(INS-1, INS-2)에 있어서의 배선 패턴(INL1-1, INL2-1)과, 패키지 기판(PPS-1, PPS-2)에 있어서의 배선 패턴(PPL1-1, PPL2-1)과, 프린트 기판(PBS)에 있어서의 배선 패턴(PBL1)을 거쳐서 전기적으로 접속되고 있다. 마찬가지로, 송신 버퍼 회로(SCB1-2)와 수신 버퍼 회로(RCB2-2)는, 인터포저(INS-1, INS-2)에 있어서의 배선 패턴(INL1-2, INL2-2)과 패키지 기판(PPS-1, PPS-2)에 있어서의 배선 패턴(PPL1-2, PPL2-2)과, 프린트 기판(PBS)에 있어서의 배선 패턴(PBL2)을 거쳐서 전기적으로 접속되고 있다.

[0107] 즉, 송신 버퍼 회로(SCB2-1)의 출력 단자와 수신 버퍼 회로(RCB1-2)의 입력 단자와의 사이에 직렬 접속된 배선 패턴(INL1-1, INL2-1, PPL1-1, PPL2-1 및 PBL1)에 의해, 제1 신호 선로가 구성되게 된다. 또한, 송신 버퍼 회로(SCB1-1)의 출력 단자와 수신 버퍼 회로(RCB2-2)의 입력단자와의 사이에 직렬 접속된 배선 패턴(INL1-2, INL2-2, PPL1-2, PPL2-2 및 PBL2)에 의해, 제2 신호 선로가 구성되게 된다.

[0108] 실시 형태 1에 있어서는, 인터포저(INS-1, INS-2) 내에 있어서의 배선 패턴(예를 들면, INL1-1, INL2-1 등)의 배선폭은, 패키지 기판(PPS-1, PPS-2) 내에 있어서의 배선 패턴(예를 들면, PPL1-1, PPL2-1 등) 및 프린트 기판 (PBS) 내에 있어서의 배선 패턴(예를 들면, PBL1 등)의 배선폭보다 가늘다. 즉, 인터포저 (INS-1, INS-2)에 있어서의 신호 밀도를, 패키지 기판 및 프린트 기판보다 높게 하는 것이 가능하다. 그 때문에, 예를 들면 인터포저(INS-1)와 같이, 동일한 인터포저에 탑재한 반도체 칩 사이를 인터포저 내의 배선 패턴에 의해 접속하는 것도 용이하게 된다.

- [0109] 또한, 프린트 기관(PBS) 내의 배선 패턴의 배선펙은, 패키지 기관(PPS-1, PPS-2)내의 배선 패턴의 배선펙보다 굵게 되어 있다. 배선 패턴의 배선펙에 따라서 배선 패턴에 접속되는 전극의 사이즈가 바뀐다. 그 때문에, 프린트 기관 (PBS)의 제1주면(PBF1)에 형성되는 볼용 전극의 사이즈는, 마이크로 범프에 의해 접속되는 마이크로 범프용 전극보다 크게 된다. 이 실시 형태 1에 있어서는, 패키지 기관(PPS-1, PPS-2)의 제1주면(PBF1)에 형성되는 범프용 전극의 사이즈가, 마이크로 범프 전극과 볼용 전극의 사이의 사이즈로 되어 있다. 이것에 의해, 배선 패턴의 배선펙이, 프린트 기관(PBS), 패키지 기관(PPS-1, PPS-2), 인터포저(INS-1, INS-2)의 순서로 가늘어지도록 된 상태로, 각각의 전극을 고밀도로 배치하는 것이 가능하게 된다.
- [0110] 이 경우, 마이크로 범프(MBM), 범프(SBM), 볼(SBL)의 순서로, 그 사이즈가 크게 된다. 또한 마이크로 범프(MBM), 범프(SBM) 및 볼(SBL)은, 전극 사이를 전기적으로 접속할 때에 변형한다. 그 때문에, 여기서의 사이즈의 비교는, 전극사이를 접속하기 전의 상태를 의미하고 있다고 이해해도 된다.
- [0111] 실시 형태 1에서는, 메모리 반도체 칩(MCH-1~MCH-4)은, 3 차원 배치이며, 논리 반도체 칩(LCH-1)은, 2 차원 배치이다. 그 때문에, 도 6에 나타난 반도체장치(6000)는, 소위, 2.5-D 반도체 장치이라고 이해할 수도 있다. 또한, 도 6에서 설명한 SerDes 회로는, 특히 제한되지 않지만, 56Gbps의 전송 속도를 갖는 SerDes회로이다.
- [0112] 또, 인터포저(INS-1, INS-2)는, 실리콘 인터포저이지만, 이것으로 한정되는 것은 아니다. 예를 들면, 인터포저(INS-1, INS-2)는, 글라스 기관 또는 유기 기관을 이용한 인터포저이어도 된다.
- [0113] 도 6에 있어서, 파선으로 둘러싼 영역(DFA1 및 DFA2)은, 도 1 등에서 설명한 디지털 필터가 형성되는 영역을 나타내고 있다. 또한, 도 6에 있어서, MM는, 반도체 칩과 인터포저와의 사이의 접속 부분을 덮는 절연물의 부분을 나타내고 있다.
- [0114] <디지털 필터의 구조>
- [0115] 다음에, 실시 형태 1과 관계되는 디지털 필터의 구조를 설명한다. 도 7은, 도 6에 있어서, 파선 영역(DFA1)의 부분을, 인터포저(PPS-1)의 제1주면(PBF1)으로부터 보았을 때의 평면도이다. 또, 도 8은, 도 7에 있어서의 A-A'단면 및 B-B'단면을 나타내는 단면도이다. 도 7 및 도 8에서는, 디지털 필터(1002)를 구성하는 지연소자(DLN)가, 인터포저(PPS-1) 내에 형성되고 있는 도전층에 의해 구성되어 있는 예가 도시되어 있다.
- [0116] 도 7에 있어서, INS-L10~INS-L14, INS-L10~INS-L12의 각각은, 인터포저(INS-1)에 형성된 도전층에 의해 형성된 배선 패턴(신호 배선)을 나타내고 있다. 다음에, 도 8을 이용하여 일례를 설명하는데, 인터포저(INS-1)는, 서로 절연층에 의해 분리된 3층의 도전층(INS-L1~INS-L3)을 갖고 있다. 특히 제한되지 않지만, 배선 패턴(INS-L10~INS-L14)은, 3층의 도전층 가운데, 제1층의 도전층(INS-L1)에 의해 형성되며, 배선 패턴(INS-L30~INS-L32)의 각각은, 제3층의 도전층(INS-L3)에 의해 형성되어 있다.
- [0117] 도 1~도 5에서 설명한 것처럼, 지연 소자(DLN)는 전송되어야 할 신호가 입출력되는 신호 배선과, 이 신호 배선과 평행하여 연재하고, 소정의 전압(Vs)이 공급되는 전압 배선을 구비하고 있다. 도 7에 있어서는, 배선 패턴(INS-L10)이, 전송되어야 할 신호가 입출력되는 신호 배선으로서 이용되며, 배선 패턴(INS-L11 및 INS-L12)이 소정의 전압(Vs)이 공급되는 전압 배선으로서 이용된다. 도 7로부터 이해되는 바와 같이, 배선 패턴(INS-L11 및 INS-L12)(제7 및 제8 배선 패턴)의 각각은, 배선 패턴(INS-L10)과 대향(도 7에서는 평행)하고 있는 영역을 구비하고 있다.
- [0118] 그 때문에, 인터포저(INS-1)의 제1주면(INF1)에서 보았을 때, 배선 패턴(신호 배선)(INS-L10)은, 도 7에 있어서, 횡방향으로 연재하고, 배선 패턴(신호배선)(INS-L11 및 INS-L12)은, 평면에서 보아서, 배선 패턴(INS-L10)과 평행하고, 도 7에 나타내듯이, 횡방향으로 연재하고 있다. 배선 패턴(INS-L10, INS-L11 및 INS-L12)의 각각의 다른 한쪽의 단부는, 동 도에 있어서 종방향으로 연재하고, 배선 패턴(INS-L10, INS-L11 및 INS-L12)의 각각과 직교하도록 배치된 배선 패턴(INS-L13)에 접속되고 있다. 또, 배선 패턴(INS-L11 및 INS-L12)의 각각의 한쪽의 단부는, 동 도에 있어서 세로 방향으로 연재하고, 배선 패턴(INS-L10 및 INS-L12)의 각각과 직교하도록 배치된 배선 패턴(INS-L14)에 접속되고 있다.
- [0119] 배선 패턴(INS-L14)은, 도전층 사이를 접속하도록 도전물로 채워진 콘택트(CT2)를 거쳐서, 제3층의 도전층(INS-L3)에 의해 형성된 배선 패턴(INS-L31 및 INS-L32)에 접속되고 있다. 또, 배선 패턴(INS-L14)은, 콘택트(CT2)를 거쳐서, 인터포저(INS-1)의 제1주면(INF1)에 형성된 마이크로 범프용 전극(이하, 전극 패드라고도 칭하는 일 있다)(INS-MPD1, INS-MPD2)에 접속되고 있다. 이것에 대해서, 배선 패턴(INS-L10)의 한쪽의 단부는, 콘택트(CT2)를 거쳐서, 제3층의 도전층(INS-L3)에 의해 형성된 배선 패턴(INS-L30)에 접속되고 있다. 또한, 배선 패

터(IN-S-L10)의 한쪽의 단부는, 컨택트(CT2)를 거쳐서, 인터포저(IN-S-1)의 제1주면(IN-F1)에 형성된 마이크로 범프용 전극(IN-S-MPD3)에 접속되고 있다.

[0120] 후에 설명하지만, 배선 패턴(IN-S-L31 및 IN-S-L32)에는, 패키지 기관(PPS-1)(도 6) 및 프린트 기관(PBS)(도 6)에 형성된 배선 패턴을 거쳐서 소정의 전압 (V_s)(예를 들면, 회로의 접지 전압)이 공급된다. 또, 배선 패턴(IN-S-L30)에는, 패키지 기관(PPS-1) 및 프린트 기관(PBS)에 형성된 신호배선(배선 패턴)을 거쳐서, 논리 반도체 칩(LCH-2)으로부터 송신 신호가 공급된다.

[0121] 마이크로 범프 전극(IN-S-MPD1 및 IN-S-MPD2)은, 마이크로 범프(MBM)(도 7에서는, MBM-G1, MBM-G2)에 의해, 논리 반도체 칩(LCH-1)의 제2주면(CHF2)에 있어서의 대응하는 마이크로 범프용 전극에 접속된다. 이것에 의해, 논리 반도체 칩(LCH-1)에, 소정의 전압(V_s)이 급전된다. 이 소정의 전압(V_s)은, 논리 반도체 칩(LCH-1)에 형성된 회로 블록(예를 들면, 도 6에 나타난 송신 버퍼 회로(SCB1-1) 및 수신 버퍼 회로(RCB12))를 동작시키기 위한 전압으로서 이용된다.

[0122] 마이크로 범프 전극(IN-S-MPD3)은, 마이크로 범프(MBM)(도 7에서는, MBM-S1)에 의해서, 논리 반도체 칩(LCH-1)의 제2주면(CHF2)에 있어서의 대응하는 마이크로 범프 전극에 접속된다. 이 경우, 대응하는 마이크로 범프 전극은, 수신 버퍼 회로(RCB1-2)의 입력 단자에 접속되고 있다. 이것에 의해, 논리 반도체 칩(LCH-2)으로부터의 송신 신호가, 논리 반도체 칩(LCH-1) 내에 설치된 수신 버퍼 회로(RCB1-2)에 공급되게 된다.

[0123] 도 7에 나타난 예에서는, 평면에서 보아서, 전송해야 할 신호가 입출력되는 배선 패턴(IN-S-L10)은, 소정의 전압(V_s)이 공급되며, 배선 패턴(IN-S-L10)과 같은 도전층에 의해 형성된 배선 패턴(IN-S-L11~IN-S-L14)에 의해 둘러싸이게 된다. 이것에 의해, 배선 패턴(IN-S-L10)에 입력되는 신호가, 변화하는 것에 의해 발생하는 전자장이 누설되는 것을 막는 것도 가능하게 된다.

[0124] 다음에, 도 8을 이용하여 디지털 필터(DFA-1)의 구조를 설명한다. 도 8에는, 디지털 필터(DFA-1)를 구성하는 인터포저(IN-S-1)의 부분 이외에, 논리 반도체 칩(LCH)의 일부, 패키지 기관(PPS-1)의 일부 및 프린트 기관(PBS)의 일부에 있어서도, 단면이 도시되어 있다. 도 8에 나타내는 일부는, 디지털 필터(DFA-1)에 관련하는 부분만이고, 다른 부분은 생략되고 있다. 또한, 도 8은, 도 7에 있어서, B-B'측으로부터, A-A'단면의 부분을 보고 있다. 그 때문에, 도 8에서는, A-A'단면과 B-B'단면의 일부가 겹쳐서 그려져 있게 된다.

[0125] 프린트 기관(PBS)은, 교대로 쌓아 올린 복수의 도전층과 복수의 절연층을 구비하고 있지만, 도 8에 있어서는, 설명을 용이하게 하기 위해서, 프린트 기관(PBS)은, 절연층(PB0)과 그 절연층(PB0) 위에 적층된 1개의 도전층(PBL)만이 그려져 있다. 도 8에 나타낸 도전층(PBL)에 의해, 도 6에 나타낸 배선 패턴(PBL1)이 형성되어 있다. 도 8에서는, 도 6에서 설명한 불용 전극(SBL)은 생략되고 있다.

[0126] 패키지 기관(PPS-1)은, 특히 제한되지 않지만, 4층의 도전층(PPS-L1~PPS-L4)을 갖고 있으며, 4층의 도전층 사이는 절연층에 의해 서로 분리되어 있다.

[0127] 도 8에는, 설명을 위해서, 도 7에서 설명한 범프(MBM-S1)에 관한 패키지 기관(PPS-1)의 부분이 그려져 있다. 패키지 기관(PPS-1)의 제2주면(PPF2)에는, 도 6에서 설명한 것처럼, 불용 전극이 형성되고 있다. 도 8에서는, 이 불용 전극이, 부호 PPS-LPD로서 도시되어 있다. 이 불용 전극(PPS-LPD)는, 불(SBL)에 의해, 도시하지 않는 불용 전극(SBL)을 거쳐서, 배선 패턴(PBL)에 접속되어 있다. 또한, 패키지 기관(PPS-1)의 제1주면(PPF1)에는, 도 6에서 설명한 바와 같이, 범프용 전극이 형성되고 있다. 도 8에서는, 이 범프용 전극이, 부호 PPS-SPD로서 도시되어 있다.

[0128] 도 8에 있어서, PPS-L4(R), PPS-L3(R), PPS-L2(R) 및 PPS-L1(R)는, 도전층(PPS-L1~PPS-L4)에 의해 형성된 소정의 배선패턴을 나타내고 있다. 여기서, 부호(R)는, 도 7에 나타낸 배선 패턴(IN-S-L10)에 관련하는 배선 패턴인 것을 나타내고 있으며, 부호(R) 앞에 부여된 부호는, 배선 패턴을 형성하는 도전층의 층을 나타내고 있다. 예를 들면, PPS-L4(R)는, 제4층의 도전층에 의해 형성된, 배선 패턴(IN-S-L10)에 관련하는 배선 패턴인 것을 나타내고 있다. 배선 패턴(PPS-L3(R)~PPS-L1(R))도, 동일 표기 방법으로 도시되어 있다.

[0129] 배선 패턴(PPS-L1(R)~PPS-L4(R)) 사이에 개재되어 있는 절연층에 개구부가 설치되며, 개구부에 도전물이 충전됨으로써, 컨택트(CT3)가 형성된다. 컨택트(CT3)에 의해, 도 8에 나타내듯이, 배선 패턴(PPS-L1(R)~PPS-L4(R))은, 서로 접속되고 있다. 또한, 컨택트(CT3)에 의해, 배선 패턴(PPSL1(R))과 불용 전극(PPS-LPD)이 접속되며, 마찬가지로 컨택트(CT3)에 의해 배선 패턴(PPS-L4(R))과 범프용 전극(PPS-MPD)이 접속되어 있다. 이 결과, 배선 패턴(PPS-L1(R)~PPS-L4(R))과 컨택트(CT3)에 의해, 불용 전극(PPS-LPD)과 범프용

전극(PPS-MPD)의 사이가 전기적으로 접속되며, 도 6에 나타난 배선 패턴(신호 배선)(PPL1-1)이 형성되게 된다.

- [0130] 인터포저(INS-1)는, 특히 제한되지 않지만, 실리콘 인터포저에 의해 구성되어 있다. 즉, 인터포저(INS-1)는, 실리콘 기판(SSBI)과 실리콘 기판(SSBI)에 주지의 반도체 제조 기술에 의해 형성된 복수의 도전층을 갖는 배선층(HSBI)에 의해 구성되어 있다. 이 실시 형태 1에 있어서는, 배선층(HSBI)은, 3층의 도전층(INS-L1~INS-L3)을 갖고 있다. 물론, 도전층 사이에는, 절연층이 개재되어 있다. 또한, 도 6에서 설명한 것처럼, 인터포저(INS-1)의 제2주면(INF2)에는, 범프용 전극이 형성되며, 제1주면(INF1)에는, 마이크로 범프용 전극이 형성되고 있다. 도 8에는, 제2주면(INF2)에 형성된 범프용 전극이, 부호 INS-SPD로 도시되고, 제1주면(INF1)에 형성된 마이크로 범프 전극이, 부호 INS-MPD2, INS-MPD3(도 7 참조)로 도시되어 있다.
- [0131] 도 8에 있어서, INS-L1(R)~INS-L3(R)은, 도전층(INS-L1~INS-L3)에 의해 형성된 배선 패턴을 나타내고 있으며, INS-L1(V)~INS-L3(V)도, 도전층(INS-L1~INS-L3)에 의해 형성된 배선 패턴을 나타내고 있다. 여기에서도, 배선 패턴은, 패키지 기판의 설명에서 이용한 표기 방법으로 나타내고 있다. 즉, 부호(R)은, 도 7에 나타난 배선 패턴(INS-L10)에 관한 배선 패턴인 것을 나타내고 있으며, 부호(R) 앞의 부호는, 그 배선 패턴이 형성된 도전층의 층을 나타내고 있다. 또, 부호(V)는, 도 7에 나타난 배선 패턴(INS-L12)에 관한 배선 패턴인 것을 나타내고 있으며, 부호(V) 앞의 부호는, 그 배선 패턴이 형성된 도전층의 층을 나타내고 있다.
- [0132] 도 8에는, 도 7에 나타난 A-A'단면과 B-B'단면이 겹쳐져 그려져 있다. 여기서는 먼저, A-A'단면을 설명한다. 도 8의 좌측에 있어서, 실리콘 기판(SSB-I)에 개구된 개구부에 도전물이 충전되는 것으로 형성된 콘택트(CT2S)에 의해, 범프용 전극(TNS-SPD)(제2 전극)은, 배선 패턴(INS-L1(R))에 접속된다. 이 배선 패턴(INS-L1(R))은, 콘택트(CT2)에 의해, 제2층의 배선 패턴(INS-L2(R))에 접속되며, 이 제2층의 배선 패턴(INS-L2(R))은, 콘택트(CT2)에 의해, 제3층의 배선 패턴(INS-L3(R))에 접속되고 있다. 이 제3층의 배선 패턴(INS-L3(R))이, 도 7에 나타난 배선 패턴(INS-L30)에 상당한다. 즉, 제3층의 배선 패턴(INS-L3(R))을, 평면에서 보았을 때, 그 일부가 도 7에 배선 패턴(INS-L30)으로서 그려진 평면 형상을 갖고 있다.
- [0133] 상기한 배선 패턴(INS-L3(R))은, 콘택트(CT2)에 의해 마이크로 범프용 전극(INS-MPD3)(제1 전극)에 접속되어 있다. 또 이 배선 패턴(INS-L3(R))은, 도 8의 우측에 있어서, 콘택트(CT2)에 의해, 사선으로 채워진 배선 패턴(INS-L2(R))에 접속되며, 이 제2층의 배선 패턴(INS-L2(R))은, 콘택트(CT2)에 의해, 사선으로 채워진 배선 패턴(INS-L1(R))(제4 배선 패턴)에 접속되어 있다. 이 사선으로 채워진 제1층의 배선 패턴(INS-L1(R))이, 도 7에 나타난 배선 패턴(INS-L10)에 상당한다. 즉, 평면에서 보았을 때, 사선으로 채워진 배선 패턴(INS-L1(R))은, 도 7에 있어서, 배선 패턴(INS-L10)으로 나타내는 것과 같은 평면 형상을 갖고 있다.
- [0134] 다음에, 도 7에 나타난 B-B'단면을 설명한다. 도 8에는 나타내는 않지만, 인터 포저(INS-1)의 제2주면(INF2)에는, 소정의 전압(V_s)이 공급되는 범프용 전극이 형성되고 있다. 도 8의 좌측에 나타난 1층의 배선 패턴(INS-L1(V))은, 이 도시하지 않는 범프용 전극에, 콘택트(CT2S)로 접속되어 있다. 또, 이 배선 패턴(INS-L1(V))은, 콘택트(CT2)에 의해, 배선 패턴(INS-L2(V))에 접속되며, 이 배선 패턴(INS-L2(V))은, 콘택트(CT2)에 의해, 배선 패턴(INS-L3(V))에 접속되어 있다. 이 제3층의 배선 패턴(INS-L3(V))이 도 7에 나타난 배선 패턴(INS-L32)에 상당한다. 즉, 제3층의 배선 패턴(INS-L3(V))의 일부의 평면 형상이, 도 7에 나타난 배선 패턴(INS-L32)의 형상을 하고 있다.
- [0135] 배선 패턴(INS-L3(V))은, 도 8의 우측에 있어, 콘택트(CT2)에 의해, 사선으로 채워진 배선 패턴(INS-L2(V))에 접속되며, 또한, 이 배선 패턴(INS-L2(V))는, 콘택트(CT2)에 의해, 사선으로 채워진 배선 패턴(INS-L1(V))(제6 배선 패턴)에 접속되어 있다. 이 사선으로 채워진 제1층의 배선 패턴(INS-L1(V))이, 도 7에 나타난 배선 패턴(INS-L12)에 상당한다. 즉, 사선으로 채워진 배선 패턴(INS-L1(V))의 평면 형상이, 도 7에 나타난 배선 패턴(INS-L12)의 형상이 되어 있다.
- [0136] 또, 제3층의 배선 패턴(INS-L3(V))은, 콘택트(CT)에 의해, 마이크로 범프용 전극(INS-MPD2)에 접속되어 있다.
- [0137] 또한, 도 8에 나타내지 않은 상기의 범프용 전극은, 도 8에 나타난 범프용 전극(INS-SPD)과 같이, 패키지 기판(PPS-1)을 거쳐서, 프런트 기판(SBP)의 배선 패턴에 접속되어 있으며, 이 프런트 기판(SBP)의 배선 패턴을 거쳐서 소정의 전압(V_s)이 공급되게 된다. 또한, 콘택트(CT2)는, 콘택트(CT3)와 같이, 도전층 사이에 개재하는 절연층에 개구부가 설치되며, 개구부를 도전물에 의해 충전하는 것으로써 형성되어 있다.
- [0138] 도 8에 있어서, 좌측에 나타난 배선 패턴(INS-L1(R), INS-L2(R), INS-L3(R))과 이러한 배선 패턴을 접속하는 콘택트(CT2)와, 콘택트(CT2S)에 의해, 도 6에 나타난 배선 패턴(IN-L11)이 구성되어 있다고 볼 수 있다.
- [0139] 논리 반도체 칩(LCH-1)은, 소자를 구성하는 반도체 영역 등이 형성된 반도체 기판, 예를 들면 실리콘 기판(SS

B)과, 실리콘 기판(SSB)의 주면에 형성된 배선층(HSB)을 구비하고 있다. 여기서, 배선층(HSB)은, 교대로 적층된 복수의 도전층과 복수의 절연층을 갖고 있다. 특히 제한되지 않지만, 이 실시 형태 1에 있어서는, 배선층(HSB)은, 3층의 배선층(LCH-L1~LCH-L3)을 갖고 있다. 도 8에 있어서, SS는, 반도체 기판(SSB)에 형성된 반도체 영역을 나타내고 있다. 여기에서는, 반도체 영역(SS)은, 수신버퍼 회로(RCB1-2)(도 6)의 입력 단자에 상당한다.

[0140] 도 8에 있어서, LCH1-L1(R), LCH-L2(R), LCH-L3(R) 및 LCH-L3은, 배선 패턴을 나타내고 있다. 배선 패턴(LCH-L1(R), LCH-L2(R), LCH-L3(R))은, 인터포저(INS-1)에 형성되어 있는 배선 패턴과 같은 표기 방법으로 그려져 있다. 즉, 부호(R)는, 도 7에 나타난 배선 패턴(INS-L10)에 관련하는 배선 패턴인 것을 나타내고 있으며, 부호(R) 앞의 부호는, 그 배선 패턴이 형성된 도전층의 층을 나타내고 있다.

[0141] 도 6에서 설명한 바와 같이, 논리 반도체 칩(LCH-1)의 제2주면(LCF2)에는, 복수의 매크로 범프용 전극이 형성되어 있다. 도 8에 있어서, LCH-PD2 및 LCH-PD3는, 제2주면(LCF2)에 형성된 마이크로 범프용 전극을 나타내고 있다.

[0142] 상기한 인터포저(INS-1)의 마이크로 범프용 전극(INS-MPD3)은, 마이크로 범프(MBM-S1)에 의해, 제2주면(CHF2)에 형성되어 있는 마이크로 범프용 전극(LCH-PD3(전극))에 접속되어 있다. 이 마이크로 범프용 전극(LCH-PD3)은, 콘택트(CT1)에 의해, 제3층의 배선 패턴(LCH-L3(R))(제5 배선 패턴)에 접속되어 있다. 또, 이 배선 패턴(LCH-L3(R))은, 콘택트(CT1)에 의해, 제2층의 배선 패턴(LCH-L2(R))에 접속되며, 배선 패턴(LCH-L2)은, 콘택트(CT1)에 의해, 제1층의 배선 패턴(LCH-L1(R))에 접속되어 있다. 또한, 배선 패턴(LCH-L1(R))은, 콘택트(CT1)에 의해, 반도체 영역(SS)에 접속되어 있다. 도 8에 나타난 배선 패턴(INS-L3(R))이, 도 7에 나타난 배선 패턴(INS-L30)에 상당하고, 이 배선 패턴(INS-L3(R))을 거쳐서, 마이크로 범프용 전극(INS-MPD3)과 범프용 전극(INS-SPD)이 접속되어 있게 된다.

[0143] 상기한 마이크로 범프용 전극(LCH-PD2)은, 마이크로 범프(MBM-G2)에 의해, 마이크로 범프용 전극(INS-MPD2)에 접속되며, 마이크로 범프용 전극(INS-MPD2)은, 콘택트(CT1)에 의해, 배선 패턴(LCH-L3(O))에 접속되어 있다. 이 배선 패턴(LCH-L3(O))은, 예를 들면, 수신 버퍼 회로(RCB-12)에 소정의 전압(Vs)을 공급하는 배선으로서 이용된다. 콘택트(CT1)는, 콘택트(CT2)와 같이, 도전층 사이의 절연층에 개구부가 설치되어 개구부에 도체물이 충전되는 것에 의해 형성된다.

[0144] 이와 같이 해서, 논리 반도체 칩(LCH-2)(도 6)으로부터의 송신 신호는, 프런트 기판(PBS)의 배선 패턴, 패키지 기판(PPS-1)의 배선 패턴 및 인터포저(INS-1)의 배선 패턴을 거쳐서, 수신 버퍼 회로(RCB12)의 입력 단자에 전달되게 된다.

[0145] 도 7에 나타난 배선 패턴(L10)(제1 배선 패턴: 도 8에서는, 사선으로 채워진 배선 패턴 INS-L1(R))은, 도 1, 등으로 설명한 지연 소자(DLN)에 상당하고, 도 7에 나타난 배선 패턴(INS-L11, INS-L12)(제2 배선 패턴: 8에서는, 사선으로 채워진 배선 패턴 INS-L1(V))이, 지연 소자(DLN)와 평행하여 연재하고, 소정의 전압(Vs)이 공급되는 배선 패턴(전압 배선)이 된다. 여기서, 배선 패턴(INS-L10)은, 신호가 입력되었을 때, 입력된 신호에 있어서, 출력되는 신호의 지연시간인 왕복 지연이, 데이터 폭 구간(UT)의 정수 분의 1이 되도록 설정된다(왕복 신호 지연 UT/m).

[0146] 도 6에 있어서, 논리 반도체 칩(LCH-2) 내의 송신 버퍼 회로(SCB2-1)로부터 출력된 송신 신호는, 인터포저(INS)의 배선 패턴(INL2-1) 및 패키지 기판(PPS-2)의 배선 패턴(PPL2-1)을 거쳐서 프런트 기판(PBS)의 배선 패턴(PBL1)에 전달된다. 프런트 기판(PBS)의 배선 패턴(PBL-1)에 전달된 송신 신호는, 이 배선 패턴(PBL-1)으로 전달되고, 패키지 기판(PPS-1)의 배선 패턴(PPL1-1) 및 인터포저(INS-1)의 배선 패턴(INL1-2)으로 전달되어, 도 8에 나타난 마이크로 범프용 전극(LCH-PD3)에 전달된다.

[0147] 마이크로 범프용 전극(LCH-PD3)에 전달된 송신 신호는, 수신 버퍼 회로(RCB1-2)의 입력 단자(예를 들면, 반도체 영역 SS)에 전달되고 증폭되어, 처리된다. 이때, 마이크로 범프용 전극(LCH-PD3)에 전달된 송신 신호는, 지연 소자(DLN)을 구성하는 배선 패턴(INS-L10)의 한쪽의 단부에도 입력되게 된다. 이 경우, 배선 패턴(INS-L10)의 다른 쪽의 단부는, 소정의 전압(Vs)에 접속되어 있다. 그 때문에, 도 1 등으로 설명한 것처럼, 반사파가 발생해, 배선 패턴의 한쪽의 단부로부터 마이크로 범프용 전극(LCH-PD3)에 출력되게 된다.

[0148] 상기한 배선 패턴(INL2-1), 배선 패턴(PPL2-1), 배선 패턴(PBL-1), 배선 패턴(PPL1-1) 및 배선 패턴(INL1-2)이, 직렬적으로 접속되며, 도 1 등으로 설명한 신호 선로(1000)를 구성하게 된다. 이 신호 선로(1000)의 손실에 의해 열화한 송신 신호가, 배선 패턴(INS-L10)의 한쪽 단부로부터 출력되는 출력신호(반사파)에 의해, 복원(정형)되어 수신 버퍼 회로(RCB1-2)의 입력 단자에 공급되게 된다.

- [0149] 이 실시 형태 1에 있어서는, 지연 소자(DLN)를 구성하는 배선 패턴 (INS-L10)은, 그 한쪽의 단부가, 입력 및 출력으로서 기능하고, 그 다른 쪽의 단부는, 소정의 전압(V_s)(예를 들면, 회로의 접지 전압)에 접속되고 있다. 또, 소정의 전압(V_s)이 공급되어 지연소자(DLN)를 구성하는 배선 패턴(전압 배선)(INS-L11, INS-L12)은, 평면에서 보아서, 배선 패턴(신호 배선)(INS-L10)을, 그 사이에 끼우도록 평행하게 연재하도록 배치되고 있다. 즉, 지연 소자(DLN)는, 소위 코플래너 웨이브가이드(co-planar waveguide)의 구조를 갖고 있다. 소정의 전압(V_s)이, 배선 패턴(INS-L10~INS-L12)의 각각의 다른 한쪽의 단부에 공급되고 있는 점으로써 본 경우, 지연 소자(DLN)를 구성하는 신호 배선(배선 패턴 INS-L10)과 전압 배선(배선 패턴 INS-L11, INS-L12)의 각각의 다른 한쪽의 단부는 단락하고 있다고 볼 수 있다.
- [0150] 이 실시 형태 1에 있어서는, 인터포저(INS-1)에 있어서의 도전층의 두께는, 어떤 층에 있어도 같다. 지연 소자(DLN)의 단위길이 당 신호 손실(전기 저항율)이 신호 선로의 그것보다 작다고 말하는 조건으로부터, 지연 소자(DLN)를 구성하는 신호 배선(배선 패턴 INS-L10)의 선폭(BLD1)(도 7) 및 전압 배선(배선 패턴 INS-L11, INS-L12)의 선폭(BLD2)(도 7)을, 신호 선로(예를 들면, 배선 패턴 INS-L30)의 선폭(BLS)(도 7)보다 가늘게 하면 된다.
- [0151] 도 7 및 도 8은, 도 6에 나타낸 배선 패턴(INL1-1 및 PPL1-1)을 예로 해서 설명하는데, 도 6에 나타낸 배선 패턴(INL1-2, PPL1-2, INL2-1, PPL2-1, INL2-2 및 PPL2-2)에 있어서는 같다. 이 경우, 도 7 및 도 8에서 설명한 지연 소자(DLN)를 구성하는 배선 패턴과 같은 배선 패턴을, 각각의 수신 버퍼 회로의 입력 단자에 접속해도 되고, 각각의 송신 버퍼회로의 출력 단자에 접속해도 된다. 또, 수신 버퍼 회로의 입력 단자와 송신 버퍼회로의 출력 단자의 양쪽 모두에, 각각 지연 소자(DLN)를 구성하는 배선 패턴을 접속하도록 해도 된다.
- [0152] 도 7 및 도 8에 나타내듯이, 신호 선로를 구성하는 배선 패턴(INS-L30)(제3배선 패턴: INS-L3(R))과 지연 소자(DLN)를 구성하는 배선 패턴 (INS-L10(INS-L1(R)), INS-L11, INS-L12(INS-L1(V)))이, 서로 다른 층의 도전층에 의해 형성하는 경우에는, 신호 선로를 구성하는 배선 패턴의 연재 방향과 지연 소자(DLN)를 구성하는 배선 패턴의 연재 방향은, 양자가 접촉하지 않는 한, 임의로 정할 수가 있다.
- [0153] <지연 소자의 상세>
- [0154] 특히 제한되지 않지만, 지연 소자(DLN)를 구성하는 배선 패턴(INS-L10)은 가는 금속 배선층에 의해 형성되어 있으며, 지연 소자(DLN)의 등가 회로는, 도 1(B)에 의해 나타내어진다. 배선 패턴(INS-L10)의 표면 효과에 의해, 도 1(B)에 나타낸 등가 회로에 있어서의 저항(R)은 커진다. 그 결과, 신호 감쇠가 큰 지연 소자가 된다. 저항(R)을 크게 하는 대신에, 도 1(B)에 나타낸 컨덕턴스(G)를 크게 해도 된다. 이 경우에는, 소정의 전압(V_s)에 흐르는 신호가 많아져, 신호 감쇠도 커진다.
- [0155] 도 1 등으로 기술한 바와 같이, 신호 선로(1000)로부터의 송신 신호는, 와이어드 오어 접속 부분(노드 WRN)에 있어서, 디지털 필터(1002)와 수신 버퍼 회로(1003)에 분배된다. 도 3에 나타낸 식(7)은, 이 신호 분배를 나타내고 있다. 식(7)에 있어서, Z_0 는, 지연 소자(DLN)를 접속하지 않을 때의, 와이어드 오어 접속의 부분(예를 들면 도 1의 노드(WRN))의 임피던스를 나타내고 있다. 또 식(7)에 있어서, Z_c 는, 지연소자(DLN)가 갖는 임피던스를 나타내고 있다.
- [0156] 임피던스 Z_c 는, 식(7)에 나타내듯이, 도 1(B)에 나타낸 인덕턴스(L) 및 캐패시턴스(C)에 의해 바뀐다. 인덕턴스(L) 및 캐패시턴스(C)는, 도 7에 나타낸 배선 패턴(INS-L10)과 배선 패턴(INS-L11, INS-L12)과의 사이의 거리(간격)(BLL)를 바꾸는 것에 의해, 변환하는 것이 가능하다. 즉, 도 7에 나타낸 간격(BLL)을 넓히면, 인덕턴스(L)가 커져, 캐패시턴스(C)가 작아진다. 이것에 있어서, 간격(BLL)을 좁히면, 인덕턴스(L)가 작고, 캐패시턴스(C)가 커진다. 이것에 의해, 간격(BLL)을, 소망한 값으로 설정하는 것에 의해, 임피던스 $Z_c < \text{임피던스 } Z_0$ 상태와, 임피던스 $Z_c > \text{임피던스 } Z_0$ 상태를 형성하는 것이 가능해진다. 이와 같이 임피던스(Z_c , Z_0)상태를 설정함으로써, 식(7)에 의해, 신호에 분배율(신호 분배율)(b)의 값을 제어하는 것이 가능해진다.
- [0157] 즉, 복원(정형)할 때에, 지연 소자(DLN)로부터 와이어드 오어 접속의 부분에 출력되는 신호의 값을, 간격(BLL)에 의해 제어하는 것이 가능해진다.
- [0158] 도 7에서는, 지연 소자(DLN)가, 신호 배선(배선 패턴 INS-L10)과, 이 신호선을 사이에 두도록 배치된 전압 배선(배선 패턴 INS-L11, INS-L12)에 의해 구성되며, 전압 배선에 소정의 전압(V_s)이 공급되고 있었다. 그렇지만, 전압 배선은, 어느 한쪽에 배치하도록 해도 된다. 이 경우, 전압 배선이 설치되지 않은 쪽에 있어서, 전자장이 누설되어 버리는 것이 생각되므로, 고속의 신호의 전송에는 적당하지 않다. 그렇지만, 면적 삭감 등을 위해서,

한쪽에만, 전압 배선을 배치하는 경우에는, 간격(BLL)을 좁게 해서, 임피던스 $Z_c < \text{임피던스 } Z_0$ 상태로 하는 것이 바람직하다.

[0159] <아이 패턴>

[0160] 도 9는, 실시 형태 1과 관계되는 반도체 장치에 있어서의 아이 패턴을 나타내는 도면이다. 여기에서, 도 9에 있어서, 횡축은 시간을 나타내고, 종축은 신호 전압을 나타내고 있다. 도 9는, 프린트기판으로서 (FR4)(Flame Retardant Type4) 기판을 이용하고, 도 6에 나타낸 것 같은 논리 반도체 칩(LCH-1)과 (LCH-2)을, 그 간격이 4 인치로 되도록, 프린트 기판에 탑재하고, 프린트 기판의 배선 패턴을 거쳐서, 논리 반도체 칩(LCH-2)으로부터 (LCH-1)로, 56Gbps의 전송 속도로, NRZ 형식의 신호를 공급한 경우를 나타내고 있다. 또, 인터포저로서는, 실리콘 인터포저가 이용되고 있다. 도 9(A)는, 논리 반도체 칩(LCH-1)의 수신 버퍼 회로에, 상기한 디지털 필터(1002)를 접속한 경우의, 수신 버퍼 회로의 입력단자에 있어서의 신호 전압 파형을 중첩하는 것에 의해 그려진 아이 패턴 도이다. 한편, 도 9(B)는, 논리 반도체 칩(LCH-1)의 수신 버퍼 회로에, 상기한 디지털 필터(1002)를 접속하지 않는 상태로, 수신 버퍼 회로의 입력 단자에 있어서의 전압파형을 중첩하는 것에 의해 그려진 아이 패턴 도이다.

[0161] 도 9(A)와 도 9(B)를 비교한 경우, 도 9(B)에서는, 아이 패턴을 특징하는 것이 곤란해지는 만큼, 입력 단자에 있어서의 전압 파형이 변동하고 있다. 이것에 대해서, 도 9(A)에서는, 아이 패턴을 확인하는 것이 가능하기 때문에, 송신 신호의 특징을 실시하는 것이 가능하게 되어 있다.

[0162] 도 10은, 도 9와 같이, 수신 버퍼 회로의 입력 단자에 디지털 필터를 접속한 경우와, 디지털 필터를 설치하지 않은 경우의 아이 패턴을 나타내는 도면이다. 도 9와 다른 점은, 인터포저로서 글라스 인터포저를 이용하고 있는 것, 논리 반도체 칩 간의 간격을 6 인치로 하고 있는 것, 전송 속도를 31.25Gbps로 하고 있고 것이다. 여기에서도, 디지털 필터(1002)를 접속한 경우의 아이 패턴이, 도 10(A)에 도시되고, 디지털 필터(1002)를 설치하지 않은 경우의 아이 패턴이, 도 10(B)에 도시되어 있다. 도 10(A)과 10(B)을 비교한 경우, 도 9와 같이, 디지털 필터(1002)가 설치되지 않은 경우에는, 아이 패턴을 특징하는 것이 곤란하다. 이것에 대해서, 도 10(A)에서는, 아이 패턴을 특징하는 것이 가능하고, 송신 신호의 특징을 실시하는 것이 가능하다.

[0163] 즉, 트랜지스터와 같은 능동 소자가 아니라, 수동 소자에 의해 구성된 디지털 필터(1002)를 마련하는 것으로, 소비 전력의 증가를 억제하면서, 신호(데이터)의 특징을 실시하는 것이 가능해진다.

[0164] <변형예>

[0165] 도 8에서는, 신호 선로를 형성하는 배선 패턴(INS-L30)(도 7)과 지연 소자(DLN)를 구성하는 배선 패턴(INS-L10)(도 7)을, 다른 층의 도전층에 의해 형성하고 있었다. 즉, 배선 패턴(INS-L30)은, 도 8에 나타내듯이, 제3층의 배선 패턴(INS-L3(R))이며, 배선 패턴(L10)은, 사선으로 채워진 제1층의 배선 패턴(INS-L1(R))이다. 또한, 도 8에 있어서, 사선으로 채워진 제2층의 배선 패턴 (INS-L2(R))도, 지연 소자(DLN)를 형성하는 배선 패턴의 일부라고 볼 수도 있다.

[0166] 이것에 대해서, 변형예에 있어서는, 신호 선로를 형성하는 배선 패턴과 지연 소자(DLN)를 형성하는 배선 패턴이, 동일한 층에 형성된다. 도 11은, 이 변형예에 관계되는 반도체 장치의 평면을 나타내는 평면도이다. 또한, 도 12는, 도 11에 있어서, A1-A1' 단면 및 B1-B1' 단면을 나타내는 단면도이다.

[0167] 도 11은, 도 7에 유사하며, 도 12는, 도 8에 유사하다. 도 11 및 도 12가 도 7 및 도 8와 다른 점은, 신호 선로를 형성하는 배선 패턴과 지연 소자(DLN)를 형성하는 배선 패턴이, 같은 층에 의해 형성되고 있는 점이다. 여기에서는, 주로, 차이점만을 설명한다.

[0168] 도 11에 있어서, 신호 선로를 형성하는 배선 패턴(INS-L30)과 지연 소자(DLN)를 형성하는 배선 패턴(INS-L10)은, 같은 층의 도전층에 의해 일체적으로 형성되고 있다. 이 변형예에 있어서는, 제3층의 도전층 (INS-L3)에 의해, 배선 패턴(INS-L30)과 배선 패턴(INS-L10)이 형성된다. 도 11에 있어서는, 평면에서 보아서, 마이크로 범프용 전극(INS-MPD3)과 겹치는 영역에서 좌측에 배치되고 있는 배선패턴이, 신호 선로를 형성하는 배선 패턴(INS-L30)이 되고, 마이크로 범프용전극(INS-MPD3)으로부터 우측에 배치되고 있는 배선 패턴이, 지연 소자(DLN)를 형성하는 배선 패턴(INS-L10)이 된다.

[0169] 도 11의 예에서는, 배선 패턴(INS-L30)의 선폭(BLS)과 배선 패턴(INS-L10)의 선폭((BLD1))이 다르다. 즉, 선폭((BLD1))은, 선폭(BLS)보다 좁아져 있다. 그 때문에, 일체적으로 형성된 배선 패턴에 있어서, 선폭이 바뀌는 영역을 경계로 해서, 선폭이 넓어진 배선 패턴을 배선 패턴(INS-L30)으로 하고, 선폭이 좁게 된 배선 패턴을 배선

패턴(INS-L10)과 구별해도 된다.

- [0170] 도 11에 있어서, 배선 패턴(INS-L11, INS-L12)은, 지연 소자(DLN)의 전압 배선으로서 기능하지만, 이 배선 패턴(INS-L11, INS-L12)도, 소정의 전압(V_s)을 공급하는 배선 패턴(INS-L31, INS-L32)과 같은 층의 도전층에 의해서 형성되고 있다. 이 변형예에 있어서는, 배선 패턴(INS-L10, INS-L30)과 같은 제3층의 도전층(INS-L3)에 의해 형성되고 있다. 즉, 배선 패턴(INS-L11)은, 배선 패턴(INS-L31)과 일체적으로 형성되고 있으며, 배선 패턴(INS-L12)은, 배선 패턴(INS-L32)과 일체적으로 형성되고 있다.
- [0171] 도 11의 예에서는, 배선 패턴(INS-L31)과 배선 패턴(INS-L11)의 선평이 차이가 난다. 동일하게 배선 패턴(INS-L32)과 배선 패턴(INS-L12)의 선평이 차이가 난다. 즉, 배선 패턴(INS-L31, INS-L32)에 비해 배선 패턴(INS-L11, INS-L12)의 선평(BLD2)이 좁아지고 있다. 그 때문에, 선평이 바뀌는 영역을 경계로서 선평이 넓은 영역을 배선 패턴(INS-L31, INS-L32)으로 해서, 선평이 좁은 영역을 배선 패턴(INS-L11, INS-L12)과 구별할 수 있다.
- [0172] 배선 패턴(INS-L10~INS-L12)의 각각의 다른 단부는, 배선 패턴(INS-L13)에 접속되고 있다. 이 배선 패턴(INS-L13)도, 배선 패턴(INS-L10~INS-L12)과 같은 제3층의 도전층(INS-L3)에 의해 형성되어 있다. 그 때문에, 배선 패턴(INS-L10~INS-L13 및 INS-L30~INS-L32)은, 일체적으로 형성되고 있다고 볼 수 있다. 또한, 도 7에서는, 배선 패턴(INS-L14)에 의해, 배선 패턴(INS-L11와 INS-L12)의 한쪽의 단부가, 서로 접속되고 있었지만, 도 11에 나타내는 변형예에 있어서는, 배선 패턴(INS-L14)은 설치되지 않고, 배선 패턴(INS-L11과 INS-L12)의 각각의 한쪽의 단부는, 분리되어 있다.
- [0173] 도 12에 있어서, INS-L3(R)은, A1-A1' 단면을 보았을 때의 배선 패턴(INS-L30 및 INS-L10)을 나타내고 있으며, INS-L3(V)는, B1-B1' 단면을 보았을 때의 배선 패턴(INS-L32 및 INS-L12)을 나타내고 있다. 도 12에 나타내듯이, 배선 패턴(INS-L10, INS-L30 및 INS-L12, INS-L32)의 각각은, 제3층의 도전층에 의해 형성되고 있다.
- [0174] 이와 같이, 같은 도전층에 의해 신호 선로를 형성하는 배선 패턴과, 지연 소자(DLN)를 형성하는 배선 패턴을 형성하는 경우에는, 신호 선로를 형성하는 배선 패턴을, 마이크로 범프용 전극(INS-MPD3)을 넘어 신장시켜, 신장시킨 영역에 있어서 선평을 변경하면 된다.
- [0175] 이 변형예에 의하면, 인터포저 (INS-1)을 구성하는 도전층의 층수가 적어도 디지털 필터(1002)를 구성하는 것이 가능해진다.
- [0176] 실시 형태 1에 있어서는, 지연 소자(DLN)가, 신호가 입출력되는 신호 배선과 이 신호선로와 평행으로 주행하고, 소정의 전압(V_s)이 공급되는 전압 배선을 구비하고 있다. 바꾸어 말한다면, 지연 소자(DLN)는, 지연 선로에 의해 구성되어 있다고 볼 수가 있다. 이 경우, 신호 배선 및 전압선로의 단위길이 당 신호 손실량은, 신호 선로의 신호 손실량보다도 크게 된다. 실시 형태 1에서는, 신호 배선 및 전압 배선의 각각의 단면 주위길이가, 신호 선로의 단면 주위길이보다 작게 된다. 단면 주위길이를 작게 하기 위해서, 신호배선, 전압 배선 및 신호 선로의 두께가 같게 되어 신호 배선 및 전압 배선의 선평이, 신호 경로의 선평보다도 가늘게 되어 있다.
- [0177] (실시 형태 2)
- [0178] 도 13 및 도 14는, 실시 형태 2와 관계되는 반도체 장치의 구조를 나타내는 도면이다. 여기서, 도 13은, 반도체 장치의 평면을 나타내는 평면도이며, 도 14는, 도 13에 있어서, A2-A2' 단면 및 B2-B2' 단면을 나타내는 단면도이다.
- [0179] 실시 형태 1에 있어서는, 지연 소자(DLN)를 구성하는 신호 배선((예를 들면, 도 7의 배선 패턴(INS-L10)과 전압 배선(예를 들면, 도 7의 배선 패턴(INS-L12)))이, 인터포저(INS-1)의 제1주면(INF1)으로부터 평면에서 보았을 때, 평행으로 연재하게 배치되고 있었다. 이것에 대해서, 실시 형태 2에 있어서는, 지연 소자(DLN)를 구성하는 신호 배선과 전압 배선이, 평면에서 보았을 때, 겹쳐지도록 배치된다. 즉, 신호 배선과 전압 배선이, 인터포저(INS-1)에 있어서, 세로로 쌓이게 배치된다.
- [0180] 도 13은, 도 7과 유사하고, 도 14는, 도 8과 유사하다. 여기에서는, 주로 차이점만을 설명한다.
- [0181] 도 13에 나타내듯이, A2-A2' 단면의 영역에 있어서, 지연 소자(DLN)를 구성하는 배선 패턴(INS-L10)과 배선 패턴(INS-L12)(제9 배선 패턴)이 중첩되어 있다. 다음에, 도 14를 이용하여 기술하는데, 신호가 입출력되는 신호 배선을 형성하는 배선 패턴(INS-L10)은, 제1층의 도전층(INS-L1)에 의해 형성되고, 소정의 전압(V_s)이 공급되는 전압 배선(INS-L12)은, 제3층의 배선층(INS-L3)에 의해 형성된다. 배선 패턴(INS-L10)의 한쪽의 단부는, 마이크로 범프용 전극(INS-MPD3)과 신호 선로를 구성하는 배선 패턴(INS-L30)에 접속되며, 배선 패턴(INS-L10)의 다른

한쪽의 단부는, 제2층의 배선 패턴(INS-L16)을 거쳐서, 배선 패턴(INS-L12)에 접속되어 있다.

- [0182] 배선 패턴(INS-L12)의 다른 한쪽의 단부는, 제3층의 배선 패턴(INS-L14 및 INSL15)에 접속되고 있다. 배선 패턴(INS-L14)은, 마이크로 범프용 전극(INS-MPD1) 및 배선 패턴(INS-L31)에 접속되며, 배선 패턴(INS-L15)은, 마이크로 범프용 전극(INS-MPD2) 및 배선 패턴(INS-L32)에 접속되고 있다. 배선 패턴(INS-L12, INS-L14 및 INS-L15)은, 제3층의 배선층(INS-L3)에 의해 형성되고 있기 때문에, 이러한 배선 패턴은, 일체적으로 형성하도록 해도 된다.
- [0183] 여기서, 도 13에 나타내듯이, 신호가 입출력되는 배선 패턴(INS-L10)의 선폭((BLD1))은, 소정의 전압(V_s)이 공급되는 배선 패턴(INS-L12)의 선폭(BLD2)보다도 가늘어(좁아)지고 있다.
- [0184] 또한, 도 7과 같이, 배선 패턴(INS-L31, INS-L32)에는, 소정의 전압(V_s)이 공급되며, 배선 패턴(INS-L30)에는, 송신 신호가 공급된다. 또, 마이크로 범프용 전극(INS-MPD1, INS-MPD2 및 INS-MPD3)은, 마이크로 범프(MBM-G1), (MBM-S1 및 MBM-G2)에 의해, 논리 반도체 칩의 마이크로 범프용 전극에 접속된다.
- [0185] 도 14에는, 도 13에 있어서의 A2-A2' 단면과 B2-B2' 단면이 중첩해서 그려져 있다. 먼저, A2-A2' 단면에 관계하는 구조를 설명한다. 도 14에 있어서, 프린트 기판(PBS), 패키지 기판(PPS-1), 볼(SBL), 범프(SMB)는, 도 8과 같다. 또한, 도 14에 있어서, 인터포저(INS-1)의 좌측에 나타난 배선 패턴(INS-L1(R) 및 INS-L2(R))도, 도 8과 같다.
- [0186] 도 13과 도 7을 비교하면, 실시 형태 2에 있어서는, 마이크로 범프용 전극(INS-MPD3)가, 마이크로 범프용 전극(INS-MPD1, INS-MPD2)의 좌측에 배치되어 있다. 이것에 맞추어, 도 14에 있어서, 마이크로 범프용 전극(INS-MPD3)은, 마이크로 범프용 전극(INS-MPD2)의 좌측에 배치되어 있다. 배선 패턴(INS-L2(R))은, 콘택트(CT2)에 의해, 제3층의 배선 패턴(INS-L3(R))에 접속되며, 이 배선 패턴(INS-L3(R))은, 콘택트(CT2)에 의해, 마이크로 범프용 전극(INS-MPD3)에 접속됨과 동시에, 콘택트(CT2)에 의해, 사선으로 채워진 배선 패턴(INS-L2(R))에 접속되고 있다. 사선으로 채워진 배선 패턴(INS-L2(R))은, 콘택트(CT2)에 의해, 사선으로 채워진 제1층의 배선 패턴(INS-L1(R))의 한쪽의 단부에 접속되고 있다.
- [0187] 이 사선으로 채워진 배선 패턴(INS-L1(R))은, 도 14에 있어서, 횡방향으로 연재하고 있으며, 이 사선으로 채워진 배선 패턴(INS-L1(R))의 다른 한쪽의 단부는, 콘택트(CT2)에 의해, 제2층의 배선 패턴(INS-L2(V))에 접속되고 있다. 이 사선으로 채워진 배선 패턴(INS-L1(R))이, 도 13에 나타난 배선 패턴(INS-L10)에 상당한다. 또, 배선 패턴(INS-L2(V))이, 도 13에 도시한 배선 패턴(INS-L16)에 상당한다.
- [0188] 배선 패턴(INS-L2(V))은, 제1층의 배선 패턴(INS-L3(V))의 다른 한쪽의 단부에, 콘택트(CT2)로 접속되며, 배선 패턴(INS-L3(V))의 한쪽의 단부는, 콘택트(CT2)에 의해, 마이크로 범프용 전극(INS-MPD2)에 접속되어 있다. 제1층의 배선 패턴(INS-L3(V))이, 도 13에 나타난 배선 패턴(INS-L12)에 상당한다. 즉, 이 배선 패턴(INS-L3(V))은, 제1층의 배선 패턴(INS-L1(R))과 평행하게 연재하고, 평면에서 보았을 때, 배선 패턴(INS-L1(R))을 덮도록 배치되어 있다.
- [0189] 마이크로 범프용 전극(INS-MPD3)은, 마이크로 범프(MBM-S1)에 의해, 마이크로 범프용 전극(LCH-PD3)에 접속된다. 이 마이크로 범프용 전극(LCH-PD3)은, 도 8과 같이, 배선 패턴(LCH-L3(R)~LCH-L1(R)) 및 콘택트(CT1)를 거쳐서, 수신 버퍼 회로의 반도체 영역(SS)에 접속되고 있다.
- [0190] 상기한 마이크로 범프용 전극(INS-MPD2)은, 도 13의 B2-B2' 단면의 부분에 있어서, 마이크로 범프(MBM-G2)에 의해, 마이크로 범프용 전극(LCH-PD2)에 접속되며, 마이크로 범프용 전극(LCH-PD2)은, 논리 반도체 칩(LCH-1)에 있어서, 배선 패턴(LCH-L3(O))에 접속되고 있다. 또한, 도 14에 있어서는, 도 13에 나타난 배선 패턴(INS-L32)는, 생략되고 있다.
- [0191] 이 실시 형태 2에 있어서도, 신호 선로(1000)을 구성하는 배선 패턴(INSL-30)으로부터의 신호가, 지연 소자(DLN)를 구성하는 배선 패턴(신호 배선)(INS-L10)의 한쪽의 단부에 입출력된다. 또, 배선 패턴(INS-L10)의 다른 한쪽의 단부는 소정의 전압(V_s)에 접속되고 있다. 이것에 의해, 저소비 전력으로 파형의 복원(정형)을 실시하는 것이 가능하게 된다. 또, 도 13에 나타내듯이, 지연 소자(DLN)를 구성하는 신호 배선(배선 패턴(INS-L10))의 선폭((BLD1)) 및 전압 배선(배선 패턴(INS-L12))의 선폭(BLD2)는, 신호 선로를 구성하는 배선 패턴(INS-L30)의 선폭(BLS)보다 가늘게(좁게) 되어 있다.
- [0192] 도 13 및 도 14에 나타난 지연 소자(DLN)(마이크로 스트립형 지연 소자)에 있어서도, 그 등가 회로는, 도 1(B)에 나타난 구성이 된다. 여기서, 도 13에 나타난 배선 패턴(INS-L10)의 선폭((BLD1)) 및 배선 패턴(INS-L12)의

선펙(BLD2)을 굵게 하면, 도 1(B)에 나타난 등가 회로에 있어서, 인덕턴스(L)가 감소하고, 캐패시턴스(C)가 증가하고, 저항(R)이 감소한다. 반대로, 선펙((BLD1)) 및 선펙(BLD2)을 가늘게 하면, 인덕턴스(L)가 증가하고, 캐패시턴스(C)가 감소하고, 저항(R)이 증가하게 된다. 또, 도 14에 있어서, 서로 평행으로 연재하고 있는 배선 패턴(INS-L3(V))(INS-L10))과 사선으로 채워진 배선 패턴(INS-L1(R))(INS-L12)과의 사이의 간격(BRV)을 바꾸는 것에 의해, 도 1(B)에 나타난 인덕턴스(L) 및 캐패시턴스(C)를 증감시킬 수 있다. 예를 들면, 간격(BRV)을 이격함으로써 인덕턴스(L)를 증가시켜, 캐패시턴스(C)를 감소시킬 수 있다. 이것에 의해, 실시 형태 1과 같이, 신호 손실량을 소망한 값으로 설정하는 것이 가능해진다.

[0193] 실시 형태 2에 있어서는, 지연 소자(DLN)를 구성하는 신호 배선과 전압 배선이, 입체적으로 배치되고 있으며, 이 신호 배선 및 전압 배선의 선펙은, 신호 선로(1000)를 구성하는 배선 패턴의 선펙보다 가늘기 때문에, 지연 소자(DLN)에 의해 점유되는 면적을 저감하는 것이 가능해진다.

[0194] 도 14에서는, 1층의 도전층(INS-L1)과 3층의 도전층(INS-L3)을 이용하여 지연소자(DLN)를 구성하는 것을 나타냈지만, 이것으로 한정되는 것은 아니다. 평면에서 보아서, 적어도 일부가 중첩하는 것 같은 배선 패턴을 형성하는 것이 가능하면, 임의의 층에 있어서의 배선 패턴을, 지연 소자(DLN)를 구성하는 배선 패턴으로서 이용하는 것이 가능하다.

[0195] (실시 형태 3)

[0196] 도 15 및 도 16은, 실시 형태 3과 관계되는 반도체 장치의 구조를 나타내는 도면이다. 실시 형태 1 및 2에 있어서는, 인터포저에 있어서의 배선 패턴에 의해, 지연 소자(DLN)를 구성하는 예를 나타냈다. 이 실시 형태 3에 있어서는, 지연 소자(DLN)를 구성하는 배선 패턴이 논리 반도체 칩(LCH-1)에 형성된다. 논리 반도체 칩(LCH-1)에, 디지털 필터(1002)를 구성하는 지연 소자(DLN)가 형성되기 때문에, 여기에서는, 인터포저를 이용하지 않는 반도체 장치를 예로서 설명하지만, 물론, 논리 반도체 칩(LCH-1)과 패키지 기관(PPS-1)과의 사이에 인터포저를 마련해도 된다는 것은 말할 필요도 없다.

[0197] 도 15는, 실시 형태 3과 관계되는 반도체 장치의 단면을 나타내는 단면도이다. 도 16은, 디지털 필터(1002)의 구조를 나타내는 도면이다. 여기서, 도 16(A)은, 디지털필터(1002)의 평면을 나타내는 평면도이며, 도 16(B)은, 실시 형태 3과 관계되는 지연소자(DLN)의 구조를 나타내는 단면도이다.

[0198] 도 15는, 도 16(A)에 있어서의 A3-A3' 단면을 나타내고 있다. 먼저, 실시 형태 3과 관계되는 반도체 장치를, 도 15를 이용하여 설명한다. 도 15는, 도 8과 유사하다. 즉, 도 15에 나타내는 프린트 기관(PBS), 패키지 기관(PPS-1), 볼(SBL) 및 범프(SMB)는, 도 8과 같다. 그 때문에, 이들의 설명은 생략한다.

[0199] 논리 반도체 칩(LCH-1)의 제2주면(CHF2)에는, 범프용 전극(LCH-PD3)이 형성되어 있다. 이 범프용 전극(LCH-PD3)은, 범프(SMB)에 의해, 패키지 기관의 제1주면(PPF1)에 형성된 범프용 전극(PPS-MPD)에 접속되고 있다.

[0200] 논리 반도체 칩(LCH-1)은, 실리콘 기관(SSB)과 실리콘 기관(SSB)의 주면에 형성된 배선층(HSB)을 구비하고 있다. 배선층(HSB)은, 복수의 도전층과 복수의 절연층을 갖고 있으며, 도전층과 절연층이 교대로 적층되고 있다. 특히 제한되지 않지만, 여기서는, 배선층(HSB)이, 3층의 도전층을 구비하고 있는 것으로서 설명한다. 물론, 이 층수로 한정되는 것은 아니다.

[0201] 송신 버퍼 회로(SCB1-1), 수신 버퍼 회로(RCB1-2) 등의 복수의 회로 블록을 형성하기 위해서, 실리콘 기관(SSB)에는, 전계 효과형 트랜지스터(이하, MOSFET라고 칭한다)의 소스, 드레인 등으로서 기능하는 복수의 반도체 영역이 형성된다. 형성된 복수의 반도체 영역 사이가, 배선층(HCB)에 있어서의 도전층에 의해 형성된 배선패턴에 의해 접속된다. 이것에 의해, 송신 버퍼 회로(SCB1-1), 수신 버퍼회로(RCB-12)와 같은 회로 블록이 구성되게 된다. 도 15에는, 상기한 바와 같은 MOSFET는 생략되고 있어, 디지털 필터(1002)와 관계되는 부분만이 도시되어 있다.

[0202] 도 15에 나타난 논리 반도체 칩(LCH-1)에 있어서, LCH-L10(R), LCH-L10(V) 및 LCH-L11(V)은, 제1층의 도전층 LCH-L1에 형성된 배선 패턴이며, 실리콘 기관(SSB)의 주면에 배치되고 있다. 다음에, 도 16을 이용하여 자세하게 설명하지만, 상기한 배선 패턴(LCH-L10(R))은, 절연층(게이트 절연막)을 거쳐서, 실리콘 기관(SSB)에 형성되고 있으며, 배선 패턴(LCH-L10(V) 및 LCH-L11(V))은, 실리콘 기관(SSB)과 오믹접속 되도록 형성되고 있다. 배선 패턴(LCH-L10(R))의 한쪽의 단부는, 콘택트(CT1)에 의해, 제2층의 도전층(LCH-L2)에 의해 형성된 배선 패턴(LCH-L20(R))에 접속되고 있으며, 이 배선 패턴(LCH-L20(R))은, 콘택트(CT1)에 의해, 제3층의 도전층(LCH-L3)에 의해 형성된 배선 패턴(LCH-L30(R))에 접속되고 있다.

- [0203] 배선 패턴(LCH-L30(R))은, 컨택트(CT1)에 의해, 범프용 전극(LCH-PD3)에 접속되고 있다. 또, 배선 패턴(LCH-L10(R)) 다른 쪽의 단부는, 컨택트(CT1)에 의해, 제2층의 도전층(LCH-L2)에 의해 형성된 배선 패턴(LCH-L21(V))에 접속되며, 배선 패턴(LCH-L21(V))은, 또한 컨택트(CT1)에 의해, 배선 패턴(LCH-L1(V))에 접속되어 있다.
- [0204] 배선 패턴(LCH-L10(V))은, 컨택트(CT1)에 의해, 제2층의 도전층(LCH-L2)에 의해 형성된 배선 패턴(LCH-L20(V))에 접속되며, 이 배선패턴(LCH-L20(V))은 컨택트(CT1)에 의해, 제3층의 배선층(LCH-L3)에 의해 형성된 배선 패턴(LCH-L30(V))에 접속되고 있다.
- [0205] 도 16(A)는, 도 15에 나타낸 단면부를 포함한 평면도이다. 도 16(A)에 나타내듯이, 배선 패턴(LCH-L10(R))은, 횡방향으로 연재하고 있다. 이 실시 형태 3에 있어서는, 도 16(A)에 나타내듯이, 배선 패턴(LCH-L30(R))은, 송신 버퍼 회로(SCB1-1)(도 6)의 출력 단자에 접속되고 있다. 그 때문에, 송신 버퍼회로(SCB1-1)로부터의 송신 신호는, 배선 패턴(LCH-L10(R))의 한쪽의 단부와 범프용 전극(LCH-PD3)에 출력되게 된다. 배선 패턴(LCH-L10(R))의 한쪽의 단부로부터, 입력된 신호에 대응한 신호가 출력되며, 범프용 전극(LCH-PD3)에 출력된 송신 신호와 합성되어 프린트 기관(PBS) 등에 형성된 배선 패턴을 전달해서, 논리 반도체 칩(LCH-2)(도 6)에 전달된다.
- [0206] 도 16(A)에는, 배선 패턴(LCH-L10(V)와 LCH-L20(V))이 2조 그려져 있지만, 도 16(B)에는, 2조 가운데, 우측의 배선 패턴(LCH-L10(V), LCH-L20(V))의 조만이 그려져 있다. 또, 배선 패턴(LCH-L30(V))은, 도 16(B)에 나타내듯이 메쉬 형상으로 배치되고 있으며, 예를 들면, 송신 버퍼 회로(SCB1-1) 및 수신 버퍼 회로(RCB1-2)에 접속되고 있다. 이들 버퍼 회로는, 예를 들면, 소정의 전압(V_s)을 기준 전압으로서 동작한다.
- [0207] 이 실시 형태 3에 있어서는, 지연 소자(DLN)가, 배선 패턴(LCH-L10(R))과 실리콘 기관(SSB)에 의해 형성된다. 이 실시 형태 3에 있어서는, 도 1(B)에 나타낸 등가 회로에 있어서, 저항(R) 뿐만이 아니라, 컨덕턴스(G)를 크게 하는 것이 가능하게 되어, 신호 손실율을 제어하는 것이 가능하다. 또, 실리콘 기관(SSB)이 갖는 큰 유전율을 사용하여 배선 패턴(LCH-L10(R))의 단위길이 당 지연량을 증가시키는 것이 가능하고, 지연 소자(DLN)의 소형화를 도모하는 것이 가능해진다.
- [0208] 다음에, 도 16(B)을 이용하여, 실시 형태 3과 관계되는 지연 소자(DLN)를 설명한다. 실리콘 기관(SSB)은, 예를 들면 P형 실리콘 기관이다. 배선 패턴(LCH-L10(R))은, 절연층으로서 P형 실리콘 기관에 형성된 게이트 절연막이 이용된다. 배선 패턴(LCH-L10(R)) 다른 쪽의 단부가, P형 실리콘 기관과 오믹 접촉한 기관배선 패턴(LCH-L11(V)) 및 배선 패턴(LCH-L21(V))를 거쳐서, P형 실리콘 기관에 접속되게 된다. 배선 패턴(LCH-L10(R))은, MOSFET의 게이트 전극으로서 작용하고, 등가적으로는, MOSFET의 소스 또는 드레인이 게이트 전극에 접속된 MOS 다이오드(등가적인 다이오드 소자)가 형성되게 된다. 즉, 분포 정수형의 MOS 다이오드가 형성되어 지연 소자(DLN)로서 기능하게 된다. 실리콘 인터포저에 있어서 절연층으로서 이용되는 산화막의 비유전율은 4 정도이다. 또한, 다른 인터포저에 있어서 절연층으로서 이용되는 수지 재료의 비유전율은 3. 1 정도이다. 이러한 재료의 비유전율에 비해서, 실리콘의 비유전율은 12 정도가 된다. 그 때문에, 지연 소자(DLN)의 단위길이 당 지연을 크게 하는 것이 가능하게 되며, 지연 소자(DLN)의 소형화를 도모할 수가 있다. 또한, 등가적으로 MOS 다이오드가 기 때문에, 전류가 흐르게 된다. 이 전류는, 도 1(B)에 도시한 병렬 컨덕턴스(G)에 의해 흐르는 전류에 상당한다. 그 결과, 도 1(B)에 도시한 저항(R) 뿐만이 아니라, 컨덕턴스(G)에 의해서도, 신호 손실율을 제어하는 것이 가능하게 된다.
- [0209] 상기한 배선 패턴 등은, 주지의 반도체 제조 기술에 의해 형성하지만, 횡방향으로 연재하는 배선 패턴(LCH-L10(R))의 저항값이 너무 높은 경우를 생각할 수 있다. 이 경우에는, 지연 소자(DLN)의 구조를, 도 16(C)에 나타내는 것과 같은 구조로 하면 된다. 즉, 배선 패턴(LCH-L20(R))을, 횡방향으로 연재시켜, 배선 패턴(LCH-L21(V))에 접속시킨다. 또한 연재한 배선 패턴(LCH-L20(R))과 배선 패턴(LCH-L10(R))과의 사이를 복수의 컨택트(CT1)에 의해 접속한다. 이것에 의해 배선 패턴(LCH-L10(R)와 LCH-L20(R))과의 합성 저항을 낮출 수 있게 된다.
- [0210] 이 실시 형태 3에 있어서는, 지연 소자(DLN)가 논리 반도체 칩(LCH-1)으로 형성된다. 그 때문에, 지연 소자(DLN)의 한쪽의 단부를, 송신 버퍼 회로의 출력 단자 또는 수신 버퍼 회로의 입력 단자의 근방에 배치하는 것이 가능해진다. 근방에 배치하는 것에 의해, 와이어드 오어 접속의 부분(도 1의 노드(WNR)) 과 입력 단자 또는 출력 단자와의 사이에 발생하는 신호 열화를 저감하는 것이 가능해진다.
- [0211] 이 실시 형태 3에 있어서는, 등가적으로 MOS 다이오드에 의해 지연 소자(DLN)가 형성되기 때문에, 지연 소자(DLN)를 구성하는 신호 배선 및 전압 배선의 단위길이 당 소정의 전압(V_s)(회로의 접지 전압)에 대한 저항(R)을, 신호 선로(1000)의 단위길이 당 소정의 전압(V_s)에 대한 저항(R)보다 작게 하는 것이 가능하다. 바

꾸어 말하면, 한 쌍의 소정의 전압(V_s)(회로의 접지 전압)에 대한 컨덕턴스(G)를 크게 하는 것이 가능하다.

- [0212] 실리콘 기판으로서 P형 실리콘 기판을 예로 해 설명했지만, N형 실리콘 기판으로 해도 되고, 도 16(B) 및 (C)에 나타난 실리콘 기판은, P형 또는 N형의 웰 영역이어도 된다.
- [0213] (실시 형태 4)
- [0214] 도 17 및 도 18은, 실시 형태 4와 관계되는 반도체 장치의 구조를 나타내는 도면이다. 이 실시 형태 4에 있어서도, 실시 형태 3과 같이, 지연 소자(DLN)는, 논리 반도체 칩(LCH-1)에 형성된다. 도 17 및 도 18은, 도 15 및 도 16과 유사하므로, 차이점을 주로 설명한다. 도 15 및 도 16을 이용하여 설명한 실시 형태 3에 있어서는, 지연 소자(DLN)가, 분포 정수형의 MOS 다이오드에 의해서 구성되어 있었다. 이에 있어서, 실시 형태 4에 있어서는, 지연 소자(DLN)가, 분포 정수형의 PN접합 다이오드(등가적인 다이오드 소자)에 의해 구성된다
- [0215] 도 17은, 도 16과 같이, 반도체 장치의 단면을 나타내는 단면도이다. 또 도 18은, 도 16과 같이, 지연 소자의 구조를 나타내는 도면이다. 여기서, 도 18(A)은, 지연 소자의 구조를 나타내는 평면도이며, 동 도에 있어서의 A4-A4' 단면이, 도 17에 도시되어 있다. 도 18(B)은, 도 16(B)과 같이, 지연 소자의 단면을 나타내는 단면도이다.
- [0216] 이 실시 형태 4에 있어서는, 분포 정수형의 PN접합 다이오드를 형성하기 위해서, 실리콘 반도체 기판(SSB)에, 실리콘 기판(SSB)과 역도전형의 반도체 영역이 형성된다.
- [0217] 도 17 및 도 18(B)에 있어서, SSB-n은, 실리콘 기판 SSB에 형성된 반도체 영역을 나타내고 있다. 실리콘 기판(SSB)은, 예를 들면 P형 실리콘 기판이다. 이 경우, 반도체 영역(SSB-n)은, P형과는 역의 도전형인 N형 반도체 영역이다. 이것에 의해, P형 실리콘 기판(SSB)과 N형 반도체 영역과의 접합부에 있어서, PN형 다이오드가 형성되게 된다.
- [0218] N형 반도체 영역(SSB-n)은, 도 17 및 도 18에 있어서, 횡방향으로 연재하고 있다.
- [0219] 이 횡방향으로 연재하고 있는 N형 반도체 영역(SSB-n)은, 배선 패턴(LCH-L10(R))과 오믹 접속하고 있다. 실시 형태 3에서는, 배선 패턴(LCH-L10(R))은, 게이트 산화막을 거쳐서 실리콘 기판(SSB)에 형성되어 게이트 전극으로서 기능하고 있지만, 이 실시 형태 4에 있어서는, PN접합 다이오드의 전극으로서 기능한다.
- [0220] 이 경우, P형의 실리콘 기판(SSB)은, 소정의 전압(V_s)(예를 들면, 회로의 접지 전압)에 접속된다. 이 실시 형태에 있어서는, PN접합 다이오드에 의해 지연 소자(DLN)가 구성되기 때문에, PN접합 다이오드를 흐르는 전류를 크게 하는 것이 가능해진다. 이 PN접합 다이오드에 의해 구성된 지연 소자(DLN)의 등가 회로는, 도 1(B)에 도시한 등가 회로와 같다. PN접합 다이오드를 흐르는 다이오드 전류가, 등가 회로에 있어서, 병렬적으로 접속된 컨덕턴스(G)를 흐르는 전류라고 볼 수가 있기 때문에, 이 실시 형태 4에 의하면, 보다 큰 컨덕턴스(G)를 갖는 지연 소자(DLN)를 형성하는 것이 가능해진다.
- [0221] 도 18(C)은, 도 16(C)에 유사하게 되어 있다. 즉, 도 18(C)에 있어서는, 배선 패턴(LCH-L20(R))이, 배선 패턴(LCH-L10(R))에 따라 연재하여 배치되고 있다. 연재된 배선 패턴(LCH-L20(R))은, 복수의 컨택트(CT1)에 의해, 배선 패턴(LCH-L10(R))과 병렬적으로 접속되고 있다. 이것에 의해, 배선 패턴(LCH-L10(R))과 LCH-L20(R))과의 합성 저항을 저감하는 것이 가능해진다. 즉, PN접합 다이오드의 전극의 저항을 저감하는 것이 가능하게 된다. 또한 실시 형태 4에서는, 다이오드의 전극의 저항을 저감하기 위해서, 배선 패턴(LCH-L20(R))이 연재되고 있기 때문에, 실시 형태 3과 달리, 연재된 배선 패턴(LCH-L20(R))은, P형의 실리콘 기판에 접속된 배선 패턴(LCH-L21(V))과 전기적으로 분리되어 있다.
- [0222] 실리콘 기판(SSB)이, P형의 실리콘 기판의 경우를 예로 하여 설명했지만, 실시 형태 3과 같이, 이것으로 한정되는 것은 아니다. 즉, 실리콘 기판(SSB)은, N형의 실리콘 기판이어도 되고, P형 또는 N형의 웰이어도 된다. 물론, N형의 실리콘 기판 또는 N형의 웰의 경우에는, N형 반도체 영역(SSB-n) 대신에 P형 반도체 영역이 이용되게 된다.
- [0223] 실시 형태 3 및 4에 있어서는, 송신 버퍼 회로(SCB1-1)의 출력 단자에 접속된 디지털 필터를 예로 하여 설명했지만, 물론, 수신 버퍼 회로(RCB12)의 입력 단자에, 실시 형태 3 및 4에서 설명한 디지털 필터가 접속되도록 하여도 된다.
- [0224] (실시 형태 5)
- [0225] 실시 형태 1~4에 있어서는, 단상의 신호를 전송하는 신호 선로를 예로서 설명했지만, 차동의 신호(차동 신호)를

전송하는 신호 선로에도, 디지털 필터를 적용할 수 있다. 이 경우에도, 소비 전력의 저감을 도모하면서, 신호의 복원(정형)을 실시하는 것이 가능하다. 차동 신호를 전송하는 신호 선로에 디지털 필터를 이용하는 형태를, 실시 형태 5로서 설명한다.

- [0226] 도 19는, 실시 형태 5와 관계되는 디지털 필터의 구성을 나타내는 블록도이다. 도 19에 있어서, 1001P는, 1쌍의 출력 단자를 갖는 송신 버퍼 회로를 나타내 있으며, 1003P는, 1쌍의 입력 단자를 갖는 수신 버퍼 회로를 나타내고 있다. 송신 버퍼 회로(1001P)는, 예를 들면 도 6에 나타낸 논리 반도체 칩(LCH-2)내의 SerDes 회로에 설치되고 있으며, 수신 버퍼 회로(1003P)는, 도 6에 나타낸 논리 반도체 칩(LCH-1) 내의 SerDes 회로에 설치되어 있다. 송신 버퍼 회로(1001P)는, 송신해야 할 신호를 수신하고, 수신한 신호에 따른 차동 신호를 생성한다. 송신 버퍼 회로(1001P)는, 예를 들면 전송 속도가 56Gbps, 서로 위상이 반전한 1쌍의 시리얼 신호를 차동 신호로서 형성한다. 형성된 차동 신호는, 송신 버퍼 회로(1001P)의 1쌍의 출력 단자로부터, 1쌍의 신호 선로(제1 신호 선로 및 제2 신호 선로)(1000P1, 1000 P2)의 단부(SNI1, SNI2)에 공급된다. 즉, 형성된 1쌍의 시리얼 신호 중 한쪽의 시리얼 신호가, 신호 선로(제1 신호 선로 또는 제2 신호 선로)(1000P1)의 단부(SNI1)에 공급되고, 다른 쪽의 시리얼 신호가, 신호 선로(제2신호 선로 또는 제1 신호 선로)(1000P2)의 단부(SNI2)에 공급된다.
- [0227] 1쌍의 신호 선로(1000P1, 1000P2)는, 논리 반도체 칩(LCH-1)에 배치된 송신 버퍼 회로(1001P)와 논리 반도체 칩(LCH-2)에 배치된 수신 버퍼 회로(1003P) 사이를 접속하는 배선 패턴 및 콘택트에 의해 구성되어 있다. 예를 들면, 프린트 기판(PBS)에 형성된 1쌍의 배선 패턴 등이, 1쌍의 신호 선로(1000P1, 1000 P2)에 포함된다.
- [0228] 1쌍의 신호 선로(1000P1, 1000P2)의 각각의 단부(SNI1, SNI2)에 공급된 차동 신호는, 신호 선로(1000P1, 1000P2)를 전파하고, 신호 선로(1000P1, 1000P2)의 각각의 단부(SNO1, SNO2)에 전달된다. 1쌍의 신호 선로(1000P1, 1000P2)의 각각은, 노드(WRN1, WRN2)에 있어서, 1쌍의 디지털 필터(1002P1, 1002P2)에 접속되어 있다.
- [0229] 수신 버퍼 회로(1003P)의 1쌍의 입력 단자는, 노드(WRN1, WRN2)에 접속되어 있다. 즉, 수신 버퍼 회로(1003P)의 1쌍의 입력 단자 중, 한쪽의 입력 단자가, 노드(WRN1)에 접속되고, 다른 한쪽의 입력 단자가, 노드(WRN2)에 접속되고 있다. 수신 버퍼 회로(1003P)는, 1쌍의 입력 단자에 공급된 차동 신호를 증폭해서 출력한다. 수신 버퍼 회로(1003P)는, 1쌍의 입력 단자에 접속된 차동 회로를 구비하고 있다고 볼 수 있다. 이 경우, 1쌍의 입력 단자에 공급된 차동 신호가, 차동 회로에 의해 증폭되게 된다. 수신 버퍼 회로(1003P)로부터의 출력이, SerDes 회로에서 처리된다.
- [0230] 1쌍의 디지털 필터(1002P1, 1002P2)는, 서로 같은 구성을 갖고 있으며, 그 구성은, 실시 형태 1~4에 있어서 기술한 디지털 필터(1002)와 같다. 디지털 필터(1002P1)는, 1쌍의 단부(DN1, DN2)를 갖는 지연 소자(DLN1)를 갖고 있으며, 디지털 필터(1002P2)는, 1쌍의 단부(DN1, DN2)를 갖는 지연 소자(DLN2)를 갖고 있다.
- [0231] 지연 소자(DLN1)의 한쪽의 단부(DN2)는, 노드(WRN)에 있어서, 신호 선로(1000P1)의 단부(SNO1) 및 수신 버퍼 회로(1003P)의 한쪽의 입력 단자와 와이어드 오어 접속되고 있으며, 다른 한쪽의 단부(DN1)는, 소정의 전압(V_s)에 접속되고 있다. 지연 소자(DLN2)도, 지연 소자(DLN1)와 같이, 그 한쪽의 단부(DN2)는, 노드(WRN)에 있어서, 신호 선로(1000P2)의 단부(SNO2) 및 수신 버퍼 회로(1003P)의 다른 한쪽의 입력단자와 와이어드 오어 접속되고 있으며, 다른 한쪽의 단부(DN1)는, 소정의 전압(V_s)에 접속되어 있다.
- [0232] 실시 형태 1에서 설명한 디지털 필터(1002)와 상기한 1쌍의 디지털 필터(1002P1, 1002 P2)와의 대응을 기술하면, 다음과 같다. 즉, 도 19에 나타낸 지연 소자(DLN1 및 DLN2)의 각각이, 도 1(A)에서 설명한 소자(DLN)에 상당하고, 지연 소자(DLN)와 같이 동작한다.
- [0233] 동일하게 동작하기 때문에, 자세한 설명은 생략 하지만, 지연 소자(DLN1, DLN2)의 각각의 한쪽의 단부(DN2)가, 신호의 입력 및 출력 단자로서 기능한다. 지연 소자(DLN1)에는, 신호 선로(1000P1)의 단부(SNO1)로부터 출력되는 신호 중 신호 분배율(b)에 따른 신호가 입력되어 왕복 신호 지연(UT/m) 후에, 감쇠한 신호를 출력한다(실선 화살표). 지연 소자(DLN1)로부터 출력된 신호가, 와이어드 오어 접속 부분(노드 WRN1)에서 합성되어 합성된 신호가 수신 버퍼 회로(1003P)의 한쪽의 입력 단자에 공급되게 된다. 마찬가지로 지연 소자(DLN2)에는, 신호 선로(1000P2)의 단부(SNO2)로부터 출력되는 신호 가운데, 신호 분배율(b)에 따른 신호가 입력되어 왕복 신호지연(UT/m) 후에, 감쇠한 신호를 출력한다(일점 쇄선 화살표). 지연 소자(DLN2)로부터 출력된 신호가, 와이어드 오어 접속의 부분(노드 WRN2)에서 합성되어 합성된 신호가 수신 버퍼 회로(1003P)의 다른 한쪽의 입력 단자에 공급되게 된다.
- [0234] 이것에 의해, 수신 버퍼 회로(1003P)의 1쌍의 입력 단자의 각각은, 합성에 복원(정형)된 신호가 공급되게 된다.

1쌍의 디지털 필터(1002P1, 1002P2)의 각각은, 수동 소자인 지연 소자(DLN1, DLN2)에 의해 형성되고 있기 때문에, 소비 전력의 저감을 도모하면서, 1쌍의 신호 선로에 있어서의 손실에 의해 생긴 신호 열화를 복원하는 것이 가능해진다.

[0235] 지연 소자(DLN1, DLN2)의 각각은, 실시 형태 1 및 2에 있어서 설명한 바와 같이 인터포저에 형성해도 되고, 실시 형태 3 및 4에 있어서 설명한 바와 같이, 반도체 칩에 형성하도록 해도 된다. 또, 도 19에서는, 수신 버퍼 회로(1003P)의 1쌍의 입력 단자 측에, 1쌍의 디지털 필터(1002P1, 1002P2)를 접속하는 예를 나타냈지만, 송신 버퍼 회로(1001P)의 1쌍의 출력 단자 측에, 1쌍의 디지털 필터(1002P1, 1002P2)를 접속하도록 해도 된다.

[0236] (실시 형태 6)

[0237] 도 20은, 실시 형태 6과 관계되는 디지털 필터의 구성을 나타내는 블록도이다. 이 실시 형태 6에 있어서도, 차동 신호를 전송하는 신호 선로에 적절한 디지털 필터가 제공된다. 도 20은, 도 19와 유사하기 때문에, 차이점을 주로 설명한다.

[0238] 도 20에 있어서, 1쌍의 신호 선로(1000P1), 송신 버퍼 회로(1001P) 및 수신버퍼 회로(1003P)는, 도 19와 같기 때문에, 설명은 생략한다. 도 19에서는, 신호 선로(1000P1, 1000P2)의 각각 대해서 디지털 필터(1002P1, 1002P2)가 설치되어 있다. 이것에 대해서, 이 실시 형태 6에 있어서는, 1쌍의 신호 선로(1002P1, 1002P2)에 대해서, 1개의 디지털 필터(1002P)가 설치된다.

[0239] 디지털 필터(1002P)는, 1쌍의 단부(DNIO1, DNIO2)를 갖는 지연소자(DLN)를 구비하고 있다. 지연 소자(DLN)의 한쪽의 단부(DNIO1)는, 노드(WRN1)에 있어서, 신호 선로(1001P1)의 단부(SN01)와 수신 버퍼 회로(1003P)의 한쪽의 입력단자와 와이어드 오어 접속되고 있다. 마찬가지로, 지연 소자(DLN)의 다른 한쪽의 단부(DNIO2)는, 노드(WRN2)에 있어서, 신호 선로(1001P2)의 단부(SN02)와 수신 버퍼회로(1003P)의 한쪽의 입력 단자에 와이어드 오어 접속되고 있다. 지연 소자(DLN)는, 실시 형태 1~5에 있어서 설명한 지연 소자와 달리, 소정의 전압(V_s)에 접속된 단부를 갖고 있지 않다.

[0240] 또, 도 20에서는, 지연 소자(DLN)는, 그 평면 형상이, 접혀지도록 그려져 있지만, 이 평면 형상으로 한정되는 것은 아니다. 예를 들면, 도 7에 나타낸 배선 패턴(INS-L10)과 같이, 평면 형상이 직선 모양이어도 된다. 도 7에 나타낸 배선 패턴(INS-L10)을, 도 20에 나타낸 지연 소자(DLN)의 신호 배선으로서 이용하는 경우, 배선 패턴(INS-L10)과 배선 패턴(INS-L13)이 분리되어 배선 패턴(INS-L10)의 한쪽의 단부가, 도 20의 노드(WRN1)에 접속되고, 다른 한쪽의 단부가, 도 20 노드(WRN2)에 접속되게 된다. 또, 이 경우에도, 평면에서 본 경우에는 배선 패턴(L10)은, 도 7과 같이, 지연 소자(DLN)를 구성하는 전압 배선인 배선 패턴(INS-L11와 INS-L12)과의 사이에, 이러한 배선 패턴과 평행하여 연재하도록 배치되어 있다.

[0241] 도 20에 나타낸 지연 소자(DLN)는, 도 19에 나타낸 지연 소자(DLN)1의 왕복 신호 지연과, 지연 소자(DLN)2의 왕복 신호 지연의 합에 상당하는 왕복 신호 지연을 가지도록 한다. 또한, 도 20에 나타낸 지연 소자(DLN)의 신호 손실량은, 지연 소자(DLN1)의 신호 손실량(db)과 지연 소자(DLN2)의 신호 손실량(db)의 합이 되도록 한다. 도 19에 나타낸 지연소자(DLN1와 DLN2)는, 서로 같은 구성을 가지고 있기 때문에, 도 20에 나타낸 지연소자(DLN)는, 지연 소자(DLN1)의 2배의 길이를 갖는 배선 패턴으로 형성된다.

[0242] 차동 신호를 구성하는 1쌍의 신호(시리얼 신호)는, 한쪽의 신호(다른 한쪽의 신호)를 볼 때 다른 한쪽의 신호(한쪽의 신호)는 기준 전위로서 동작한다고 생각할 수가 있다. 즉, 각 상이 서로 기준 전위로서 동작한다. 실시 형태 6에 있어서는, 지연 소자(DLN)의 한쪽의 단부(DNIO1)에, 차동 신호 중 한쪽의 신호가 입력되며, 지연 소자(DLN)의 다른 한쪽의 단부(DNIO2)에, 차동 신호 중 다른 한쪽의 신호가 입력된다. 그 때문에, 한쪽의 단부(DNIO1)에 입력된 신호를 보면, 이 신호에 대한 기준 전위가, 다른 한쪽의 단부(DNIO2)에 공급되고 있게 된다. 마찬가지로 다른 한쪽의 단부(DNIO2)에 입력된 신호를 보면, 이 신호에 대한 기준 전위가, 한쪽의 단부(DNIO1)에 공급되고 있게 된다.

[0243] 그 결과, 지연 소자(DLN)의 한쪽의 단부(DNIO1)에 입력된 신호는, 지연 소자(DLN)의 다른 한쪽의 단부(DNIO2)에 있어서 반사되어 반사된 신호가, 다른 한쪽의 단부(DNIO1)로부터 출력되게 된다(실선 화살표). 마찬가지로, 지연 소자(DLN)의 한쪽의 단부(DNIO2)에 입력된 신호는, 지연 소자(DLN)의 한쪽의 단부(DNIO1)에 있어서 반사되어 반사된 신호가, 다른 한쪽의 단부(DNIO2)로부터 출력되게 된다(일점 쇄선 화살표).

[0244] 지연 소자(DLN)의 한쪽의 단부(DNIO1)와 다른 쪽의 단부(DNIO2)에 입력되는 1쌍의 신호는 차동 신호이기 때문에, 다른 한쪽의 단부(DNIO2)(또는 한쪽의 단부(DNIO1))에 입력되고 있는 신호를 기준 전위로서 취급하면, 한쪽의 단부(DNIO1)(또는 다른 한쪽의 단부(DNIO2))에 입력되고 있는 신호는, 1쌍의 신호 사이의 중심 전위(소

정의 전압(V_s))에 대해서 2배의 값이 된다. 그 때문에, 지연 소자(DLN)의 신호 감쇠량은, 2배(지연 소자(DLN1)의 신호 감쇠량(db)과 지연 소자(DLN2)의 신호 감쇠량(db)의 합)이 된다.

- [0245] 또, 차동 신호를 구성하는 1쌍의 신호는, 같은 주파수에서 변화한다. 그 때문에, 다른 한쪽의 단부(DNIO2)에 입력되고 있는 신호가 기준 전위로서 동작하고 있을 때, 이 기준 전위를 시간에 따라 변화하지 않는 고정된 기준 전위라고 보았을 경우, 한쪽의 단부(DNIO1)에 입력되고 있는 신호는, 2배의 주파수를 갖고 있는 것이라고 볼 수 있다. 그 때문에, 지연소자(DLN)의 왕복 신호 지연은, 2배가 된다.
- [0246] 지연 소자(DLN)는, 충분히 짧기 때문에, 지연 소자(DLN)의 왕복 신호 지연은, 지연 소자(DLN)의 길이에 의존하게 된다. 따라서, 도 19에 나타난 지연 소자(DLN1와 DLN2)의 합을, 지연 소자(DLN)의 길이로 함으로써, 2배의 왕복 신호 지연을 얻는 것이 가능하게 된다.
- [0247] 왕복 신호 지연은, 데이터 폭 구간(UT)을 정수(m)로 나눈 값이며, 여기서 말한 2배의 왕복신호 지연은, 정수(m)가 1의 경우이다. 그 때문에, 2배는 일레이며, 1 데이터 폭 구간(UT)에 있어서, 왕복 신호 지연이 1회를 포함한 정수(m) 회 발생하도록, 지연 소자(DLN)의 길이 등은 정하면 된다.
- [0248] 지연 소자(DLN)의 단부(DNIO1)로부터의 출력된 신호가, 노드(WRN1)에 있어서 합성된다. 마찬가지로, 지연 소자(DLN)의 단부(DNIO2)로부터의 출력된 신호가, 노드(WRN2)에 있어서 합성된다. 그 결과, 수신 버퍼 회로(1003P)의 1쌍의 입력 단자에는, 복원(정형)된 차동 신호가 공급되게 된다. 즉, 소비 전력의 저감을 도모하면서, 신호 선로에 있어 왜곡된 파형을 정형하는 것이 가능해진다.
- [0249] 또, 이 실시 형태 6에 있어서는, 1쌍의 신호 선로(1000P1, 1000 P2)에 동상의 노이즈가 들어갔을 경우, 노이즈에 따라, 지연 소자의 단부(DNIO2 또는 DNIO1)에 공급되는 기준 전위도 변화하게 된다. 그 결과, 단부(DNIO1 또는 DNIO2)로부터 출력되는 출력 신호는, 노이즈에 의한 영향을 받지 않는다. 즉, 노이즈에 의한 영향을 저감하는 것이 가능해진다.
- [0250] 도 20에서는, 수신 버퍼 회로(1003P) 측에 디지털 필터(1002P)를 마련한 예를 나타냈지만, 송신 버퍼 회로(1001P) 측에 디지털 필터(1002P)를 마련해도 된다. 또, 지연 소자(DLN)는, 실시 형태 1~4에 있어서, 기술한 바와 같이, 인터포저에 형성해도 되고, 반도체 칩에 형성해도 된다.
- [0251] (실시 형태 7)
- [0252] 실시 형태 5 및 6에 있어서는, 차동 신호를 전송하는 신호 선로(차동 신호 선로)에 이용하는 디지털 필터를 설명했다. 실시 형태 7에서는, 차동 신호를 전송하는 신호 선로(차동 신호 선로)에 이용하는 디지털 필터의 보다 구체적인 형태가 제공된다.
- [0253] <차동 신호 및 코먼 모드 신호>
- [0254] 먼저, 신호 선로에서 전송되는 차동 신호의 일례를, 도 24를 이용하여 설명한다. 도 24는, 차동 신호의 전압 파형을 나타내는 파형도이다. 동 도에 있어, 횡축은 시간(t)을 나타내고 있고, 종축은 전압을 나타내고 있다. 종축에 대해서, V_{ref} 는 기준의 전압(기준 전압)을 나타내 있으며, V_d 는, 기준 전압(V_{ref})에 있어서, 전압치가 높은 전압을 나타내고, V_d 는, 기준 전압(V_{ref})에 대해서 낮은 전압을 나타내고 있다.
- [0255] 차동 신호는, 시간의 경과에 수반하여, 그 전압이 상보적으로 변화하는 1쌍의 신호에 의해 구성되고 있다. 도 24에서는, 이 1쌍의 신호가, 부호 SSI와/SSI로 도시되어 있다. 신호(SSI)가, 기준 전압(V_{ref})보다 높은 전압 범위에서 시간의 경과에 수반하여 변화한다면, 신호/SSI는, 기준 전압(V_{ref})보다 낮은 전압의 범위에서, 시간의 경과에 수반해 변화한다. 시간의 경과에 수반하는 신호(SSI)와 신호(/SSI)의 변화는, 상보적이 된다. 즉, 신호(SSI)의 전압이, 기준 전압(V_{ref})으로부터 전압(V_d)를 향해 상승하도록 변화할 경우, 신호/SSI의 전압은, 기준 전압(V_{ref})으로부터 전압($-V_d$)를 향해 하강하도록 변화한다. 마찬가지로, 신호(SSI)가, 전압(V_d)으로부터 기준 전압(V_{ref})을 향해 하강하도록 변화할 때, 신호(/SSI)의 전압은, 전압($-V_d$)으로부터 기준 전압(V_{ref})를 향해 상승하도록 변화한다.
- [0256] 차동 회로는, 예를 들면, 이 1쌍의 신호(SSI와/SSI) 사이의 전압 차이를 검출 또는/및 증폭한다. 본 명세서에 있어서는, 이하, 특히 명시할 필요가 없는 경우에는, 1쌍의 신호(SSI와/SSI)의 각각도 차동 신호라고 칭한다.
- [0257] 도 24에 있어서, $+V_{pd}$ 는, 차동 신호(SSI)가 변화했을 때의 피크 전압을 나타내고, V_{pd} 는, 차동 신호(/SSI)가 변화했을 때의 피크 전압을 나타내고 있다. 여기에서는, 차동 신호(SSI)의 전압의 절대치와 차동 신호(/SSI)의 전압의 절대치는, 동일한 것으로서 설명한다. 그 때문에, 기준 전압(V_{ref})으로부터 피크 전압(V_{pd})까지의 전압의

절대치와 기준전압(Vref)으로부터 피크 전압(-Vpd)까지의 전압의 절대치는 동일하다.

- [0258] 도 24에 있어서, CMI는, 차동 신호(SSI, /SSI)에 동기한 코먼 모드 신호를 나타내고 있다. 도 24에 있어서는, 코먼 모드 신호(CMI)는, 차동 신호(SSI)와 동상의 신호로서 도시되어 있다. 즉, 차동 신호(SSI)의 상승에 동기하여, 코먼 모드 신호(CMI)는 상승하고, 차동 신호(SSI)의 하강에 동기하여, 코먼 모드 신호(CMI)는 하강한다. 기준 전압(Vref)에 대한 코먼 모드 신호(CMI)의 피크 전압이, 도 24에서는, +Vpc로서 도시되어 있다.
- [0259] 코먼 모드 신호(CMI)가, 노이즈로서 차동 신호(SSI, /SSI)의 각각에 중첩했을 경우, 차동 신호(SSI, /SSI)의 각각의 전압은, 코먼 모드 신호(CMI)의 전압분 만큼 높아진다. 또한 이 경우, 노이즈로서 중첩되기 때문에, 코먼 모드 신호(CMI)는, 코먼 모드 노이즈(CMI)라고 봐도 되므로, 이하, 코먼 모드 노이즈(CMI)라고 칭하는 일도 있다.
- [0260] 코먼 모드 노이즈(CMI)에 의해서, 차동 신호(SSI, /SSI)의 전압이 변화해도, 그 사이의 전압차이는 변화하지 않기 때문에, 차동 회로는, 코먼 모드 노이즈(CMI)에 영향을 받지 않는 검출 결과 또는/및 증폭 결과를 출력하는 것이 가능해진다.
- [0261] <싱글 엔드 디지털 필터>
- [0262] 실시 형태 5에 있어서는, 도 19에 나타내듯이, 1쌍의 신호(차동 신호(SSI), /SSI)는, 송신 버퍼 회로(1001P)의 1쌍의 출력 단자로부터, 1쌍의 신호 선로(1000P1, 1000P2)의 단부(SNI1, SNI2)에 공급된다. 이 차동 신호(SSI, /SSI)는, 신호 선로(1000P1, 1000P2)를 전파하고, 신호 선로(1000P1, 1000P2)의 각각의 단부(SNO1, SNO2)에 전달된다. 실시 형태 5에서는, 1쌍의 신호 선로(1000P1, 1000P2)의 각각은, 노드(WRN1, WRN2)에 있어서, 1쌍의 디지털 필터(1002P1, 1002P2)에 접속되어 있다.
- [0263] 디지털 필터(1002P1, 1002P2)의 각각은, 도 19에 나타내듯이, 다른 한쪽의 단부(DN1)가, 소정의 전압(Vs)에 접속된 지연 소자(DLN1, DLN2)를 구비하고 있다. 다른 한쪽의 단부(DN1)가, 예를 들면 접지 전압과 같은 소정의 전압(Vs)에 접속되어 있기 때문에, 도 19에 나타낸 디지털 필터(1002P1, 1002P2)의 각각은, 싱글 엔드 디지털 필터라고 볼 수가 있다.
- [0264] <코먼 모드 신호>
- [0265] 도 19에 나타낸 송신 버퍼 회로(1001P)가, 1쌍의 차동 신호를 1쌍의 신호 선로(1000P1, 1000P2)에 공급하지만, 이 송신 버퍼 회로(1001P)는, 현실적으로는 얼마간의 코먼 모드 신호를 발생해 버린다. 또한, 신호 선로(1000P1와 1000P2)와의 사이에서, 비대칭의 개소가 존재하는 경우, 코먼 모드 신호가 발생하는 일이 있다. 이와 같이 해서 발생한 코먼 모드 신호는, 신호 선로(1000P1, 1000P2)의 각각에 노이즈로서 부여되게 된다. 도 19에 나타낸 디지털 필터(싱글 엔드 디지털 필터)(1002P1, 1002P2)에서는, 주어진 코먼 모드 신호(코먼 모드 노이즈)도 등화하도록 동작한다. 본 발명자는, 싱글 엔드 디지털 필터의 경우, 차동 신호 뿐만이 아니라, 코먼 모드 노이즈도 등화하는 것을 조사했으므로, 그 결과를 다음에 설명한다.
- [0266] 도 25는, 도 19에 나타내듯이, 디지털 필터(1002P1, 1002P2)의 각각을, 싱글 엔드 디지털 필터로 구성했을 경우의 아이 패턴을 나타내는 도면이다. 도 25에 있어서 횡축은 시간을 나타내고, 종축은 신호 전압을 나타내고 있다. 이 아이 패턴은, 도 9와 같은 조건에서 구해지고 있다. 즉, 프린트 기판으로서 FR4 기판을 이용하여 도 6에 나타낸 것 같은 논리 반도체 칩(LCH-1과 LCH-2)을, 그 간극이 4 인치가 되도록, 프린트 기판에 탑재하고, 프린트 기판의 배선 패턴을 거쳐서, 논리 반도체 칩(LCH-2)으로부터 LCH-1으로, 56Gbps의 전송 속도로, NRZ 형식의 차동 신호를 공급했을 경우를 나타내고 있다. 또, 인터포저로서는, 실리콘 인터포저가 이용되고 있다. 도 25에서는, 논리 반도체 칩(LCH-1)의 수신 버퍼 회로로서 도 19에 나타낸 것 같은 수신 버퍼 회로(1003P)가 이용되고, 1쌍의 차동 신호는, 도 19에 나타내는 것 같은 1쌍의 신호 선로(1000P1, 1000P2)를 거쳐서 수신 버퍼 회로(1003P)에 공급된다.
- [0267] 도 25(A)는, 도 19에 나타내듯이, 디지털 필터(1002P1, 1002P2)가, 노드(WRN1, WRN2)에 접속된 상태로, 수신 버퍼 회로(1003P)의 입력단자에 있어서의 신호 전압 파형을 중첩하는 것에 의해서 그려진 아이 패턴의 도면이다. 도 25(A)에 있어서, 도트로 채워진 파형(SSIB)은, 차동 신호(SSI, /SSI)의 성분을 등화함으로써 생기는 신호 전압 파형이며, 실선의 파형(CMIB)은, 코먼 모드 노이즈(CMI)의 성분을 등화함으로써 생기는 신호 전압 파형을 나타내고 있다. 또한, 도 25에서는, 코먼 모드 노이즈(CMI)의 피크 전압(+Vpc)(도 24)의 값이, 차동 신호(SSI)의 피크 전압(+Vpd)과 차동 신호(/SSI)의 피크 전압(-Vpd)의 사이의 전압차이의 20%의 경우를 나타내고 있다.
- [0268] 도 25(B)는, 도 25(A)로부터, 차동 신호(SSI, /SSI)의 성분을 등화함으로써 생긴 신호 전압 파형(SSIB)을 추출해

서, 아이 패턴으로 한 것을 나타낸 도면이다. 또, 도 25(C)는, 도 25(A)로부터, 코먼 모드 신호(CMI)의 성분을 등화함으로써 생긴 신호 전압 파형(CMIB)을 추출해서 아이 패턴으로서 나타낸 도면이다.

[0269] 도 25(B)에 나타내듯이, 아이 패턴이 열려 있는 것에 의해 디지털 필터(1002P1 및 1002P2)에 의해, 차동 신호(SSI 및/SSI)의 성분에 대해서 등화를 하여 송신된 차동 신호의 식별이 가능해지고 있는 것을 알 수 있다. 그러나 도 25(C)에 나타내듯이, 코먼 모드 신호(CMI)의 성분에 대해서도, 아이 패턴이 열려 있다. 즉, 코먼 모드 신호(CMI)의 성분에 대해서도, 디지털 필터(1002P1 및 1002P2)에 의해 등화를 하고 있게 된다. 그 결과, 도 25(A)에 나타내듯이, 아이 패턴에는, 차동 신호(SSI, /SSI)의 성분을 등화하는 것에 의해 생긴 신호 전압 파형(SSBIB)과 코먼 모드 노이즈의 성분을 등화하는 것에 의해 생긴 신호 전압 파형(CMIB)이 혼재한 상태가 되고 있다.

[0270] 이와 같이 혼재한 상태에서는, 예를 들면 수신 버퍼 회로(1003P)에 있어서, 송신된 차동 신호(시리얼 신호)의 논리 값을 식별하는 경우, 코먼 모드 신호(CMI)의 신호 전압 파형(CMIB)을 기본으로 해서 차동 신호의 논리 값을 잘못 식별해 버릴 수 있어 오동작으로 연결된다.

[0271] <<스큐>>

[0272] 쌍으로 된 차동 신호(SSI)와 차동 신호(/SSI) 사이에서는, 서로 동기하여 변화하는 것이 바람직하지만, 차동 신호(SSI)와 차동 신호(/SSI)와의 사이에는 지연(스큐)이 생기는 일이 있다. 예를 들면, 송신 버퍼 회로(1001P)(도 19)에 있어서의 특성의 불균형, 신호 선로(1000P1, 1000P2) 간의 지연 불균형 등에 의해, 차동 신호(SSI)와 차동 신호(/SSI)와의 사이에서 지연이 생긴다. 일례를 말하면, 차동 신호(SSI)의 전압이 변화 타이밍에 비해, 차동 신호(/SSI)의 전압이 변화하는 타이밍이 늦는 일이 있다.

[0273] 본 발명자는, 1쌍의 차동 신호(SSI, /SSI) 사이에 스큐가 있는 경우의 아이 패턴도 조사했다. 도 26은, 본 발명자가, 조사한 아이 패턴을 나타내는 도면이다. 도 26도, 디지털 필터(1002P1, 1002P2)의 각각이, 싱글 엔드 디지털 필터에 의해 구성되어 있는 경우의 아이 패턴을 나타내고 있다. 도 26에 있어서는, 신호 선로에 있어서의 지연 불균형에 의해, 3 피코 세컨드(psec)의 스큐가 차동 신호(SSI)와 차동 신호(/SSI)와의 사이에 존재하는 경우의 아이 패턴이 도시되어 있다. 도 26에 대해서도, 횡축은 시간을 나타내고, 종축은 신호 전압을 나타내고 있다. 도 26에 나타낸 아이 패턴은, 도 25과 같은 조건에서 구해지고 있다.

[0274] 도 26(A)에 있어서, 도트로 채워진 파형(SSIB)은, 차동 신호(SSI, /SSI)의 성분을 등화함으로써 생긴 신호 전압 파형을 나타내고 있으며, 실선의 파형(SKIB)은, 스큐를 등화함으로써 생긴 신호 전압 파형을 나타내고 있다. 또, 도 26(B)은, 도 25(B)와 같이, 도 26(A)로부터, 차동 신호(SSI, /SSI)의 성분에 의해 생긴 신호 전압 파형(SSIB)을 추출해서, 아이 패턴으로서 나타낸 도면이다. 도 26(C)는, 도 26(A)으로부터, 스큐에 의해 생긴 신호 전압 파형(SKIB)을 추출해서 아이 패턴으로서 나타낸 도면이다.

[0275] 도 25에서는, 차동 신호와 동상의 코먼 모드 노이즈(CMI)가, 차동 신호(SSI, /SSI)의 각각에 혼입한 경우를 나타내고 있었기 때문에, 차동 신호의 성분에 의해 생긴 신호 전압 파형(SSIB)과 코먼 모드 노이즈(CMI)의 성분에 의해 생긴 신호 전압 파형(CMIB)이 동상이 되어 있다. 즉, 신호 전압 파형(SSIB)에 의한 아이 패턴과 신호 전압 파형(CMIB)에 의한 아이 패턴은, 동상이 되어 있으며, 신호 전압 파형(SSIB)에 의한 아이 패턴이 열려 있는 타이밍과 신호 전압 파형(CMIB)에 의한 아이 패턴이 열려 있는 타이밍이 일치하고 있다. 이것에 대해서, 도 26에서는, 스큐에 의해 생긴 신호전압 파형(SKIB)에 의한 아이 패턴이 열려 있는 타이밍은, 신호 전압 파형(SSIB)에 의해 생긴 아이 패턴이 열려 있는 타이밍으로부터 어긋나 있다.

[0276] 스큐가 존재하는 경우에도, 도 26(C)에 나타내듯이, 스큐에 대응한 아이패턴이 발생하기 때문에, 코먼 모드 신호(CMI)가 혼입했을 경우와 같이, 오동작으로 연결된다.

[0277] <디지털 필터의 구성>

[0278] 도 27은, 실시 형태 7과 관계되는 디지털 필터의 구성 및 그 등가 회로를 나타내는 도면이다. 여기서, 도 27(A)은, 디지털 필터의 구성을 나타내고 있으며, 도 27(B)는, 도 27(A)에 나타낸 디지털 필터의 등가 회로를 나타내고 있다.

[0279] 도 27(A)은, 도 20에 나타낸 디지털 필터의 구성과 유사하므로, 차이점만을 설명한다. 도 20에 나타낸 디지털 필터에 있어서는, 지연 소자(DLN)는, 굴곡한 지연 배선(이하, 지연 선로라고도 칭한다)에 의해 구성되어 있었다. 그에 있어서, 이 실시 형태 7에 있어서는, 지연 소자(DLN)는, 직선 형상의 지연 선로에 의해 구성되어 있다. 그렇지만, 이 실시 형태 7에 있어서도, 도 20에 나타낸 것처럼, 굴곡한 지연 선로에 의해 지연 소자(DL

N)를 구성하도록 해도 된다. 지연 소자(DLN)가, 직선 형상의 지연 선로에 의해 구성되어 있는 것을 제외하고는, 도 27(A)에 나타내는 디지털 필터의 구성 및 동작은 도 20과 같다.

[0280] 또, 도 27(B)에 나타난 등가 회로는, 도 1(B)에 나타난 등가 회로와 유사하다. 차이점은, 지연 소자(DLN)가 갖는 1쌍의 단부(DNIO1, DNIO2)가, 신호 선로(1000P1, 1000P2)에 접속되고 있는 것이다. 즉, 지연 소자(DLN)의 단부(DNIO1)는, 신호 선로(1000P1)에 와이어드 오어 접속되며, 단부(DNIO2)는, 신호 선로(1000P2)에 와이어드 오어 접속되고 있다. 이 신호 선로(1000P1, 1000P2)의 각각은, 송신 버퍼 회로(1001P)와 수신 버퍼 회로(1003P)와의 사이에 접속되고 있으며, 지연 소자(DLN)와의 와이어드 오어 접속은, 수신 버퍼 회로(1003P)의 근방에서 행해지고 있다.

[0281] 도 27(B)에 나타난 등가 회로도에 있어서는, 도 1(B)와 같이, 인덕턴스(L), 저항(R), 캐패시턴스(C) 및 컨덕턴스(G)에 의해 구성되고, π 형의 분포 정수회로에 의해, 지연 소자(DLN)가 나타내지고 있다. 도 27(B)에 있어서는, 단부(DNIO1, DNIO2)의 각각에, 인덕턴스(L)와 저항(R)이 접속되도록, 분포 정수회로가 나타내지고 있지만, 이것으로 한정되는 것은 아니다. 다음에 설명하지만, 지연 소자(DLN)를 구성하는 지연 선로를 따라, 전압 배선이 배치되고 있다. 이 전압 배선에, 소정의 전압(V_s)이 공급된다. 이 전압 배선에 공급되는 소정의 전압(V_s)이, 도 27(B)에 나타난 전압(V_s)으로서 기능한다. 도 27(B)에 나타난 등가 회로도로서 설명하면, 이 전압배선과 지연 선로와의 사이에 병렬적으로 형성된 캐패시턴스와 컨덕턴스가, 도 27(B)에 나타난 분포 정수 회로를 구성하는 캐패시턴스(C)와 컨덕턴스(G)에 의해 표시되어 있다.

[0282] 실시 형태 6과 같이, 디지털 필터(1002P)는, 1쌍의 단부(DNIO1, DNIO2)를 갖는 지연 소자(DLN)를 구비하고 있다. 지연 소자(DLN)의 한쪽의 단부(DNIO1)는, 노드(WRN1)에 있어서, 신호 선로(1001P1)의 단부(SN01)와 수신 버퍼 회로(1003P)의 한쪽의 입력 단자에 와이어드 오어 접속되고 있다. 또한, 지연 소자(DLN)의 다른 한쪽의 단부(DNIO2)는, 노드(WRN2)에 있어서, 신호 선로(1001P2)의 단부(SN02)와 수신 버퍼 회로(1003P)의 한쪽의 입력 단자에 와이어드 오어 접속되고 있다. 이와 같이, 지연 소자(DLN)는, 실시 형태 6과 같이, 소정의 전압(V_s)에 접속된 단부를 갖고 있지 않다.

[0283] 도 20의 설명으로부터 이해되듯이, 쌍을 구성하는 차동 신호(SSI, /SSI)는, 한쪽의 차동 신호(SSI)(또는 다른 한쪽의 차동 신호(/SSI))를 볼 때, 다른 한쪽의 차동 신호(/SSI)(또는 한쪽의 차동 신호(SSI))는 기준 전위로서 동작한다고 생각할 수 있다. 즉, 차동 신호의 한쪽 또는 다른 한쪽이, 서로 기준 전위로서 동작한다. 도 27(A)에 있어서, 지연 소자(DLN)의 한쪽의 단부(DNIO1)에, 차동 신호 중 한쪽의 차동 신호(SSI)가 입력되고, 지연 소자(DLN)의 한쪽의 단부(DNIO2)에, 차동 신호 중 다른 한쪽의 차동 신호(/SSI)가 입력되는 경우, 한쪽의 단부(DNIO1)에 입력된 차동 신호를 보면(자), 이 차동 신호(SSI)에 대한 기준 전위가, 한쪽의 단부(DNIO2)에 공급되고 있게 된다. 마찬가지로, 한쪽의 단부(DNIO2)에 입력된 차동 신호(/SSI)를 보면, 이 차동 신호(/SSI)에 대한 기준 전위가, 한쪽의 단부(DNIO1)에 공급되고 있게 된다.

[0284] 그 결과, 지연 소자(DLN)의 한쪽의 단부(DNIO1)에 입력된 차동 신호(SSI)는, 지연소자(DLN)의 한쪽의 단부(DNIO2)에 있어서 반사되고, 반사된 차동 신호가, 한쪽의 단부(DNIO1)로부터 출력되게 된다. 마찬가지로, 지연 소자(DLN)의 한쪽의 단부(DNIO2)에 입력된 차동 신호(/SSI)는, 지연 소자(DLN)의 한쪽의 단부(DNIO1)에 있어서 반사되고, 반사된 신호가, 다른 한쪽의 단부(DNIO2)로부터 출력되게 된다.

[0285] 지연 소자(DLN)의 단부(DNIO1)로부터 출력된 차동 신호가, 노드(WRN1)에 있어서, 신호 선로(1000P1)로부터의 차동 신호(SSI)의 신호분(1-b)과 합성된다. 마찬가지로, 지연 소자(DLN)의 단부(DNIO2)로부터 출력된 차동 신호가, 노드(WRN2)에 있어서, 신호 선로(1000P2)로부터의 차동 신호(/SSI)의 신호분(1-b)과 합성된다. 그 결과, 수신 버퍼 회로(1003P)의 1쌍의 입력 단자에는, 복원(정형)된 차동 신호(SSI, /SSI)가 공급되게 된다. 즉, 소비 전력의 저감을 도모하면서, 신호선로에 있어서 열화한 차동 신호 성분의 파형을 정형하는 것이 가능해진다.

[0286] 이 실시 형태 7에 있어서는, 1쌍의 신호 선로(1000P1, 1000P2)에, 코먼 모드 노이즈가 들어갔을 경우, 이 코먼 모드 노이즈에 따라, 지연 소자의 단부(DNIO2 및 DNIO1)의 각각의 전위는, 똑같이 변화한다. 즉, 코먼 모드 노이즈에 따라, 단부(DNIO1, DNIO2)의 각각에 있어서 전위는, 동상으로 변화한다. 그 때문에, 단부(DNIO1 및 DNIO2)의 어느 쪽의 한쪽의 단부에 있어서의 전위를 기준전위로서 보면, 다른 한쪽의 단부에 있어서의 전위는, 코먼 모드 노이즈에 영향을 받지 않는다. 그 결과, 단부(DNIO1, DNIO2)에 공급된 신호 중, 차동 신호의 성분은, 지연소자(DLN)에 의해 등화가 행해지게 된다. 한편, 코먼 모드 노이즈에 의해 생기는 단부(DNIO1, DNIO2)에 있어서의 동상의 전위의 변화는, 지연 소자(DLN)에 의해 등화되지 않고, 수신 버퍼 회로(1003P)에 전달된다. 바꾸어 말한다면, 실시 형태 7과 관계되는 디지털 필터(1002P)는, 코먼 모드 노이즈의 성분에 의한 파형의 열화에

대해서는, 등화의 기능을 실행하지 않고, 출력하게 된다.

- [0287] 이것에 의해, 도 25에서 설명한 것 같은 코먼 모드 노이즈에 의해 생기는 신호 전압 파형(CMIB)에 의해, 열린 아이 패턴이 형성되는 것을 막는 것이 가능해진다. 그 결과, 코먼 모드 노이즈(CMI)를, 송신된 차동 신호로서 잘못해 특징하는 것 같은 오동작을 막는 것이 가능해진다. 코먼 모드 노이즈(CMI)는, 동상의 전위 변화로서 수신 버퍼 회로(1003P)에 전달되게 되지만, 수신 버퍼 회로(1003P)는, 차동 회로를 구비하고 있기 때문에, 동상의 전위 변화가 공급되어도, 검출 또는/및 증폭에는 영향을 주지 않는다.
- [0288] 차동 신호(SSI, /SSI) 사이에 스큐가 존재하는 경우에 있어서도, 스큐에 의해 차동 신호(SSI)와 차동 신호(/SSI)가, 같은 전압 방향으로 변화하고 있을 때는, 코먼모드 노이즈와 같은 동작을, 디지털 필터(1002P)가 실행하게 된다. 즉, 스큐에 의해, 차동 신호(SSI)와 차동 신호(/SSI)의 양쪽이, 같은 전압 방향, 예를 들면 도 24에 나타난 전압(+Vd)의 방향으로 변화할 경우에는, 지연 소자(DLN)의 단부(DNI01, DNI02)의 각각이, 함께 전압(+Vd)의 방향으로 변화하게 된다. 이것에 의해, 코먼 모드 노이즈의 경우와 같이, 디지털 필터(1002P)는, 등화를 실시하지 않고, 이 전압의 변화는, 수신 버퍼 회로(1003P)에 전달되게 된다.
- [0289] 스큐가 존재하고 있는 경우로서, 차동 신호(SSI와 /SSI)가 코먼 모드 노이즈와 같은 전압 상태가 되어 있을 때는, 지연 소자(DLN)에 의한 등화를 하지 않기 때문에 스큐에 의해 생기는 신호 전압 파형(SKYB)에 의해 아이 패턴이 열리는 것을 억제하는 것이 가능해진다. 그 결과, 스큐에 의해, 오동작이 발생하는 것을 저감하는 것이 가능하게 된다.
- [0290] <아이 패턴>
- [0291] 도 28 및 도 29는, 도 27(A)에서 나타난 것처럼, 디지털 필터(1002P)를 구성하는 지연 소자(DLN)를, 수신 버퍼 회로(1003P)의 근방에서, 신호 선로(1000P1와 1000P2)의 각각에 와이어드 오버 접속한 경우의 아이 패턴을 나타내고 있다.
- [0292] <코먼 모드 노이즈>
- [0293] 도 28에 나타내고 있는 아이 패턴은, 도 25에서의 조건과 같은 조건으로 구해진다. 이 도 28은, 신호 선로(1000P1, 1000P2)에 코먼 모드 신호(CMI)가 주어진 경우를 나타내고 있다. 여기서, 신호 선로(1000P1, 1000P2)에 제공할 수 있는 코먼 모드 신호(CMI)의 피크 전압(+Vpc)(도 24)은, 도 25에서 기술한 값과 같이, 차동 신호(SSI)의 피크 전압(+Vpd)과 차동 신호(/SSI)의 피크 전압(-Vpd)의 사이의 전압차의 20%의 경우를 나타내고 있다.
- [0294] 도 28에 있어서, 횡축은 시간을 나타내고 있고, 종축은 전압을 나타내고 있다. 도 28(A)은, 수신 버퍼 회로(1003P)의 입력 단자에 있어서의 신호 전압 파형에 의한 아이 패턴을 도시하고 있다. 도 28(A)에 있어서, 도트로 채워진 파형(SSIB)은, 차동 신호(SSI, /SSI)의 성분을 등화하는 것에 의해 생긴 신호 전압 파형을 나타내고 있다. 또한, 도 28(A)에 있어서, 실선으로 채워진 파형(CMIB)은, 코먼 모드 신호(CMI)의 성분에 의해 생기는 신호 전압 파형을 나타내고 있다. 신호 전압 파형(SSIB)에 의해 형성되는 아이 패턴은, 도 28(A)에 나타내듯이, 열린 상태로 되고 있는데 대해서, 신호 전압 파형(CMIB)에 대해서는, 아이 패턴을 인식하는 것이 곤란하게 되어 있다.
- [0295] 도 28(B)은, 도 28(A)로부터, 차동 신호(SSI, /SSI)의 성분을 등화하는 것에 의해 얻어진 신호 전압 파형(SSIB)을 추출해서, 아이 패턴으로서 나타낸 도면이다. 또, 도 28(C)는, 도 28(A)로부터, 신호 전압 파형(CMIB)을 추출하여 나타낸 도면이다.
- [0296] 차동 신호(SSI, /SSI)의 성분은, 디지털 필터(1002P)에 의해 등화가 행해지고, 왜곡된 파형이 정형되어 있다. 이것에 의해, 도 28(A) 및 도 28(B)에 나타난 바와 같이, 신호 전압 파형(SSIB)에 의해 형성되는 아이 패턴은, 열린 상태가 되고, 차동 신호(SSI), /SSI에 의해 나타내진 논리값을 정밀도 좋게 식별하고, 특징하는 것이 가능하게 되어 있다.
- [0297] 이것에 대해서, 코먼 모드 신호(CMI)의 성분은, 디지털 필터(1002P)에 의해서 등화를 하지 않고, 그대로 수신 버퍼 회로(1003P)의 입력 단자에 공급된다. 그 때문에, 도 28(A) 및 도 28(C)에 나타내듯이, 아이 패턴을 식별하는 것이 곤란한 상태가 되어 있고, 코먼 모드 신호(CMI)의 성분이, 잘못 송신된 차동 신호의 논리 값으로서 식별되는 것을 막는 것이 가능해진다.
- [0298] <<스큐>>

- [0299] 도 29에 나타내고 있는 아이 패턴은, 도 25에서 기술한 조건과 같은 조건으로 구해지고 있다. 또한, 도 29는, 차동 신호(SSI)와 차동 신호(/SSI)와의 사이에 3 피코 세컨드의 스큐가 존재하는 경우를 나타내고 있다.
- [0300] 도 29에 있어서, 횡축은 시간을 나타내고 있어 종축은 전압을 나타내고 있다. 도 29(A)는, 수신 버퍼 회로(1003P)의 입력 단자에 있어서의 신호 전압 파형에 의한 아이 패턴을 나타내고 있다. 도 29(A)에 있어서, 도트로 채워진 파형(SSIB)은, 차동 신호(SSI, /SSI)의 성분에 의해 생기는 신호 전압 파형을 나타내고 있다. 또한, 도 29(A)에 있어서, 실선으로 채워진 파형(SKYB)은, 스큐에 의해 생기는 신호 전압 파형을 나타내고 있다.
- [0301] 도 29(B)는, 도 29(A)로부터, 신호 전압 파형(SSIB)을 추출해서, 신호 전압 파형(SSIB)에 의해 형성된 아이 패턴을 나타내는 도면이다. 즉, 도 29(B)는, 차동 신호(SSI, /SSI)의 성분에 의해 생긴 신호 전압 파형(SSIB)에 의해 형성된 아이 패턴을 나타내는 도면이다. 또한, 도 29(C)는, 도 29(A)로부터, 신호 전압 파형(SKYB)을 추출해서 신호 전압 파형(SKYB)에 의해 형성된 아이 패턴을 나타내는 도면이다. 즉, 도 29(C)는, 스큐에 의해 생긴 신호 전압 파형(CMIB)에 의해 형성된 아이 패턴을 나타내는 도면이다.
- [0302] 신호 전압 파형(SSIB)에 의해 형성되는 아이 패턴은, 도 29(A) 및 도 29(B)에 나타내듯이, 열린 상태가 되고 있는데 대해서, 신호 전압 파형(CMIB)에 의해 형성되는 아이 패턴은, 열린 부분을 인식하는 것이 곤란해져 있다. 차동 신호의 성분은, 디지털 필터(1002P)에 의해 등화를 하고 왜곡된 파형이 정형되고 있다. 이것에 의해, 신호 전압 파형(SSIB)에 의해 형성되는 아이 패턴은, 도 29(B)에 나타내듯이 열린 상태가 되고, 차동 신호(SSI, /SSI)에 의해 나타낸 차동 신호의 논리값을 정밀도 좋게 식별하고, 특정하는 것이 가능하게 되어 있다.
- [0303] 이것에 대해서, 스큐에 있어서 코먼 모드 신호에 해당하는 성분은, 디지털 필터(1002P)에 의해 등화되지 않고, 그대로 수신 버퍼 회로(1003P)에 전달된다. 그 때문에, 수신 버퍼 회로(1003P)의 입력 단자에 공급되는 신호 전압 파형(SKYB)은, 도 29(C)에 나타내듯이, 아이 패턴의 외형 형상을 판별할 수 있을 정도로, 열린 아이 패턴을 확인하는 것이 곤란해지고 있다. 이것에 의해, 스큐에 의해 생기는 신호 전압 파형이, 잘못해서 차동 신호의 논리값으로서 식별되는 것을 막는 것이 가능해진다.
- [0304] <지연 소자>
- [0305] 다음에, 디지털 필터(1002P)를 구성하는 지연 소자(DLN)에 대해서 설명한다. 지연소자(DLN)는, 수신 버퍼 회로의 입력 단자의 근방에 있어서, 신호 선로(1000P1와 1000P2)의 각각의 단부(SN01와 SN02)와의 사이에 접속된 지연 선로에 의해 구성되어 있다. 이 지연 선로의 단위길이 당 신호 손실은, 신호 선로(1000P1, 1000P2)의 신호 손실보다 높게 되어 있다.
- [0306] 이 신호 손실을 높게 하는 방법으로서, 예를 들면, 지연 소자(DLN)를 구성하는 지연 선로가, 도 27(B)에 나타내는 것 같은 복수의 분포 정수 회로에 의해 구성되어 있다고 보고, 지연 선로의 단위길이 당 해당하는 복수의 분포 정수 회로에 있어서의 직렬 저항(R)의 값을, 신호 선로의 그것보다도 높은 값으로 한다. 또는/및 단위길이 당 해당하는 복수의 분포 정수 회로에 있어서, 소정의 전압(V_s)에 대한 병렬 저항을, 신호 선로의 그것보다 낮게 한다. 이것은 예를 들면, 도 27(B)에 있어서, 분포 정수 회로에 있어서의 컨덕턴스(G)를 크게 하는 것에 상당한다.
- [0307] 또한, 지연 선로에 의해 구성되는 지연 소자(DLN)에 있어서의 왕복 신호 지연은, 테이터 폭 구간(UT)을 계수(mm)로 나눈 값으로 설정하는 것이 바람직하다. 즉, 왕복 신호 지연은, UT/mm 로 하는 것이 바람직하다. 여기서, 계수(mm)는, $1/2$ 또는 정수 m 이다. 정수 m 은, 예를 들면 1, 2, 3 등의 자연수이다.
- [0308] 상기한 것처럼, 차동 신호(SSI 및 /SSI)에 있어서는, 한쪽의 차동 신호(SSI)(또는 다른 한쪽의 차동 신호(/SSI))에 대해서 다른 한쪽의 차동 신호(/SSI)(또는 한쪽의 차동 신호(SSI))는, 기준 전위라고 볼 수 있다. 이와 같이 보았을 경우, 도 27(B)에 나타낸 지연 소자(DLN)의 등가 회로는, 차동 신호가 단부(DNI01, DNI02)에 공급된 경우, 실시 형태 1에서 설명한 등가 회로(도 1(B))와 등가가 된다. 그 때문에, 차동 신호(SSI, /SSI)에 있어서, 코먼 모드 신호 등을 제외한 차동 신호의 성분에 대해서는, 실시 형태 1에서 설명한 것처럼, 등화 기능이 동작하고, 왜곡된 파형을 복원하는 것이 가능하게 된다.
- [0309] 도 27(B)에 나타낸 등가 회로와 도 1(B)에 나타낸 등가 회로를 등가로 하기 위해서는, 도 27(B)에 나타낸 등가 회로에 있어서, 예를 들면 단부(DNI02)에 기준 전위(실시 형태 1에서 소정의 전압(V_s))가 공급되고 있을 때, 이 단부(DNI02)를 기준으로 단부(DNI01)로부터 본 복소 임피던스를, 도 30에 나타내는 식(14)과 같이 해 두는 것이 필요하다. 여기서, Z_{df} 는, 도 27(A)에 나타낸 지연 소자(DLN)의 복소 임피던스를 나타내고, Z_{se} 는, 도 1(A)에 나타낸 지연 소자(DLN)의 복소 임피던스를 나타내고 있다.

- [0310] 식(14)에 있어서, 우변은, 같은 복소 임피던스 Z_{SE} 를 갖는 지연 소자를 2개 직렬로 접속하는 것을 의미하고 있다. 그 때문에, 도 27(B)의 등가 회로와 도 1(B)의 등가 회로를 등가로 하기 위해서는, 도 27(A)에 나타난 지연 소자(DLN)의 손실 및 지연의 각각이, 도 1(A)에 나타난 지연 소자(DLN)의 2배가 된다. 그 때문에, 이 실시 형태 7에 있어서는, 도 27(A)에 나타난 지연 소자(DLN)에 있어서의 왕복 신호 지연은, 실시 형태 1과는 다르며, 데이터 폭 구간(UT)을 1이 아니고, 절반(즉 1/2)으로부터 시작하도록 되어 있다. 즉, 왕복 신호 지연을 정하는 계수(mm)는 1로부터 시작되는 정수가 아니라 1/2 또는 1로부터 시작되는 정수로 되어 있다.
- [0311] 실시 형태 7에 있어서는, 코먼 모드 신호(동상신호)가, 1쌍의 신호 선로(차동 신호선)(1000P1, 1000P2)로 전달돼 온 경우, 지연 소자(DLN)의 양단부가 등전위이므로, 지연 소자(DLN)에 전해지는 신호는 없다. 따라서, 지연 소자(DLN)는, 등화를 실시하는 디지털 필터 동작을 하는 일은 없다. 한편, 차동 신호가 전달돼 온 경우에는, 지연 소자(DLN)의 양단부의 전위차가 발생함으로써, 지연 소자(DLN)는, 실시 형태 1 등과 같이, 등화를 실시하는 디지털 필터 동작을 실시한다.
- [0312] 즉, 이 실시 형태 7에 있어서는, 지연 소자(DLN)는, 차동 신호의 성분에 대해서만 선택적으로 동작하는 디지털 필터가 된다.
- [0313] 또한, 실시 형태 7에 있어서는, 이퀄라이저 성능의 향상을 도모하는 것이 가능하다. 즉, 차동 신호에 의해 시리얼 통신을 하기 때문에, 직류적인 접속을 배제하는 것이 가능하다. 그 때문에, 전원 전압, 접지 전압(소정의 전압(V_s))에 있어서의 노이즈의 영향을 받지 않게 하는 것이 가능하고, 이퀄라이저 성능의 향상을 도모하는 것이 가능하다. 또한, 소위, 한계 성능의 향상을 도모하는 일도 가능하다.
- [0314] 실시 형태 7에서는, 지연 소자(DLN)의 각각의 단부에 있어서, 차동 신호의 반사와 차동 신호의 합성이 일어나는 데는, 현실적으로는 유한의 시간이 필요하게 된다. 이 시간은, 반사, 합성하는 주파수에 의해 약간 다른, 소위 주파수 분산이 있다. 디지털 신호가 갖는, 수신에 필요로 되는 주파수대는, 도 30에 나타난 식(15)에 의해 나타내어 진다. 여기서, N은 최대 데이터 길이를 나타내고 있다. 이 주파수대에 있어서의 신호의 반사 및 합성에 걸리는 시간의 변동폭을 Δt 로 하고, 지연 소자(DLN)의 신호 지연을 τ 로 하면, 예로, 지연량의 주파수 분산이 0 이어도, 신호의 반사 시에는, 도 30에 나타난 식(16)에 의해 나타내지는 상대 타이밍 오차가 발생하게 된다. 실시 형태 7에 나타내듯이 차동 신호를 이용하는 경우에는, 신호 지연(τ)이 2배가 되기 때문에, 상대 타이밍 오차도 반이 된다. 식(16)은, 한계 성능을 나타내는 것이며, 필터가 이상에 가까운 경우, 실시 형태 1에 나타난 디지털 필터에 비해, 실시 형태 7에 나타난 디지털 필터의 상대 타이밍 오차는 저감되게 된다.
- [0315] <디지털 필터의 구조>
- [0316] 다음에, 실시 형태 7과 관계되는 디지털 필터(1002P)의 구조를 설명한다. 도 31은, 도 6에 있어서, 파선 영역(DFA1)의 부분을, 인터포저(PPS-1)의 제1주면(PPF1)으로부터 보았을 때의 평면도이다. 또한, 도 32는, 도 31에 있어서의 A5-A5'단면을 나타내는 단면도이다. 도 31 및 도 32에서는, 디지털 필터(1002P)를 구성하는 지연 소자(DLN)가, 인터포저(PPS-1) 내에 형성되고 있는 도전층에 의해 구성되어 있다.
- [0317] 도 31 및 도 32는, 먼저 설명한 도 7 및 도 8에 유사하게 되어 있다. 여기에서는, 도 7 및 도 8과의 차이점을 주로 설명한다. 먼저, 도 7 및 도 8에서는, 신호 선로로 전달되는 시리얼 신호가, 소정의 전압(V_s)을 기준 전위로서 변화하는 싱글 엔드의 경우를 설명했다. 이것에 대해서, 이 실시 형태 7에서는, 1쌍의 신호 선로를 이용하여 차동 신호가 전달된다. 이것에 맞추어, 도 6에 나타난 송신 버퍼 회로(SCB1-1, SCB2-1) 및 수신 버퍼 회로(RCB11, RCB12, RCB21, RCB22)의 각각은, 차동 회로에 의해 구성되어 있다.
- [0318] 도 31에 있어서, SSN-L30 및 SSP-L30는, 1쌍의 차동 신호를 전송하는 1쌍의 신호 선로(배선 패턴)를 나타내고 있으며, SSG-L30는, 소정의 전압(V_s)이 공급되는 전압 배선(배선 패턴)을 나타내고 있다. 또한, 도 31에 있어서, (SSD-L10)은, 지연 소자(DLN)를 구성하는 지연 선로(배선 패턴)를 나타내고 있으며, (SSG-L10)은, 소정의 전압(V_s)이 공급되는 전압 배선(배선 패턴)을 나타내고 있다.
- [0319] 이 실시 형태 7에 있어서, 지연 선로(SSD-L10)는, 다음에 도 32에서 기술하는 인터포저(INS-1)에 형성된 제1층의 도전층(INS-L1)에 의해 형성되어 있다. 또한, 전압 배선((SSG-L10))도, 인터포저(INS-1)에 형성된 제1층의 도전층(INS-L1)에 의해 형성되어 있다. 즉, 지연 선로(SSD-L10)와 전압 배선((SSG-L10))은, 함께 같은 제1층의 도전층에 의해 형성되고 있다. 평면에서 보았을 때, 전압 배선((SSG-L10))은, 지연 선로(SSD-L10)에 따라 근접하고, 평행으로 연재하고 있다. 전압 배선((SSG-L10))과 지연 선로(SSD-L10)는, 이격하도록 배치되고 있기 때문에, 전압 배선((SSG-L10))과 지연 선로(SSD-L10)와는 전기적으로 분리되어 있다. 지연 선로(SSD-L10)는, 이 근접하여 배치되고 있는 전압 배선((SSG-L10))과의 사이에서, 도 27(B)에 나타난 커패시턴스(C) 및 컨덕턴스(G)가

형성되게 된다.

- [0320] 지연 선로(SSD-L10)의 한쪽 단부는, 콘택트(CT2)에 의해 신호 선로(SSP-L30)에 접속되며, 그 다른 한쪽 단부는, 콘택트(CT2)에 의해 신호 선로(SSN-L30)에 접속되고 있다. 또, 신호 선로(SSN-L30)는, 콘택트(CT2)에 의해 마이크로 범프용 전극(INS-MPD2N)에 접속되며, 신호 선로(SSP-L30)는, 콘택트(CT2)에 의해 마이크로 범프용 전극(INS-MPD2P)에 접속되어 있다. 마이크로 범프용 전극(INS-MPD2N 및 INS-MPD2P)의 각각은, 마이크로 범프(MBM-SN 및 MBM-SP)에 의해, 도시하지 않는 논리 반도체 칩(LCH-1)의 제2주면(CLF2)에 형성된 대응하는 마이크로 범프용 전극에 접속되며, 반도체 영역(SS)에 형성된 수신 버퍼 회로(RCB12)의 1쌍의 입력 단자에 접속되고 있다.
- [0321] 신호 선로(SSN-L30 및 SSP-L30)에는, 도시하지 않는 프린트 기판(PBS)을 거쳐서, 논리 반도체 칩(LCH-2)에서 1쌍의 차동 신호가 공급된다. 이것에 의해, 논리 반도체 칩(LCH-2)으로부터의 1쌍의 차동 신호가, 1쌍의 신호 선로((SSN-L30, SSP-L30))를 전파해서, 논리 반도체 칩(LCH-1)의 수신 버퍼 회로(RCB-12)의 1쌍의 입력 단자에 공급되게 된다.
- [0322] 평면에서 보았을 때, 지연 선로(SSD-L10)를 둘러싸도록, 신호 선로(SSD-L10)에 따라 배치된 전압 배선((SSG-L10))의 한쪽의 단부는, 콘택트(CT2)에 의해, 전압 배선(SSG-L30)에 접속되며, 그 다른 한쪽의 단부도, 콘택트(CT2)에 의해, 전압 배선(SSG-L30)에 접속되고 있다. 전압 배선(SSG-L30)은, 콘택트(CT2)에 의해, 대응하는 마이크로 범프용 전극(INS-MPD1)에 접속되며, 각각의 마이크로 범프용 전극(INS-MPD1)은, 마이크로 범프(MBMG)에 의해, 도시하지 않는 논리 반도체 칩(LCH-1)의 제2주면(CLF2)에 형성된 대응하는 마이크로 범프용 전극에 접속되고 있다.
- [0323] 전압 배선(SSG-L30)에는, 도시하지 않는 패키지 기판(PPS-1) 내에 형성된 배선을 거쳐서, 프린트 기판(PBS)으로부터 소정의 전압(V_s)가 공급된다. 이것에 의해, 소정의 전압(V_s)이, 논리 반도체 칩(LCH-1)에 공급되는 램과 동시에, 전압 배선((SSG-L10))에도 공급되게 된다.
- [0324] 도 32에는, 도 31의 A5-A5'단면이 도시되어 있다. 도 32에 있어서, 프린트기판(PBS), 패키지 기판(PPS-1) 등은, 도 8과 같기 때문에, 설명은 생략한다. 논리 반도체 칩(LCH-2)으로부터의 1쌍의 차동 신호는, 프린트 기판(PBS) 및 패키지 기판(PPS-1)을 거쳐서, 패키지 기판(PPS-1)의 제1주면(PPF1)에 형성된 범프용 전극(PPS-MPD)에 전달된다. 이 범프용 전극(PPS-MPD)은 범프 전극(SMB)에 의해, 인터포저(INS-1)의 제2주면(IN2)에 형성된 범프용 전극(INS-SPD)에 접속되고 있다.
- [0325] 범프용 전극(INS-SPD)은, 실리콘 기판(SSB-I)에 형성된 콘택트(CT2S)에 의해, 인터포저(INS-1)에 형성된 제1층의 도전층(INSL-1)에 의해 구성된 배선 패턴(INS-L1(R))에 접속되며, 이 배선 패턴(INS-L1(R))은, 콘택트(CT2)에 의해, 제2층의 도전층(INS-L2)에 의해 형성된 배선 패턴 INSL2(R)에 접속되고 있다. 또한, 배선 패턴(INS-L2(R))는, 콘택트(CT2)에 의해, 제3층의 도전층(INS-L3)에 의해 형성된 배선 패턴인 신호 선로(SSP-L30)에 접속되고 있다.
- [0326] 이 신호 선로(SSP-L30)는, 도 32에서는, 횡방향으로 연재하고 있다. 연재한 부분에 있어서, 신호 선로(SSP-L30)는, 콘택트(CT2)에 의해, 마이크로 범프용 전극(INS-MPD2P)에 접속되어 있다. 또, 신호 선로(SSP-L30)는, 콘택트(CT2)에 의해, 제2층의 도전층(INS-L2)에 의해 형성된 배선 패턴(INS-L2(R))에 접속되며, 이 배선 패턴(INS-L2(R))은, 콘택트(CT2)에 의해, 지연 선로(SSD-L10)에 상당하는 배선 패턴의 한쪽의 단부에 접속되고 있다. 이 지연선로(SSD-L10)는, 인터포저(INS-1)에 형성된 제1층의 도전층(INS-L1)에 의해 구성되어 있다.
- [0327] 또, 마이크로 범프용 전극(INS-MPD2P)는, 마이크로 범프(MBM-SP)에, 논리 반도체 칩(LCH-1)의 제2주면(CHF2)에 형성된 마이크로 범프용 전극(LCH-PD3)에 접속되며, 마이크로 범프용 전극(LCH-PD3)은, 실리콘 기판(SSB)의 주면에 형성된 배선층(HSB)의 배선 패턴(LCH-L1(R)~LCH-L3(R)) 및 콘택트(CT1)를 거쳐서, 반도체 영역(SS)에 접속되고 있다. 이 반도체영역(SS)에, 수신 버퍼 회로(RCB1-2)가 형성되고 있으며, 논리 반도체 칩(LCH-2)으로부터의 차동 신호가, 수신 버퍼 회로(RCB1-2)의 입력 단자에 공급되게 된다.
- [0328] 이 실시 형태 7에 있어서는, 왕복 신호 지연(UT/mm)이, 지연 선로(SSD-L10)의 한쪽의 단부와 다른 한쪽의 단부와의 사이를 전달하는 신호의 지연 시간에 의해 정해진다. 소망한 왕복신호 지연이 되도록, 예를 들면 지연 선로(SSD-L10)의 한쪽의 단부와 다른 한쪽의 단부와의 사이의 길이나, 지연 선로(SSD-L10)의 선폭이 설정된다. 도 31에 나타내듯이, 이 실시 형태 7에 있어서도, 지연 선로(SSD-L10)의 선폭((BLD1))은, 신호 선로(SSP-L30, SSN-L30)의 선폭(BLS)보다 가늘게 되어 있다. 지연 선로(SSD-L10)와 신호선로(SSP-L30 및 SSN-L30)가 일체로 되어 있다고 본 경우, 선로의 선폭이 바뀌는 부분을 경계로서 선폭이 가늘어지고 있는 선로가 지연 선로(SSD-L10)에 상당하고, 이 선폭이 가는 선로를 사이에 둔 선폭이 넓은 선로가 신호 선로(SSP-L30 및 SSN-L30)에 상당

한다고 볼 수 있다.

- [0329] 도 32에는, 신호 선로(SSP-L30)와 지연 선로(SSD-L10)의 한쪽의 단부와의 접속부분에 관한 단면만이 나타나고 있지만, 신호 선로(SSN-L30)와 지연 선로(SSD-L10)의 한쪽의 단부와의 접속도 마찬가지이다. 또, 이 실시 형태 7에 있어서는, 전압 배선(SSG-L10)이, 지연 선로(SSD-L10)와 같은 도전층에 의해 형성되고 있기 때문에, 전압 배선(SSG-L30)과 전압 배선(SSG-L10)과의 사이의 접속 부분도, 도 32와 같다.
- [0330] 이 실시 형태 7에 있어서, 지연 소자(DLN)를 구성하는 지연 선로는, 1쌍의 차동 신호를 전달하는 1쌍의 신호 선로(SSN-L30, SSP-L30)의 각각이 접속되는 1쌍의 마이크로 범프용 전극(INS-MPD2N, INS-MPD2P)의 근방에 있어서, 1쌍의 신호 선로(SSN-L30, SSP-L30)에 콘택트(CT2) 등에 의해 접속된 제1층의 도전층(INS-L1)에 의해 형성되고 있다. 1쌍의 신호 선로(SSN-L30, SSP-L30)의 각각은, 제3층의 도전층(INS-L3)에 의해 형성되고 있기 때문에, 지연 선로(SSD-L10)와 신호 선로(SSN-L30, SSP-L30)는, 서로 다른 도전층에 의해 형성되어 있게 되며, 지연 선로(SSD-L10)는, 1쌍의 마이크로 범프용 전극(INS-MPD2N, INS-MPD2P) 사이에 접속되어 있게 된다.
- [0331] 또, 지연 선로(SSD-L10)로 전달되는 신호는, 기준 전위에 대해서 변화하는 싱글 엔드 신호이다. 이 기준 전위를 공급하는 전압 배선이, 특정되지 않으면 지연 선로(SSD-L10)를 도 27(B)에 나타내듯이 등가 회로로 나타냈을 때, 예를 들면 캐패시턴스(C) 및 컨덕턴스(G)의 값을 특정하는 것이 곤란해진다. 그 때문에, 이 실시 형태 7에 있어서는, 기준 전위인 소정의 전압(V_s)이 공급되는 전압 배선(SSG-L10)이, 지연선로(SSD-L10)와 같은 제1층의 도전층(INS-L1)에 의해 형성되며, 이 전압선로(SSG-L10)는, 지연 선로(SSD-L10)의 근방에서, 지연 선로(SSD-L10)에 평행하게 따르도록 배치되고 있다. 또, 평면에서 본 경우, 이 전압 배선(SSG-L10)의 선평폭(BLD2)은, 특히 제한되지 않지만, 지연 선로(SSD-L10)의 선평폭(BLD1)과 동일하게 되며, 신호 선로(SSN-L30, SSP-L30) 및 전압 배선(SSG-L30)의 선평폭(BLS)보다 가늘게 되어 있다. 또, 지연 소자(DLN)의 왕복 신호 지연은, 데이터 폭 구간(UT)을 시리얼 신호의 1 데이터 단위로 했을 경우, UT/mm가 된다. 여기서, mm은, 1/2 또는 자연수(1로부터 시작되는 정수)이다. mm을 1/2로 했을 경우, 왕복신호 지연은, 데이터 폭 구간(UT)의 2배에 상당하게 된다.
- [0332] 도 31에서는, 신호 선로(SSN-L30, SSP-L30)와 지연 선로(SSD-L10)의 일부가 직선 모양이 되도록 배치되며, 신호 선로(SSN-L30, SSP-L30)와 전압배선(SSG-L10)의 일부가 직선 모양이 되도록 배치되고 있다. 신호 선로(SSN-L30, SSP-L30)를 형성하는 도전층은, 지연 선로(SSD-L10) 및 전압 배선(SSG-L10)의 각각을 형성하는 도전층과 다른 층의 도전층이기 때문에, 직선 모양이 아니어도 된다. 즉, 신호 선로(SSN-L30, SSP-L30)와 지연 선로(SSD-L10) 및 전압 배선(SSG-L10)과의 배치 관계는 임의이다. 예를 들면, 신호 선로(SSN-L30, SSP-L30)에 있어서, 지연 선로(SSD-L10) 및 전압 배선(SSG-L10)은, 직교하도록 배치되고 있어도 된다.
- [0333] <변형예>
- [0334] 도 33 및 도 34는, 실시 형태 7의 변형예와 관계되는 디지털 필터의 구조를 나타내는 평면도 및 단면도이다. 도 34는, 도 33에 있어서의 A6-A6'부분의 단면을 나타내는 단면도이다. 도 33 및 도 34는, 도 31 및 도 32과 유사하다. 여기에서는, 차이점을 주로 설명한다.
- [0335] 도 31 및 도 32에서는, 지연 소자(DLN)를 구성하는 지연 선로(SSD-L10) 및 이의 지연 선로(SSD-L10)에 따라 배치된 전압 배선(SSG-L10) 각각은, 신호선로(SSN-L30, SSP-L30) 및 전압 배선(SSG-L30)과 달리, 제1층의 도전층(INS-L1)에 의해 형성되어 있다. 이것에 대해서, 도 33 및 도 34에 있어서는, 지연 선로(SSD-L10) 및 전압 배선(SSG-L10) 각각은, 신호 선로(SSN-L30, SSP-L30) 및 전압 배선(SSG-L30)과 같은 제3층의 배선층(INS-L3)에 의해 형성되고 있다. 도 33 및 도 34에서는, 지연 선로는, SSD-L30로서 도시되고, 지연 선로(SSD-L30)에 따라 배치된 전압 배선은, SSG-L32로서 도시되어 있다.
- [0336] 신호 선로(SSN-L30, SSP-L30) 및 지연 선로(SSD-L30)가, 같은 제3층의 도전층(INS-L3)에 의해 형성되기 때문에, 이러한 선로는 일체로 되고 있다. 도 31 및 도 32에서는, 지연 선로(SSD-L10)와 신호 선로(SSN-L30 및 SSPL30)를 접속하기 위해서, 콘택트(CT2)와 배선 패턴(INS-L2(R))이 필요로 되어 있었지만, 도 33 및 도 34에서는, 이러한 콘택트(CT2)와 배선 패턴(INS-L2(R))은 설치되어 있지 않다.
- [0337] 마찬가지로, 전압 배선(SSG-L30) 및 전압 배선(SSG-L32)이, 같은 제3층의 도전층(INS-L3)에 의해 형성되기 때문에, 이러한 배선은 일체로 되고 있다. 도 31 및 도 32에서는, 전압 배선(SSG-L30)과 전압 배선(SSG-L10)을 접속하기 위해서, 콘택트(CT2)와 도시하지 않는 배선 패턴이 필요하게 되고 있었지만, 도 33 및 도 34에서는, 이러한 콘택트(CT2)와 배선 패턴은 설치되어 있지 않다.
- [0338] 신호 선로(SSN-L30, SSP-L30)와 지연 선로(SSD-L30)가 일체로 되어 있지만, 신호 선로와 지연 선로와의 경계는, 선로의 선평폭이 변화하는 부분으로서 특정할 수 있다. 이 경우, 선로의 선평폭이 BLS로부터 BLD1로 바뀌는 부분과

선로의 선폭이 BLD1로부터 BLS로 바뀌는 부분이, 신호 선로와 지연 선로와의 경계이다. 선로의 선폭이, BLD1로 가늘어지고 있는 선로의 영역이, 지연 선로(SSD-L30)에 상당한다. 이때, 선로의 선폭이, BLS가 되고 있는 영역이, 신호 선로(SSN-L30 및 SSP-L30)에 상당한다.

- [0339] 마찬가지로, 전압 배선(SSG-L30)과 전압 배선(SSG-L32)과의 경계도, 배선의 선폭이 변화하는 부분으로서 특정할 수 있다. 이 경우, 배선의 선폭이, 선폭(BLS)보다도 가늘고, 선폭(BLD2)이 되고 있는 영역이, 지연 선로(SSD-L30)에 따라 배치된 전압 배선(SSG-L32)에 상당하고, 배선의 선폭이 BLS가 되고 있는 영역이, 전압 배선(SSG-L30)에 상당한다.
- [0340] 0309
- [0341] 신호 선로(SSP-L30)와 지연 선로(SSD-L30)는 일체로 되고 있기 때문에, 도 34에서는, 제3층의 도전층(INS-L3)에 의해 형성된 배선 패턴이, 횡방향으로 연재하고, , 신호 배선(SSP-L30) 및 지연 선로(SSD-L30)로 되고 있다. 도 34에는, 배선패턴에 의해 일체로 형성된 신호 선로(SSP-L30) 및 지연 선로(SSD-L30)만이 나타나고 있지만, 다른 신호 선로 및 전압 배선에 대해서도, 도 34와 같이 되어 있다. 즉, 신호 배선(SSN-L30) 및 지연 선로(SSD-L30)도, 제3층의 도전층(INS-L3)에 의해 일체적으로 형성되고 있다. 또, 전압 배선(SSG-L30와 SSG-L32)도, 제3층의 도전층(INS-L3)에 의해 일체적으로 형성되어 있다.
- [0342] 이 변형예에 있어서는, 지연 선로(SSD-L30)와 전압 배선(SSG-L32)이, 신호선로(SSN-L30, SSP-L30) 및 전압 배선(SSG-L30)과 같은 도전층에 의해 형성된다. 그 때문에, 디지털 필터(1002P)를 구성하는 도전층의 수를 저감하는 것이 가능해진다. 바꾸어 말하면, 디지털 필터(1002P)를 구성하는 도전층을 절약하는 것이 가능해진다.
- [0343] 또한, 특히 제한되지 않지만, 이 실시 형태 7에 있어서, 마이크로 범프(MBM-SP)는, 동(Cu)이며, 범프(SBL)는, 땀납 볼이다.
- [0344] 여기서, 도 31~도 34로 설명한 디지털 필터의 구조와 도 1 및 도 27에 나타난 디지털 필터와의 대응을 설명하면, 다음과 같이 된다.
- [0345] 도 27에 나타난 와이어드 오어 접속부인 노드(WRN1, WRN2)는, 도 31 및 도 32에서는, 신호 선로(SSN-L30, SSP-L30)와 지연 선로(SSD-L10)를 접속하는 컨택트(CT2)에 대응한다. 또, 도 33 및 도 34에서는, 신호 선로(SSN-L30, SSP-L30)와 지연 선로(SSD-L30)와의 경계가, 도 27에 나타난 노드(WRN1, WRN2)에 대응한다. 즉, 선로의 선폭이 변화하는 경계 영역이, 노드(WRN1, WRN2)에 대응하게 된다.
- [0346] 1쌍의 신호 선로(SSN-L30, SSP-L30)를 1쌍의 차동 신호의 성분만이 전파되어 와이어드 접속부인 노드(WRN1, WRN2)에 도달하면, 노드(WRN1와 WRN2) 사이에 신호의 반사가 반복해진다. 즉 다중 신호 반사가 발생해서, 노드(WRN1, WRN2)에서 합성된다. 이것에 의해, 디지털 필터(1002P)는, 차동 신호의 성분에 대해서는, 등가적으로 도 1(C)에 나타난 식(1)을 계산하게 된다. 이것은, 예를 들면 서로 다른 논리 반도체 장치에 설치된 송신 버퍼 회로와 수신 버퍼 회로와의 사이를 연결하는 신호 선로가 갖는 전달 함수에 대해서, 등가적으로 역전달 함수를 계산하고 있는 것을 의미하고 있다. 또한, 디지털 필터(1002P)는, 능동 소자를 갖고 있기 때문에, 등가적인 역전달 함수의 계산에 있어서는, 감쇠만이 발생한다. 그 때문에, 감쇠에 상당하는 정수분 만큼 어긋난 역전달 함수의 계산이, 등가적인 역전달 함수의 계산으로서 행해지게 된다.
- [0347] 또, 이 실시 형태 7에서는, 차동 신호의 성분이기 때문에, 상기한 식(1)에서는, 계수(m) 대신에, 상기한 계수(mm)가 사용된다. 즉, 정수뿐만이 아니라, 1/2가, 계수(m)로서 상기한 식(1)에 대입되는 것이 가능해진다.
- [0348] 이 실시 형태 7에 있어서는, 지연 선로(SSD-L10(SSD-L30))와 같은 층에 형성된 전압 배선(SSG-L10(SSG-L32))이, 지연 선로(SSD-L10(SSD-L30))에 근접하게 배치되고 있다. 이 지연 선로(SSD-L10(SSD-L30)) 및 전압 배선(SSG-L10(SSG-L32))의 각각의 단위길이 당 신호손실은, 신호 선로(SSN-L30, SSP-L30)의 단위길이 당 신호 손실보다 크게 되어 있다. 예를 들면, 지연 선로(SSD-L10(SSD-L30)) 및 전압 배선(SSG-L10(SSG-L32))의 각각의 단면 주위길이가, 신호 선로(SSN-L30, SSP-L30)의 단면 주위길이가 작게 되어 있다. 이러한 선로의 신호 손실을 조정하는 것에 의해, 도 1(C) 및 도 27(B)에 나타난 만큼 분포정수 회로에 있어서의 예를 들면 인덕턴스(L) 및 저항(R)을 임의의 값으로 조정할 수 있다. 또, 지연 선로(SSD-L10(SSD-L30))와 전압 배선(SSG-L10(SSG-L32))과의 사이의 간격을 조정하는 것에 의해 분포 정수 회로에 있어서의 캐패시턴스(C) 및 컨덕턴스(G)를 임의의 값으로 조정할 수 있다. 물론, 연선로(SSD-L10(SSD-L30))와 전압배선(SSG-L10(SSG-L32))의 단면 주위길이(선폭을 포함), 간격을 조정하는 것에 의해, 인덕턴스(L), 저항(R), 캐패시턴스(C) 및 컨덕턴스(G)를 조정하도록 해도 된다. 이것에 의해, 임의의 역전달 함수를, 지연 선로에 의해, 등가적으로 합산하

는 가능해진다.

[0349] (실시 형태 8)

[0350] 도 35 및 도 36은, 실시 형태 8과 관계되는 디지털 필터의 구조를 나타내는 평면도 및 단면도이다. 도 36은, 도 35에 있어서의 A7-A7'부분의 단면을 나타내는 단면도이다. 도 35 및 도 36은, 도 31~도 34와 유사하다. 여기에서, 도 31 및 도 32와의 차이점을 주로 설명한다.

[0351] 도 35에 있어서, (SSD-L10)는, 디지털 필터(1002P)를 구성하는 지연선로를 나타내고, SSG-L32는, 소정의 전압(Vs)이 공급되는 전압 배선을 나타내고 있다. 이 실시 형태 8에 있어서는, 도 36에 나타내듯이, 지연 선로(SSD-L10)는, 인터포저(INS--1)에 형성되는 3층의 도전층 가운데, 제1층의 도전층에 의해 형성되어 있다. 또, 전압 배선(SSG-L32)은 제3층의 도전층에 의해 형성되고 있다. 전압배선(SSG-L32)은, 도 35에 나타내듯이, 평면에서 보았을 때, 그 일부분이, 지연선로(SSD-L10)와 겹치도록 배치되고 있다. 즉, 실시 형태 7에서는, 평면에서 보았을 때, 전압 배선(SSG-L10(SSG-L32))은, 지연 선로(SSD-L10(SSD-L30))에 근접하고, 평행하도록 배치되고 있는 것에 대해서, 실시 형태 8에서는, 입체적으로, 전압 배선(SSG-L32)은, 지연 선로(SSD-L10)에 근접하고, 평행하도록 배치되고 있다. 물론, 전압 배선(SSG-L32)과 지연 선로(SDL10)와의 사이에는, 절연층이 존재하고, 이들 사이는 전기적으로 분리되어 있다.

[0352] 이 실시 형태 8에 있어서는, 지연 선로(SSD-L10)의 각각의 단부는, 콘택트(CT2)에 의해, 1쌍의 신호 선로(SSN-L30, SSP-L30)에 접속되고 있다. 또, 전압 배선(SSG-L32)은, 전압 배선(SSG-L30)과 일체적으로 형성되어 있다.

[0353] 이 실시 형태 8에 있어서는, 지연 선로(SSD-L10) 및 전압 배선(SSG-L32)의 각각은, 1쌍의 신호 선로(SSN-L30, SSP-L30)에 비해, 그 단위길이 당 신호 손실이, 커지도록 설정되어 있다. 예를 들면, 지연 선로(SSD-L10) 및 전압 배선(SSG-L32)의 각각의 단면 주위길이가, 신호 선로(SSN-L30, SSP-L30)의 단면 주위길이보다 작게 되어 있다. 도 35의 예에서는, 지연 선로(SSD-L10)의 선평이, 신호 선로(SSN-L30, SSP-L30)의 선평에 비해 가늘게 하는 것에 의해, 단면 주위길이가 작게 되어 있다. 또한, 전압 배선(SSG-L32)은, 그 두께가, 신호 선로(SSD-L10)의 두께에 비해 얇아지도록 하여 단면 주위 길이가 작게 되어 있다.

[0354] 실시 형태 8에 있어서는, 예를 들면, 지연 선로(SSD-L10) 및 전압 배선(SSG-L32)의 단면 주위길이가 이들이 중첩된 영역에 있어서의 사이 거리(층간 거리)를 조정하는 것에 의해, 분포 시정수 회로에 있어서의 인덕턴스(L), 저항(R), 캐패시턴스(C) 및 컨덕턴스(G)를 조정한다. 실시 형태 8과 관계되는 디지털 필터(1002P)의 동작은, 실시 형태 7과 같기 때문에, 설명은 생략한다.

[0355] 지연 선로(SSD-L10)는, 신호 선로(SSN-L30, SSP-L30) 등에 비해, 그 선평이 가늘어진다. 또, 전압 배선(SSG-L32)은, 지연 선로(SSD-L10)와 중첩되어 있다. 그 때문에, 평면에서 보았을 때, 디지털 필터(1002P)를, 작은 면적에 배치하는 것이 가능해진다. 그 때문에, 예를 들면, 평면에서 보았을 때에, 인터포저(INS1)에 면적적인 여유가 적은 경우에, 실시 형태 8은 적합하다. 한편, 실시 형태 7에서 설명한 디지털 필터(1002P)는, 인터포저(INS-1)에 형성된 도전층의 수가 제한되는 경우에, 적합하다.

[0356] (실시 형태 9)

[0357] 도 37 및 도 38은, 실시 형태 9와 관계되는 디지털 필터의 구조를 나타내는 평면도 및 단면도이다. 이 실시 형태 9에 있어서는, 인터포저(INS-1)가 아니라 논리 반도체 칩(LCH-1)이 디지털 필터(1002P)를 구비하고 있는 구조가 제공된다. 도 37은, 논리 반도체 장치(LCH-1)를 제2주면 측(CHF2)으로부터 본 평면도이다. 또한, 도 38은, 도 37에 있어서, A8-A8'의 단면을 나타내는 단면도이다. 또한, 도 38에는, A8-A8'단면에 있어서의 패키지 기관(PPS-1) 및 프린트 기관(PBS)의 단면도 도시되어 있다.

[0358] 이 실시 형태 9에 있어서는, 실시 형태 3에서 설명한 것과 같이, 지연 소자(DLN)를 구성하는 배선 패턴이, 논리 반도체 칩(LCH-1)에 형성된다. 논리 반도체칩(LCH-1)에, 디지털 필터(1002P)를 구성하는 지연 소자(DLN)가 형성되기 때문에, 여기에서는, 인터포저(INS-1)을 이용하지 않는 반도체 장치를 예로서 설명하지만, 물론, 논리 반도체 칩(LCH-1)과 패키지 기관과의 사이에 인터포저(INS-1)를 설치해도 되는 것은 말할 필요도 없다.

[0359] 도 38에 있어서, PPS-1은 패키지 기관을 나타내고, (PBS)는 프린트 기관을 나타내고 있다. 패키지 기관(PPS-1) 및 프린트 기관(PBS)의 구조에 대해서는, 예를 들면 실시 형태 3과 관계되는 도 15에 있어서 설명하고 있으므로, 여기에서는 생략한다. 논리 반도체 칩(LCH-1)은, 그 제2주면(CHF2)이, 패키지 기관(PPS-1)의 제1주면(PPF1)에 대향하도록, 패키지 기관(PPS-1)에 탑재된다. 또, 패키지 기관(PPS-1)의 제1주면(PPF1)에 형성된 범프용 전극(PPS-MPD)는, 범프(SMB)에 의해, 논리 반도체 칩(LCH-1)의 제2주면(CHF2)에 형성되고 있는 마이크로

범프용 전극에 접속되고 있다. 동 도면에서는, 이 마이크로 범프용 전극이, LCHP-P로서 도시되어 있다.

- [0360] 논리 반도체 칩(LCH-1)은, 소자를 구성하는 반도체 영역 등이 형성되는 실리콘기판(SSB)과 실리콘 기판(SSB)의 주면에 형성된 배선층(HSB)을 구비하고 있다. 배선층 HSB는, 교대로 적층된 복수의 도전층과 복수의 절연층을 갖고 있다. 이 실시 형태 9에 있어서는, 배선층(HSB)은, 3층의 도전층(배선층)을 갖고 있다. 도 38에서는, LCHL10(R)가 제1층의 도전층에 의해 형성된 배선 패턴을 나타내고, LCHL20(R)가 제2층의 도전층에 의해 형성된 배선 패턴을 나타내며, LCHL30(R)가 제3층의 도전층에 의해 형성된 배선 패턴을 나타내고 있다. 또, CT1는, 도전층 사이에 설치된 절연층을 거쳐서 도전층 사이를 전기적으로 접속하는 콘택트를 나타내고 있다.
- [0361] 또한, 도 38에 있어서, WEL은, 실리콘 기판(SSB)에 형성된 웰 영역을 도시하고 있다. 이 웰 영역(WEL)은, 실리콘 기판(SSB)의 도전형에 대해서 반대의 도전형으로 되어 있다. 예를 들면, 실리콘 기판(SSB)이 N형 반도체이면, 웰 영역(WEL)은 P형 반도체 영역이다. 동 도면에 있어서, GIO는, 절연막을 나타내고 있다. 절연막(GIO)은, 웰 영역(WEL)의 주면에 형성되며, 이 절연막(GIO)상에 배선 패턴(LCHL10(R))이 형성되고 있다. 이 절연막(GIO)은, 예를 들면, MOSFET의 게이트 절연막이고, 배선 패턴(LCHL10(R))은, 게이트 절연막 상에 형성된 게이트 전극이다.
- [0362] 도 37은, 도 38에 있어서 화살표 A8로 가리키는 방향(주시 방향)으로부터 본 평면도이다. 즉, 논리 반도체 칩(LCH-1)을, 그 제2주면(CHF2)으로부터 보았 때의 평면도이다. 도 37에 있어서, LCHPDG는, 범프(SMB)에 의해, 패키지(PPS-1)에 형성된 범프용 전극(PPSMPD)에 접속되어 패키지 기판(PPS1)을 거쳐서 프린트 기판(PBS)으로부터 소정의 전압(Vs)이 공급되는 마이크로 범프용 전극을 나타내고 있다.
- [0363] 또, 도 37에 있어서, LCHPDN 및 LCHPDP는, 범프(SMB)에 의해, 패키지 기판(PPS-1)에 형성된 범프용 전극(PPS-MPD)에 접속되어 패키지 기판(PPS-1)을 거쳐서 프린트 기판(PBS)으로부터 1쌍의 차동 신호가 공급되는 마이크로 범프용 전극을 나타내고 있다. 즉, 마이크로 범프용 전극(LCH-PDN, LCH-PDP)에는, 프린트 기판(PBS) 및 패키지 기판(PPS-1)에 형성된 도전층을, 1쌍의 신호 경로로 해서 1쌍의 차동 신호가 공급된다.
- [0364] 마이크로 범프용 전극(LCH-PDG)은, 콘택트(CT1)에 의해, 논리 반도체칩(LCH-1)의 배선층(HSB)에 형성된 제3층의 도전층에 의해 구성된 전압배선(SSG-L30)에 접속되고 있다. 또, 이 전압 배선(SSG-L30)은 콘택트(CT1)에 의해, 웰 영역(WEL)에 오믹 접속되고 있다. 이것에 의해, 전압 배선(SSG-L30)을 거쳐서, 논리 반도체 칩(LCH-1) 내의 도시하지 않는 회로 블록에, 소정의 전압(Vs)이 공급되는 것과 동시에, 웰 영역(WEL)에도 소정의 전압(Vs)이 공급되게 된다.
- [0365] 마이크로 범프용 전극(LCH-PDN)은 콘택트(CT1)에 의해, 논리 반도체 칩(LCH-1)의 배선층(HSB)에 형성된 제3층의 도전층에 의해 형성된 신호선로(SSN-L30)에 접속되고 있다. 또, 마이크로 범프용 전극(LCHPDP)은, 콘택트(CT1)에 의해, 논리 반도체 칩(LCH-1)의 배선층(HSB)에 형성된 제3층의 도전층에 의해 형성된 신호 선로(SSP-L30)에 접속되고 있다. 이 신호선로(SSN-L30 및 SSP-L30)는, 논리 반도체 칩(LCH-1)에 내장된 수신 버퍼 회로(실시 형태 7에서 기술한 수신 버퍼 회로에 상당)의 1쌍의 입력단자에 접속되고 있다. 이것에 의해, 다른 논리 반도체 칩(예를 들면, 도 6에 나타난 LCH2)으로부터의 1쌍의 차동 신호가, 프린트 기판(PBS), 패키지 기판(PPS-1) 등의 도전층에 의해 형성된 신호 선로를 거쳐서, 수신 버퍼 회로의 1쌍의 입력 단자에 공급되게 된다.
- [0366] 또한, 신호 선로(SSN-L30 및 SSP-L30)의 각각은, 디지털 필터(1002P)를 구성하는 지연 소자(DLN)에 접속되고 있다. 이 실시 형태 9에 있어서는, 지연 소자(DLN)는, 논리 반도체 칩(LCH-1)의 도전층(HSB) 내의 제1층의 도전층에 의해 형성된 지연 선로(SSD-L10)를 구비하고 있으며, 지연 선로(SSD-L10)의 한쪽의 단부는, 신호 선로(SSP-L30)에 접속되며, 지연 선로(SSD-L10)의 다른 한쪽의 단부는, 신호 선로(SSN-L30)에 접속되어 있다.
- [0367] 신호 선로(SSP-L30)와 지연 선로(SSD-L10)와의 접속을, 도 38을 이용하여 설명한다. 도 38에 있어서, 제3층의 도전층에 의해 형성된 배선 패턴(LCH-L30(R))이, 도 37에 나타난 신호 선로(SSP-L30)에 상당하고, 도 38에 있어서, 제1층의 도전층에 의해 형성된 배선 패턴(LCH-L10(R))이, 지연 선로(SSD-L10)에 상당한다. 신호 선로(SSP-L30(LCH-L30(R)))는, 콘택트(CT1)를 거쳐서, 제2층의 도전층에 의해 형성된 배선 패턴(LCH-L20(R))에 접속되며, 이 배선 패턴(LCH-L20(R))은, 콘택트(CT1)를 거쳐서, 지연 선로(SSD-L10)(LCHL10(R))의 한쪽의 단부에 접속되고 있다. 또한, 도 37에서는, 도면이 복잡하게 되는 것을 피하기 위해서, 배선 패턴(LCHL20(R))은 생략되어 있다.
- [0368] 마찬가지로 해서, 신호 선로(SSN-L30)는, 지연 선로(SSD-L10(LCHL10(R))) 다른 한쪽의 단부에 접속되고 있다. 이것에 의해, 1쌍의 차동 신호가 공급되는 1쌍의 신호 선로(SSN-L30, SSP-L30) 사이에는, 절연막(GIO)을 거쳐서, 소정의 전압(Vs)이 공급된 웰 영역(WEL)상에 배치된 지연 선로(SSD-L10)가 접속되게 된다.

- [0369] 이 실시 형태 9에 있어서는, 지연 선로(SSD-L10)에 해당하는 배선 패턴(LCH-L10(R))과 소정의 전압(V_s)이 공급되는 웰 영역(WEL)과의 사이에, 절연막(GIO)이 개재하고 있다. 이것에 의해, 절연막(GIO)을 유전체로 하고, 지연 선로(SSD-L10)와 웰 영역(WEL)을 전극으로 한 MOS 용량 소자가 형성되게 된다. 이 MOS 용량소자는, 등가적으로는 MOS 다이오드 소자로서 파악할 수 있다. 그 때문에, 지연 선로(SSD-L10)를 도 27(B)에 나타낸 등가 회로로서 보았을 때, 배선 패턴(LCH-L10(R))이 갖는 저항(R) 뿐만이 아니라, 배선 패턴(LCH-L10(R))과 웰영역(WEL)과의 사이에 등가적으로 형성되는 캐패시턴스(C) 및 컨덕턴스(G)도 조정해서 지연 선로(SSD-L10)에 있어서의 신호 손실량을 제어하는 것이 가능해진다. 절연막(GIO)은, 예를 들면 MOSFET의 게이트 절연막에 의해 형성된다. 이 경우, 실리콘 기판의 유전율이 크기 때문에, 지연 선로(SSD-L10)의 단위길이 당 지연량의 증가를 도모할 수 있으며, 디지털 필터(1002P)의 소형화를 도모하는 것도 가능하다.
- [0370] <변형예>
- [0371] 도 39 및 도 40은, 실시 형태 9의 변형예와 관계되는 디지털 필터(1002P)의 구조를 나타내는 평면도 및 단면도이다. 도 39도 도 37과 같이, 논리 반도체 칩(LCH-1)을, 그 제2주면(CHF2)측에서 본 평면도이다. 이 주시 방향이, 도 40에 있어서, 화살표 A9로서 도시되어 있다. 도 40은, 도 39에 있어서, A9-A9' 단면을 나타내는 단면도이다. 도 40에는, 도 38과 같게, A9-A9' 단면에 있어서의 패키지 기판(PPS-1) 및 프린트 기판(PBS)의 단면도 도시되어 있다.
- [0372] 도 39 및 도 40은, 도 37 및 도 38에 유사하므로, 차이점을 주로 설명한다. 도 37 및 도 38에서는, 실리콘 기판(SSB)에 형성된 웰 영역(WEL)에 소정의 전압(V_s)이 공급되며, 이 웰 영역(WEL) 상에 절연막(GIO)을 거쳐서 배치된 배선패턴(LCH-L10(R))을 지연 선로(SSD-L10)로서 이용하고 있었다.
- [0373] 도 39 및 도 40에 나타내는 변형예에 있어서는, 소정의 전압(V_s)이 공급되는 웰 영역(WEL)에, 웰 영역(WEL)의 도전형과는 반대의 도전형의 반도체 영역이 형성되며, 이 반도체 영역에 배선 패턴(LCH-L10(R))이 오믹 접속된다. 이 배선 패턴(LCH-L10(R))이, 지연 소자(DLN)를 구성하는 지연 선로(SSD-L10)로서 이용되고 있다.
- [0374] 도 40에 있어서, DFR는, 웰 영역(WEL)에 형성된 반도체 영역을 나타내고 있다. 예를 들면, 웰 영역(WEL)이, P형 반도체 영역에 있는 경우, 반도체 영역(DFR)은, 웰 영역(WEL)에 형성된 N형 반도체 확산 영역이 된다. 이 반도체 영역(DFR)은, 평면에서 보았을 때, 도 37에 나타내듯이, π 자형으로 형성되고 있다. 배선층(HSB) 내의 제1층의 도전층에 의해, 반도체 영역(DFR)과 겹치는 것 같은 π 자형의 배선 패턴(LCH-L10(R))이 형성된다(도 39에서는, 지연 선로(SSD-L10)라 표시). 이 배선 패턴(LCH-L10(R))은, 겹쳐져 있는 반도체 영역(DFR)과 오믹 접속된다(도 40).
- [0375] 이 배선 패턴(LCH-L10(R))은, 도 40에 나타내듯이, 그 한쪽의 단부가, 콘택트(CT1) 및 제2층의 배선 패턴(LCH-L20(R)/HSB)에 의해, 신호 선로(SSP-L30)가 되는 배선 패턴(LCH-L30(R))에 접속되고 있다. 마찬가지로 해서, 배선 패턴(LCH-L10(R))의 다른 한쪽의 단부도, 콘택트(CT1) 및 제2층의 배선 패턴에 의해, 신호 선로(SSN-L30)가 되는 배선 패턴에 접속되어 있다. 또한, 도 39에서는, 도면이 복잡하게 되는 것을 피하기 위해서, 제2층의 도전층에 의해 형성된 배선 패턴(예를 들면 배선 패턴(LCH-L20(R)))은, 생략되어 있다.
- [0376] 이 변형예에 있어서는, 반도체 영역(DFR)이 웰 영역(WEL)에 형성되고 있기 때문에, 반도체 영역(DFR)과 웰 영역(WEL)에 의해 PN접합 다이오드 소자가 형성되게 된다. 웰 영역(WEL)에 소정의 전압(V_s)이 공급되고, 지연 선로(SSD-L10(LCH-L10(R)))는, 반도체 영역(DFR)에 오믹 접속되기 때문에, 이 PN접속 다이오드 소자가, 소정의 전압(V_s)과 지연 선로(SSD-L10)와의 사이에 접속되게 된다. 지연 소자(DLN)의 등가 회로(도 27)를 본 경우, PN접합 다이오드 소자를 접합전류가 흐르기 때문에, 컨덕턴스(G)를 크게 하는 것이 가능해진다. 이것에 의해, 지연소자(DLN)에 있어서의 신호 손실을 크게 하는 것이 가능해져서, 디지털 필터(1002P)의 소형화를 도모하는 것이 가능해진다. 또, PN접합 다이오드 소자에 공급되는 역 바이어스 전압을 제어함으로써, 컨덕턴스(G)를 제어하는 것이 가능해져서, 지연소자(DLN)에 있어서의 신호 손실을 제어하는 것이 가능하다.
- [0377] 산화막의 비유전율은 4 정도이지만, 실리콘의 비유전율은 12 정도로도 된다. 그 때문에, 지연 소자(DLN)에 있어서의 지연을, (12/4)의 정의 평방근인 1.7배 정도로 크게 하는 것이 가능해져, 디지털 필터(1002P)의 소형화를 도모하는 하는 것이 가능해진다.
- [0378] 이 실시 형태 9 및 그 변형예에 있어서, 배선 패턴 LCH-L10(R)의 저항이, 소망한 저항값보다 높은 경우에는, 예를 들면 도 16(C)에 나타낸 것처럼, 배선 패턴(LCH-L10(R))에 대해서, 예를 들면 제2층의 도전층에 의해 형성된 배선 패턴을, 병렬적으로 접속하도록 하면 된다.

- [0379] 이 실시 형태 9에 있어서는, 소정의 전압(V_s)에 대한 지연 선로(SSD-L10)의 단위길이 당 저항(R)이, 신호 선로의 그것보다도 작게 되며, 소정의 전압(V_s)에 대한 지연선로(SSD-L10)의 단위길이 당 컨덕턴스(G)가 높게 된다.
- [0380] 여기에서는, 논리 반도체 칩(LCH-1)에 디지털 필터를 형성하는 예를 설명했지만, 이것으로 한정되는 것은 아니다. 예를 들면 인터포저(INS-1)로서 실리콘 인터포저를 이용하는 경우, 이 실리콘 인터포저에 도 37~도 40에서 설명한 웰 영역(WEL), 반도체 영역(DFR) 및 배선 패턴(LCH-L10(R))을 형성하고, 이것들을 이용해 상기한 것처럼 디지털 필터(1002P)를 구성하도록 해도 된다. 또, MOS 용량 소자(등가적으로는 MOS 다이오드 소자)를 구성하는 전극으로 해서, 웰 영역(WEL)을 이용하는 예를 설명했지만, 웰 영역(WEL)이 아니고, 실리콘기판(SSB)이어도 된다. 또한, PN접합 다이오드 소자를 구성하는 반도체 영역(DFR)은, 웰 영역(WEL)이 아니고, 실리콘 기판(SSB)에 형성해도 된다.
- [0381] (실시 형태 10)
- [0382] 도 41은, 실시 형태 10과 관계되는 반도체 장치의 구성을 나타내는 블록도이다. 이 실시 형태 10에 있어서는, 실시 형태 9에서 설명한 것처럼, 논리 반도체 칩(LCH1)에 디지털 필터(1002P)가 형성되고 있는 경우를 설명한다.
- [0383] 도 41은, 실시 형태 9와 관계되는 도 37과 유사하다. 여기에서는, 도 37과 도 41에서 같은 구성의 부분을, 먼저 기술해 둔다. 도 41에 있어서, 실리콘 기판(SSB), 웰 영역(WEL), 신호 선로(SSP-L30, SSN-L30), 전압 배선(SSG-L30), 마이크로브롬용 전극(LCH-PDG, LCH-PDN, LCH-PDP), 콘택트(CT1) 및 범프(SMB)는, 도 37과 같다. 그 때문에, 이들의 설명은 생략한다.
- [0384] 도 37에 있어서는, 웰 영역(WEL) 상에, 절연막(GIO)을 거쳐서, 지연 선로(SSD-L10)가 배치되며, 지연 선로(SSD-L10)의 각각의 단부가, 신호 선로(SSN-L30 및 SSP-L30)에 접속되고 있었다. 이것에 대해서, 이 실시 형태 10에 있어서는, 웰 영역(WEL) 상에, 절연막(GIO)을 거쳐서, 복수의 지연 선로가 배치된다. 이들의 복수의 지연 선로로부터 소망한 수의 지연 선로가 선택되며, 선택된 지연 선로의 한쪽 단부는, 신호 선로(SSP-L30)에 접속되며, 선택된 지연 선로의 다른 한쪽의 단부는, 신호선로(SSN-L30)에 접속된다. 이것에 의해, 선택된 수의 지연 선로가, 신호 선로(SSPL30와 SSN-L30)와의 사이에 병렬적으로 접속되게 된다. 이것에 의해, 임의의 역전달 함수의 특성을 갖는 디지털 필터(1002P)를 제공하는 것이 가능해진다.
- [0385] 도 41에 있어서는, 절연막(GIO)을 거쳐서, 웰 영역(WEL) 상에 배치된 지연 선로의 수가 4개의 경우가 도시되어 있다. 동 도에서는, 이러한 4개의 지연 선로에 부호 SSD-10L10~SSD-13L10가 부여되어 있다. 이 지연 선로(SSD-10L10~SSD-13L10)의 각각의 단부는, 스위치 어레이(SAR1)를 거쳐서, 콘택트(CT1)에 의해, 신호 선로(SSN-L30와 SSP-L30)에 접속되고 있다.
- [0386] 스위치 어레이(SAR1)는, MOSFETS10A~S13A 및 MOSFETS10 B~S13B를 구비하고 있다. 이러한 MOSFETS10A~S13A, S10B~S13B는, 각각 2개의 MOSFET가 1쌍으로 되어 지연 선로의 수에 대응한 수의 쌍으로 나누어져 있다. 즉, MOSFETS10A와 S10B가 1쌍으로 되고, 이 쌍이, 지연 선로(SSD-10L10)에 대응하여, MOSFETS11A와 S11B가 1쌍으로 되고, 이 쌍이, 지연 선로(SSD-11L10)에 대응하고 있다. 마찬가지로, MOSFETS12A(와)과 S12B가 1쌍으로 되고, 이 쌍이, 지연 선로(SSD-12L10)에 대응하고, RMOSFETS13A와 S13B가 1쌍으로 되고, 지연 선로(SSD-13L10)에 대응하고 있다.
- [0387] 지연 선로(SSD-10L10)의 한쪽의 단부는, 대응하는 쌍의 MOSFETS10A를 거쳐서 신호 선로(SSP-L30)에 접속되고, 그 다른 한쪽의 단부는, 대응하는 쌍의 MOSFETS10B를 거쳐서, 신호 선로(SSN-L30)에 접속되어 있다. 또, 지연 선로(SSD-11L10)의 한쪽의 단부는, 대응하는 쌍의 MOSFETS11A를 거쳐서, 신호 선로(SSP-L30)에 접속되고, 그 다른 한쪽의 단부는, 대응하는 쌍의 MOSFETS11B를 거쳐서, 신호 선로(SSN-L30)에 접속되어 있다. 마찬가지로, 지연 선로(SSD-12L10)의 한쪽의 단부는, 대응하는 쌍의 MOSFETS12A를 거쳐서, 신호 선로(SSP-L30)에 접속되고, 그 다른 한쪽의 단부는, 대응하는 쌍의 MOSFETS12B를 거쳐서, 신호 선로 SSN-L30에 접속되어 있다. 또한, 지연 선로(SSD-13L10)의 한쪽의 단부는, 대응하는 쌍의 MOSFETS13A를 거쳐서, 신호 선로(SSP-L30)에 접속되며, 그 다른 한쪽의 단부는, 대응하는 쌍의 MOSFETS13B를 거쳐서, 신호 선로(SSN-L30)에 접속되고 있다.
- [0388] 스위치 어레이(SAR1)를 구성하는 이러한 MOSFET는, 지연선 선택 레지스터 (SREG1)에 격납되어 있는 지연선 선택 정보에 따라, 온 상태로 된다. 예를 들면, 지연선 선택정보가, 지연 선로(SSD-10L10)를 지정하고 있는 경우, 지연선 선택 레지스터(SREG1)로부터의 선택 신호(SELA1, SELB1)(각각 4 비트)에 의해, 이 지연선로(SSF-L10)에 대응한 쌍을 구성하는 MOSFETS10A와 S10B가 온 상태로 되고, 나머지의 MOSFETS11A~S13A 및 S11B~S13B는 오프 상태로 된다. 또한, 지연선 선택 정보가, 지연 선로(SSD-10L10와 SSD-12L10)를 지정하고 있는 경우에는, 지연선

선택 레지스터(SREG1)로부터의 선택 신호(SELA1, SELB1)에 의해, 이러한 지연 선로에 대응한 쌍을 구성하는 MOSFETS10A, S10 B, S12A 및 S12B가 온 상태로 되고, 나머지의 MOSFETS11A, S11B, S13A 및 S13B는 오프 상태가 된다. 이하 같은 방식으로 해서, 지연선 선택 레지스터(SREG1)에 격납되어 있는 지연선 선택 정보에 의해, 1쌍 이상으로, 임의의 수의 쌍의 MOSFET가 온 상태로 된다.

[0389] 예를 들면, MOSFETS10A, S10B만이 온 상태로 되어졌을 경우에는, 지연 선로(SSD-10L10)의 한쪽 단부가, 신호 선로(SSP-L30)에 접속되며, 이 지연 선로(SSD-10L10)의 한쪽 단부는, 신호 선로(SSN-L30)에 접속되게 된다. 또, 이때, MOSFETS12A, S12B도 온 상태로 된 경우에는, 지연선로(SSD-10L10 및 SSD-12L10)의 각각의 한쪽의 단부가, 신호 선로(SSPL30)에 접속되며, 지연 선로(SSD-10L10 및 SSD-12L10)의 각각의 다른 한쪽의 단부는, 신호 선로(SSN-L30)에 접속되게 된다. 이와 같이 해서, 임의의 지연 선로를 1개 또는 복수개 선택하고, 선택된 1개 또는 복수개의 지연 선로의 한쪽의 단부는, 신호 선로(SSP-L30)에 접속되고, 다른 한쪽의 단부는, 신호 선로(SSN-L30)에 접속되게 된다.

[0390] 미리 소망한 지연량이나 신호 손실을 가지도록 한 지연 선로(SSD-10L10~SSD-13L10)를 준비해 둔다. 지연 소자(DLN)로서 적절한 손실량에 맞추어, 지연 선로(SSD-10L10~SSD-13L10)로부터 1개 또는 복수개의 지연 선로를 선택하는 지연선로 선택 정보를 구하고 구해진 지연선 선택 정보를 지연선 선택 레지스터(SREG1)에 격납한다. 이것에 의해, 지연선 선택 레지스터(SREG1)에 격납된 지연선 선택 정보에 의해 지정된 1개 또는 복수개의 지연 선로가, 지연 선로(SSD-10L10~SSD-13L10)로부터 선택되어 신호 선로(SSP-L30와 SSN-L30)와의 사이에 접속되게 된다.

[0391] 도 41에 나타난 구성은, 신호 선로를 전달하는 차동 신호의 비트 레이트가, 거의 고정되고 있는 경우에 적합하다. 이 경우, 지연선 선택 신호에 의해 지연 선로의 절환은, 지연 소자(DLN)의 손실량을 조정하기 위해서 이용된다. 이때, 지연 소자(DLN)의 지연량은, 예를 들면 다음에 변형예로 설명하지만, 바이어스 정보를 조정하는 것에 의해, 미조정한다.

[0392] 선택된 1개 또는 복수개의 지연 선로가, 지연 소자(DLN)로서 기능하기 때문에, 필요로 되는 등화의 강함이 바뀌었을 경우 등에 대해서, 동적으로 디지털 필터(1002P)의 역전달 함수를 변경하는 것이 가능해진다. 비트 레이트가 같아도, 예를 들면 신호선로의 길이가 바뀔으로써, 송수신간의 신호 채널로 생기는 감쇠가 바뀐다. 이 감쇠가 커졌을 경우에는, 강한 등화 작용이 필요하게 되고, 감쇠가 작아졌을 경우에는, 약한 등화 작용이 필요하게 되게 된다. 등화 작용을 강하게 하려면, 지연 소자(DLN)의 손실량이 작아지도록 지연 선로를 선택하면 된다. 반대로, 등화 작용을 약하게 하려면, 지연 소자(DLN)의 손실량이 커지도록, 지연 선로를 선택하면 된다.

[0393] 또한, 이 실시 형태 10에서는, 웰 영역(WEL)에 공급되는 전압이, 임의로 변경할 수 있도록 되어 있다. 즉, 논리 반도체 칩(LCH-1)에는, 상기한 지연선 선택 레지스터(SREG1) 및 스위치 어레이(SAR1) 이외에, 전원 회로(RG)와 바이어스 전압 레지스터(BREG)가 설치되고 있다. 바이어스 전압 레지스터(BREG)에 격납된다. 바이어스 정보에 기초하여 전원 회로(RG)는, 예를 들면 소정의 전압(V_s)과 이 소정의 전압(V_s)과는 전압치가 다른 전압(V_d)과의 사이의 전압을, 웰 영역(WEL)에, 바이어스 전압으로 공급한다. 이것에 의해, 웰 영역(WEL)의 전압을, 임의의 전압치로 하는 것이 가능하게 된다. 도 27(B)에 나타난 등가 회로에서 본 경우, 서로 병렬 접속된 캐패시턴스(C) 및 컨덕턴스(G)의 값은, 웰 영역(WEL)의 바이어스 전압을 바꾸는 것에 의해, 변화한다. 예를 들면, 등가적으로 MOS 다이오드 소자로서 파악했을 경우, 이 MOS다이오드 소자를 역 바이어스 하는 바이어스 전압을 바꾸는 것에 의해, 캐패시턴스(C) 및 컨덕턴스(G)의 값을 제어할 수 있다. 이것에 의해, 지연 소자(DLN)의 역 전달함수의 특성을 변경하는 것이 가능해진다.

[0394] 이 실시 형태 10에서는, 지연선 선택 정보에 의해, 도 27(B)에 나타난 등가 회로의 저항(R)이 주로 변경되어 바이어스 정보에 의해, 등가 회로의 캐패시턴스(C) 및 컨덕턴스(G)가 주로 변경되게 된다. 이것에 의해, 보다 정밀도 좋고, 역전달 함수를 합하는 것이 가능하게 되고, 정밀도 좋게 등화를 실시하는 것이 가능해진다.

[0395] 실시 형태 10에서는, 지연선 선택 정보와 바이어스 정보의 양쪽 모두를 이용하여, 지연 소자(DLN)를 조정하는 것을 기술했지만, 이것으로 한정되는 것은 아니다. 즉, 지연 선택 정보와 바이어스 정보의 어느 쪽이든 한쪽만으로도, 지연 소자(DLN)를 조정하도록 해도 된다. 또, 바이어스 정보로 조정을 실시하는 경우에는, 전압 배선(SSG-L30)에 소정의 전압(V_s)이 공급되지 않게 하든지, 전압 배선(SSG-L30)과 웰 영역(WEL)이 전기적으로 분리되도록 해도 된다.

[0396] <변형예>

[0397] 도 42는, 실시 형태 10의 변형예와 관계되는 반도체 장치의 구성을 나타내는 블록도이다. 도 42는, 도 41과 유

사하기 때문에, 여기에서는 주로 차이점만을 설명한다. 도 41과 다른 부분은, 스위치 어레이, 지연 선로 및 지연선 선택 레지스터이다. 나머지의 부분은, 도 41과 같기 때문에, 설명은 원칙적으로 생략한다.

- [0398] 도 41에 나타난 구성은, 차동 신호의 비트 레이트가 거의 고정되고 있는 경우에 적합하다. 이 경우, 비트 레이트가 거의 고정되어 있기 때문에, 지연선 선택 신호에 의한 지연 선로의 절환은, 예를 들면 지연 소자(DLN)의 손실량을 조정하기 위해서 이용한다. 또, 바이어스 정보는, 지연 소자(DLN)의 지연량을 미세조정하는데 이용한다.
- [0399] 이것에 대해서, 이 변형예에서는, 차동 신호의 비트 레이트가 복수이며, 동적으로 비트 레이트가 변화하는 경우에 적합하다.
- [0400] 이 변형예에 있어서도, 도 41과 같이, 절연막(GIO)을 거쳐서, 웰 영역(WEL) 상에, 지연 선로(SSD-20L10~SSD-23L10)가 배치된다. 지연 선로(SSD-20L10~SSD-23L10)의 각각은, 비트 레이트의 각각에 대해서 적합한 지연 소자(DLN)로서 동작하도록, 미리 적합한 지연량이나 손실량을 가지도록 형성되어 있다. 예를 들면, 제1의 비트 레이트에서는, 지연 선로(SSD-20L10)가 지연 소자(DLN)로서 적합하도록, 지연 선로(SSD-20L10)가 형성되고 있다. 제1의 비트 레이트와 다른 제2의 비트 레이트에서는, 지연 선로(SSD-21L10)가 지연 소자(DLN)로서 적합하도록, 지연 선로(SSD-21L10)가 형성되고 있다. 이하, 마찬가지로, 제3의 비트 레이트에 적합하도록, 지연 선로(SSD-22L10)가 형성되며, 제4의 비트 레이트에 적합하도록, 지연 선로(SSD-23L10)가 형성되고 있다.
- [0401] 스위치 어레이(SAR2)는, 스위치 어레이(SAR1)와 같이, 지연 선로(SSD-20L10~SSD-23L10)의 각각에 대응한 MOSFET의 조를 갖추고 있다. 도 42에 있어서는, 지연 선로(SSD-20L10)에 대응한 조는, MOSFETS20A, S20B에 의해 구성되며, 지연 선로(SSD-21L10)에 대응한 조는, MOSFETS21A, S21B에 의해 구성되어 있다. 마찬가지로, 지연 선로(SSD-22L10)에 대응한 조는, MOSFETS22A, S22B에 의해 구성되며, 지연 선로(SSD-23L10)에 대응한 조는, MOSFETS23A, S23B에 의해 구성되어 있다.
- [0402] 지연 선로(SSD-20L10~SSD-23L10)의 각각의 한쪽의 단부는, 대응하는 조의 MOSFETS20A~S23A를 거쳐서, 신호 선로(SSP-L30)에 접속되어 있다. 한편, 지연 선로(SSD-20L10~SSD-23L10)의 각각의 한쪽의 단부는, 대응하는 조의 MOSFETS20B~S23B를 거쳐서, 신호 선로(SSN-L30)에 접속되고 있다.
- [0403] 이 변형예에 있어서는, 지연선 선택 레지스터(SRG2)는, 지연 선로(SSD-20L10~SSD-23L10) 중 하나를 선택하는 지연선 선택 정보를 격납한다. 이 지연선 선택정보에 기초한 선택 신호(SELA2, SELB2)(각각 4 비트)에 의해, 지연선 선택 정보에 의해 지정된 지연 선로가 선택되어 선택된 지연 선로가, 스위치 어레이(SAR2)에 의해, 신호 선로(SSP-L30와 SSN-L30)와의 사이에 접속된다.
- [0404] 예를 들면, 지연선 선택 정보에 의해, 지연 선로(SSD-20L10)가 지정되고 있는 경우, 선택 신호(SELA2, SELB2)에 의해, 이 선택 선로(SSD-20L10)에 대응하는 조를 구성하는 MOSFETS20A와 S20B가 온 상태로 되고, 나머지의 MOSFETS21A~S23A 및 S21B~S23B는 오프 상태로 된다. 또, 지연선 선택정보에 의해, 지연 선로(SSD-22L10)가 지정되고 있는 경우, 선택 신호(SELA2, SELB2)에 의해, 이 선택 선로(SSD-22L10)에 대응한 조를 구성하는 MOSFETS22A와 S22B가 온 상태로 되고, 나머지의 MOSFETS20A, S21A, S23A 및 S20B, S21B, S23B는 오프 상태로 된다. 이하, 마찬가지로 해서, 택일적으로 1조를 구성하는 MOSFET만이 온 상태로 된다.
- [0405] 지연선 선택 정보에 의해 지정된 지연 선로에 대응하는 조의 MOSFET가 온 상태인 것에 의해, 지연 선로(SSD-20L10~SSD-23L10) 중, 지연선 선택신호에 의해 지정되고 있는 지연 선로만이, 택일적으로 신호 선로(SSN-L30, SSP-L30)간에 전기적으로 접속되게 된다.
- [0406] 이것에 의해, 차동 신호의 비트 레이트가, 예를 들면 제1의 비트 레이트로부터 제3의 비트로 변화해도, 지연선 선택 레지스터(SREG2)에 격납되고 있는 지연선 선택 정보를, 제1의 비트 레이트에 대응한 지연 선로(SSD-20L10)를 지정하는 정보로부터, 제3의 비트 레이트에 대응한 지연 선로(SSD-23L10)를 지정하는 정보로 변경함으로써, 비트 레이트가 변화해도, 적절히 등화를 실시하는 것이 가능해진다.
- [0407] 또, 도 41에서 설명한 것처럼, 바이어스 전압 레지스터(BREG)에 격납하고 있는 바이어스 정보를 변경함으로써, 각각의 비트 레이트의 경우에, 지연 소자(DLN)의 지연량을 미세조정하는 것이 가능하다. 또한, 이 변형예에 있어서도, 바이어스 정보로 조정을 행할 경우에는, 전압 배선(SSG-L30)에 소정의 전압(V_s)이 공급되지 않게 하던지, 전압배선(SSG-L30)과 웰 영역(WEL)이 전기적으로 분리되도록 해둔다.
- [0408] 실시 형태 10 및 그 변형예에 있어서는, 절연막(GIO)을 거쳐서, 웰 영역(WEL)에 배치된 지연 선로를 이용하여 지연 소자(DLN)를 구성하는 예를 설명했지만, 이것에 한정되는 것은 아니다. 예를 들면, 실시 형태 9의 변형예

에서 나타난 바와 같이, 웰 영역(WEL)에 형성된 반도체 영역(DEF)에 오믹 접촉된 지연 선로를, 실시 형태 10 및 그 변형예에 있어서, 각각의 지연 선로로서 이용하도록 해도 된다.

[0409] 또, 도 41에 나타난 지연선 선택 레지스터(SREG1), 바이어스 전압 레지스터(BREG), 전원 회로(RG) 및 스위치 어레이(SAR1)는, 지연 소자(DLN)를 제어한다고 하는 관점에서 본 경우, 이들에 의해 제어 회로가 구성되어 있다고 볼 수 있다. 마찬가지로, 도 42에 나타난 지연선 선택 레지스터(SREG2), 바이어스 전압 레지스터(BREG), 전원회로(RG) 및 스위치 어레이(SAR2)에 있어서도, 이들에 의해 제어 회로가 구성되어있다고 볼 수 있다.

[0410] 도 41 및 도 42에 있어서, 지연 소자(DLN)는, 복수의 지연 선로를 구비하고 있다. 지연소자(DLN)에 있어서의 신호 지연의 시간, 즉 왕복 신호 지연은, 제어 회로에 의해 변경하는 것이 가능하기 때문에, 지연 소자(DLN)는, 가변 지연 소자라고 볼 수 있다. 바꾸어 말하면, 가변 지연 소자인 지연 소자(DLN)의 지연 시간이, 제어 회로에 의해 정해진다고 볼 수 있다. 이 경우, 지연 소자(DLN)에 포함되는 다이오드 소자에 공급되는 바이어스 전압 또는/및 신호 선로 간에 접속되는 지연 선로가, 제어회로에 의해 정해짐으로써, 가변 지연 소자의 지연 시간이 정해지게 된다.

[0411] 실시 형태 10에 있어서는, 1쌍의 차동 신호가 공급되는 지연 소자(DLN)를 예로 해 설명했지만, 실시 형태 10으로 설명한 지연선 선택 레지스터, 바이어스 전압 레지스터, 전원회로 및 스위치 어레이는, 실시 형태 3 또는 4에도 적용하는 것이 가능하다. 즉, 싱글 엔드 신호에 대응한 지연 소자에도 적용하는 것이 가능하다. 이 경우, 실시 형태 3 또는 4에 있어서, 지연 선로가 복수로 되고, 지연선 선택 레지스터에 격납된 지연선 선택 정보에 의해 지정된 지연 선로에 의해, 지연 소자가 구성되게 된다. 또, 실시 형태 10과 같이, 실리콘 기판(SSB)에서 웰 영역이 형성되며, 전원 회로와 바이어스 전압 레지스터에 의해, 웰 영역의 전압이 조정됨으로써, 지연 소자의 지연량이 조정되게 된다.

[0412] 실시 형태 1~6으로 설명한 지연 소자(DLN)는, 신호 선로에 접속된다. 신호 선로에 접속된다고 하는 관점에서 보면, 지연 소자는, 소위 쇼트 스템브(short stub)의 1종이라고 생각되는 경우가 있다. 그렇지만, 실시 형태에 있어서 설명한 지연 소자는, 다음에 설명하듯이, 쇼트 스템브와는 완전히 다른 것이다.

[0413] 즉, 쇼트 스템브는, 그 자체의 손실이 크면, 충분히 기능하지 않는다. 이것에 대해서, 지연 소자는, 그 자체의 손실이 커지도록 한다. 도 1(B)에 나타난 등가 회로에서 본 경우, 저항(R) 또는 병렬 컨덕턴스(G)가 커지도록, 지연 소자는 설정된다. 또, 쇼트 스템브에 있어서는, 그 길이가, 원리상, 입력 신호 주파수에 대한 전자파 파장이 1/4 내외로 설정된다. 이것에 대해서, 지연 소자는, 전자파 파장과 직접적인 관계는 없고, 그 길이는, 전자파 파장의 길이에 의해서 정해지지 않는다. 지연 소자의 길이는, 예를 들면 왕복 신호 지연의 시간에 의해 정해지지만, 이 왕복 신호 지연도 1 데이터 폭 구간(UT)의 정수 분의 1로 정해지는 것이며, 전자파 파장의 길이는 아니다.

[0414] 또한, 쇼트 스템브가, 쇼트 스템브로서 기능하기 위해서는, 신호원으로부터 쇼트 스템브까지의 선로길이가 전송로라고 보여질 만큼 필요하게 된다. 예를 들면, 신호원으로부터 쇼트 스템브까지의 선로 길이를 전자파 파장의 1/4로 하는 것이 필요하게 된다. 이것에 대해서, 지연 소자는, 전송로라고 보이지 않을 정도로, 송신 버퍼 회로(신호원) 또는 수신 버퍼 회로의 근방에 접속하는 것이 바람직하다. 즉, 지연 소자는, 쇼트 스템브로서는 기능하지 않는 그러한 위치에 접속하는 것이 바람직하다.

[0415] 실시 형태 1~6에서는, 디지털 필터를, 인터포저 또는 반도체 칩에 형성하는 예를 설명했다. 그렇지만, 실시 형태 1~6에서 기술한 디지털 필터(1002)를, 소형의 인터포저에 형성하고, 이 소형의 인터포저를, 패키지 기판, 프린트 기판에 매립하도록 해도 된다.

[0416] 실시 형태 7~10에 있어서는, 수신 버퍼 회로의 1쌍의 입력 단자의 근방에, 지연소자(DLN)를 와이어드 오어 접속하는 예를 나타냈지만, 이것으로 한정되는 것은 아니다. 지연 소자(DLN)의 한쪽의 단부를, 송신 버퍼 회로의 1쌍의 출력 단자 중 한쪽의 출력 단자에 와이어드 오어 접속하고, 지연 소자(DLN)의 다른 한쪽의 단부를, 송신 버퍼 회로의 다른 한쪽의 출력 단자에 와이어드 오어 접속해도 된다. 이 경우, 차동 신호의 성분에 대해서는, 1쌍의 신호 선로에 의해 전달되기 전에, 1쌍의 신호 선로의 전달 함수를 등화하는 것 같은 역전달 함수에 의한 파형 정형이 행해지게 되어, 수신 버퍼 회로의 1쌍의 입력 단자에는 왜곡이 저감된 차동 신호 성분의 파형이 공급되게 된다. 이때, 코먼 모드 신호의 성분에 대해서는, 등화되지 않고, 수신 버퍼 회로의 1쌍의 입력 단자에 전달되게 된다. 그 결과, 코먼 모드 신호의 성분이 오인식 되는 것을 막는 것이 가능하다.

[0417] 실시 형태 7 및 8에서는, 지연 선로를, 인터포저 내에 형성된 배선 패턴을 이용하는 예를 설명했다. 이것으로 한정되는 것은 아니다. 예를 들면 인터포저(INS-1)로서는, 실리콘 인터포저 이외의, 유기 기판이나 글라스 기판

을 이용한 인터포저여도 된다. 또, 논리 반도체 칩에 형성되는 배선 패턴을, 지연선로로서 이용하도록 해도 된다. 또한, 실시 형태 7~10으로 기술한 지연 선로 및 지연 선로를 따라 배치된 전압 배선이 형성된 소형의 반도체 칩(등화용 반도체칩)을 준비하고, 이 등화용 반도체 칩을, 패키지 기관(PPS-1) 또는/및 인터포저 (INS-1)에 매립하도록 해도 된다. 즉, 등화용 반도체 칩을 패키지 기관(PPS-1)의 제1주면(PPF1)과 제2주면(PPF2)과의 사이에 매립하도록 배치해도 된다. 또한 등화용 반도체 칩을 인터포저(INS-1)의 제1주면(INF1)과 제2주면과의 사이에 매립하도록 배치해도 된다.

- [0418] <부기>
- [0419] 본 명세서에는, 복수의 발명이 개시되고 있으며, 그 몇 개는, 청구 범위에 기재하고 있지만, 이외의 발명도 개시하고 있으며, 그 대표적인 것을 다음에 열거한다.
- [0420] (A) 1쌍의 차동 신호 선로와,
- [0421] 상기 1쌍의 차동 신호 선로의 각각의 단부에 접속되어, 상기 1쌍의 차동 신호 선로로부터 차동 신호가 공급되는, 또는 상기 1쌍의 차동 신호 선로에 차동 신호를 공급하는 제1회로와,
- [0422] 상기 1쌍의 차동 신호 선로 중 한쪽의 차동 신호 선로의 단부에 와이어드 오어 접속되는 한쪽의 단부와, 상기 1쌍의 차동 신호 선로 중 다른 한쪽의 차동 신호 선로의 단부에 와이어드 오아 접속된 다른 한쪽의 단부를 구비하고, 상기 1쌍의 차동 신호 선로의 단부에 있어서의 차동 신호의 파형을 정형하는 지연 소자를 구비하는 반도체 장치.
- [0423] (B) 상기(A)에 기재된 반도체 장치에 있어서,
- [0424] 상기 지연 소자는, 1쌍의 단부를 갖는 지연 선로를 구비하고, 상기 지연 선로의 한쪽의 단부가, 상기 지연 소자의 한쪽의 단부로서, 상기 한쪽의 차동 신호 선로의 단부에 와이어드 오어 접속되며, 상기 지연 선로의 다른 한쪽의 단부가, 상기 지연 소자의 다른 한쪽의 단부로서 상기 다른 한쪽의 차동 신호 선로의 단부에 와이어드 오어 접속되며,
- [0425] 상기 반도체 장치는, 상기 지연 선로를 따라 배치되며, 소정의 전압이 공급되는 전압 배선을 구비하는 반도체 장치.
- [0426] (C) 상기(B)에 기재된 반도체 장치에 있어서,
- [0427] 상기 지연 선로는, 상기 한쪽의 단부 또는 상기 다른 한쪽의 단부에 입력된 신호와 상기 한쪽의 단부 또는 상기 다른 한쪽의 단부로부터 출력되는 출력 신호와의 사이의 왕복 신호 지연이, 상기 신호의 1 테이터 폭 구간의 시간의 2배 또는 정수 분의 1이 되도록 되어 있는, 반도체 장치.
- [0428] (D) 상기(A)에 기재된 반도체 장치에 있어서,
- [0429] 상기 반도체 장치는, 다이오드 소자를 구비하고, 상기 지연 소자는, 상기 다이오드 소자에 의해 구성되어 있는, 반도체 장치.
- [0430] (E) 상기(A)에 기재의 반도체 장치에 있어서,
- [0431] 상기 지연 소자는, 지연 시간이 변경 가능한 가변 지연 소자이며,
- [0432] 상기 반도체 장치는, 상기 가변 지연 소자의 지연 시간을 정하는 제어 회로를 구비하는, 반도체 장치.
- [0433] (F) 상기(E)에 기재된 반도체 장치에 있어서,
- [0434] 상기 반도체 장치는, 다이오드 소자를 구비하고, 상기 가변 지연 소자는, 상기 다이오드 소자를 포함하며, 상기 제어 회로에 의해, 상기 다이오드 소자에 공급되는 바이어스 전압이 설정되는 반도체 장치.
- [0435] (G) 상기(E)에 기재의 반도체 장치에 있어서,
- [0436] 상기 가변 지연 소자는, 복수의 지연 선로를 갖고, 상기 제어 회로에 의해 선택된 지연선로가, 상기 1쌍의 차동 신호 경로의 단부 사이에 접속되는, 반도체 장치.
- [0437] (H) 차동 신호가 입력 또는 출력되는 1쌍의 전극이 형성된 주면을 갖는 제1 반도체 칩과,
- [0438] 1쌍의 제1 전극이 형성된 제1주면과, 상기 제1 주면과 대향하고, 상기 1쌍의 제1 전극과 전기적으로 접속된 1쌍의 제2 전극이 형성된 제2주면을 구비하고, 상기 제1 반도체 칩의 상기 1쌍의 전극이, 상기 1쌍의 제1 전극에

접속되도록, 상기 제1 반도체 칩의 주면이, 상기 제1 주면과 대향하도록 탑재되는 인터포저를 구비하고,

- [0439] 상기 1쌍의 전극 중 한쪽의 전극에 와이어드 오어 접속된 한쪽의 단부와, 상기 1쌍의 전극 중 다른 한쪽의 전극에 와이어드 오어 접속된 다른 한쪽의 단부를 갖는 지연 선로에 의해, 상기 1쌍의 제2 전극과 상기 1쌍의 전극과의 사이를 차동 신호가 전달할 때, 차동 신호의 정형을 하는, 반도체 장치.
- [0440] (I) 상기(H)에 기재된 반도체 장치에 있어서,
- [0441] 상기 반도체 장치는, 상기 지연 선로를 따라 배치되며, 소정의 전압이 공급되는 전압 배선을 구비하는, 반도체 장치.
- [0442] (J) 상기(I)에 기재된 반도체 장치에 있어서,
- [0443] 상기 지연 선로와 상기 전압 배선은, 상기 제 1 반도체 칩에 형성된 배선인, 반도체 장치.
- [0444] (K) 상기(I)에 기재된 반도체 장치에 있어서,
- [0445] 상기 지연 선로와 상기 전압 배선은, 상기 인터포저에 형성된 배선인, 반도체 장치.
- [0446] (L) 상기 (I)에 기재된 반도체 장치에 있어서,
- [0447] 상기 반도체 장치는, 상기 지연 선로와 상기 전압 배선이 형성된 등화용 반도체 칩을 구비하는, 반도체 장치.
- [0448] (M) 상기(L)에 기재된 반도체 장치에 있어서,
- [0449] 전기 등화용 반도체 칩은, 상기 인터포저의 상기 제1 주면과 상기 제2 주면과의 사이에 배치되고 있는, 반도체 장치.
- [0450] (N) 차동 신호가 입력 또는 출력되는 1쌍의 전극이 형성된 주면을 갖는 제1 반도체 칩과,
- [0451] 1쌍의 제1 전극이 형성된 제1주면과 상기 제1 주면과 대향하고, 상기 1쌍의 제1 전극과 전기적으로 접속된 1쌍의 제2 전극이 형성된 제2주면을 구비하고, 상기 제 1 반도체 칩의 상기 1쌍의 전극이, 상기제 1 전극에 접속되도록, 상기 제 1 반도체 칩의 주면이, 상기 제1 주면과 대향하도록 탑재되는 제1 인터포저와,
- [0452] 상기 제1 인터포저의 제2 주면과 대향하는 주면과, 상기 주면에 형성된 1쌍의 제3 전극과, 상기 주면에 형성된 1쌍의 제4 전극과, 상기 1쌍의 제3 전극과 상기 1쌍의 제4 전극을 전기적으로 접속하는 배선 패턴을 구비한 기판과,
- [0453] 상기 제1 반도체 칩의 상기 1쌍의 전극 중 한쪽의 전극에 접속된 한쪽의 단부와, 상기 제1 반도체 칩의 상기 1쌍의 전극 중 다른 한쪽의 전극에 접속된 다른 한쪽의 단부를 갖는 지연 선로를 구비하고,
- [0454] 상기 1쌍의 제3 전극은, 상기 1쌍의 제2 전극에 전기적으로 접속되며, 상기 1쌍의 제4 전극과 상기 제1 반도체 칩의 상기 1쌍의 전극과의 사이를 신호가 전달될 때, 상기 지연 선로에 의해서, 상기 차동 신호의 정형을 하는, 반도체 장치.
- [0455] (O) 상기(N)에 기재된 반도체 장치에 있어서,
- [0456] 상기 반도체 장치는,
- [0457] 1쌍의 전극이 형성된 주면을 갖는 제2 반도체 칩과,
- [0458] 1쌍의 제5 전극이 형성된 제1주면과, 상기 제 1주면과 대향하고, 상기 1쌍의 제5 전극과 전기적으로 접속된 1쌍의 제6 전극이 형성된 제2주면을 구비하고, 상기 제2 반도체 칩의 상기 1쌍의 전극이, 상기 1쌍의 제5 전극에 접속되도록, 상기 제2 반도체 칩의 주면이, 상기 제 1주면과 대향하도록 탑재되는 제2 인터포저를 구비하고,
- [0459] 상기 제2 인터포저의 제2주면은, 상기 기판의 주면과 대향하고, 상기 제2 인터포저의 상기 1쌍의 제6 전극은, 상기 1쌍의 제4 전극에 전기적으로 접속되며,
- [0460] 상기 제1 반도체 칩은, 상기 제 1 반도체 칩의 상기 1쌍의 전극으로부터의 신호를 증폭하는 제1 회로를 구비하고, 상기 제2 반도체 칩은, 시리얼 신호를, 상기 제2 반도체 칩의 상기 1쌍의 전극에 출력하는 제2 회로를 구비하는, 반도체 장치.
- [0461] (P) 상기(O)에 기재된 반도체 장치에 있어서,
- [0462] 상기 반도체 장치는, 상기 지연 선로를 따라 배치되며, 소정의 전압이 공급되는 전압 배선을 구비하는, 반도체

장치.

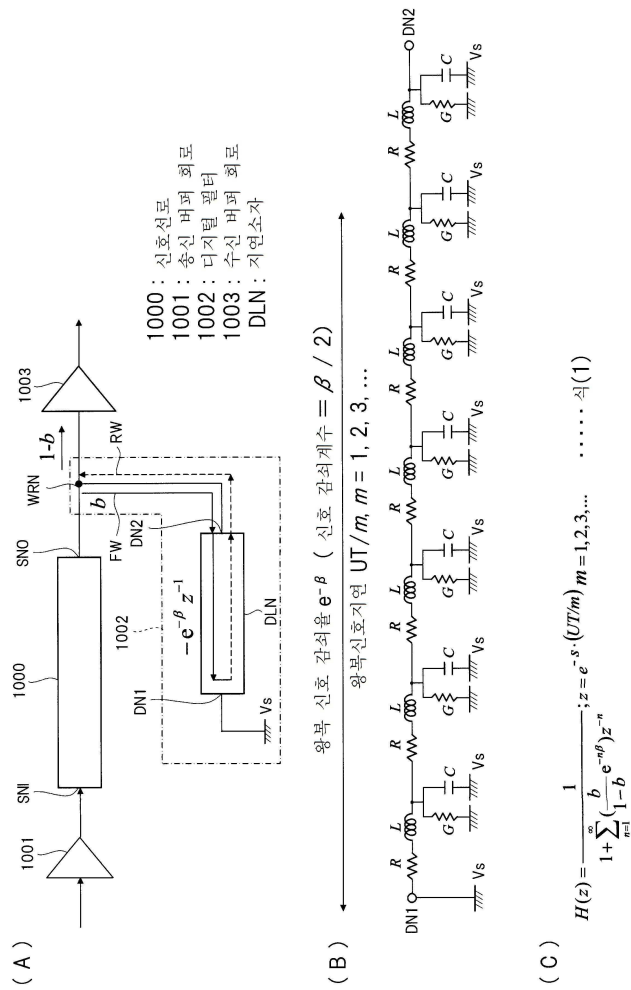
[0463] 이상, 본 발명자에 의해 이루어진 발명을 실시 형태를 기초로 구체적으로 설명했지만, 본 발명은 상기 실시 형태로 한정되는 것은 아니고, 그 요지를 일탈하지 않는 범위에서 여러 가지 변경 가능하다는 것은 말할 필요도 없다. 예를 들면, 반도체 칩으로서 논리 반도체 칩을 예로 해서 설명했지만, 논리 반도체 칩으로 한정되는 것은 아니다. 또한, 실시 형태 1~6에 있어서 설명한 디지털 필터에 더해서 반도체 칩에 아날로그 필터회로 또는/및 디지털 필터 회로를 마련하도록 해도 된다. 이 경우, 이들의 아날로그 필터 또는/및 디지털 필터 회로에 의해, 신호의 복원의 정도를, 보다 향상시키는 것이 가능하게 되고, 예를 들면 도 9 및 도 10에 나타난 아이 패턴의 표면화를 가능하게 할 수 있다.

부호의 설명

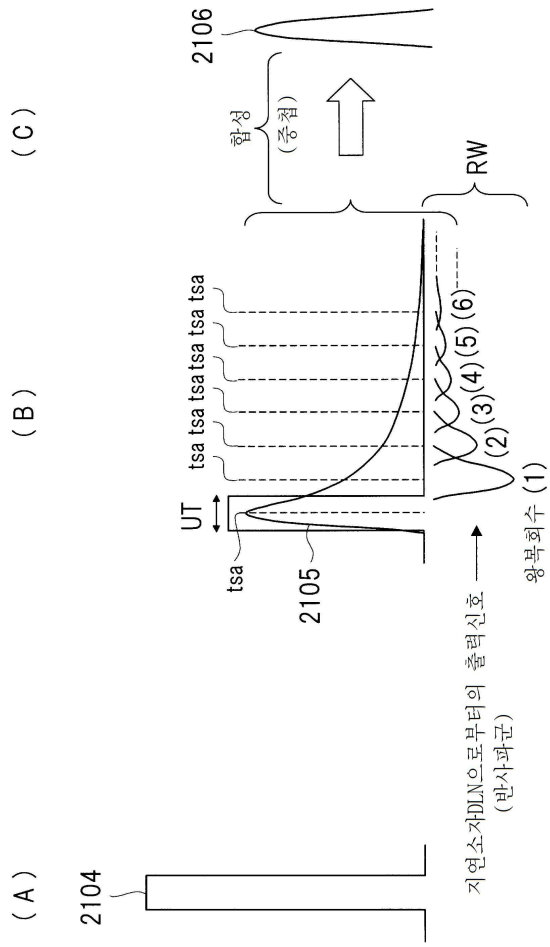
[0464] 1000, 2100: 신호 선로
1001, 2104, SCB1-1, SCB-21: 송신 버퍼 회로
1002, 1002P1, 1002P2: 디지털 필터
1003, 2103, RCB1-1, RCB1-2, RCB2-1, RCB2-2: 수신 버퍼 회로
6000: 반도체 장치
DLN, DLN1, DLN2: 지연 소자
PBS: 프린트 기관
PPS-1, PPS-2: 패키지 기관
INS-1, INS-2: 인터포저
MCH-1~MCH-4: 메모리 반도체 칩
LCH-1, LCH-2: 논리 반도체 칩

도면

도면1



도면2



도면3

$$H(z) = \frac{1-b}{(1-b) + b e^{-\beta} z^{-1} + b e^{-2\beta} z^{-2} + \dots} = \frac{1}{1 + \sum_{n=1}^{\infty} \left(\frac{b}{1-b} e^{-n\beta} \right) z^{-n}};$$

$$b = b_0(1 + c e^{-ny}); z = e^{-s \cdot (UT/m)} \quad \dots \dots \text{식 (2)}$$

$$S(z) = \sum_{n=0}^{\infty} h_n z^{-n} = h_0 \left[1 + \sum_{n=1}^{\infty} \{ a e^{-n\alpha_1} + (1-a) e^{-n\alpha_2} \} z^{-n} \right] \quad \dots\dots \text{식 (3)}$$

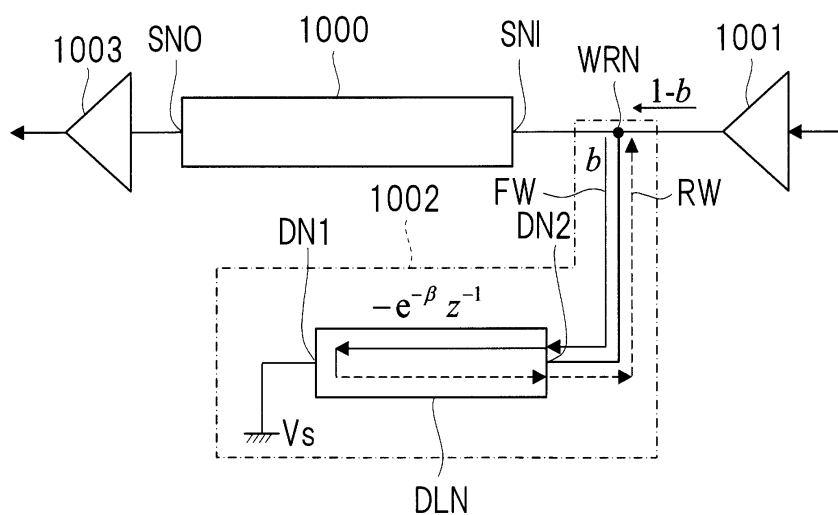
$$H_{total}(z) = H(z)S(z) = S(z)H(z) \approx h_0 \frac{1 + \sum_{n=1}^{\infty} \{a e^{-n\alpha_1} + (1-a) e^{-n\alpha_2}\} z^{-n}}{1 + \sum_{n=1}^{\infty} \{b_0 e^{-n\beta} + b_0 c e^{-n(\beta+\gamma)}\} z^{-n}} \dots \triangleq (4)$$

$$H_{total}(z) \approx h_0 \quad \dots \dots \dots \text{식 (5)}$$

$$b_0 = a, \quad c = \frac{1-a}{a}, \quad \beta = \alpha_1, \quad \beta + \gamma = \alpha_2 \quad \dots\dots\dots \text{식(6)}$$

$$b = \left| \frac{Z_c - Z_0}{Z_c + Z_0} \right|; \quad Z_c = \sqrt{L/C} \quad \dots\dots \text{식}(7)$$

도면4



도면5

(A)

기능블록대응표

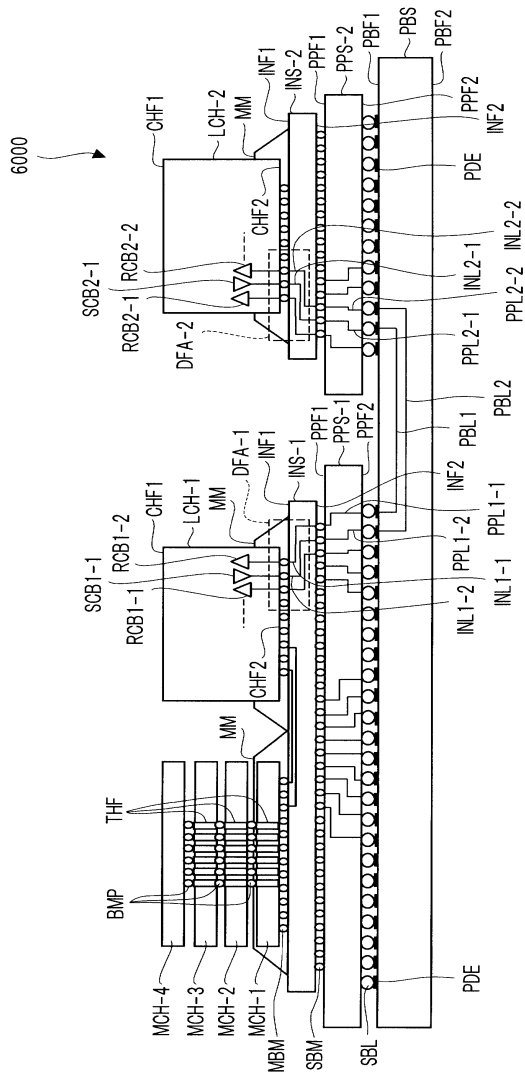
디지털 필터 회로 2102	디지털 필터 1002
n 번째 승산회로 n 번째 지연회로 가산회로	n회 왕복후의 지연 소자의 손실 n회 왕복후의 지연소자의 지연 신호 선로와 와이어드 오어 및 소정의 전압 접속(위상 반전)

(B)

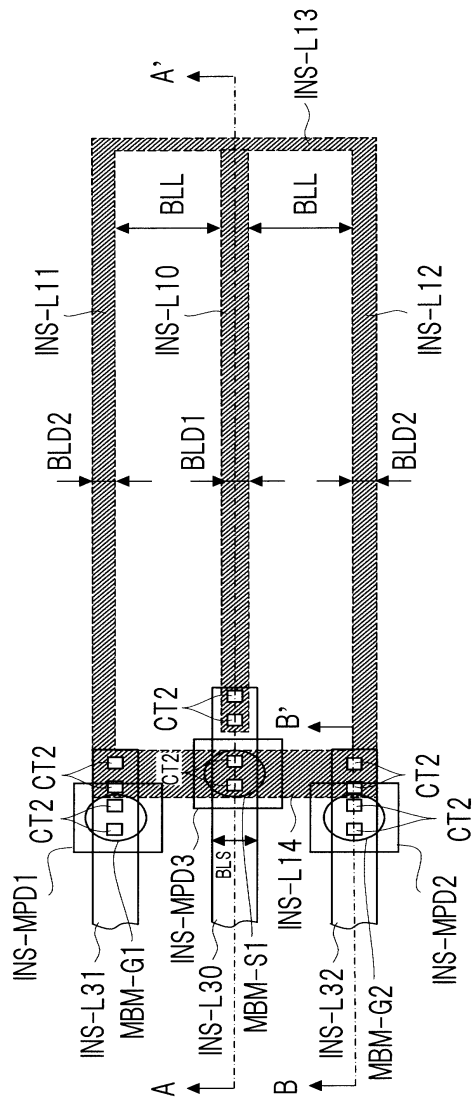
비교기능표

	디지털 필터 회로 2102	디지털 필터 1002
승산회로의 개수 지연회로의 개수 샘플링 주기 승산 계수의 자유도	유한개 유한개 UT 임의	무한개 무한개 임의 단조감소 만

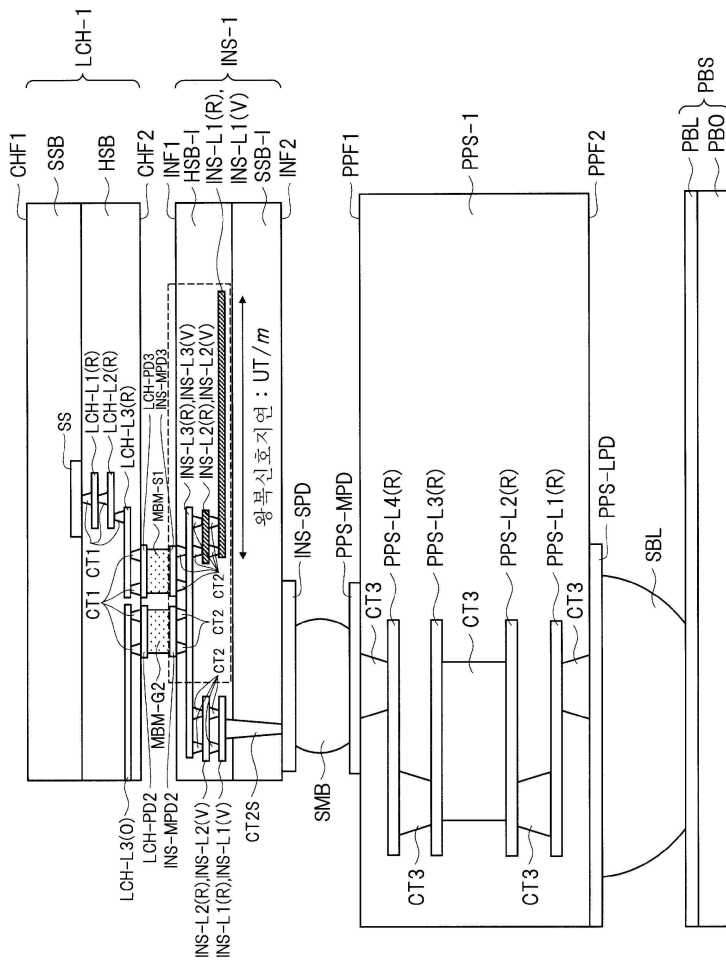
도면6



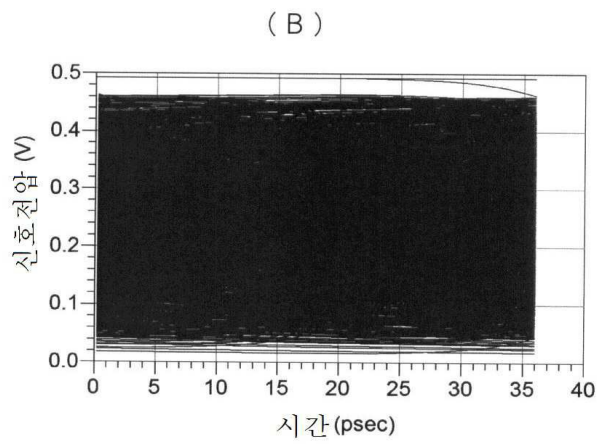
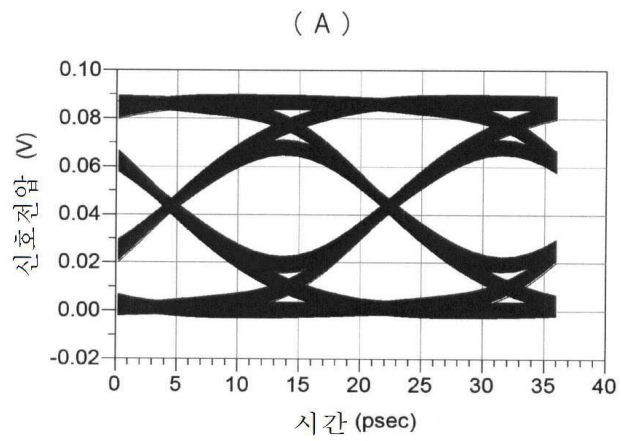
도면7



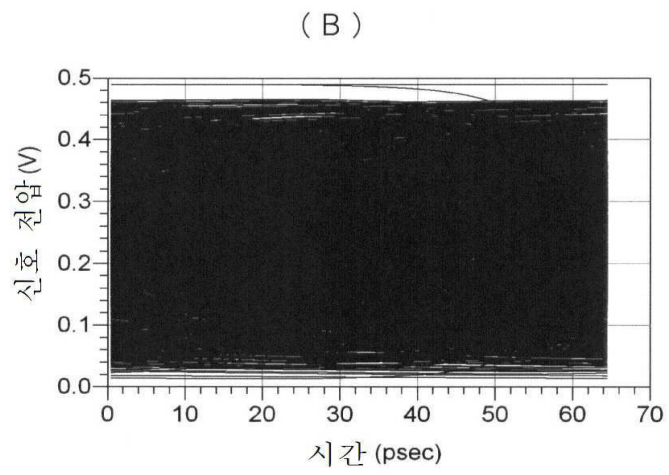
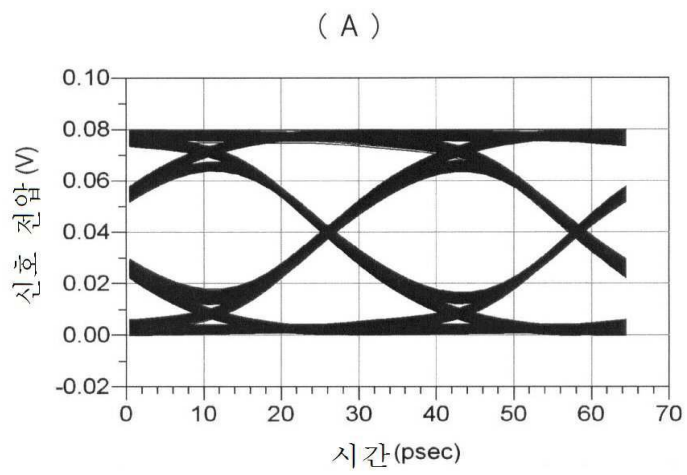
도면8



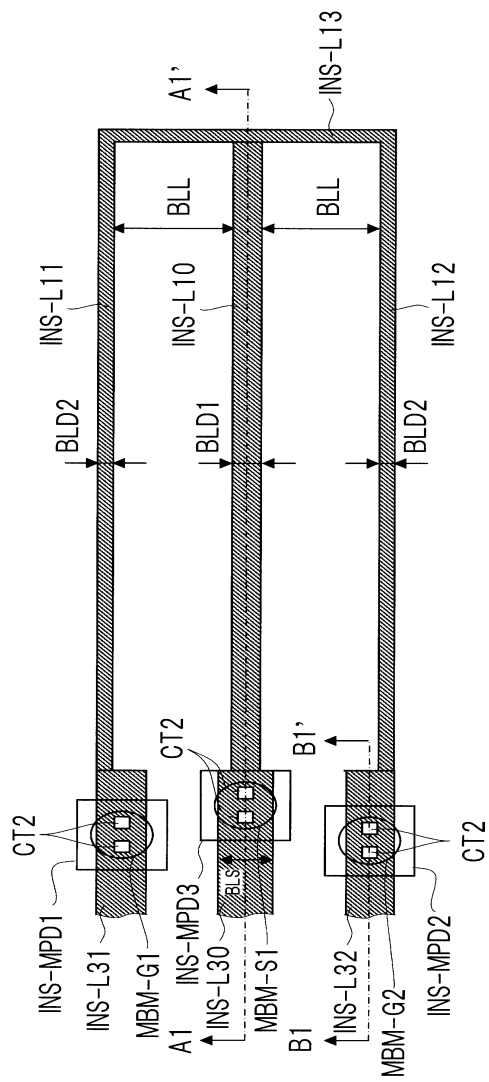
도면9



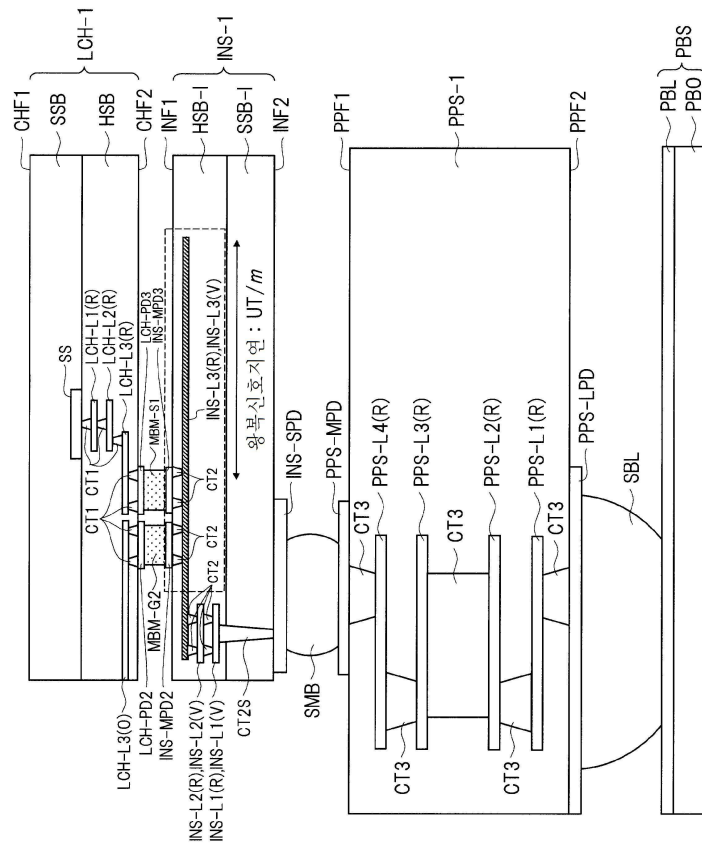
도면10



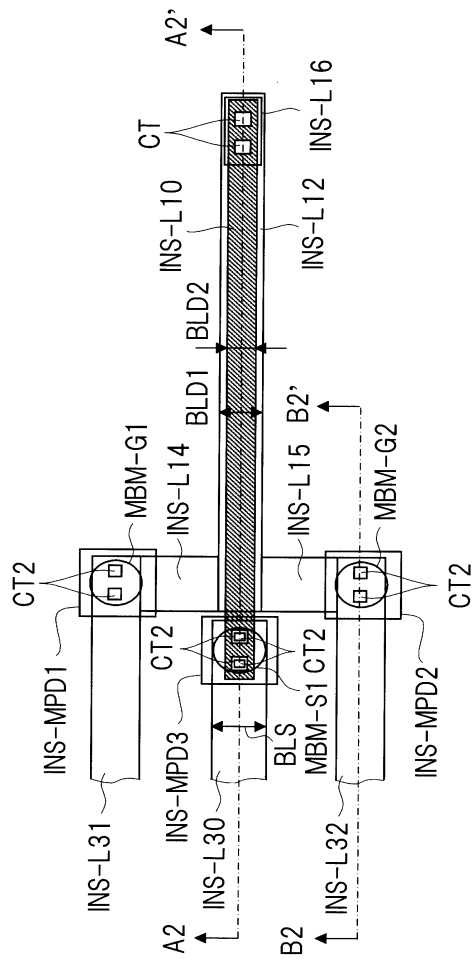
도면11



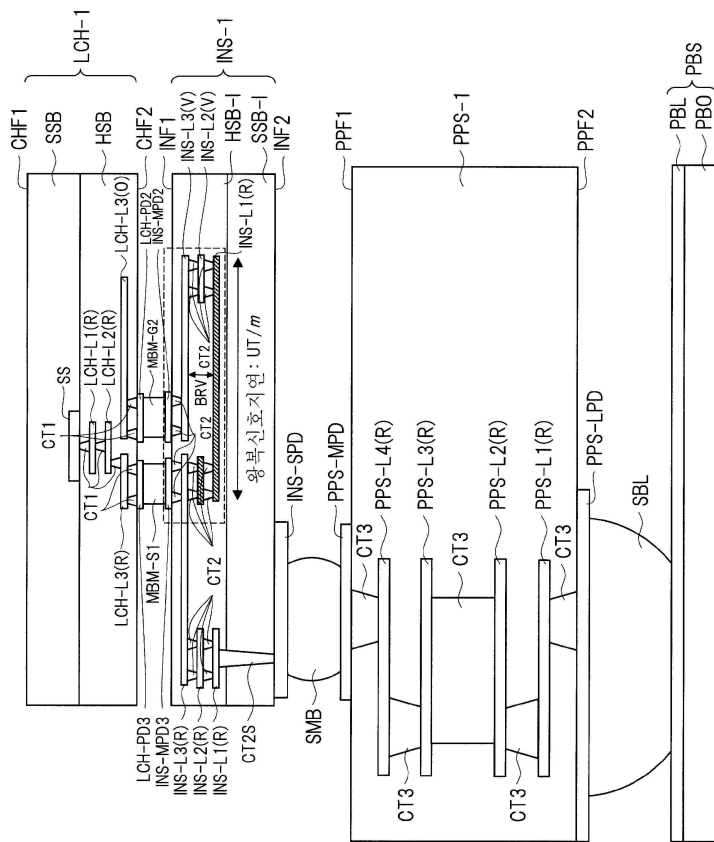
도면12



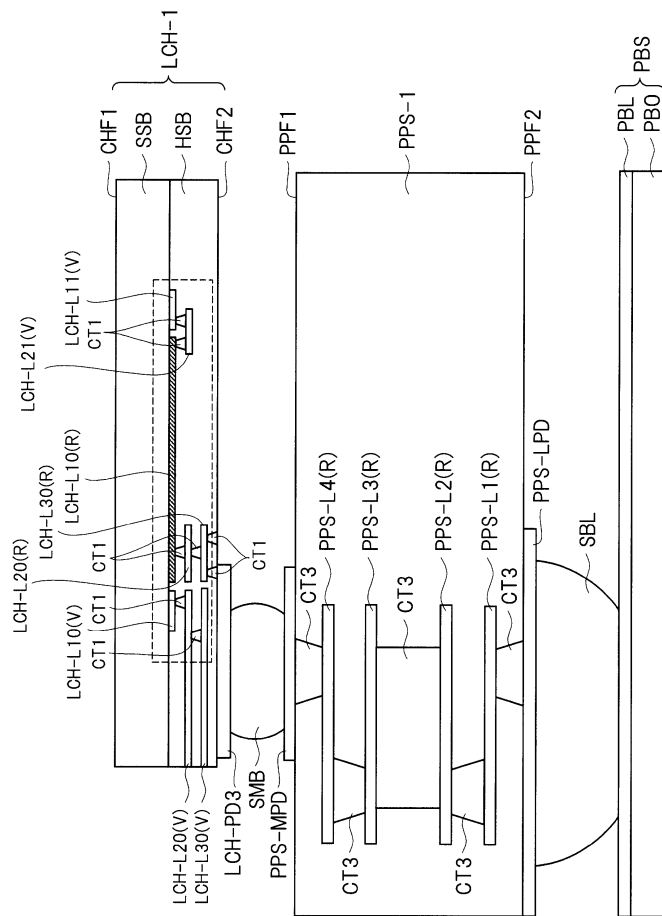
도면13



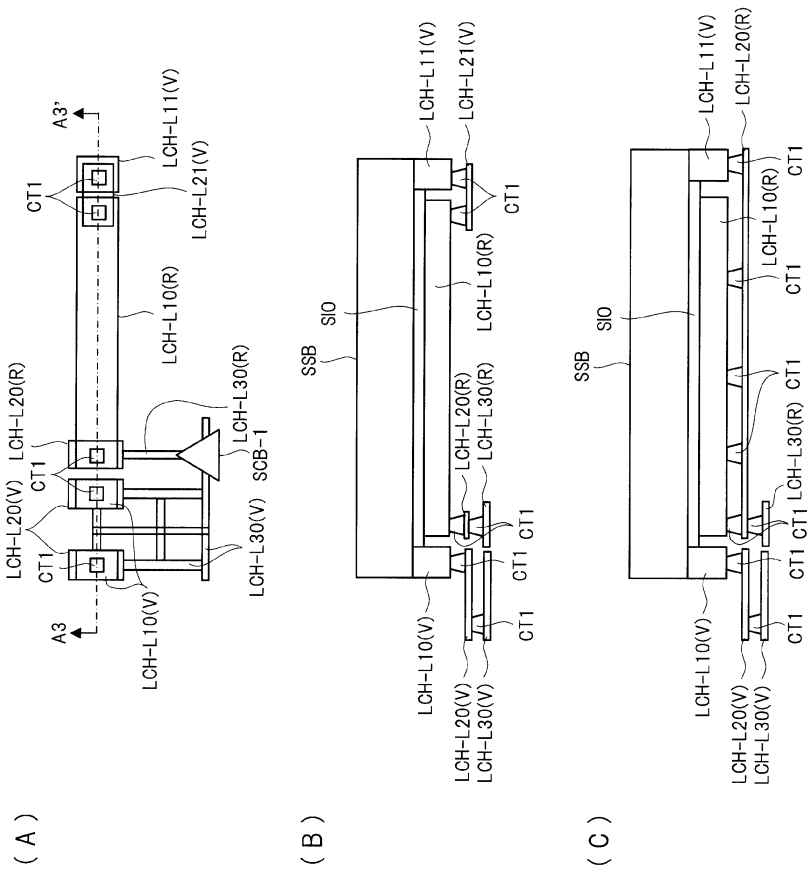
도면14



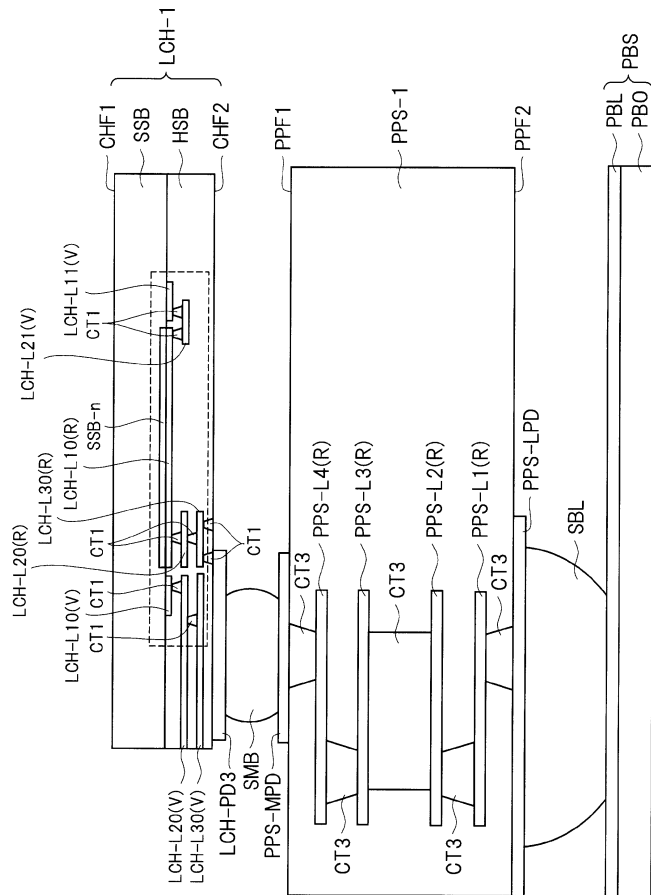
도면15



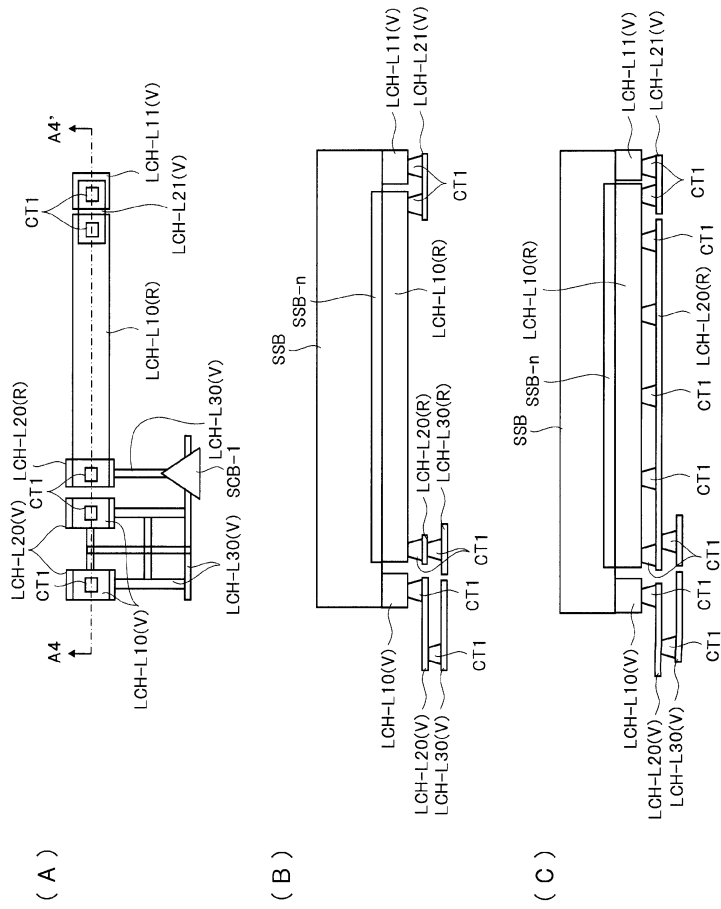
도면16



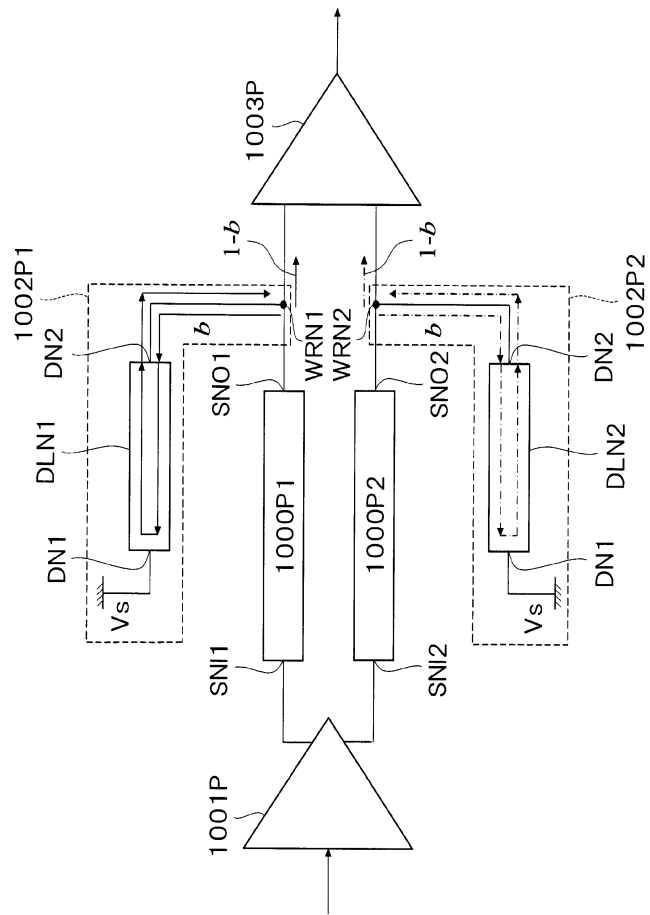
도면17



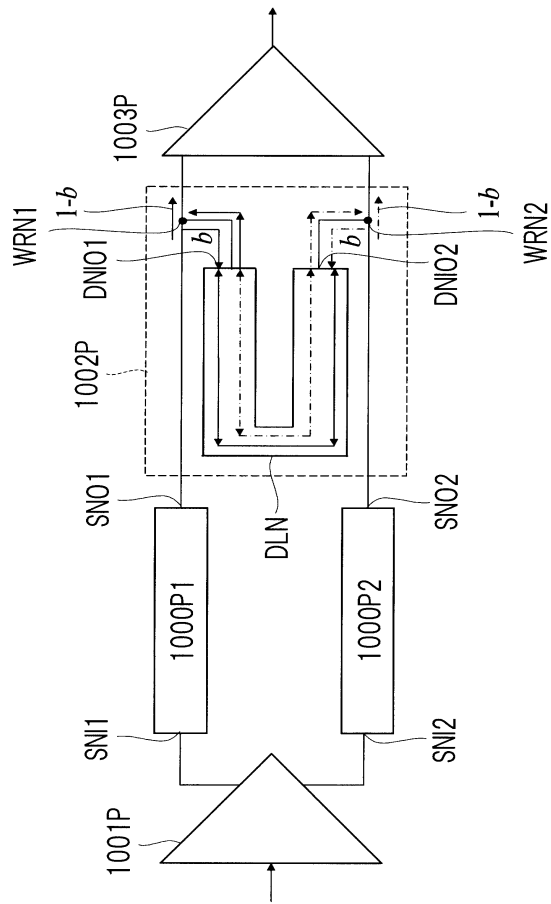
도면18



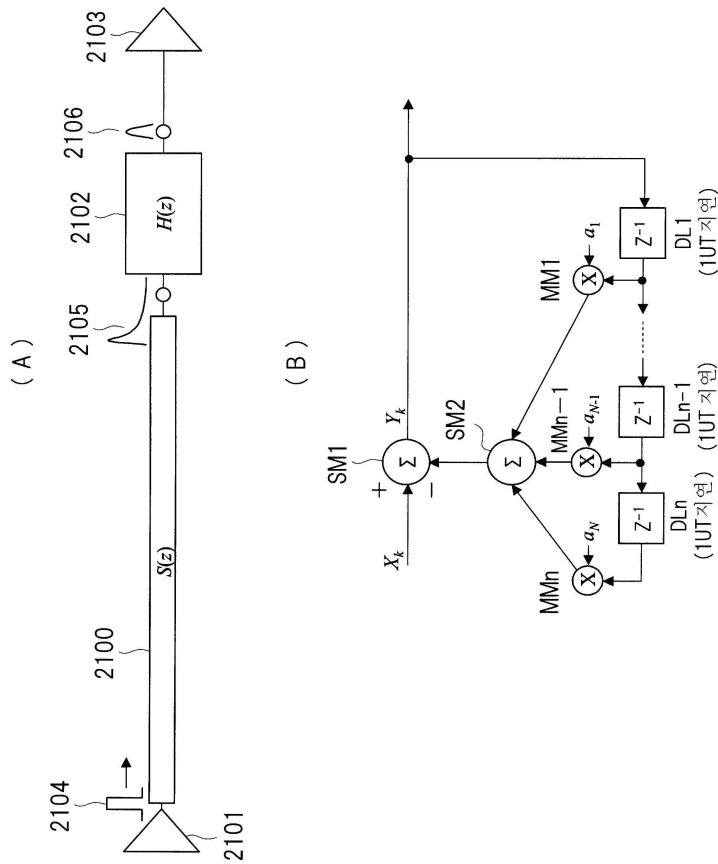
도면19



도면20



도면21



도면22

$$S(z) = \sum_{k=0}^{\infty} h_k z^{-k} \quad \dots \text{식 (8)}$$

$$H(z) = \frac{1}{1 + a_1 z^{-1} + a_2 z^{-2} + a_3 z^{-3} \dots} = \frac{1}{1 + \sum_{k=1}^N a_k z^{-k}} \quad \dots \text{식 (9)}$$

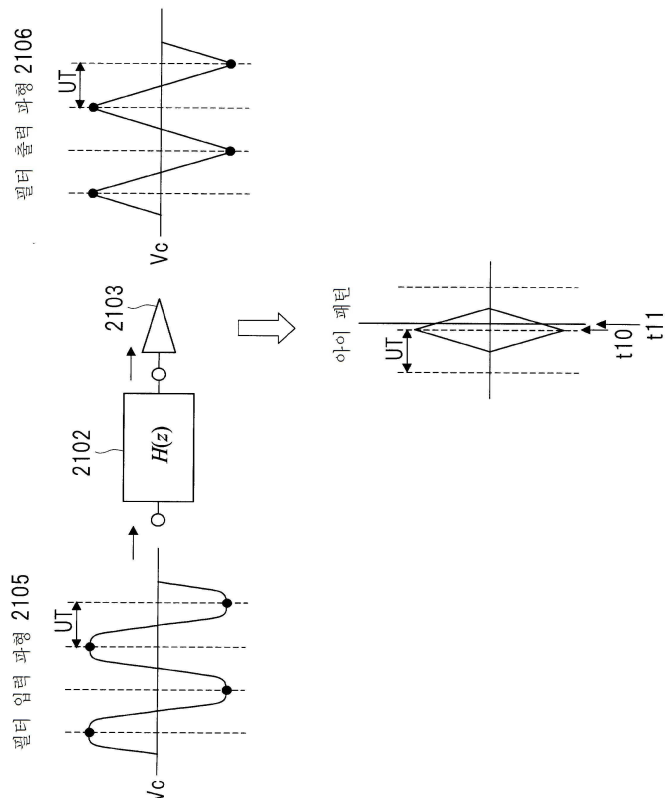
$$z = e^{-s \cdot UT} \quad \dots \text{식 (10)}$$

$$H_{total}(z) = S(z)H(z) = h_0 \frac{1 + \sum_{k=1}^{\infty} (h_k / h_0) z^{-k}}{1 + \sum_{k=1}^N a_k z^{-k}} \quad \dots \text{식 (11)}$$

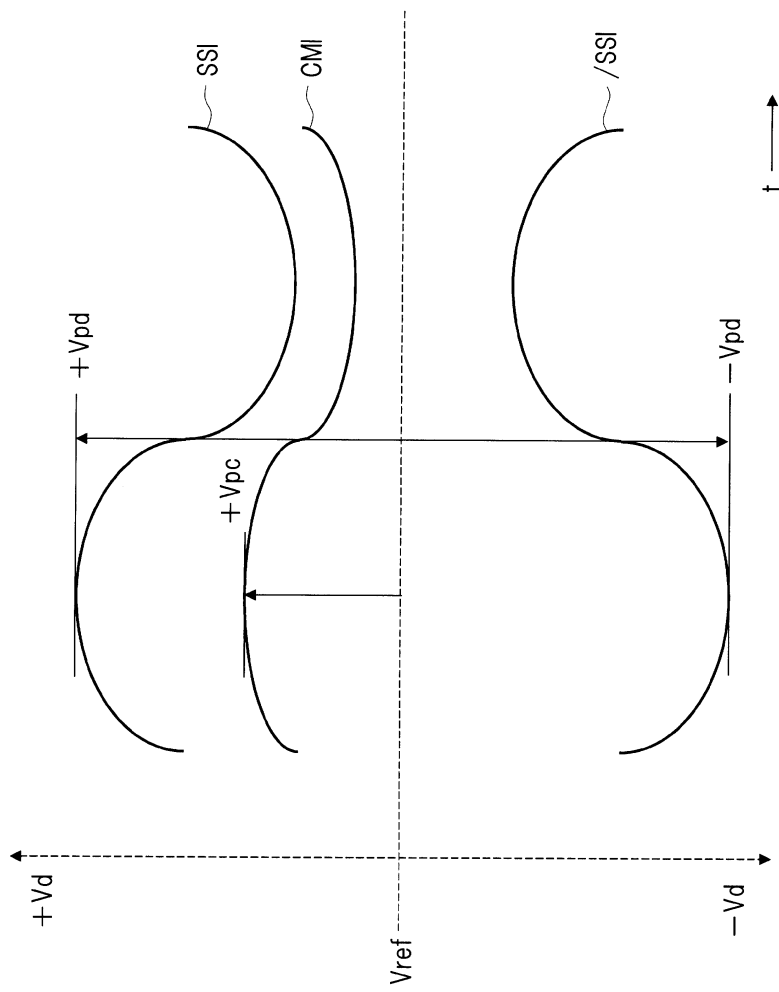
$$a_k = h_k / h_0 \quad \dots \text{식 (12)}$$

$$H_{total}(z) \approx h_0 \quad \dots \text{식 (13)}$$

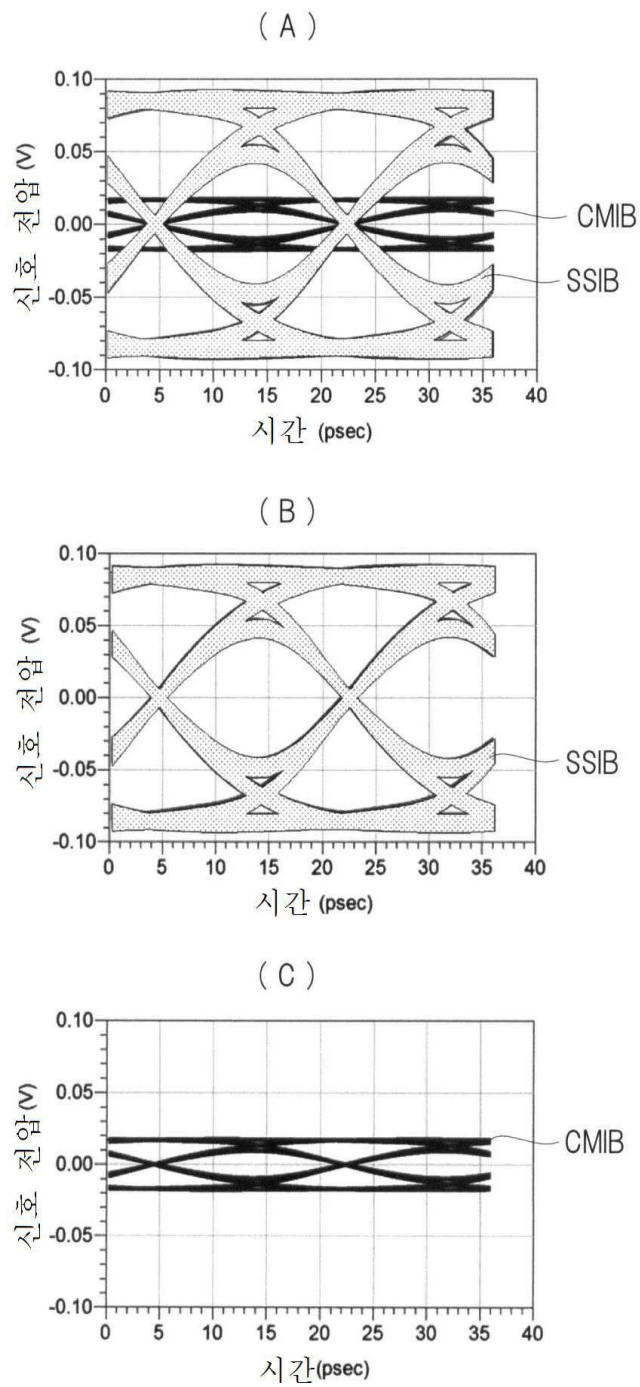
도면23



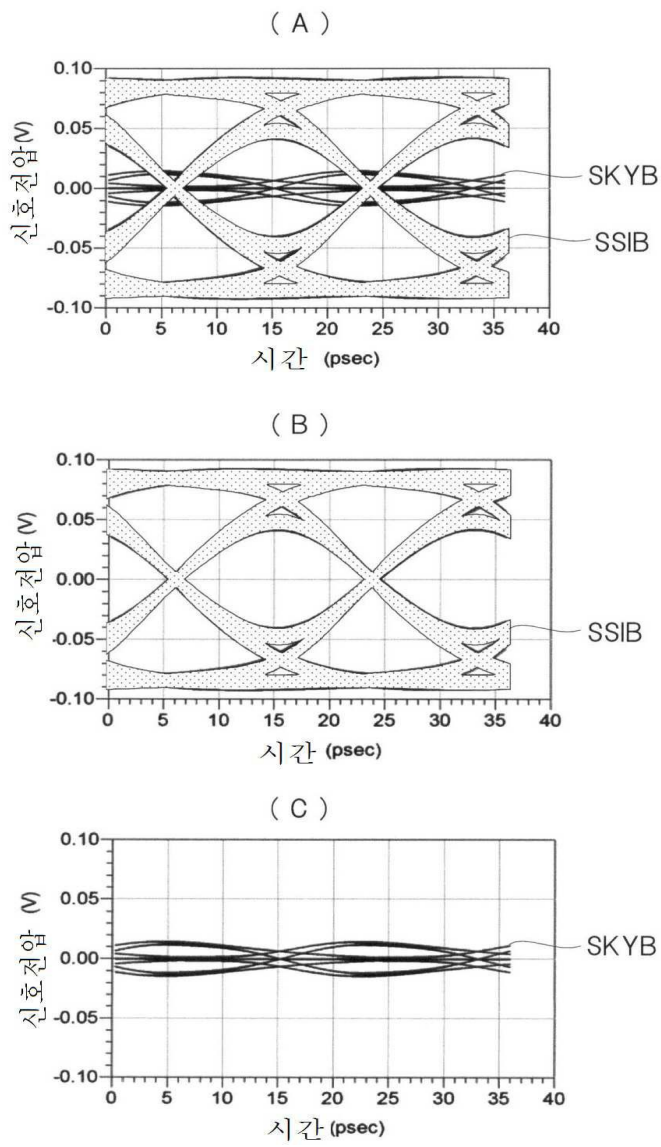
도면24



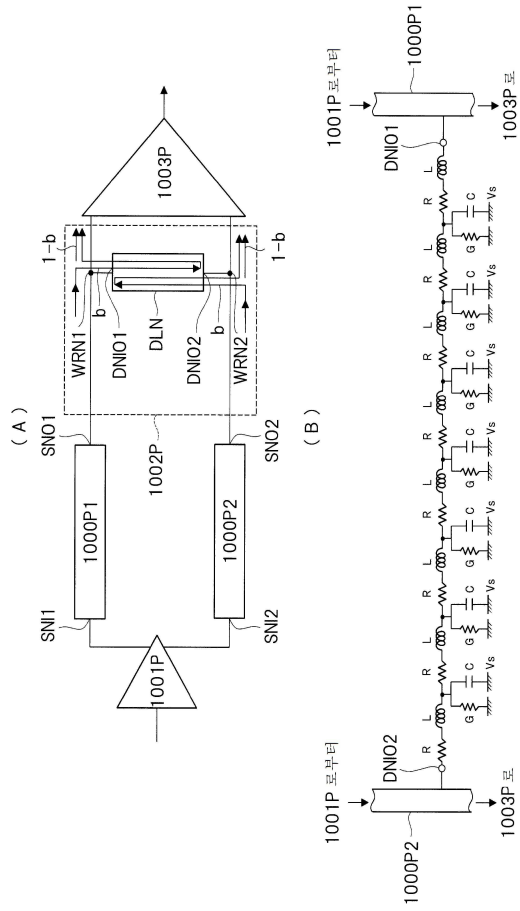
도면25



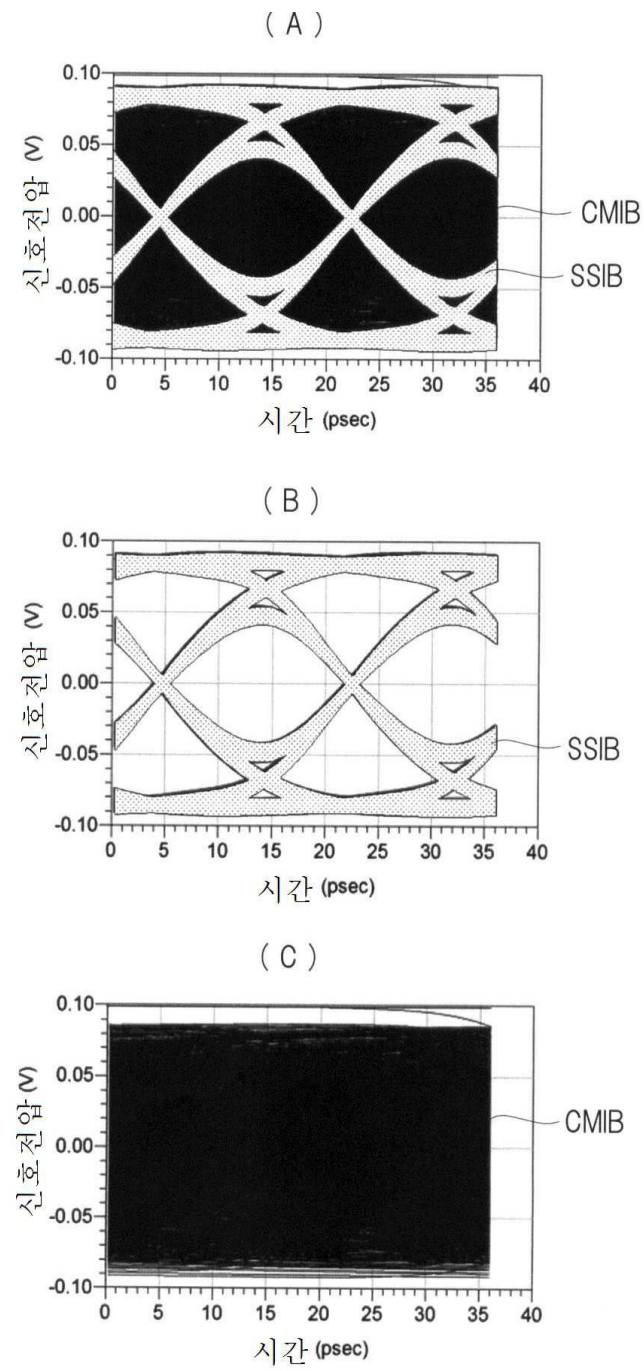
도면26



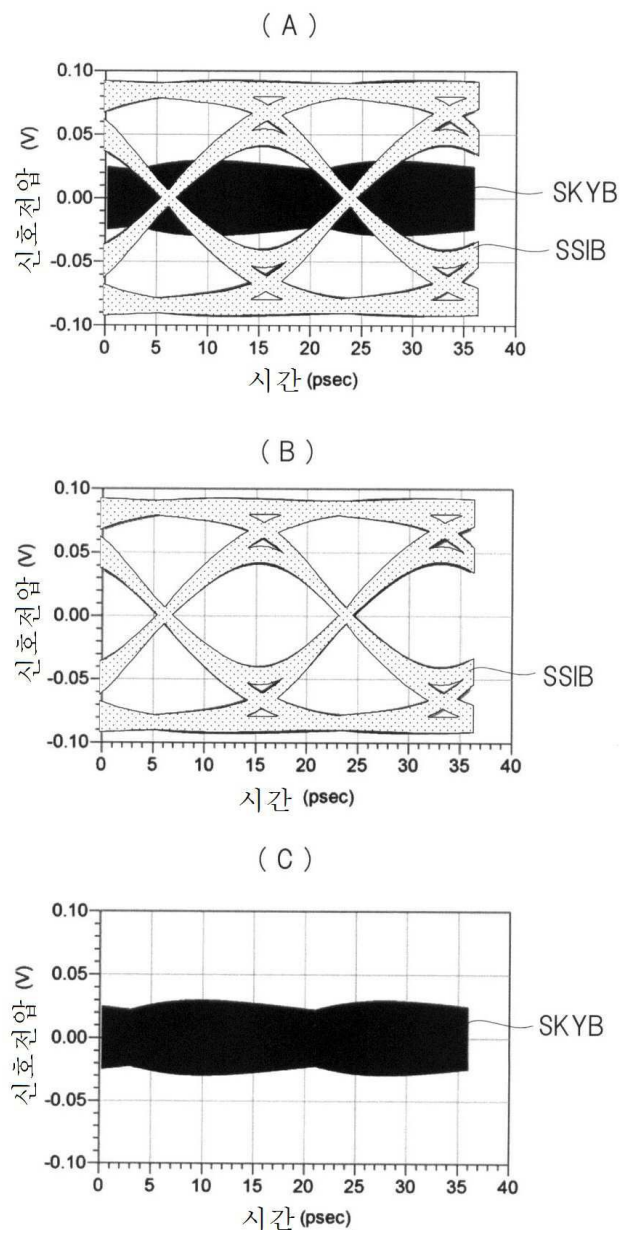
도면27



도면28



도면29



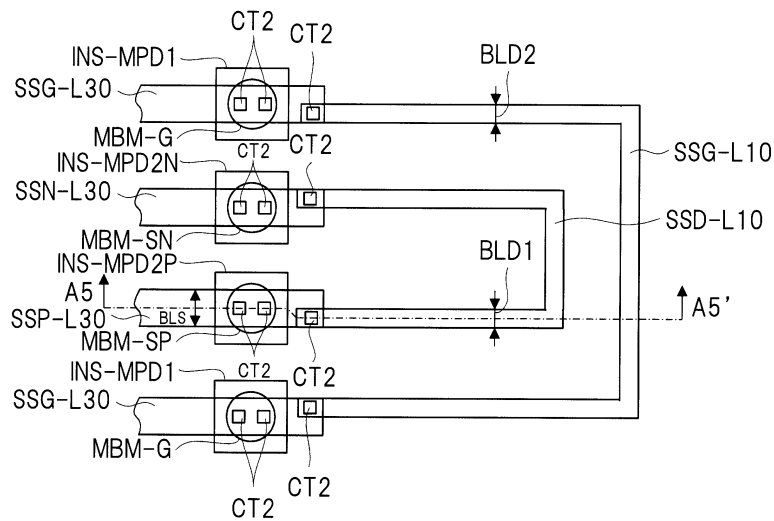
도면30

$$Z_{DF} = 2Z_{SE} \cdots \cdots \text{식(14)}$$

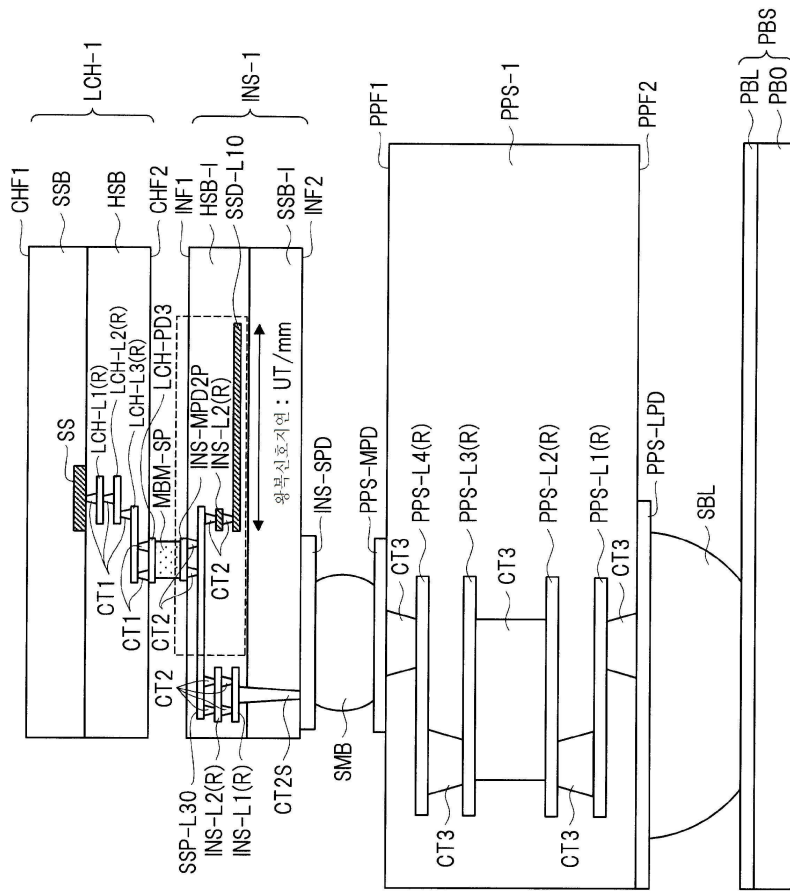
$$1/(2N \times UT) \sim m/(2UT) \cdots \cdots \text{식(15)}$$

$$\Delta t / \tau \cdots \cdots \text{식(16)}$$

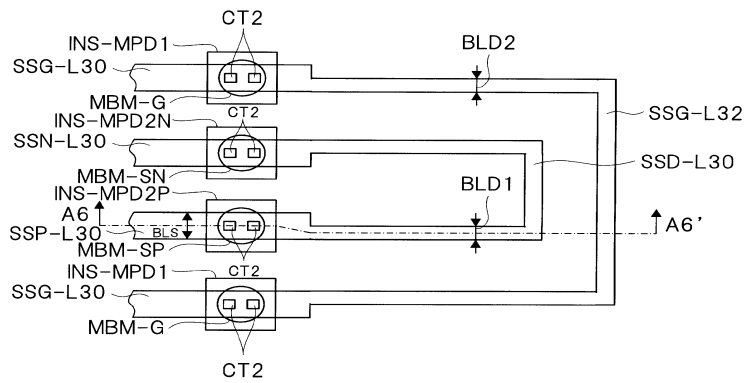
도면31



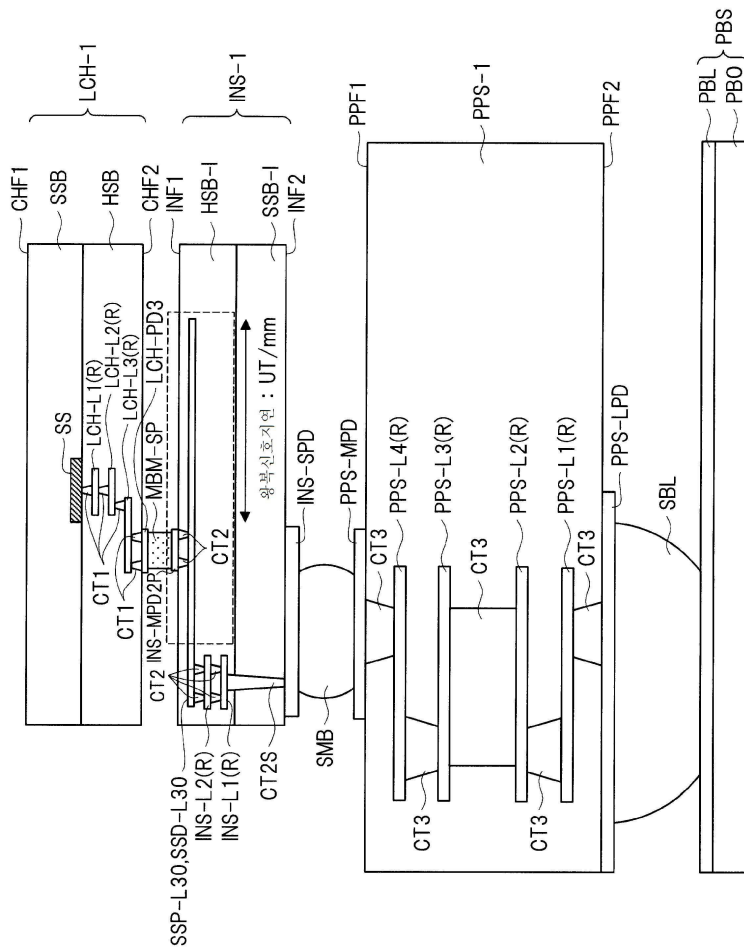
도면32



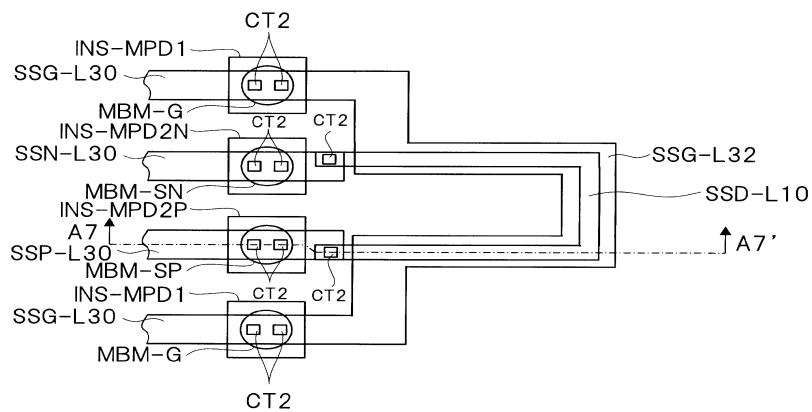
도면33



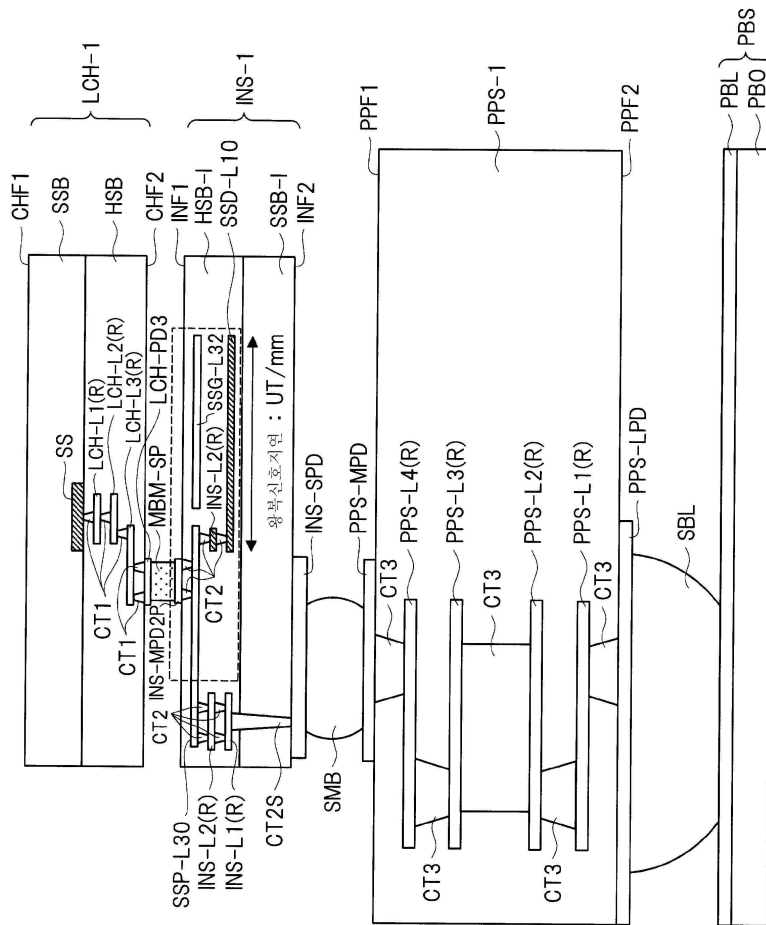
도면34



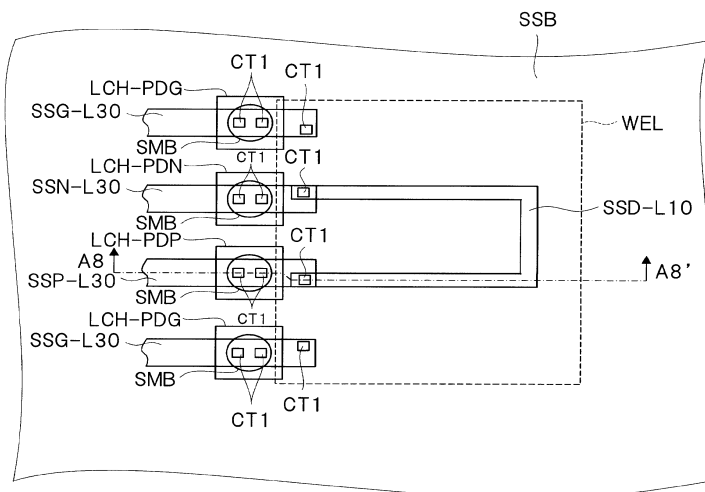
도면35



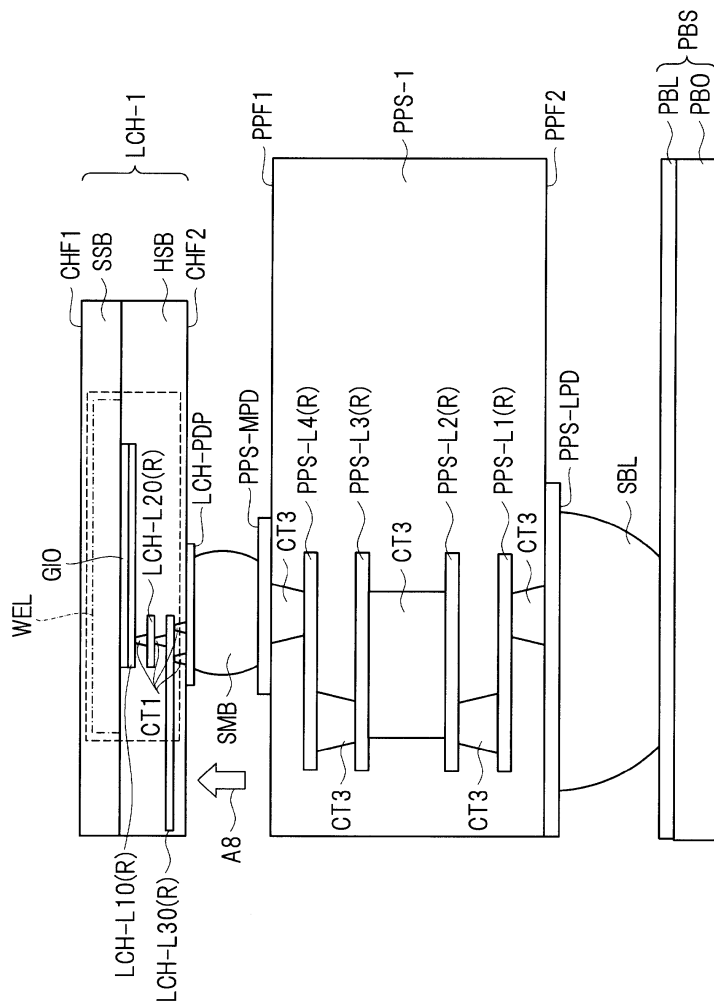
도면36



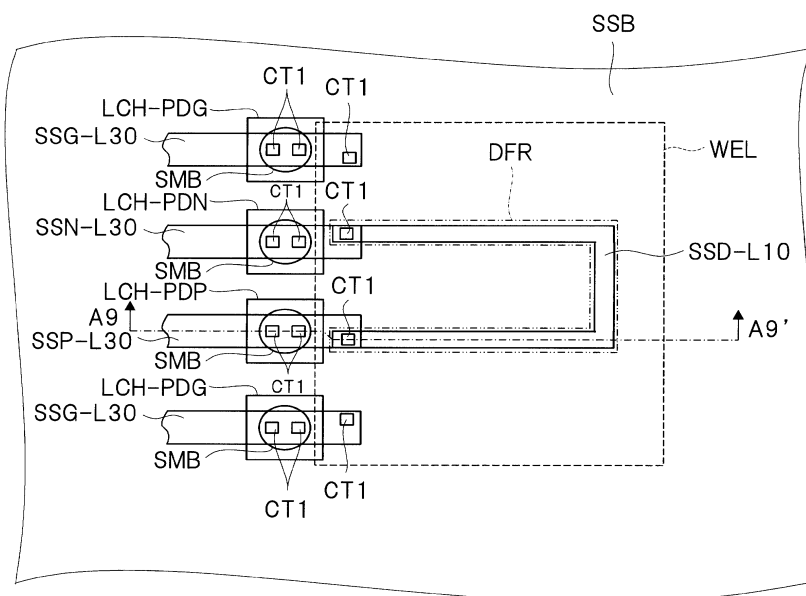
도면37



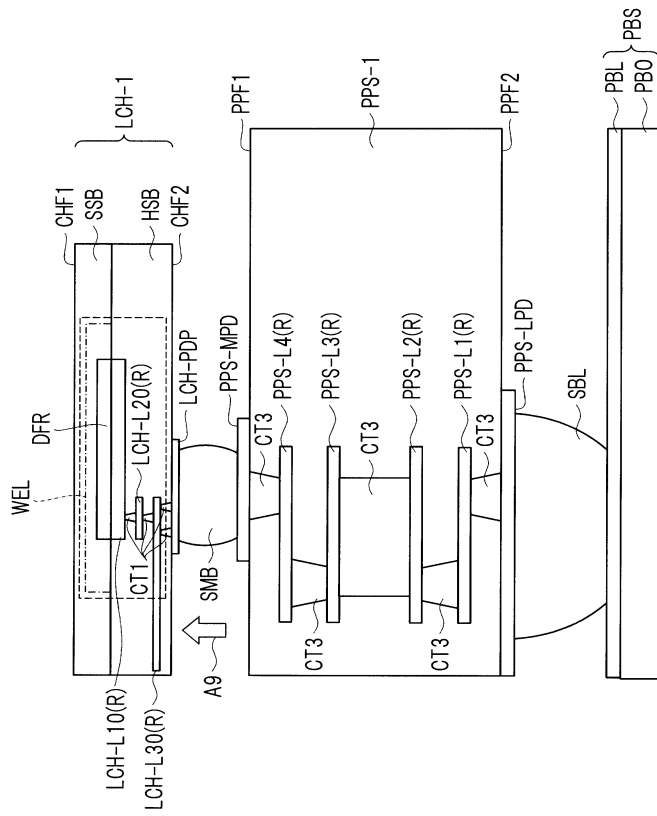
도면38



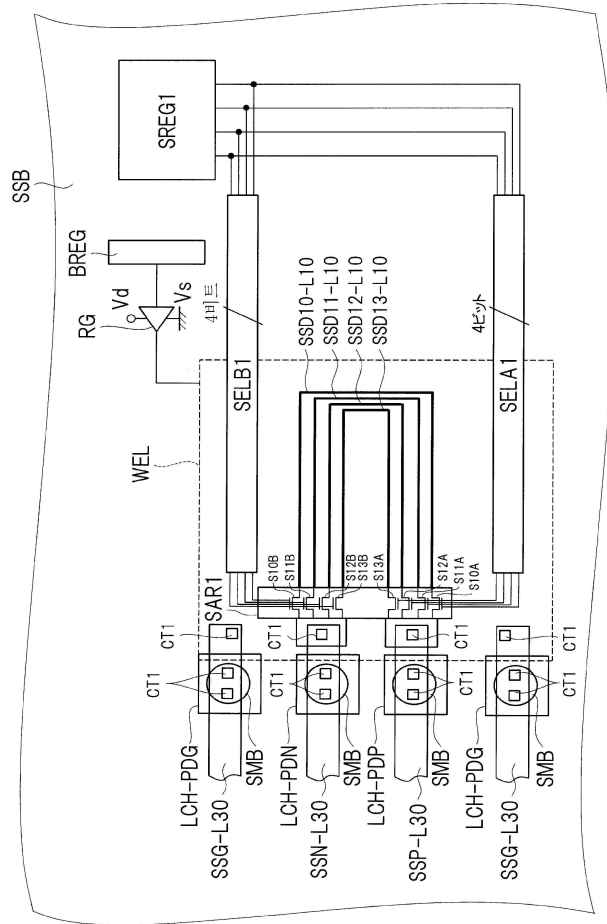
도면39



도면40



도면41



도면42

