



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I675479 B

(45)公告日：中華民國 108 (2019) 年 10 月 21 日

(21)申請案號：105104138

(22)申請日：中華民國 105 (2016) 年 02 月 05 日

(51)Int. Cl.：

*H01L29/423 (2006.01)**H01L29/49 (2006.01)**H01L29/167 (2006.01)**H01L29/36 (2006.01)**H01L21/02 (2006.01)**H01L21/8238(2006.01)**H01L27/092 (2006.01)*

(30)優先權：2015/02/25 日本

2015-035501

2015/02/26 日本

2015-037330

2015/09/30 日本

2015-194572

(71)申請人：日商艾普凌科有限公司 (日本) ABLIC INC. (JP)

日本

(72)發明人：原田博文 HARADA, HIROFUMI (JP)；上村啓介 UEMURA, KEISUKE (JP)；長谷川尚 HASEGAWA, HISASHI (JP)；加藤伸二郎 KATO, SHINJIRO (JP)；吉野英生 YOSHINO, HIDEO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 8541279B2

US 2010/0032754A1

審查人員：廖崑男

申請專利範圍項數：13 項 圖式數：15 共 62 頁

(54)名稱

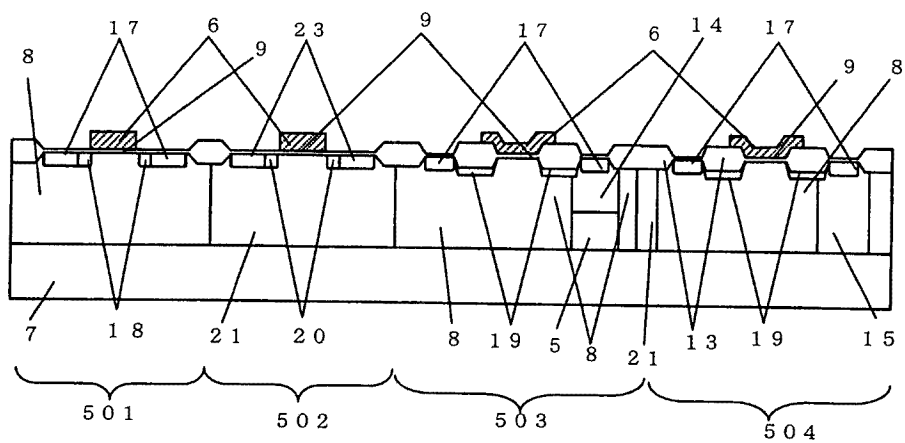
半導體積體電路裝置及其製造方法

(57)摘要

本發明係一種半導體積體電路裝置及其製造方法，其中，於 N 型半導體基板上，在 P 型阱型範圍內，具有較 P 型阱型範圍為淺之深度的砷所成之第 3N 型低濃度不純物範圍於汲極範圍之第 1N 通道型之高耐壓 MOS 電晶體，和與 P 型阱型範圍鄰接，具有底面則與 N 型半導體基板接觸之第 4N 型低濃度不純物範圍於汲極範圍之第 2N 通道型之高耐壓 MOS 電晶體，而於 N 型半導體基板上，設置集成化可以 30V 以上動作之高耐壓 NMOS 電晶體之半導體積體電路裝置。

指定代表圖：

圖 5



- 符號簡單說明：
- 5 . . . 第 1P 型阱型範圍
 - 6 . . . 閘極電極
 - 7 . . . N 型半導體基板
 - 8 . . . 第 2P 型阱型範圍
 - 9 . . . 閘極絕緣膜
 - 13 . . . LOCOS 絕緣膜
 - 14 . . . 第 3N 型低濃度不純物範圍
 - 15 . . . 第 4N 型低濃度不純物範圍
 - 17 . . . N 型高濃度不純物範圍
 - 18 . . . 第 1N 型低濃度不純物範圍
 - 19 . . . 第 2N 型低濃度不純物範圍
 - 20 . . . P 型低濃度不純物範圍
 - 21 . . . N 型阱型範圍
 - 23 . . . P 型高濃度不純物範圍
 - 501 . . . 低耐壓 NMOS 電晶體
 - 502 . . . 低耐壓 PMOS 電晶體
 - 503 . . . 第 1 高耐壓 NMOS 電晶體
 - 504 . . . 第 2 高耐壓 NMOS 電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體積體電路裝置及其製造方法

Semiconductor integrated circuit device and method of manufacturing
the same

【技術領域】

本發明係有關使用 N 型半導體基板，30V 以上之電源電壓作為必要之半導體積體電路裝置及其製造方法。

【先前技術】

使用於電性機器之電性電路係經由電池等之外部電源而加以驅動，但此外部電源之電壓值產生變動時，因有引起電性電路之錯誤動作或各種異常現象之可能性之故，設置如將調整外部電源而輸出一定電壓，以及監測電源電壓的變動之電源管理 IC 於電性電路與外部電源之間，而謀求安定動作者則為一般性。

作為由電源管理 IC 所要求之要求之 1 而有高電壓輸入/低點壓輸出，但對於為了對應於此，係有必須設置高電壓用信號處理之範圍與低電壓用信號處理之範圍於半導體積體電路裝置內之必要。具體而言，準備各使用朝向輸出電路或內部邏輯電路等之低耐壓用的元件之低電壓用信號處理範圍，和使用朝向輸入電路或一部分的輸出電路等

之高耐壓用的元件之高電壓信號處理範圍。此時，在可承受高耐壓者則成為必要的電路中，為了將元件範圍或元件分離範圍作為可承受高耐壓之構造，而必須要大的所要面積之故，由僅極力必要之部分使用高耐壓元件或構造，將其他的範圍作為低耐壓者，而抑制半導體積體電路裝置之高成本化之方法則成為重要。

於圖 6(1)，顯示將如此之低耐壓用的 MOS 電晶體與高耐壓用之 MOS 電晶體形成於 P 型半導體基板上之同一半導體積體電路內之情況的模式剖面圖。

加以設置於 P 型半導體基板 1 表面之低耐壓用的 NMOS 電晶體 501 係由第 1 閘極絕緣膜 9 與配置於其正上方之閘極電極 6 及配置於閘極電極 6 兩端之汲極/源極範圍所成。其汲極/源極範圍係以為了與金屬接觸之低阻抗，由高濃度之 N 型不純物範圍 17 與第 1N 型低濃度不純物範圍 18 而構成。

另一方面，高耐壓 NMOS 電晶體 503 係由閘極絕緣膜 9 與配置於其正上方之閘極電極 6 及閘極電極 6 兩端之汲極/源極範圍所成。此汲極/源極範圍係由高濃度之 N 型不純物範圍 17 及第 2N 型低濃度不純物範圍 19 所成，更且對於第 2N 型低濃度不純物範圍 19 上，係形成較閘極絕緣膜為厚之絕緣膜 13。此厚的絕緣膜係對於閘極/汲極間的電場緩和有著效果而為有效。

如此之汲極構造係加以採用於 30V 以上的汲極耐壓則作為必要之情況，主要經由汲極側之第 2N 型低濃度不純

物範圍 19 之長度與濃度而加以做耐壓調整。

此高耐壓 NMOS 電晶體的 N 型高濃度不純物範圍 17 係一般，為了處理成本削減，與低耐壓 NMOS 電晶體的 N 型高濃度不純物範圍 17 共有工程，使用砷或銻。

另外，經常第 2N 型低濃度不純物範圍 19 係由與元件外範圍之通道阻止構造並用者而加以謀求工程的簡略化。因此，對於第 2N 型低濃度不純物範圍 19 之上方，係加以配置以 LOCOS 處理加以形成之絕緣膜 13，而第 2N 型低濃度不純物範圍 19 之濃度係加以配合於為了經由配線之濃度反轉防止之濃度。一般而言，在半導體積體電路之中，加以使用高耐壓 NMOS 電晶體之頻度為低之情況，係為了如此等之簡略化之構造上的限制則加以施以至高耐壓 MNOS 電晶體，而成為在此限制之中作為元件設計者。

更且，如圖 6(2)所示，對於高耐壓 MNOS 電晶體，係有著呈被覆汲極側之 N 型高濃度不純物範圍 17 的全體，和汲極側之第 2N 型低濃度不純物範圍 19 之一部分地，將深度則到達至數 μm 為止之第 3N 型低濃度不純物範圍 14，設置於高耐壓 MNOS 電晶體之汲極側的情況。此係增補鄰接之 N 型高濃度不純物範圍 17 與第 2N 型低濃度不純物範圍 19 之邊界的接觸部分為少者，而有防止高耐壓 MNOS 電晶體之電性動作時加上高電壓時，經由大電流之發熱破壞的效果。另外，如此之破壞現象係不僅瞬間性的破壞，而亦對於長期信賴性產生影響。

加上，如此之汲極側之深的擴散範圍，第 3N 型低濃

度不純物範圍 14 係亦對於 ESD(Electrostatic Discharge)破壞等之耐性提升上而有效果。此理由係因將因瞬間進入之靜電引起之經由安培位準的過大電流之發熱・溫度上升，在加以形成於大的 N 型擴散範圍之體積，和半導體基板之間的寬的 PN 接合之接觸面積而緩和，而可抑制 PN 接合破壞者之故(例如，參照專利文獻 1)。

但使用於如此之半導體積體電路之半導體基板係從經濟面而作為時，單晶塊中之不純物濃度安定範圍為寬而晶圓生產率為多之 P 型半導體基板為佳，但在機能面或自使用者之要求，使用 N 型半導體基板者為多。

例如，為了保持集成化於內部之 NMOS 電晶體的精確度，而對於為了作為成呈未加上回授偏壓之構成，係採取使用 N 型半導體基板而分離形成各 NMOS 電晶體之 P 型阱型範圍，而任意地變更各 P 型阱型範圍之電位的方法。

[先前技術文獻]

[專利文獻]

[專利文獻 1] 日本特開 2008-010443 號公報

【發明內容】

[發明欲解決之課題]

以往，對於集成化高耐壓 NMOS 電晶體於 N 型半導體基板上，係有如以下的問題。

首先，在圖 6(2)中，將形成於高耐壓 NMOS 電晶體之汲極範圍的第 3N 型低濃度不純物範圍 14，以高溫長時間

熱處理而形成之故，對於直接在 P 型阱型範圍覆蓋此高耐壓 NMOS 電晶體之範圍全體，係更必要較以往為深的 P 型阱型擴散熱處理工程。因此，為了加深形成兩者之阱型範圍，必須以 1100℃ 以上的高溫實施 2 次長時間的熱處理者，而與工期之長期化之同時，經由對於橫方向之擴散的伸張之所要面積的增大則產生，而無法避免伴隨於此之價格上升。

另外，為了縱方向之 2 重擴散構造的高耐壓化，而有採用利用磊晶成長處理之 PN 接合分離，或者使用 SOI 基板等之介電體分離的方法，但此方法係雖可抑制所要面積的增大，但製造費用的增大則顯著，而仍然引起價格之上升。

另外，作為對於深的擴散之形成而言之另外的方法，可舉出 MeV(百萬電子伏特)級離子注入法，但此係必要高額之裝置，特別是在經由未採用細微處理之廉價處理而加以製造之製品中，無法無視經由裝置費用之增大的製品成本之上升者。

另一方面，作為由未形成第 3N 型低濃度不純物範圍 14 於高耐壓 NMOS 電晶體 503 之汲極範圍而謀求 ESD 等之耐性的提升之情況，雜訊緩和用之阻抗體等地設置則成為必要，但為了防止經由發熱的破壞而左右半導體積體電路裝置之所要面積程度之阻抗尺寸則成為必要，而仍然無法避免成本之上升。

因此，本發明係其課題為提供：即使使用 N 型半導體

基板同時，使用以往的離子注入・高溫熱處理方法，而未伴隨工期之長期化而亦可製造，可以 30V 以上之高耐壓進行動作，具有對於經由 ESD 等之發熱的破壞而言耐性的半導體積體電路裝置及其製造方法者。

為了解決課題之手段

本發明係為了解決上述課題，而作成如以下。即，作成具有：

具有加以形成於設置在 N 型半導體基板之第 1P 型阱型範圍內之第 1 閘極絕緣膜，

和多結晶矽所成之第 1 閘極電極，

和由 N 型高濃度不純物範圍所成之第 1N 型高濃度汲極範圍及第 1N 型高濃度源極範圍，

和加以形成於前述第 1 閘極電極與前述第 1N 型高濃度汲極範圍之間之第 1N 型低濃度汲極範圍，及加以形成於前述閘極電極與前述第 1N 型高濃度源極範圍之間之第 1N 型低濃度源極範圍之 N 通道型之低耐壓 MOS 電晶體，

和具有加以形成於與前述第 1P 型阱型範圍接觸而加以設置於與前述第 1P 型阱型範圍另外的範圍之 N 型阱型範圍內的第 2 閘極絕緣膜，

和多結晶矽所成之第 2 閘極電極，

和 P 型之高濃度不純物範圍所成之 P 型高濃度汲極範圍及 P 型高濃度源極範圍，

和加以形成於前述第 2 閘極電極與前述 P 型高濃度汲極範圍間的 P 型低濃度汲極範圍，及加以形成於前述第 2

閘極電極與前述 P 型高濃度源極範圍之間的 P 型低濃度源極範圍之 P 通道型之低耐壓 MOS 電晶體，

和具有未與前述第 1P 型阱型範圍接觸，加以形成於具有與前述第 1P 型阱型範圍相同不純物濃度之第 2P 型阱型範圍內的第 3 閘極絕緣膜，

和多結晶矽所成之第 3 閘極電極，

和由 N 型高濃度不純物範圍所成之第 3N 型高濃度汲極範圍及第 3N 型高濃度源極範圍，

和加以配置於前述第 3 閘極電極與前述第 3N 型高濃度汲極範圍間的第 3N 型低濃度汲極範圍，及加以形成於前述第 3 閘極電極與第 3N 型高濃度源極範圍之間的第 3N 型低濃度源極範圍，

和較加以配置於前述第 3N 型低濃度汲極範圍及前述第 3N 型低濃度源極範圍上之前述第 3 閘極絕緣膜為厚之絕緣膜，

和包含前述第 3N 型低濃度汲極範圍之一部分的範圍，與於前述第 3N 型高濃度汲極範圍之下方，深度係較前述第 2P 型阱型範圍為淺而加以形成之 N 型低濃度不純物範圍之第 1N 型通道型之高耐壓 MOS 電晶體，

和第 2N 通道型之高耐壓 MOS 電晶體的半導體積體電路裝置。

另外，在其他的型態中，作成具有：

具有形成於加以設置於 N 型半導體基板之第 1P 型阱型範圍，

和不純物濃度則較前述第 1P 型阱型範圍為高之第 2P 型阱型範圍內之 N 通道型之低耐壓 MOS 電晶體，

和加以形成於 N 型阱型範圍內之 P 通道型的低耐壓 MOS 電晶體，

和具有未與前述第 2P 型阱型範圍接觸，加以形成於具有與前述第 2P 型阱型範圍相同不純物濃度之第 3P 型阱型範圍內的第 1 閘極絕緣膜，

和多結晶矽所成之第 1 閘極電極，

和由 N 型高濃度不純物範圍所成之第 1N 型高濃度汲極範圍及第 1N 型高濃度源極範圍，

和加以配置於前述第 1 閘極電極與前述第 1N 型高濃度汲極範圍間的第 1N 型低濃度汲極範圍，及加以形成於前述第 1 閘極電極與前述第 1N 型高濃度源極範圍之間的第 1N 型低濃度源極範圍，

和較加以配置於前述第 1N 型低濃度汲極範圍及前述第 1N 型低濃度源極範圍上之前述第 1 閘極絕緣膜為厚之絕緣膜，

和於前述第 1N 型低濃度汲極範圍之一部分及前述第 1N 型高濃度汲極範圍之下方，深度係較前述第 3P 型阱型範圍為淺而加以形成之第 1N 型低濃度不純物範圍，

和自前述第 1N 型低濃度不純物範圍之下方加以設置於前述 N 型半導體基板之間之前述第 1P 型阱型範圍之第 1N 通道型的高耐壓 MOS 電晶體，

和具有未與前述第 2P 型阱型接觸，加以形成於具有

與前述第 2P 型阱型範圍相同不純物濃度之第 4P 型阱型範圍內的第 2 閘極絕緣膜，

和多結晶矽所成之第 2 閘極電極，

和由 N 型高濃度不純物範圍所成之第 2N 型高濃度汲極範圍及第 2N 型高濃度源極範圍，

和加以配置於前述第 2 閘極電極與前述第 2N 型高濃度汲極範圍間的第 2N 型低濃度汲極範圍，及加以形成於前述第 2 閘極電極與前述第 2N 型高濃度源極範圍之間的第 2N 型低濃度源極範圍，

和較加以配置於前述第 2N 型低濃度汲極範圍及前述第 2N 型低濃度源極範圍上之前述第 2 閘極絕緣膜為厚之絕緣膜，

和包含前述第 2N 型低濃度汲極範圍之一部分及前述第 2N 型高濃度汲極範圍，與前述第 4P 型阱型範圍鄰接，底面則接觸於前述 N 型半導體基板而加以形成之第 2N 型低濃度不純物範圍，作為 ESD 保護元件所使用之第 2N 通道型之高耐壓 MOS 電晶體的半導體積體電路裝置。

更且，將包含上述形態之半導體積體電路裝置之製造方法，作為為了課題解決之手段。

發明效果

如根據本發明，可提供即使使用 N 型半導體基板，亦可沿襲以往的離子注入·高溫熱處理方法同時，而未伴隨工期之長期化而亦可製造，可以 30V 以上之高耐壓進行動

作，具有對於經由 ESD 等之發熱的破壞而言耐性，廉價且高性能之半導體積體電路裝置及其製造方法者。

【圖式簡單說明】

圖 1 係實現本發明之第 1 實施例之模式剖面圖。

圖 2 係可適用本發明之第 1 實施例之電路構成的一部分。

圖 3 係表示對於 N 型不純物濃度之縱方向耐壓之關係的特性圖表。

圖 4 係實現本發明之第 2 實施例之模式剖面圖。

圖 5 係實現本發明之第 3 實施例之模式剖面圖。

圖 6 係以往之低耐壓 NMOS 電晶體與高耐壓 NMOS 電晶體之模式剖面圖。

圖 7 係顯示實現本發明之第 1 實施例之工程流程的剖面圖。

圖 8 係持續圖 7，實現本發明之第 1 實施例的工程流程剖面圖。

圖 9 係持續圖 8，實現本發明之第 1 實施例的工程流程剖面圖。

圖 10 係顯示實現本發明之第 2 實施例之工程流程的剖面圖。

圖 11 係持續圖 10，實現本發明之第 2 實施例的工程流程剖面圖。

圖 12 係持續圖 11，實現本發明之第 2 實施例的工程

流程剖面圖。

圖 13 係顯示實現本發明之第 3 實施例之工程流程的剖面圖。

圖 14 係持續圖 13，實現本發明之第 3 實施例的工程流程剖面圖。

圖 15 係持續圖 14，實現本發明之第 3 實施例的工程流程剖面圖。

【實施方式】

在本發明中，提案有在將高電壓的輸入電壓與低電壓之輸出電壓作為必要之半導體積體電路裝置中，對於在將高耐壓 NMOS 電晶體集成化於 N 型半導體基板上時，為了形成深的 N 型低濃度不純物範圍於高耐壓 NMOS 電晶體之汲極範圍的新構成。另外，為了形成此 N 型低濃度不純物範圍或 P 型阱型範圍之 1100℃ 以上的高溫熱處理係經由作為與以往工程同程度之時，而抑制工期之長期化與伴隨於此之成本增大。

以下，依據圖面而說明此發明之實施形態。

[實施例 1]

圖 1 係顯示本發明之第 1 實施例之模式剖面圖。在本實施形態中，於 N 型半導體基板 7，集成化低電壓驅動用之低耐壓的 MOS 電晶體 501，502，和高電壓驅動用之高耐壓的 MOS 電晶體 503，504。

低耐壓的 MOS 電晶體 501 係加以形成於半導體積體電路裝置之中的低電壓用信號處理範圍內之 P 型阱型範圍 5 內，具有與以往同樣之構造的低電壓驅動用，而由閘極電極 6，閘極絕緣膜 9，構成汲極/源極範圍之一部分而為了取出汲極/源極端子之 N 型高濃度不純物範圍 17，構成汲極/源極範圍之一部分而將汲極/源極間的電場緩和作為目的之第 1N 型低濃度不純物範圍 18 之第 1N 型低濃度汲極範圍及第 1N 型低濃度源極範圍所成。

另外，低耐壓的 PMOS 電晶體 502 係同樣而加以形成於半導體積體電路裝置之中的低電壓用信號處理範圍內之 N 型阱型範圍 21 內，與以往同樣之構造的低電壓驅動用，而由閘極電極 6，閘極絕緣膜 9，構成汲極/源極範圍之一部分而為了取出汲極/源極端子之 P 型高濃度不純物範圍 23，構成汲極/源極範圍之一部分而將汲極/源極間的電場緩和作為目的之 P 型低濃度不純物範圍 20 所成。

另外，第 1 高耐壓 NMOS 電晶體 503 係加以形成於半導體積體電路裝置之中的高電壓用信號處理範圍內之 P 型阱型範圍 5 內的高電壓驅動用，而由閘極電極 6，閘極絕緣膜 9，構成汲極/源極範圍之一部分而為了取出汲極/源極端子之 N 型高濃度不純物範圍 17，構成汲極/源極範圍之一部分而將汲極/源極間的電場緩和作為目的之第 2N 型低濃度不純物範圍 19，具有較閘極絕緣膜為厚之膜厚而將閘極/汲極間的電場緩和作為目的之形成於第 2N 型低濃度不純物範圍 19 上之厚的絕緣膜 13，於包含汲極側之第

2N 型低濃度不純物範圍 19 之一部分的範圍及汲極側之 N 型高濃度不純物範圍 17 之下方，較 P 型阱型範圍 5 為淺而加以形成之第 3N 型低濃度不純物範圍 14 所成，使用於高電壓信號處理電路。

另外，第 2 高耐壓 NMOS 電晶體 504 係加以形成於 P 型阱型範圍 5 內之高電壓驅動用，而設置於高電壓之電源端子與最低電位之接地端子之間，作為自外部侵入之靜電雜訊保護用元件而使用，但在本實施例中係與第 1 高耐壓 NMOS 電晶體 503 相同之構造。

另外，雖未有圖示，但亦存在有形成於半導體積體電路裝置之中的高電壓用信號處理範圍內之 N 型阱型範圍內的高電壓驅動用之高耐壓 PMOS 電晶體，而由閘極電極，閘極絕緣膜，構成汲極/源極範圍之一部分而為了取出汲極/源極端子之 P 型高濃度不純物範圍，構成汲極/源極範圍之一部分而將汲極/源極間的電場緩和作為目的之 P 型低濃度不純物範圍，及較形成於將閘極/汲極間的電場緩和作為目的之 P 型低濃度不純物範圍上之閘極絕緣膜為厚之絕緣膜而加以構成。

另外，圖 2 係顯示上述各 MOS 電晶體元件之電路上的代表性之作用的例之電路圖之一部分。如先前所述，施加於電源端子 106，和成為最低電位的接地端子 105 之間的電壓係近年作為高電壓化，而其信號處理係經由以第 1 高耐壓 NMOS 電晶體 503 與高耐壓 PMOS 電晶體 505 而構成的電路進行之。

另外，為了自其電源端子 106 與接地端子 105 之間的靜電雜訊保護內部電路之靜電雜訊用保護元件係在本實施例中，採取使用與第 1 高耐壓 NMOS 電晶體相同構造之第 2 高耐壓 NMOS 電晶體 504，於電源端子 106 連接汲極端子，而於接地端子 105 連接源極端子及閘極端子之斷開構成，僅侵入有靜電雜訊之情況，經由累積崩潰而自汲極端子排除其靜電雜訊至接地端子，擔負自靜電雜訊保護內部電路之作用。

假設在高電壓信號處理電路中有著輸出端子 107 之情況，係對於其輸出端子 107 與接地端子 105 間的靜電雜訊，係加以設定於電路上輸出端子 107 與接地端子 105 間的第 1 高耐壓 NMOS 電晶體 503 則亦可直接兼用作為靜電雜訊保護元件之作用。假設作為以此第 1 高耐壓 NMOS 電晶體的電路上小尺寸加以設定等，對於靜電雜訊而言之耐性為低之情況，係作為保護元件而另外專用地設置並聯地將通道寬度，加大設定為可充分容許依據靜電雜訊之電流之高耐壓 NMOS 電晶體亦可。此情況係以連接汲極端子於輸出端子 107，而連接源極端子及閘極端子於接地端子 105 之斷開構成而實現。

更且，在本實施例之半導體積體電路裝置中，具有自高電壓生成低電壓，以其低電壓而進行信號處理之後，低電壓輸出其結果之機能，但其樣子亦在圖 2 模式性地顯示。即，將加以施加於電源端子 106 與接地端子 105 間之高電壓，例如經由以分壓電路 103 進行阻抗分割等而進行

降壓，低電壓輸出於電源端子 106 與內部低電壓用接地端子 112 之間，再由低電壓用信號處理範圍內之低耐壓 NMOS 電晶體 501 與低耐壓 PMOS 電晶體 502 而進行信號處理，將其結果，自低電壓輸出端子 113 而輸出。

於此低電壓輸出端子 113 與內部低電壓用接地端子 112 間，或電源端子 106 與內部低電壓用接地端子 112 間，自外部接受靜電雜訊之情況的保護方法係未圖示，但另外準備低電壓用保護元件而以以往的方法而設置於各端子間。

接著，以圖 1 之本實施例之構造，對於採用 N 型半導體基板同時，保持 30V 以上之耐壓，可防止經由來自外部之靜電雜訊等之發熱破壞的高耐壓 NMOS 電晶體之實現方法而加以說明。

在圖 1 中，N 型半導體基板 7 係選擇以 $3 \times 10^{14}/\text{cm}^3$ 至 $8 \times 10^{14}/\text{cm}^3$ 的濃度而含有磷之基板。為了製作可以 30V 以上進行動作之高耐壓 NMOS 電晶體，而對於為了形成經由薄的不純物濃度範圍之電場緩和層，係採用具有此程度薄的不純物濃度之半導體基板者為佳。

接著，P 型阱型範圍 5 係在此係即使為任何 NMOS 電晶體，亦使用同一條件之構成，將硼或 BF_2 之 P 型不純物，以 $8 \times 10^{15}/\text{cm}^3$ 至 $4 \times 10^{16}/\text{cm}^3$ 之間的值，擴散深度則自半導體基板表面，呈成為 $7 \mu\text{m}$ 至 $10 \mu\text{m}$ 地加以形成。如此，將 P 型阱型範圍 5 之不純物濃度作為比較薄之情況，亦為了擴大之後說明之高耐壓 NMOS 電晶體之第 3N 型低

濃度不純物範圍 14 之濃度的調整範圍，而為了優先可以 30V 以上進行動作之高耐壓 NMOS 電晶體之製作。

另外，將如此之不純物濃度的 P 型阱型範圍採用於低耐壓 NMOS 電晶體 501 之情況，其最小閘極長度係考慮經由穿隧現象的耐壓之下降等之短通道效果，作為 $1.0\ \mu\text{m}$ 者為佳。此情況，低耐壓 NMOS 電晶體係特別是經由第 1N 型低濃度不純物範圍之構造的最佳化而可對應於 12V 為止之電壓信號處理者。即，本實施例 1 係可使用閘極長度為 $1.0\ \mu\text{m}$ 以上之廉價的處理者，對於低電壓電路之輸出電壓則對於被要求 12V 為止之半導體積體電路裝置之採用而可說為最佳。

在本發明特徵之第 3N 型低濃度不純物範圍 14 或在以下說明之第 4N 型低濃度不純物範圍 15 係將 N 型不純物的砷，以 $2\times 10^{16}/\text{cm}^3$ 至 $2\times 10^{17}/\text{cm}^3$ 之不純物濃度，自半導體基板表面，形成於 $2\ \mu\text{m}$ 至 $3.5\ \mu\text{m}$ 之深度。對於此條件設定時應留意的情況係第 3，4N 型低濃度不純物範圍係不純物濃度為薄而擴散深度變淺時，對於經由靜電雜訊之發熱破壞耐性下降者而言，不純物濃度為濃而擴散深度變深時，加上高電壓於第 3，4N 型低濃度不純物範圍時，有著在第 3，4N 型低濃度不純物範圍與 N 型半導體基板之間，經由穿隧現象而引起縱方向的耐壓下降之權衡關係。隨之，配合要求規格而有選擇第 3，4N 型低濃度不純物範圍之形成條件的必要。

例如，經由顯示對於第 3，4N 型低濃度不純物範圍與

N 型半導體基板之間的縱方向耐壓，作為第 3，4N 型低濃度不純物範圍之 N 型不純物而離子注入砷，在 1170℃ 中，以 20 小時程度之熱處理而進行擴散，形成第 3，4N 型低濃度不純物範圍情況之對於不純物濃度而言之縱方向耐壓的關係之圖 3 時，由形成 $6 \times 10^{16}/\text{cm}^3$ 之 N 型不純物濃度者而可得到 50V 程度之縱方向耐壓。更且，在此條件中，可達成 3kV 以上之 ESD 破壞耐量(Human Body Model 人體模式)者，作為結果而可實現滿足 40V 的電源電壓規格之半導體積體電路裝置。

如次作為，在第 1 實施例中，可克服經由 ESD 之發熱破壞基準之同時，實現至近 60V 之弱的耐壓者，而可提供對於 30V 至 50V 為止之輸入電源電壓規格而言可對應之半導體積體電路裝置者。

更且，在本實施例中，由對於第 4N 型低濃度不純物範圍之形成使用砷者，可由使用在 1170℃ 之 20 小時程度的條件之一次處理形成，而實現上述 P 型阱型範圍及第 3，4N 型低濃度不純物範圍兩者之擴散熱處理。此係對於為了形成第 3，4N 型低濃度不純物範圍，而採用擴散係數高的磷或擴散係數低的銻之情況，係均為無法實現。由選擇本發明之條件而使用 N 型半導體基板同時，可將能耐高電壓之半導體積體電路裝置，沿襲以往之高溫熱處理條件同時而未伴隨工期之長期化進行製作者。

另一方面，對於第 3，4N 型低濃度不純物範圍以外的條件，係為了確保高耐壓 NMOS 電晶體之汲極/源極間耐

壓，而將第 2N 型低濃度不純物範圍 19，作為不純物而使用磷，以 $1 \times 10^{17}/\text{cm}^3$ 至 $1 \times 10^{18}/\text{cm}^3$ 為止之間的不純物摻雜量而形成。另外，於此 N 型低濃度不純物範圍 19 之上方，形成較閘極絕緣膜為厚之絕緣膜 13。此厚的絕緣膜 13 係對於閘極/汲極間的電場緩和效果而言為有效，亦可兼用成為了元件分離之 LOCOS 絕緣膜。對於此等之構造係採用與以往同樣的條件亦可。

[實施例 2]

接著，依據圖 4 而加以說明本發明之第 2 實施例。圖 4 係本發明之第 2 實施例的模式剖面圖，顯示各低耐壓 NMOS 電晶體 501，低耐壓 PMOS 電晶體 502，第 1 高耐壓 NMOS 電晶體 503，第 2 高耐壓 NMOS 電晶體 504 之剖面構造，自第 1 實施例更進行構造之變更。其中，與第 1 實施例不同者係第 2 高耐壓 NMOS 電晶體 504 之汲極構造，在第 2 實施例中，此第 2 高耐壓電晶體 504 係將作為在第 1 高耐壓 NMOS 電晶體 503 而設置於汲極範圍之深的擴散而採用之第 3N 型低濃度不純物範圍 14，取代為第 4N 型低濃度不純物範圍 15。

此第 4N 型低濃度不純物範圍 15 之擴散深度係較第 3N 型低濃度不純物範圍 14 為深，而與 P 型阱型範圍 5 同程度之深度，未採取與 P 型阱型範圍 5 之 2 重擴散構造。因此，第 4N 型低濃度不純物範圍 15 之底面係與 N 型半導體基板 7 接觸。對於 N 型半導體基板 7 係因通常施加成

為最高電位之電源電壓之故，與此 N 型半導體基板 7 接觸之第 4N 型低濃度不純物範圍 15 及連結於此之第 2 高耐壓 NMOS 電晶體之汲極端子係與成為高電位之電源電壓導通，而汲極端子與電源端子則可採用於作為呈成為同電位之電路上之所使用方法之高耐壓 NMOS 電晶體全部者。半導體積體電路裝置上，將如此之使用形態確實地作為必要的例係如圖 2 所示，自外部侵入至電源端子之靜電雜訊而保護半導體積體電路元件之靜電雜訊保護用元件 504。即，採取將第 2 高耐壓 NMOS 電晶體之汲極端子接線於電源端子 106，而將源極端子及閘極端子接線於接地端子 105 之關閉構成，擔負僅侵入有靜電雜訊之情況，經由累積破壞而自汲極端子排除其靜電雜訊至接地端子之作用。

但如圖 4 剖面圖中之第 1 高耐壓 NMOS 電晶體 503，於 P 型阱型範圍 5 內，以作為自半導體基板 7 僅一定距離淺之深度而形成於汲極範圍之第 3N 型低濃度不純物範圍 14 係如先前所述，有必要依據其不純物濃度與對於自半導體基板表面之擴散深度而言，經由靜電雜訊等之發熱耐性，與因穿隧現象而引起之縱方向耐壓下降之權衡關係而決定，而條件設定的幅度為窄。另一方面，第 2 高耐壓 NMOS 電晶體 504 係接觸有第 4N 型低濃度不純物範圍 15 與 N 型半導體基板 7，而無須擔心對於在先前之權衡關係之後者的縱方向耐壓。隨之，如僅在經由靜電雜訊等之發熱耐性而將構造作為最佳化即可，而有可實現所要面積縮小效果與伴隨於此之低成本化的利點。

具體而言，第 2 高耐壓 NMOS 電晶體 504 係形成於汲極範圍之 N 型低濃度不純物範圍則與 N 型半導體基板接觸之故，連結於在靜電雜訊耐性作為必要之汲極端子之 N 型擴散範圍的體積，則比較於第 1 高耐壓 NMOS 電晶體 503 而顯著大。隨之，為了得到與第 1 高耐壓 NMOS 電晶體同等之 ESD 發熱耐量，而可與 ESD 發熱耐量做比例，將作為必要之通道寬度，比較於第 1 高耐壓 NMOS 電晶體 503 而縮小為 $2/3$ 以下者。

更且，在第 2 實施例中，經由第 2 高耐壓 NMOS 電晶體 504 之採用之時，經由電路構成，係成為可將採用 N 型半導體基板之 50V 以上的高電壓，作為所要求之半導體積體電路裝置之實現。

首先，第 2 高耐壓 NMOS 電晶體 504 本身係因未有因穿隧現象引起之縱方向耐壓的限制之故，由對於汲極/源極間電壓的高耐壓化而言，經由第 2N 型低濃度不純物範圍 19 之更低濃度化與尺寸之伸張，而確保經由高電壓之空乏層之延伸者，成為可作為對於 50V 以上之高電壓化之對應。

另一方面，高電壓信號處理之內部電路，係由呈將第 1 高耐壓 NMOS 電晶體 503 或高耐壓 PMOS 電晶體 505 作為串連連接等而分壓高電壓地進行電路設定者，緩和相當 1 個元件之施加電壓，而成為可實現在 50V 以上之高電壓之電路動作者。

接著，對於圖 4 之本發明之第 2 高耐壓 NMOS 電晶體

504 之構造加以說明。第 2 高耐壓 NMOS 電晶體之閘極電極 6，閘極絕緣膜 9，第 2N 型低濃度不純物範圍 19，較第 2N 型低濃度不純物範圍 19 上之閘極絕緣膜 9 為厚之絕緣膜 13 之基本的構造係與第 1 高耐壓 NMOS 電晶體 503 相同。

另一方面，第 2 高耐壓 NMOS 電晶體 504 則與第 1 高耐壓 NMOS 電晶體 503 不同點之第 4N 型低濃度不純物範圍 15 係設定未加以形成有 P 型阱型範圍 5 之範圍，而於此，將 N 型不純物的磷，以 $8 \times 10^{15}/\text{cm}^3$ 至 $4 \times 10^{16}/\text{cm}^3$ 之間的值，自半導體基板表面形成於 $7 \mu\text{m}$ 至 $10 \mu\text{m}$ 為止之擴散深度。即，亦可兼用為形成低耐壓或高耐壓 PMOS 電晶體之 N 阱型範圍 21。由作為如此構成者，無需特別的工程追加，未伴隨處理成本之增加而可形成第 4N 型低濃度不純物範圍 15。

另外，由將第 4N 型低濃度不純物範圍 15 兼用為 N 型阱型範圍 21 者，可採用自動對準雙阱型處理者。由如此作為，可使第 4N 型低濃度不純物範圍 15，與 P 型阱型範圍 5 正確地鄰接而形成，另外因無經由第 4N 型低濃度不純物範圍與 P 型阱型範圍之相互擴散而 PN 接合位置產生移動之情況之故，與第 3N 型低濃度不純物範圍 14 不同，可抑制第 4N 型低濃度不純物範圍 15 之橫方向的擴散擴大者。也就是，在實施例 2 之第 2 高耐壓 NMOS 電晶體 504 中，如先前所述，合併具有將為了靜電雜訊吸收之通道寬度，作為較第 1 高耐壓 NMOS 電晶體為短之同時，亦

可將第 4N 型低濃度不純物範圍 15 之平面尺寸，作為較第 3N 型低濃度不純物範圍 14 縮小之成本降低之利點。

[實施例 3]

接著，依據圖 5 而加以說明本發明之第 3 實施例。圖 5 係本發明之第 3 實施例的模式剖面圖，顯示各低耐壓 NMOS 電晶體 501，低耐壓 PMOS 電晶體 502，第 1 高耐壓 NMOS 電晶體 503，第 2 高耐壓 NMOS 電晶體 504 之剖面構造，自第 2 實施例更進行構造之追加。其中，與第 2 實施例不同者係 P 型阱型範圍之一部分的不純物濃度。

首先，對於第 1 高耐壓 NMOS 電晶體 503，係與第 1，2 實施例同樣地，於汲極範圍，設置深的擴散範圍之第 3N 型低濃度不純物範圍 14，但位於其 N 型低濃度不純物範圍 14 之下方的 N 型半導體基板 7 之間的第 1P 型阱型範圍 5 係雖與第 2 實施例相同，但鄰接於第 3N 型低濃度不純物範圍 14 之第 2P 型阱型範圍 8 係 P 型不純物濃度則成為較第 1P 型阱型範圍 5 為濃。

此第 2P 型阱型範圍 8 與第 3N 型低濃度不純物範圍 14 係與第 1P 型阱型範圍 5 與 N 型阱型範圍 21 同樣地，以自動對準雙阱型處理而形成之故，而第 2P 型阱型範圍 8 與第 3N 型低濃度不純物範圍 14 係正確地接合位置則一致，未產生自不純物的離子注入時之形成位置的偏移。因此，抑制第 3N 型低濃度不純物範圍 14 之橫方向的擴散擴大與伴隨於此之第 1 高耐壓 NMOS 電晶體之所要面積的增

大，而可貢獻於半導體積體電路裝置之成本降低者。

更且，低耐壓 NMOS 電晶體 501 與第 2 高耐壓 NMOS 電晶體 504 之 P 型阱型範圍亦採用第 2P 型阱型範圍 8，而 P 型不純物濃度變濃者則與第 2 實施例不同。此時，第 2P 型阱型範圍 8 與 N 型阱型範圍 21 亦自動對準地加以形成，而未產生接合位置之偏移。此第 2P 型阱型範圍 8 係將硼或 BF_2 之 P 型不純物，以 $5 \times 10^{16}/\text{cm}^3$ 至 $2 \times 10^{17}/\text{cm}^3$ 之間的值而形成，對於第 1P 型阱型範圍而言，保持濃的不純物濃度。

將如此之高的不純物濃度之 P 型阱型範圍，採用於低耐壓 NMOS 電晶體 501 之情況，比較於採用第 1P 型阱型範圍 5 之情況，加以抑制經由穿隧現象之耐壓下降等之短通道效果，而其最小閘極長度係可作為 $0.5 \mu\text{m}$ 者。此情況，低耐壓 NMOS 電晶體係特別是經由第 1N 型低濃度不純物範圍之構造的最佳化而可對應於 6V 為止之電壓信號處理者。即，本實施例 3 係比較於其他的實施例而採用細微的規則，謀求所要面積的降低同時，有著可在輸出電壓 6V 以下之半導體積體電路裝置中促進低成本化之效果。

[實施例 4]

接著，使用顯示圖 7 至圖 9 之工程流程的剖面圖，而說明為了實現本發明之第 1 實施例之製造方法。

首先，準備以 $3 \times 10^{14}/\text{cm}^3$ 至 $8 \times 10^{14}/\text{cm}^3$ 之濃度而含有磷之 N 型半導體基板 7，而於其 N 型半導體基板 7 上，以

熱氧化法而形成 100 至 500 Å 之厚度的矽氧化膜 24，更且，於其矽氧化膜 24 上，經由 LPCVD(Low Pressure Chemical Vapor Deposition)法而堆積 300 至 1500 Å 之厚度的矽氮化膜 25(圖 7(1))。

接著，將 N 型阱型範圍形成預定範圍之矽氮化膜，經由光微影技術及乾蝕刻技術而除去，通過所露出之矽氧化膜而將矽氮化膜及光阻膜作為光罩，以 $3 \times 10^{12}/\text{cm}^2$ 至 $3 \times 10^{13}/\text{cm}^2$ 程度之配量，經由離子注入法而注入 N 型不純物的磷，形成加以注入磷之範圍 21A，之後剝離光阻膜(圖 7(2))。

接著，經由熱氧化法，將所殘留之氮化膜作為光罩，選擇性地於 N 型阱型範圍形成預定範圍，形成 1000 至 3000 Å 之矽氧化膜。接著，除去氮化膜之後，將先前之 1000 至 3000 Å 之矽氧化膜作為光罩，於 N 型阱型範圍以外之 P 型阱型範圍形成預定範圍 5A，經由離子注入法而自動對準地注入 $2 \times 10^{12}/\text{cm}^2$ 至 $1 \times 10^{13}/\text{cm}^2$ 程度之配量的硼或 BF_2 之 P 型不純物 5(圖 7(3))。

經由如以上之雙阱型處理，可僅由 1 個光罩而正確地鄰接 P 型阱型範圍與 N 型阱型範圍而形成者。

接著，於第 3N 型低濃度不純物範圍形成預定範圍，將光阻膜作為光罩，通過矽氧化膜，經由離子注入法而注入 $8 \times 10^{12}/\text{cm}^2$ 至 $7 \times 10^{13}/\text{cm}^2$ 程度之配量的 N 型不純物的砷，形成加以注入砷之範圍 14A，之後剝離光阻膜(圖 8(1))。

接著，以 1170°C 至 1200°C 之溫度，由 15 小時至 20 小時程度之時間的熱處理，同時地使此等 N 型及 P 型不純物擴散，而得到所期望之擴散深度的 P 型阱型範圍 5，N 型阱型範圍 21，第 3N 型低濃度不純物範圍 14(圖 8(2))。

經由歷經以上之工程之時，自具有 N 型不純物的磷所成之 $8 \times 10^{15}/\text{cm}^3$ 至 $4 \times 10^{16}/\text{cm}^3$ 之不純物濃度的值之半導體基板表面，可形成 $7\ \mu\text{m}$ 至 $10\ \mu\text{m}$ 之擴散深度之 N 型阱型範圍，和自硼或 BF_2 所成而具有 P 型不純物濃度為 $8 \times 10^{15}/\text{cm}^3$ 至 $4 \times 10^{16}/\text{cm}^3$ 之間的值之半導體基板表面，可形成 $7\ \mu\text{m}$ 至 $10\ \mu\text{m}$ 之擴散深度之 P 型阱型範圍，和自砷所成而具有 $2 \times 10^{16}/\text{cm}^3$ 至 $1 \times 10^{18}/\text{cm}^3$ 之不純物濃度的值之半導體基板表面，可形成 $2\ \mu\text{m}$ 至 $3.5\ \mu\text{m}$ 之深度之第 3N 型低濃度不純物範圍。

在本發明中， 1100°C 以上之高溫長時間熱處理係不僅自動對準地注入之 P 型阱型範圍與 N 型阱型範圍之不純物之一次擴散形成，而亦兼用為了於此形成第 3N 型低濃度不純物範圍之不純物擴散。此時，作為 N 型不純物係選擇砷，利用形成 P 型阱型範圍的硼或 BF_2 與砷之擴散係數的不同，經由以一次之熱處理而 P 型阱型範圍係使其深擴散，而第 3N 型低濃度不純物範圍係使其淺擴散之時，呈可以 2 重擴散構造而形成第 3N 型低濃度不純物範圍 14 於 P 型阱型範圍之中地，調整注入條件及擴散條件。

由適宜調節以如此之本發明之方法而為了形成第 3N

型低濃度不純物範圍之 N 型不純物的注入量者，可得到如圖 3 之處理條件與耐壓之關係，而採用 N 型半導體基板同時，可對應於各種輸入電壓規格之半導體積體電路裝置者則成為明確。

接著，一旦，自半導體基板表面而除去所有的矽氧化膜之後，以熱氧化法而形成 100 至 500Å 厚度之矽氧化膜 24，更且於其矽氧化膜 24 上，經由 LPCVD 法而堆積 300 至 1500Å 之厚度的矽氮化膜 25。接著，為了形成第 2N 型低濃度不純物範圍，經由光微影技術及乾蝕刻技術而除去矽氮化膜，將矽氮化膜及光阻膜作為光罩，通過矽氧化膜，經由離子注入法而注入 $1 \times 10^{12}/\text{cm}^2$ 至 $7 \times 10^{12}/\text{cm}^2$ 程度之配量的 N 型不純物的磷於範圍 19A，之後剝離光阻膜(圖 8(3))。

此第 2N 型低濃度不純物範圍係為了調整高耐壓 NMOS 電晶體之汲極/源極間耐壓而設定者，而作為 $1 \times 10^{17}/\text{cm}^2$ 至 $1 \times 10^{18}/\text{cm}^2$ 程度之配量者為佳，但為了處理成本削減而兼用為了元件分離之通道截斷用不純物注入而形成亦可(未圖示)。

接著，經由熱氧化法，將所殘留之氮化膜作為光罩而選擇性地於第 2N 型低濃度不純物範圍形成預定範圍，形成 6000 至 12000Å 之矽氧化膜，之後剝離矽氮化膜(圖 9(1))。此 6000 至 12000Å 之熱氧化膜係將高耐壓 NMOS 電晶體之閘極/汲極間之電場緩和效果作為目的，作為較閘極絕緣膜為厚之絕緣體，但由同時兼用元件分離範圍之

LOCOS(Local Oxidation Of Silicon)絕緣膜而形成者，可謀求處理成本之削減。

接著，因應必要而進行為了 MOS 電晶體之臨界值電壓控制之通道不純物注入或各 MOS 電晶體之閘極絕緣膜 9 形成之後，為了形成閘極電極 6 而堆積 2000 至 5000Å 之多結晶矽膜，呈成為 $1 \times 10^{19}/\text{cm}^3$ 以上之不純物濃度地，以離子注入法，或熱擴散法而進行高濃度之不純物注入，之後，使用光微影技術及乾蝕刻技術而加工為所期望之形狀(圖 9(2))。

接著，進行將低耐壓 NMOS 電晶體之汲極/源極間的電場緩和作為目的之第 1N 型低濃度不純物範圍 18 的形成，及將低耐壓 PMOS 電晶體之汲極/源極間的電場緩和作為目的之 P 型低濃度不純物範圍 20 的形成。各條件係因應所期望之動作電壓而決定，但以離子注入法而進行 $2 \times 10^{12}/\text{cm}^2$ 至 $2 \times 10^{14}/\text{cm}^2$ 程度之配量的 N 型及 P 型不純物之注入。

接著，經由將為了取出低耐壓 NMOS 電晶體及高耐壓 NMOS 電晶體之汲極/源極端子之 N 型高濃度不純物範圍 17 之形成，及為了取出低耐壓 PMOS 電晶體之汲極/源極端子之 P 型高濃度不純物範圍 23 之形成，以離子注入法而注入 $2 \times 10^{15}/\text{cm}^2$ 以上之配量而加以進行(圖 9(3))。

接著，雖未圖示，但於全體堆積氧化膜所成之絕緣膜，為了取出各 MOS 電晶體之端子電極而於特定的位置，使用乾蝕刻技術而形成連接孔，接著為了形成為了賦

予電位於此等端子之金屬配線，而以濺鍍法堆積由鋁所成之金屬膜之後，以乾蝕刻技術而施以加工形成。

經由作為如以上之第 1 實施例之製造方法之時，使用 N 型半導體基板之同時，可製作具有並存 30V 以上之耐壓與經由靜電雜訊等之發熱破壞耐量的確保之高耐壓 NMOS 電晶體的半導體積體電路者。

[實施例 5]

接著，使用顯示圖 10 至圖 12 之工程流程的剖面圖，而說明為了實現本發明之第 2 實施例之製造方法。

首先，對於以 $3 \times 10^{14}/\text{cm}^3$ 至 $8 \times 10^{14}/\text{cm}^3$ 之濃度而含有磷之 N 型半導體基板 7 而言，進行經由熱氧化法之矽氧化膜 24 的形成，經由 LPCVD 法之矽氮化膜 25 的堆積之情況係與第 1 實施例之製造方法同樣(圖 10(1))。

接著，除去 N 型阱型範圍形成預定範圍之矽氮化膜，通過所露出之矽氧化膜，經由離子注入法而注入 $3 \times 10^{12}/\text{cm}^2$ 至 $3 \times 10^{13}/\text{cm}^2$ 程度之配量的 N 型不純物磷，之後剝離光阻膜(圖 10(2))。在此形成之 N 型阱型範圍 21 係不僅低耐壓 PMOS 電晶體及高耐壓 PMOS 電晶體，而對於成為第 2 高耐壓 NMOS 電晶體之汲極範圍 15 之汲極範圍形成預定範圍亦加以追加而進行之情況則與第 1 實施例不同。

接著，經由熱氧化法，於 N 型阱型範圍形成預定範圍，形成 1000 至 3000Å 之矽氧化膜，而除去氮化膜之

後，將此矽氧化膜作為光罩，經由離子注入法而將 $2 \times 10^{12}/\text{cm}^2$ 至 $1 \times 10^{13}/\text{cm}^2$ 程度之配量的硼或 BF_2 之 P 型不純物注入至範圍 5(圖 10(3))。

接著，於形成第 1 高耐壓 NMOS 電晶體之第 3N 型低濃度不純物範圍的預定範圍 14A，將光阻膜作為光罩而通過矽氧化膜，經由離子注入法而注入 $8 \times 10^{12}/\text{cm}^2$ 至 $7 \times 10^{13}/\text{cm}^2$ 程度之配量的 N 型不純物的砷(圖 11(1))。

接著，以 1170°C 至 1200°C 之溫度，由 15 小時至 20 小時程度之時間的熱處理，同時地使此等 N 型及 P 型不純物擴散，而得到所期望之擴散深度的 N 型阱型範圍，第 1P 型阱型範圍，第 3P 型阱型範圍，第 3N 型低濃度不純物範圍(圖 11(2))。

如此，分作第 1 高耐壓 NMOS 電晶體與第 2 高耐壓 NMOS 電晶體之汲極範圍之深擴散，但由將第 2 高耐壓 NMOS 電晶體之第 4N 型低濃度不純物範圍兼用為 N 型阱型範圍者，對於第 1 實施例而言無增加製造工程而可實現第 2 實施例者。

以下，雖未圖示第 2N 型低濃度不純物範圍之形成(圖 11(3))，第 2N 型低濃度不純物範圍上之絕緣膜及元件分離絕緣膜之形成(圖 12(1))，閘極絕緣膜及閘極電極之形成(圖 12(2))，低耐壓 MOS 電晶體及高耐壓 MOS 電晶體之汲極/源極範圍之形成(圖 12(3))，雖為圖示，但歷經連接孔或金屬配線的形成等，完成半導體積體電路裝置。

經由作為如以上之第 2 實施例的製造方法之時，使用

N 型半導體基板之同時，可製作加上於並存 30V 以上、更且經由電路構成之方法而 50V 以上之耐壓，和經由靜電雜訊等之發熱破壞耐量的確保之第 1 高耐壓 NMOS 電晶體，具有作為電源端子與接地端子之間的保護元件而更降低所要面積之第 2 高耐壓 NMOS 電晶體之半導體積體電路裝置者。

[實施例 6]

接著，使用顯示圖 13 至圖 15 之工程流程的剖面圖，而說明為了實現本發明之第 3 實施例之製造方法。

首先，與第 2 實施例同樣地，對於 N 型半導體基板之矽氧化膜，矽氮化膜之形成(圖 13(1))，除去 N 型阱型範圍形成預定範圍之矽氮化膜，通過所露出之矽氧化膜，經由離子注入法而注入為了 N 型阱型範圍形成之 N 型不純物的磷(圖 13(2))，之後剝離光阻膜。接著，經由熱氧化法，形成矽氧化膜於 N 型阱型範圍形成預定範圍，除去氮化膜之後，將此矽氧化膜作為光罩，於其他的範圍 5A，經由離子注入法而注入硼或 BF_2 之 P 型不純物，進行為了第 1P 型阱型範圍形成之 P 型不純物注入(圖 13(3))。經由如以上之第 1 雙阱型處理，可僅由 1 個光罩而正確地鄰接第 1P 型阱型範圍與 N 型阱型範圍而形成者。

之後之圖 14(1)至(3)之工程則成為第 3 實施例特有之製造方法。

持續於圖 13(3)，經由 LPCVD 法而堆積矽氮化膜

25，將形成第 3N 型低濃度不純物範圍之預定範圍 14A 之矽氮化膜，以光微影技術及乾蝕刻技術進行開口，將矽氮化膜及光阻膜作為光罩而通過露出之矽氧化膜，經由離子注入法而注入 $8 \times 10^{12}/\text{cm}^2$ 至 $7 \times 10^{13}/\text{cm}^2$ 程度之配量之 N 型不純物的砷，之後剝離光阻膜(圖 14(1))。

接著，經由熱氧化法，將所殘留之氮化膜作為光罩，選擇性地於第 3N 型低濃度不純物範圍形成預定範圍，形成 1000 至 3000Å 之矽氧化膜。之後，在除去氮化膜之後，將先前之 1000 至 3000Å 的矽氧化膜作為光罩，經由離子注入法而注入 $5 \times 10^{12}/\text{cm}^2$ 至 $2 \times 10^{13}/\text{cm}^2$ 程度之配量的硼或 BF_2 之 P 型不純物。此注入範圍係由加上於為了第 1P 型阱型範圍形成之 P 型不純物注入，而重疊注入 P 型不純物者，形成較第 1P 型阱型範圍，不純物濃度高之第 2P 型阱型範圍 8(圖 14(2))。另外，加上於第 3N 型低濃度不純物範圍形成預定範圍上，因對於 N 型阱型形成預定範圍上，亦保持加以殘留有 1000 至 3000Å 之矽氧化膜之故，於此未有 P 型不純物侵入者。

經由採用如以上之第 2 自動對準雙阱型處理之時，第 2P 型阱型範圍與第 3N 型低濃度不純物範圍亦可正確地鄰接而形成者。

接著，以 $1170^\circ\text{C} \cdot 20$ 小時程度熱處理，使此等 N 型及 P 型不純物擴散，而得到所期望之擴散深度的 N 型阱型範圍，第 1P 型阱型範圍，第 2P 型阱型範圍，第 3N 型低濃度不純物範圍(圖 14(3))。

此時，第 2P 型阱型範圍與 N 型阱型範圍係因如圖 14(2)而鄰接形成，保持擴散之故，兩者之接合位置則未有變化者。更且，第 2P 型阱型範圍與第 3N 型低濃度不純物範圍亦因鄰接加以形成，保持擴散之故，兩者之接合位置則未有變化者。因此，經由在本實施例中而採用如此之製造工程之時，各不純物範圍之尺寸未有變化，而可實現高精確度之尺寸及位置規定。

另外，經由離子注入法而形成之第 1P 型阱型範圍與第 2P 型阱型範圍之重疊範圍係在上述之高溫長時間熱處理前，不純物濃度薄之第 1P 型阱型範圍者則自半導體基板表面至深為止加以形成，而不純物濃度濃之第 2P 型阱型範圍者則加以淺形成之故，而加以形成 2 階段步驟狀之深度方向濃度剖面，但經由高溫長時間熱處理而擴散之結果，加以消解如此之深度方向之濃度剖面之不均一性。

經由歷經以上之工程之時，以自磷所成而 N 型不純物濃度為 $8 \times 10^{15}/\text{cm}^3$ 至 $4 \times 10^{16}/\text{cm}^3$ 之不純物濃度的值，自半導體基板表面，可形成 $7 \mu\text{m}$ 至 $10 \mu\text{m}$ 之擴散深度之 N 型阱型範圍，和以自硼或 BF_2 所成而 P 型不純物濃度為 $8 \times 10^{15}/\text{cm}^3$ 至 $4 \times 10^{16}/\text{cm}^3$ 之間的值，自半導體基板表面，可形成 $7 \mu\text{m}$ 至 $10 \mu\text{m}$ 之擴散深度之 P 型阱型範圍，和以自砷所成而 $2 \times 10^{16}/\text{cm}^3$ 至 $1 \times 10^{18}/\text{cm}^3$ 之不純物濃度的值，自半導體基板表面，可形成 $2 \mu\text{m}$ 至 $3.5 \mu\text{m}$ 之深度之第 3N 型低濃度不純物範圍。

接著，對於圖 15(1)至(3)之工程，係採用與第 1，第

2 實施例同樣之製造方法。即，雖未圖示第 2N 型低濃度不純物範圍之形成，及第 2N 型低濃度不純物範圍上之絕緣膜及元件分離絕緣膜之形成(圖 15(1))，閘極絕緣膜及閘極電極之形成(圖 15(2))，低耐壓 MOS 電晶體及高耐壓 MOS 電晶體之汲極/源極範圍之形成(圖 15(3))，雖未圖示，但歷經連接孔或金屬配線的形成等，完成半導體積體電路裝置。

在以上的說明中特別對於 N 型阱型範圍之條件，係作為與第 1，第 2 實施例同樣，但配合不純物濃度則成為較第 1P 型阱型範圍為濃之第 2P 型阱型範圍之不純物濃度，加濃 N 型阱型範圍之不純物濃度亦可。由加濃 N 型阱型範圍之不純物濃度者，與搭載低耐壓 MOS 電晶體之第 2P 型阱型範圍的 PN 接合耐壓之下降則產生，但本實施例係因與第 1，第 2 實施例不同，使低耐壓 MOS 電晶體之動作電壓降低為 6V 以下之故，未成為問題。在另一方面，可享受由加濃 N 型阱型範圍之不純物濃度者，而加以抑制經由低耐壓 PMOS 電晶體之穿隧現象之耐壓的下降等之短通道效果，而將其最小閘極長度，與低耐壓 NMOS 電晶體配合，可作為 $0.5\ \mu\text{m}$ 之長處。

另一方面，對於第 2 高耐壓 NMOS 電晶體者亦構成通道範圍之 P 型阱型範圍之濃度變濃之情況而言，無須第 2 高耐壓 NMOS 電晶體之耐壓下降的擔憂。第 2 高耐壓 NMOS 電晶體之耐壓係因經由第 2N 型低濃度不純物範圍的條件而加以限制之故，對於適用本發明之第 3 實施例於

第 2 高耐壓 NMOS 電晶體而言之短處係不存在。

另外，一般在 $0.5\ \mu\text{m}$ 程度之處理中，P、N 型阱型範圍之不純物注入之後的高溫長時間處理係多作為 10 小時以下者。經由此而加以縮小阱型範圍之擴散深度，縱方向寄生元件的動作則變為容易，雖擔憂有耐壓之下降或閂鎖效應現象的頻發，但實際係在加上於 P、N 型阱型範圍之不純物濃度變濃之情況，而伴隨細微化之動作電壓的下降之影響而加以抑制如此之現象。另一方面，在本發明之第 3 實施例中，由採用 20 小時程度的高溫熱處理者，可實現高濃度，且深的擴散深度之阱型範圍。因此，比較於通常之 $0.5\ \mu\text{m}$ 處理，閂鎖效應耐性為強，而可將經由高濃度不純物層之保護環的設置，或使內部電路作為自外部端子之數 $10\ \mu\text{m}$ 以上隔離等，為了抑制閂鎖效應所設置，為了抑制寄生元件動作之平面的設計規則界限縮小者，而可貢獻於經由半導體積體電路裝置之所要面積的削減之成本降低。

經由作為如以上之第 3 實施例的製造方法之時，使用 N 型半導體基板之同時，可製作加上於並存 30V 以上、更且經由電路構成之方法而 50V 以上之耐壓，和經由靜電雜訊等之發熱破壞耐量的確保之第 1 高耐壓 NMOS 電晶體，具有作為電源端子與接地端子之間的保護元件而降低所要面積之第 2 高耐壓 NMOS 電晶體，更且具有伴隨低電壓輸出而細微化之低耐壓 MOS 電晶體，和更加以簡素化之閂鎖效應，而實現小面積低成本化之半導體積體電路裝置

者。

如以上之構造及形成方法的本發明係不限於如至此所述之降壓型串聯調節器或電壓檢出器，而可實現必須集成低耐壓電晶體與高耐壓電晶體於 N 型半導體基板內之各種的半導體積體電路裝置。因此，當然本發明則亦可適用於對於功率管理 IC 以外之用途者。

【符號說明】

5：第 1P 型阱型範圍

6：閘極電極

7：N 型半導體基板

8：第 2P 型阱型範圍

9：閘極絕緣膜

13：LOCOS 絕緣膜

14：第 3N 型低濃度不純物範圍

15：第 4N 型低濃度不純物範圍

17：N 型高濃度不純物範圍

18：第 1N 型低濃度不純物範圍

19：第 2N 型低濃度不純物範圍

20：P 型低濃度不純物範圍

21：N 型阱型範圍

23：P 型高濃度不純物範圍

24：矽氧化膜

25：矽氮化膜

- 103：分壓電路
- 105：接地端子
- 106：電源端子
- 107：輸出端子
- 112：內部低電壓用接地端子
- 113：低電壓輸出端子
- 501：低耐壓 NMOS 電晶體
- 502：低耐壓 PMOS 電晶體
- 503：第 1 高耐壓 NMOS 電晶體
- 504：第 2 高耐壓 NMOS 電晶體
- 505：高耐壓 PMOS 電晶體

I675479

發明摘要

※申請案號：105104138

※申請日：105 年 02 月 05 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體積體電路裝置及其製造方法

Semiconductor integrated circuit device and method of manufacturing
the same

【中文】

本發明係一種半導體積體電路裝置及其製造方法，其中，於 N 型半導體基板上，在 P 型阱型範圍內，具有較 P 型阱型範圍為淺之深度的砷所成之第 3N 型低濃度不純物範圍於汲極範圍之第 1N 通道型之高耐壓 MOS 電晶體，和與 P 型阱型範圍鄰接，具有底面則與 N 型半導體基板接觸之第 4N 型低濃度不純物範圍於汲極範圍之第 2N 通道型之高耐壓 MOS 電晶體，而於 N 型半導體基板上，設置集成化可以 30V 以上動作之高耐壓 NMOS 電晶體之半導體積體電路裝置。

【英文】

【代表圖】

【本案指定代表圖】：第(5)圖。

【本代表圖之符號簡單說明】：

5：第 1P 型阱型範圍

6：閘極電極

7：N 型半導體基板

8：第 2P 型阱型範圍

9：閘極絕緣膜

13：LOCOS 絕緣膜

14：第 3N 型低濃度不純物範圍

15：第 4N 型低濃度不純物範圍

17：N 型高濃度不純物範圍

18：第 1N 型低濃度不純物範圍

19：第 2N 型低濃度不純物範圍

20：P 型低濃度不純物範圍

21：N 型阱型範圍

23：P 型高濃度不純物範圍

501：低耐壓 NMOS 電晶體

502：低耐壓 PMOS 電晶體

503：第 1 高耐壓 NMOS 電晶體

504：第 2 高耐壓 NMOS 電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

圖 1

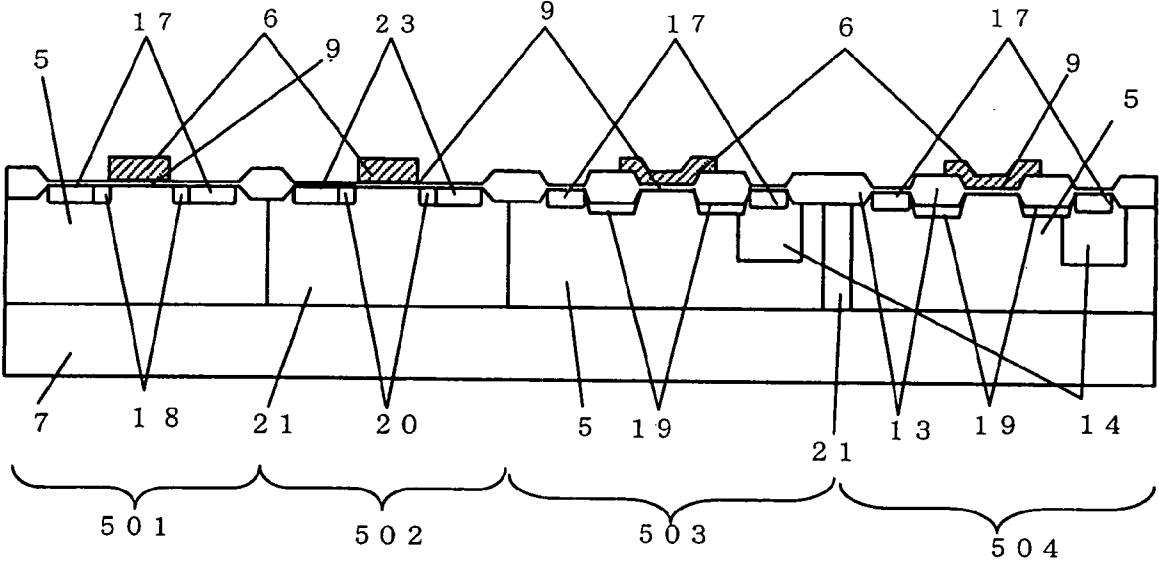


圖 2

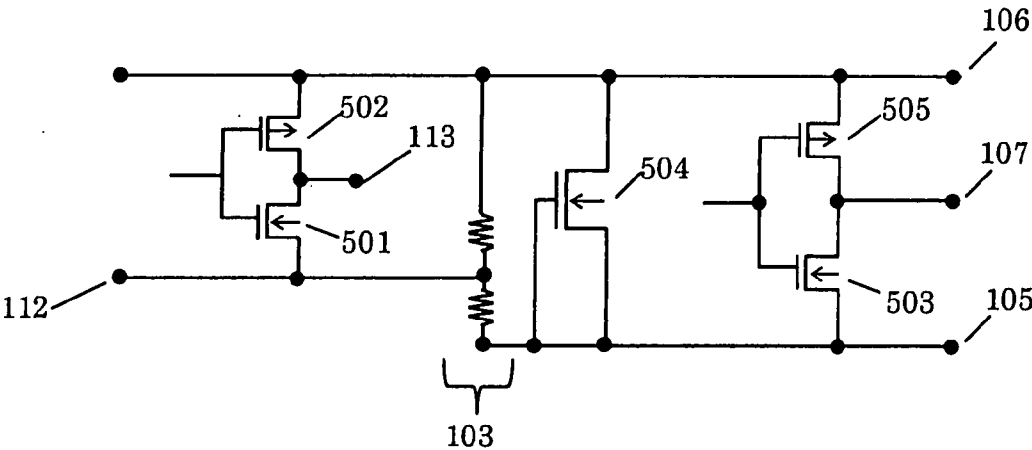


圖 3

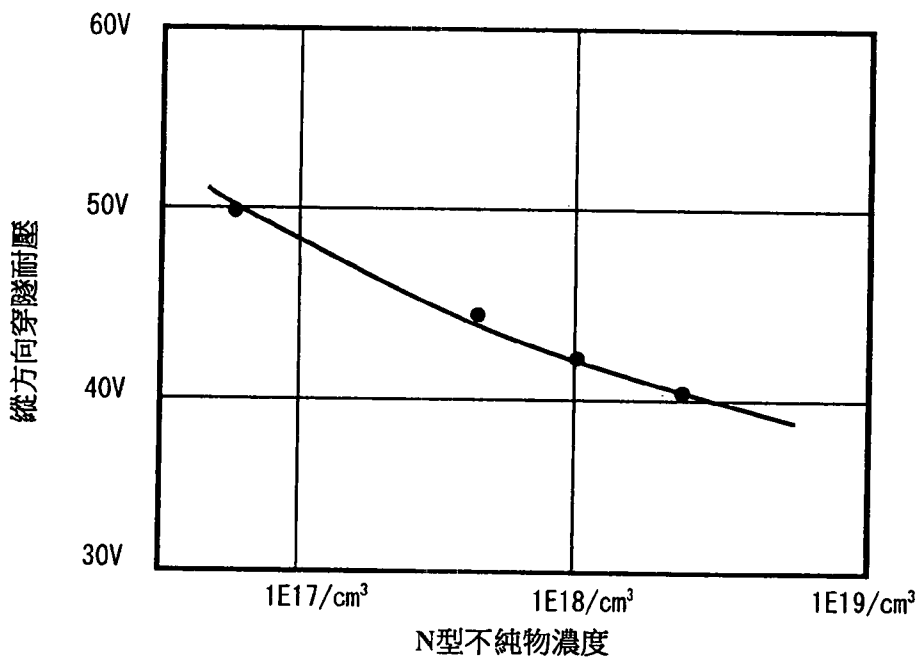


圖 4

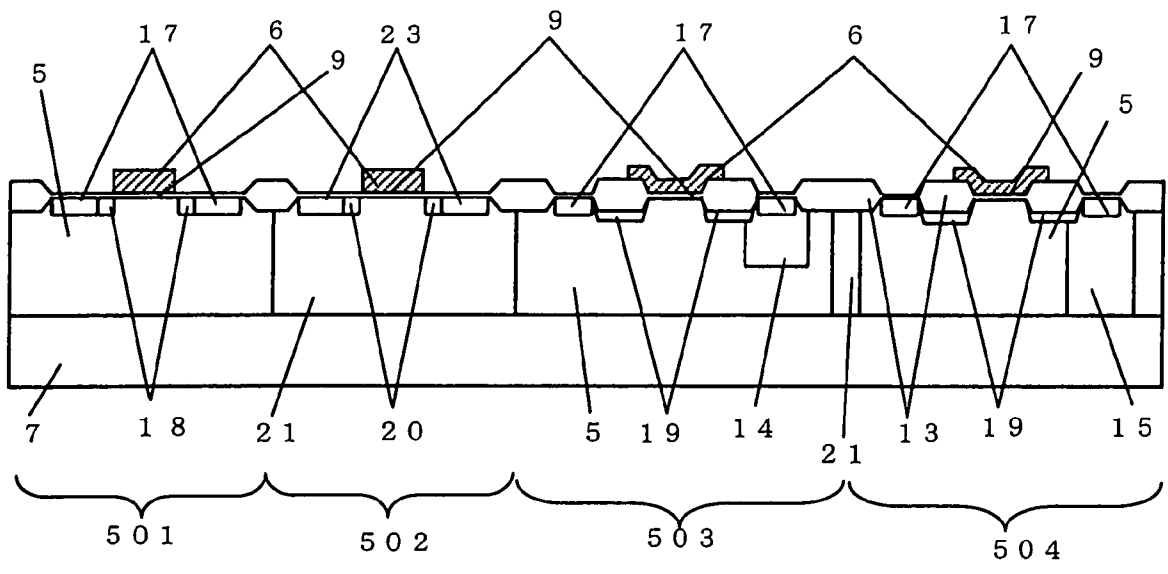


圖 5

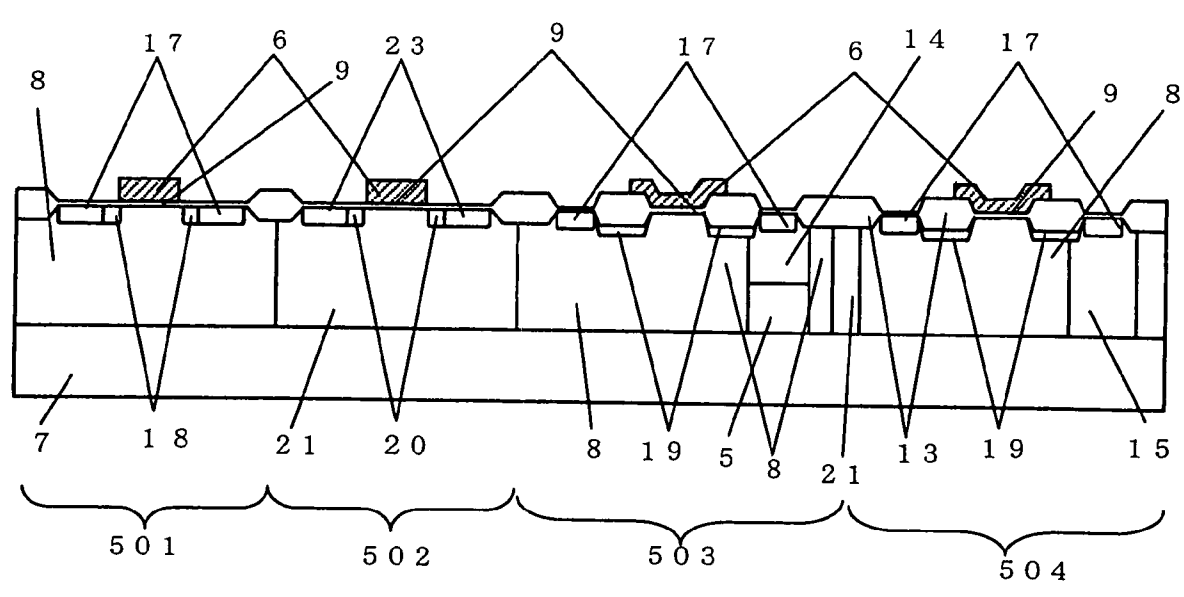
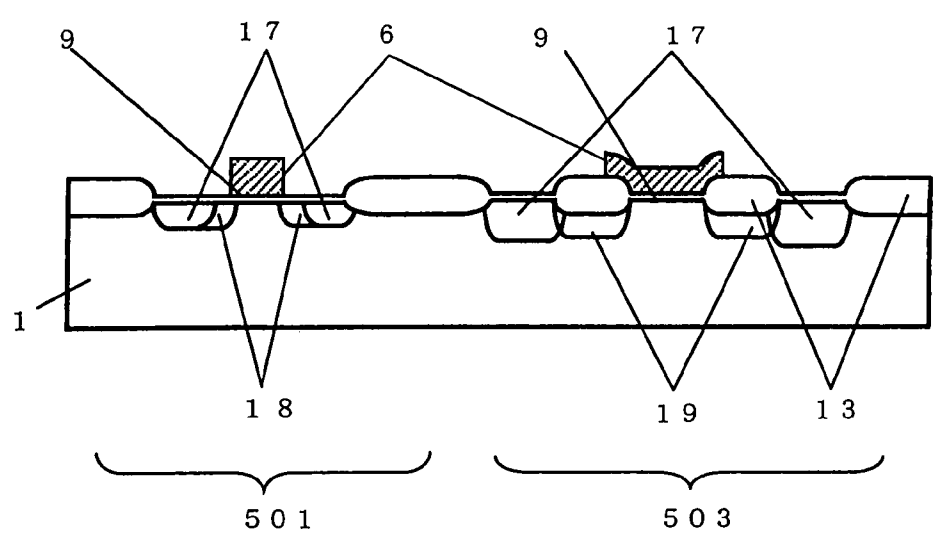


圖 6

(1)



(2)

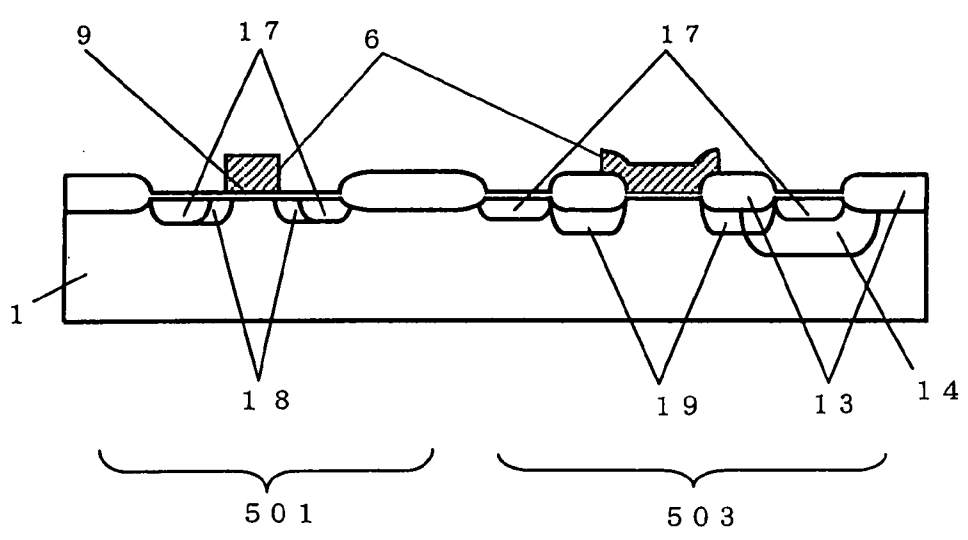


圖 7

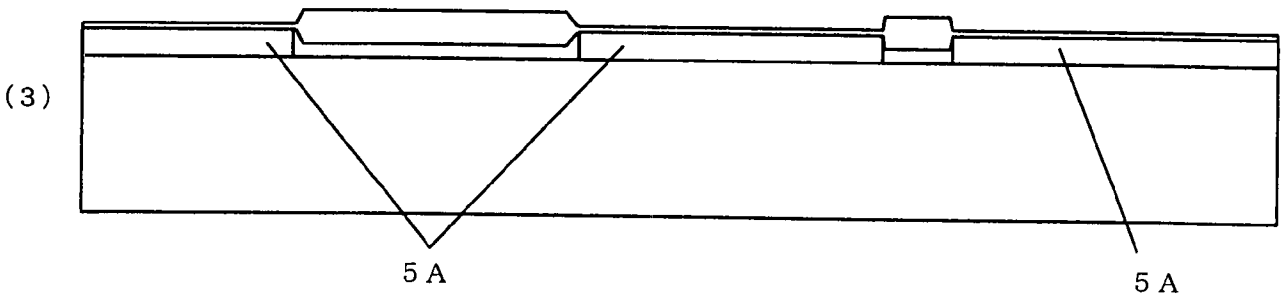
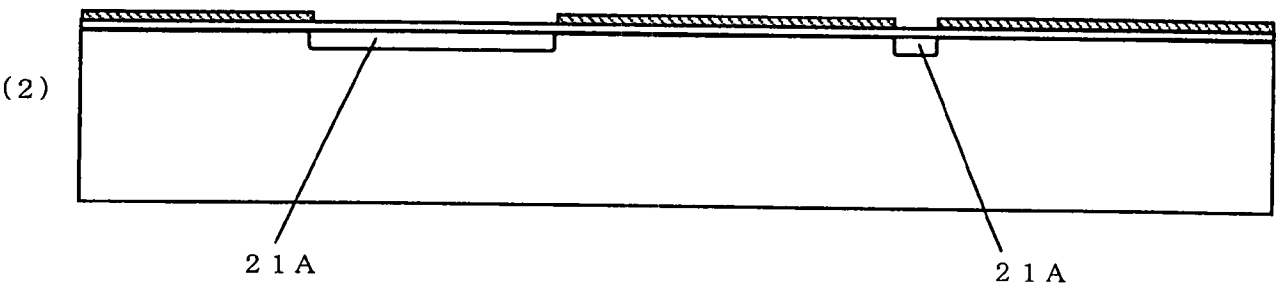
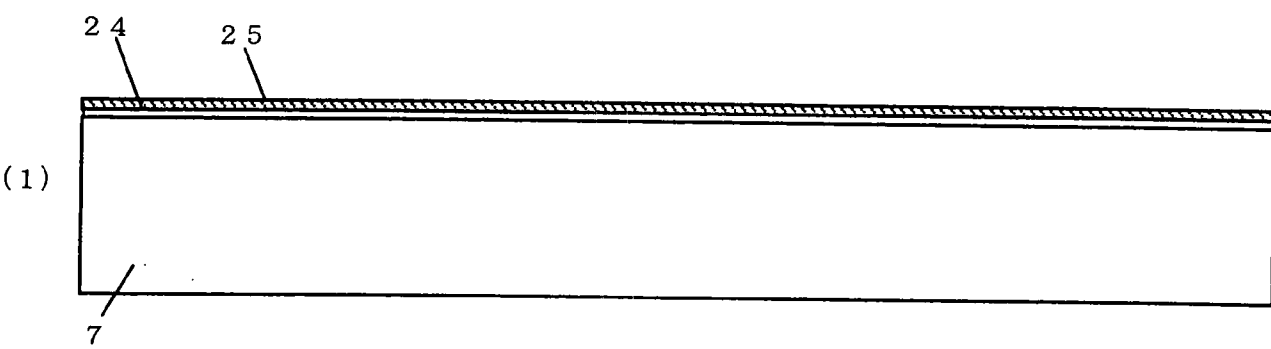


圖 8

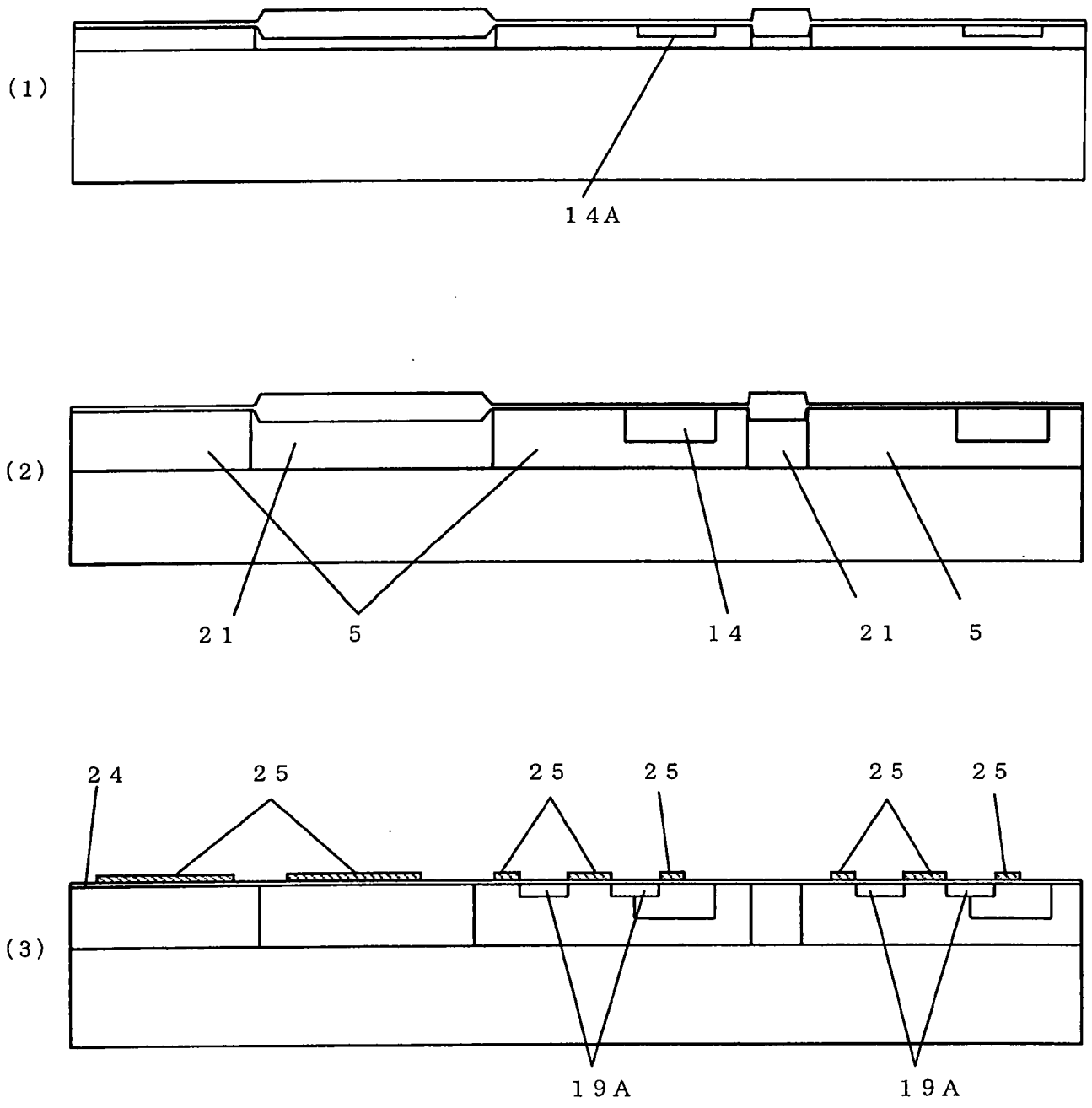


圖 9

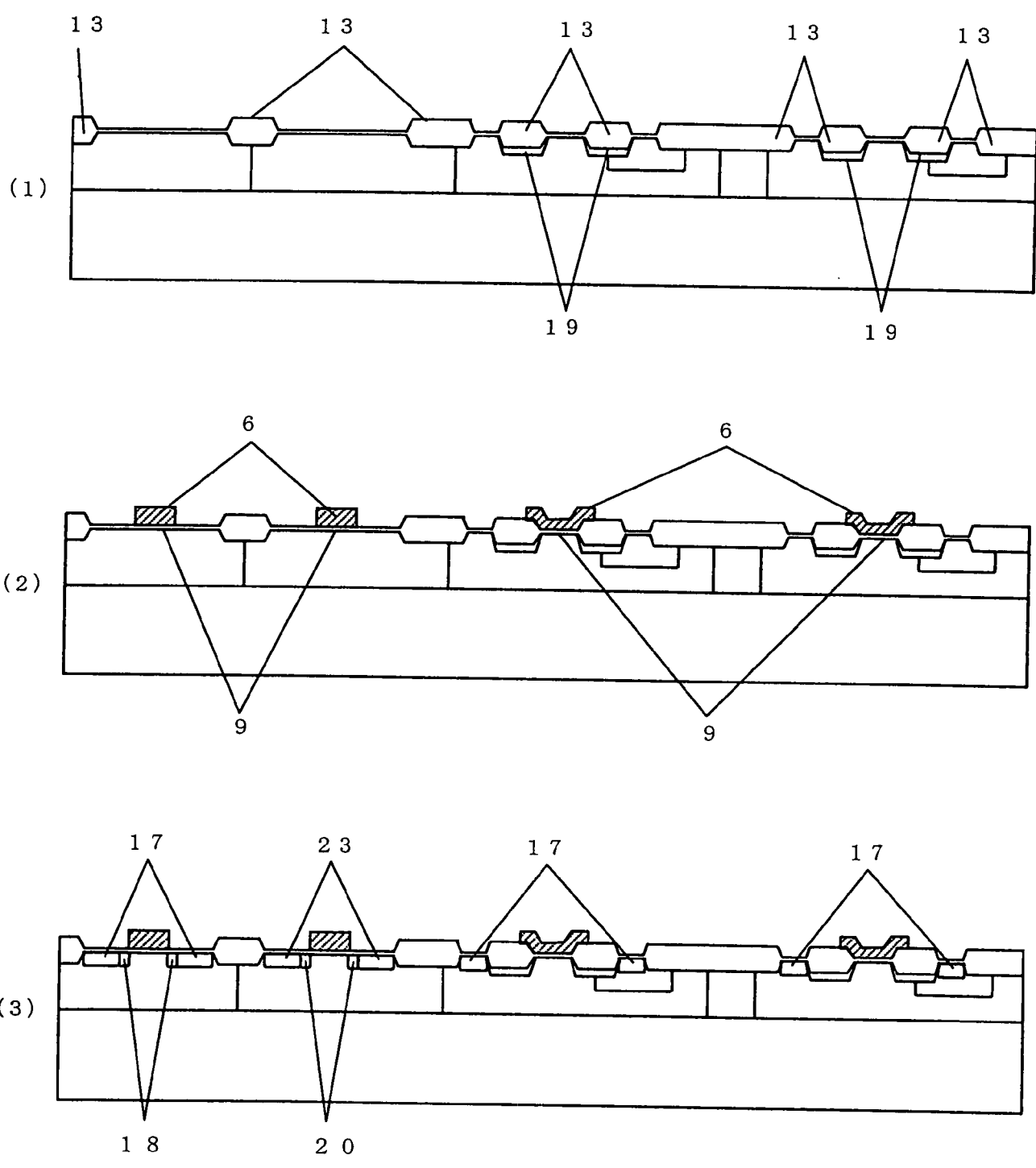


圖 10

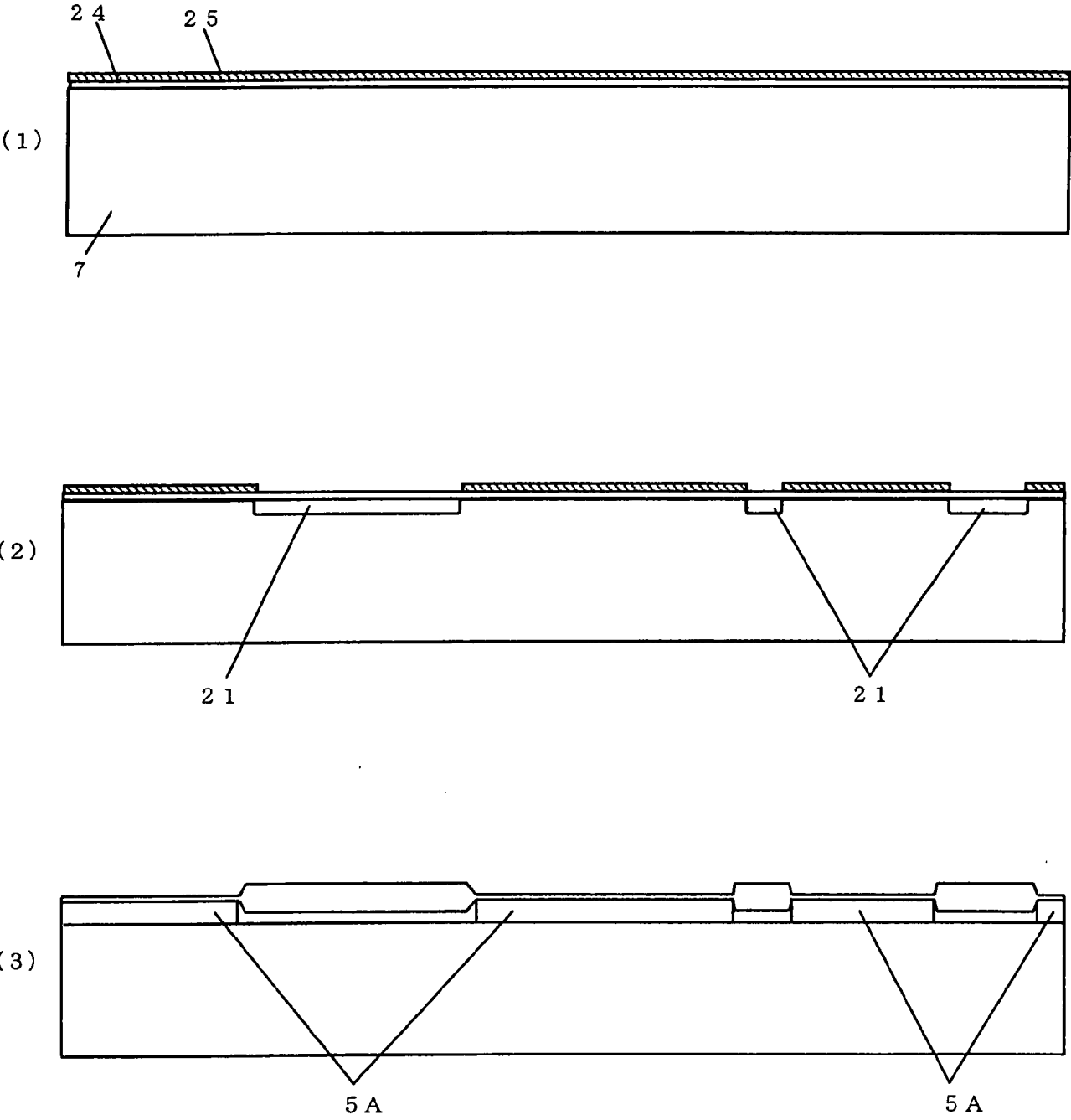


圖 11

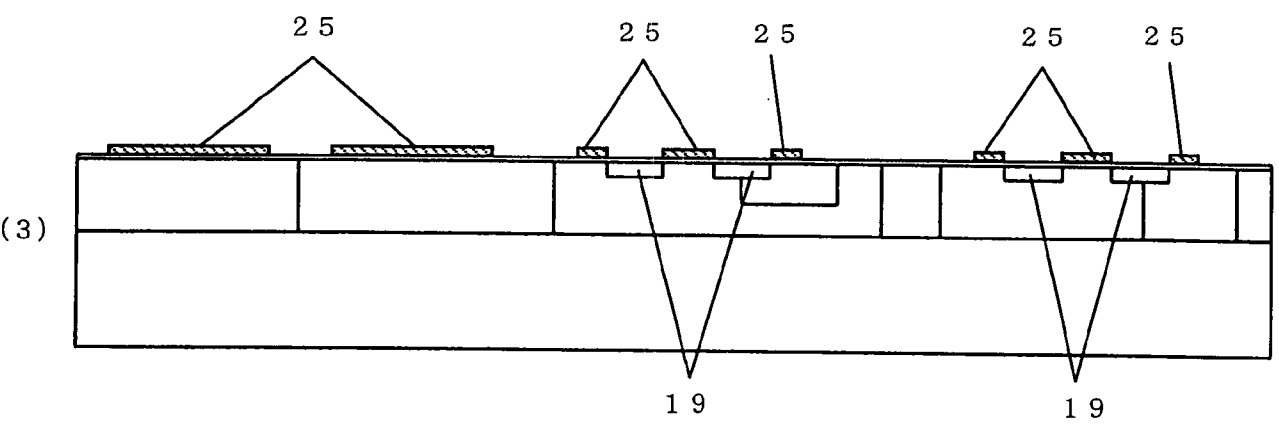
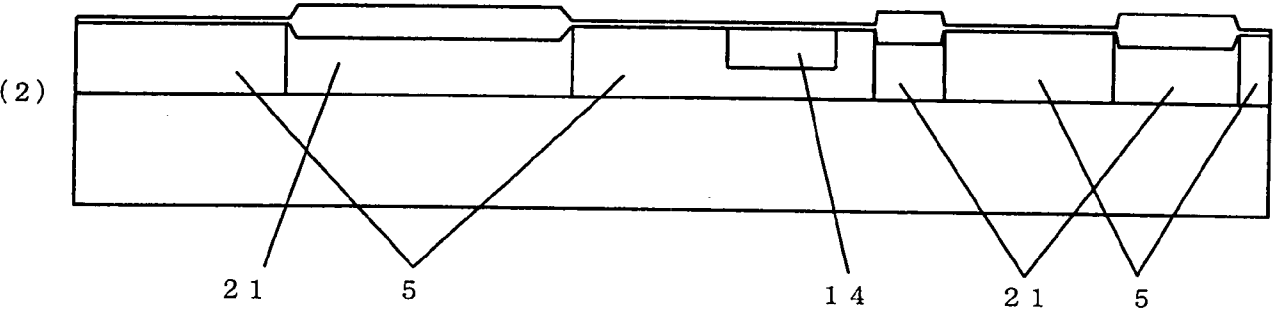
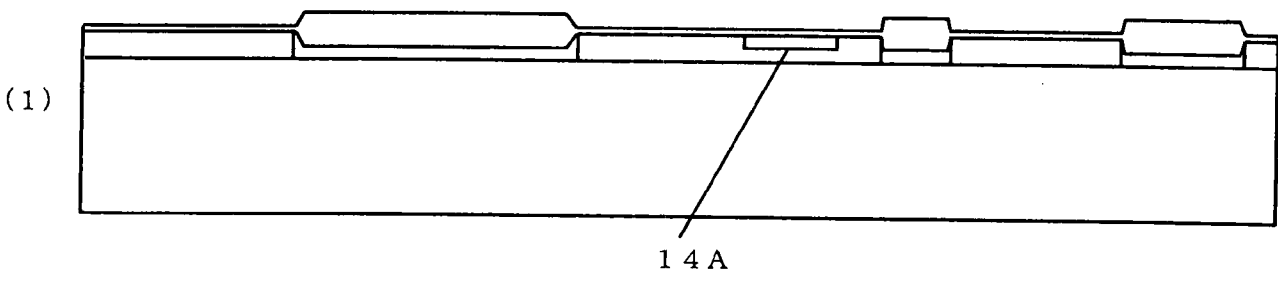


圖 12

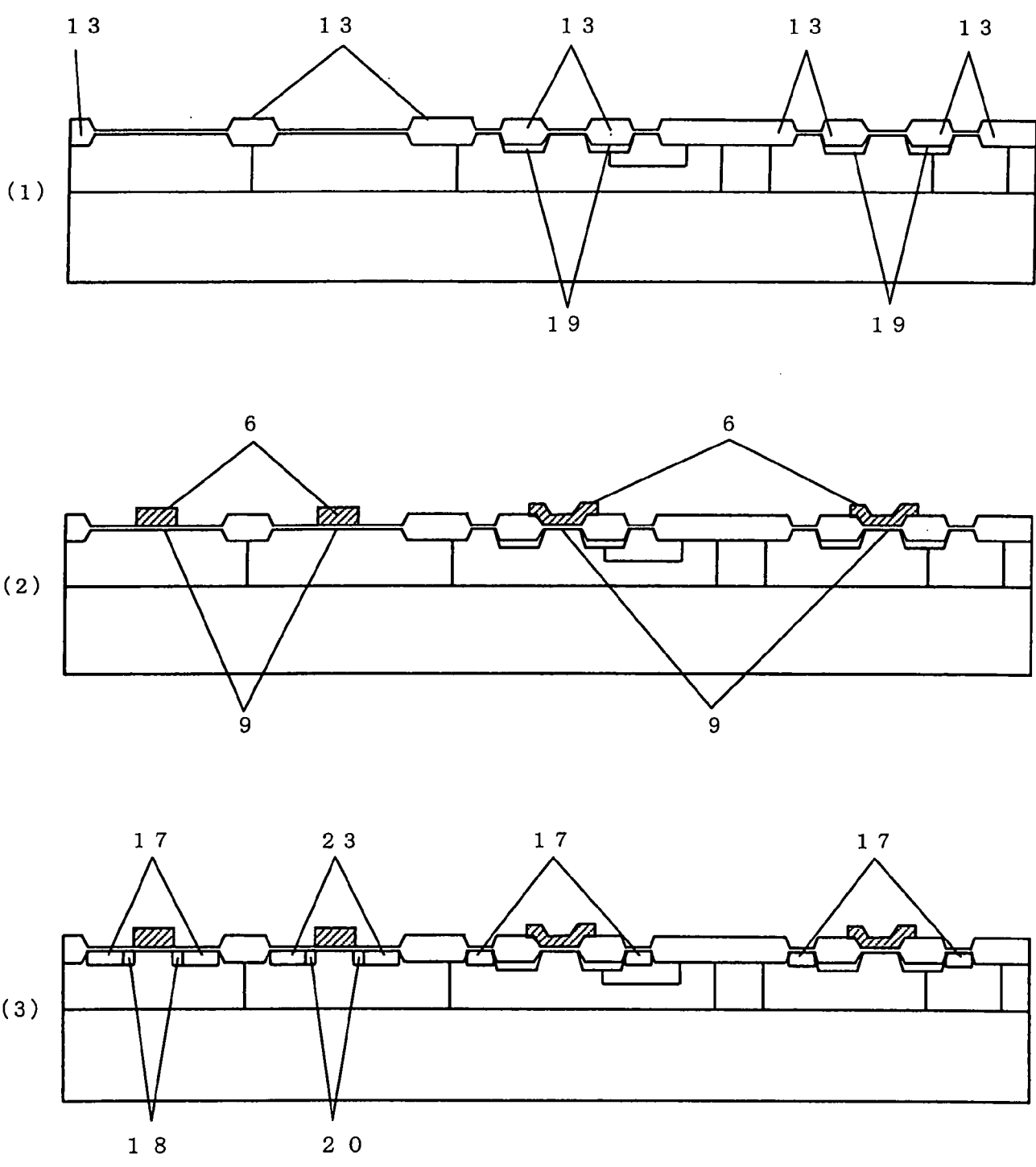


圖 13

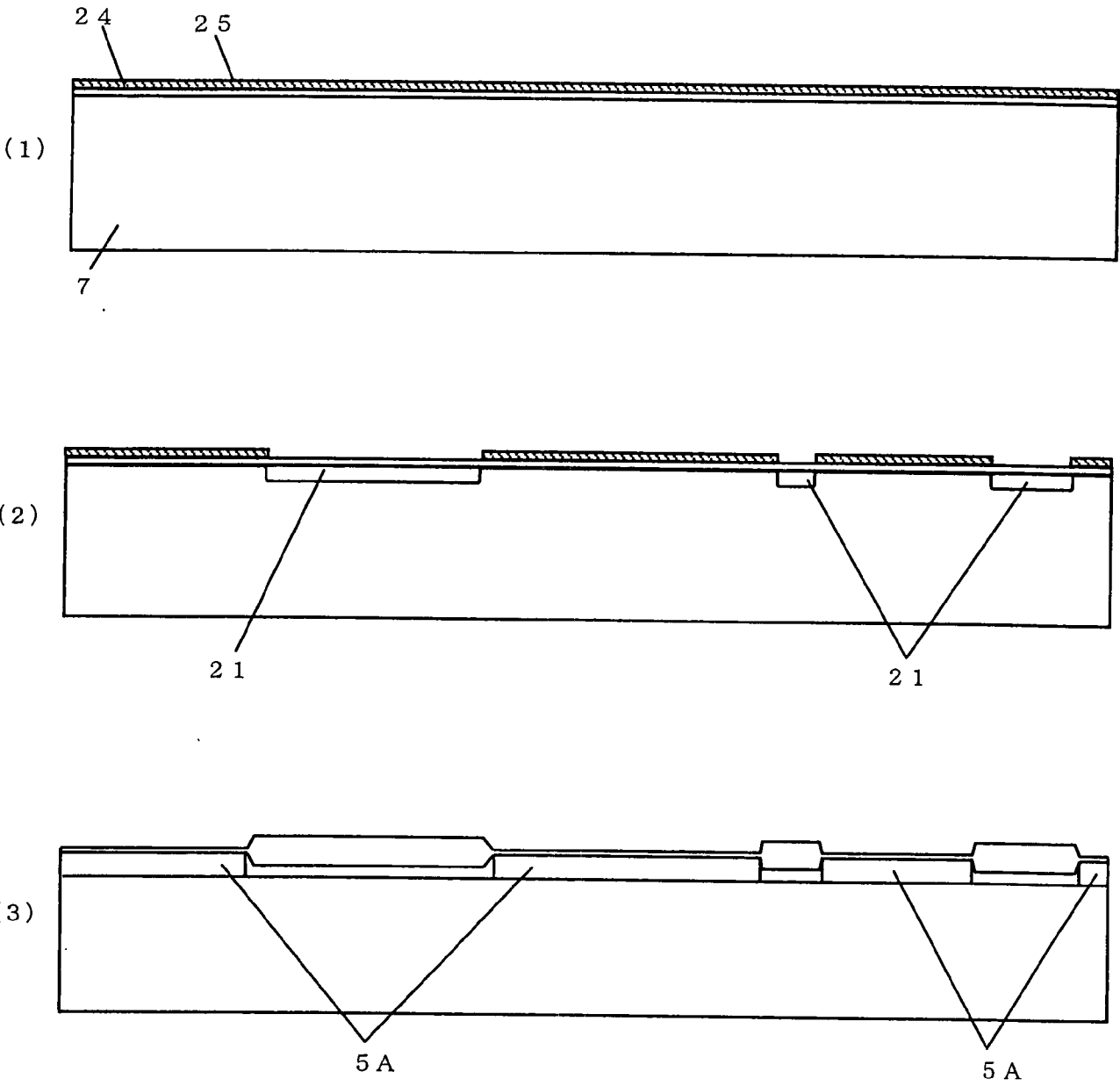


圖 14

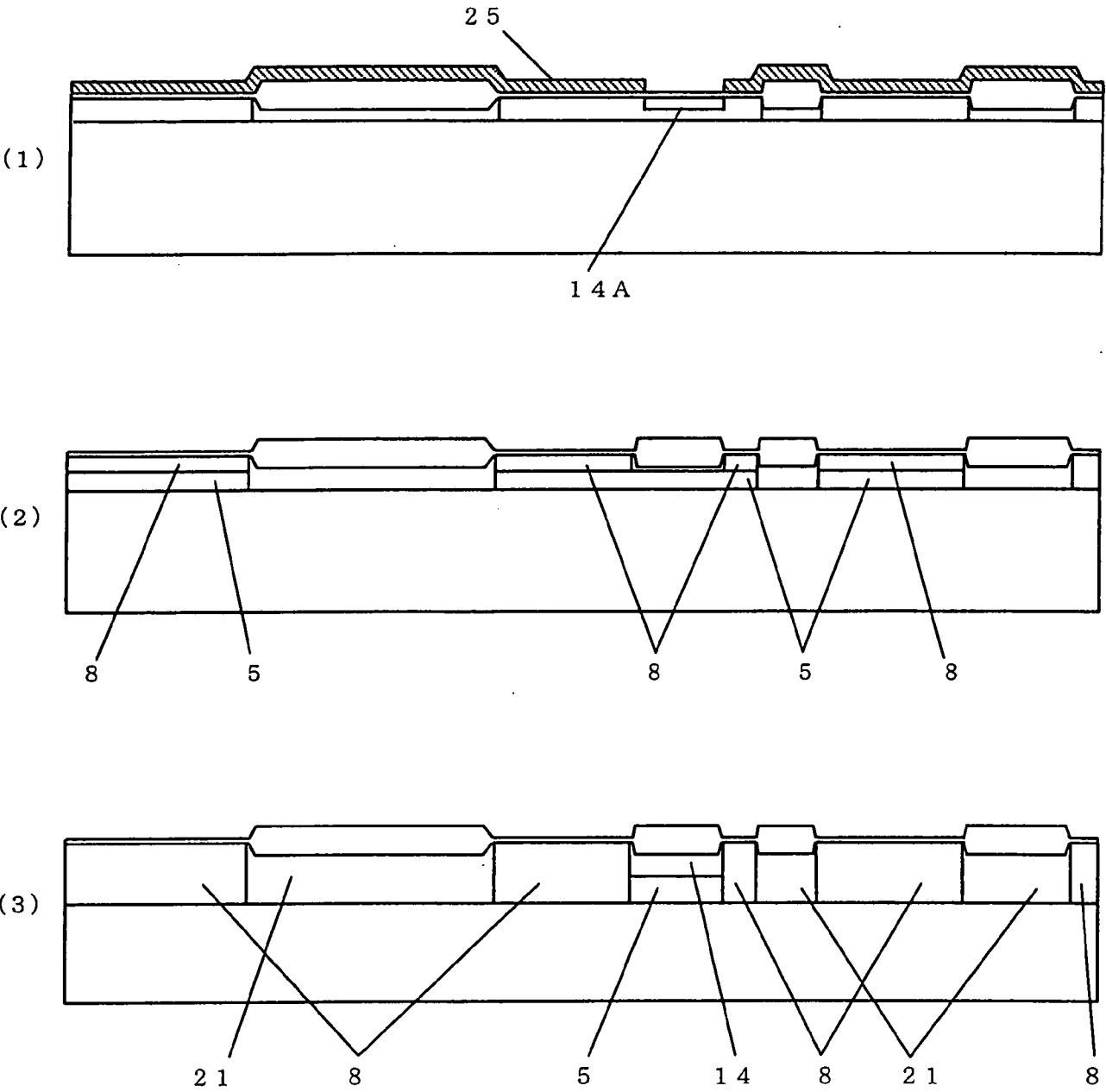
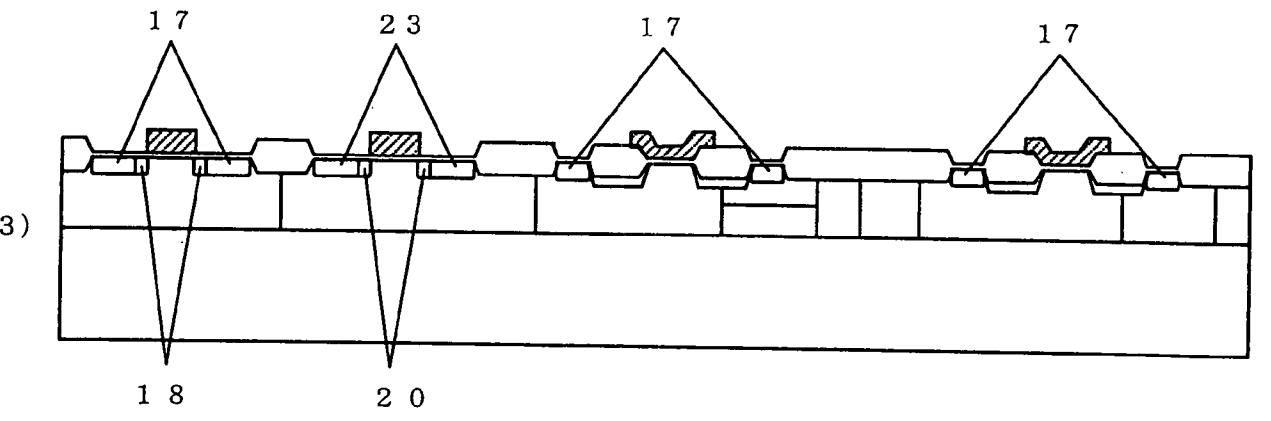
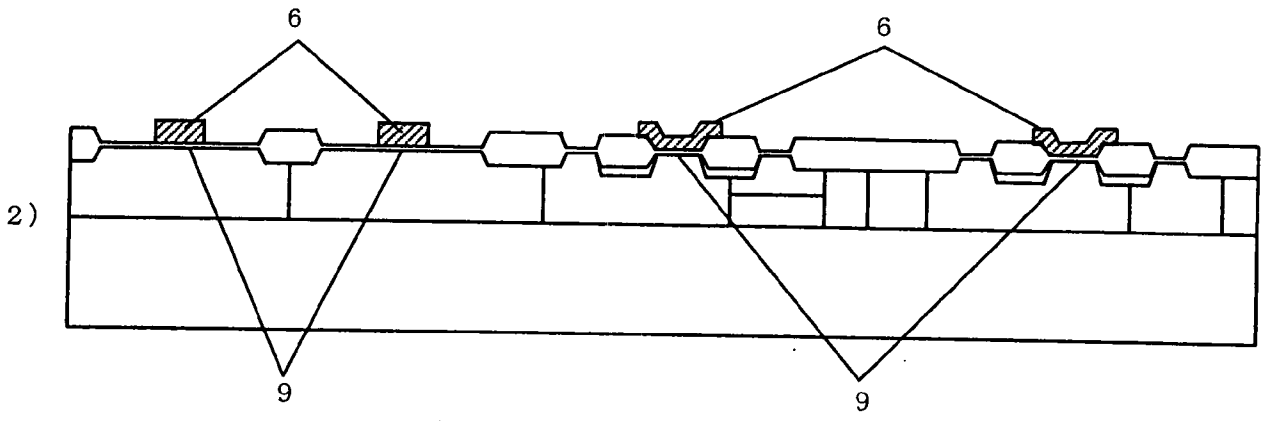
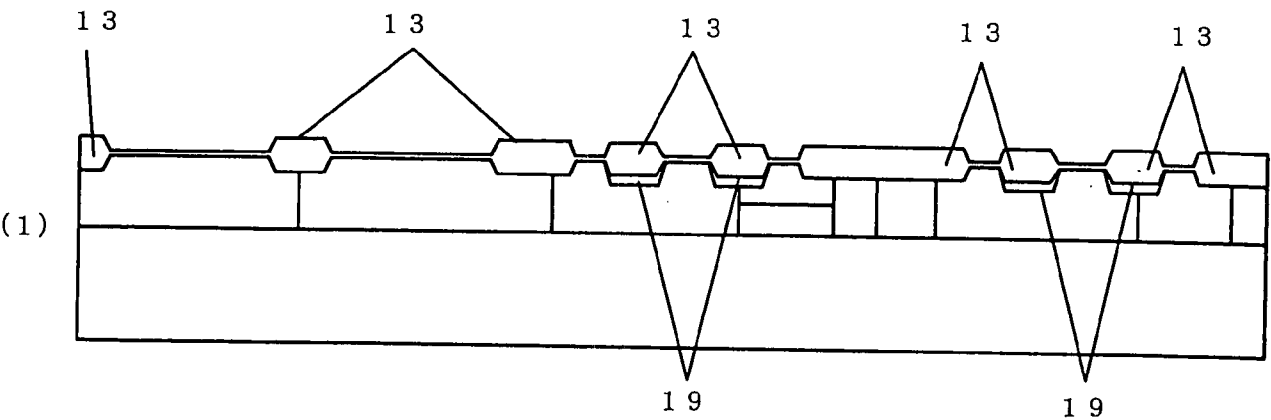


圖 15



申請專利範圍

1. 一種半導體積體電路裝置，其特徵為具備：加以形成於設置在 N 型半導體基板之第 1P 型阱型範圍內之第 1 閘極絕緣膜，

和含有多結晶矽之第 1 閘極電極，

和含有 N 型高濃度不純物範圍之第 1N 型高濃度汲極範圍及第 1N 型高濃度源極範圍，

和具有形成於前述第 1 閘極電極，與前述第 1N 型高濃度汲極範圍及前述第 1N 型高濃度源極範圍之間之第 1N 型低濃度汲極範圍及第 1N 型低濃度源極範圍的第 1N 通道型 MOS 電晶體，

和形成在與前述第 1P 型阱型範圍不同範圍，與前述第 1P 型阱型範圍接觸設置之 N 型阱型範圍內的第 2 閘極絕緣膜，

和含有多結晶矽之第 2 閘極電極，

和含有 P 型之高濃度不純物範圍之 P 型高濃度汲極範圍及 P 型高濃度源極範圍，

和具有形成於前述第 2 閘極電極，與前述 P 型高濃度汲極範圍及前述 P 型高濃度源極範圍之間之 P 型低濃度汲極範圍及 P 型低濃度源極範圍的 P 通道型 MOS 電晶體，

和未與前述第 1P 型阱型範圍接觸，形成於第 2P 型阱型範圍內的第 3 閘極絕緣膜，

和含有多結晶矽之第 3 閘極電極，

和含有 N 型高濃度不純物範圍之第 2N 型高濃度汲極

範圍及第 2N 型高濃度源極範圍，

和配置於前述第 3 閘極電極，與前述第 2N 型高濃度汲極範圍及前述第 2N 型高濃度源極範圍之間之第 2N 型低濃度汲極範圍及第 2N 型低濃度源極範圍，

和較配置於前述第 2N 型低濃度汲極範圍及前述第 2N 型低濃度源極範圍上之前述第 3 閘極絕緣膜為厚之第 1 絕緣膜，

和具有在包含前述第 2N 型低濃度汲極範圍之一部分的範圍，和前述第 2N 型高濃度汲極範圍之下方，深度係較前述第 2P 型阱型範圍為淺而形成之第 1N 型低濃度不純物範圍之第 2N 通道型 MOS 電晶體，

和不與前述第 1P 型阱型範圍連接，形成於第 3P 型阱型範圍內之第 4 閘極絕緣膜，

和含有多結晶矽之第 4 閘極電極，

和含有 N 型高濃度不純物範圍之第 3N 型高濃度汲極範圍及第 3N 型高濃度源極範圍，

和配置於前述第 4 閘極電極，與前述第 3N 型高濃度汲極範圍及前述第 3N 型高濃度源極範圍之間之第 3N 型低濃度汲極範圍及第 3N 型低濃度源極範圍，

和較配置於前述第 3N 型低濃度汲極範圍及前述第 3N 型低濃度源極範圍上之前述第 4 閘極絕緣膜為厚之第 2 絕緣膜，

和具有形成在包含前述第 3N 型低濃度汲極範圍之一部分的範圍，和前述第 3N 型高濃度汲極範圍之下方之第

2N 型低濃度不純物範圍之第 3N 型通道型 MOS 電晶體；

前述第 3N 型通道型 MOS 電晶體係前述第 3N 型高濃度汲極範圍連接於電源端子，前述第 3N 型高濃度源極範圍係連接於接地端子的 ESD 保護元件者。

2. 如申請專利範圍第 1 項記載之半導體積體電路裝置，其中，前述第 2N 型低濃度不純物範圍係深度形成較前述第 3P 型阱型範圍為淺者。

3. 如申請專利範圍第 1 項記載之半導體積體電路裝置，其中，前述第 2N 型低濃度不純物範圍係與前述第 3P 型阱型範圍鄰接，底面接觸於前述 N 型半導體基板而形成者。

4. 如申請專利範圍第 3 項記載之半導體積體電路裝置，其中，前述第 2P 型阱型範圍之前述第 1N 型低濃度不純物範圍下之範圍之不純物濃度係較前述第 1P 型阱型範圍之不純物濃度為低，

前述第 2P 型阱型範圍之前述第 1N 型低濃度不純物範圍下以外之範圍之不純物濃度係與前述第 1P 型阱型範圍濃之不純物濃度略為相同者。

5. 如申請專利範圍第 1 項至第 4 項之任一項記載之半導體積體電路裝置，其中，構成前述第 1N 型低濃度不純物範圍之不純物之擴散係數係較構成前述第 2P 型阱型範圍之不純物之擴散係數為低。

6. 如申請專利範圍第 1 項至第 4 項之任一項記載之半導體積體電路裝置，其中，

前述 N 型半導體基板係包含 $3 \times 10^{14}/\text{cm}^3$ 至 $8 \times 10^{14}/\text{cm}^3$ 之不純物濃度的磷，

前述第 1P 型阱型範圍係包含 $8 \times 10^{15}/\text{cm}^3$ 至 $4 \times 10^{16}/\text{cm}^3$ 之不純物濃度的硼或 BF_2 ，具有自半導體基板表面 $7 \mu\text{m}$ 至 $10 \mu\text{m}$ 為止之深度，

前述 N 型阱型範圍係包含 $8 \times 10^{15}/\text{cm}^3$ 至 $4 \times 10^{16}/\text{cm}^3$ 之不純物濃度的磷，具有自半導體基板表面 $7 \mu\text{m}$ 至 $10 \mu\text{m}$ 之深度，

前述第 1N 型低濃度不純物範圍係包含 $2 \times 10^{16}/\text{cm}^3$ 至 $2 \times 10^{17}/\text{cm}^3$ 之不純物濃度的砷，具有自半導體基板表面 $2 \mu\text{m}$ 至 $3.5 \mu\text{m}$ 之深度者。

7. 如申請專利範圍第 1 項至第 4 項任一項記載之半導體積體電路裝置，其中，前述第 1N 通道型 MOS 電晶體之最小閘極長度為 $1.0 \mu\text{m}$ 者。

8. 如申請專利範圍第 7 項記載之半導體積體電路裝置，其中，前述第 1N 通道型 MOS 電晶體之最大動作電壓及半導體積體電路裝置之輸出電壓為 12V 以下者。

9. 如申請專利範圍第 4 項記載之半導體積體電路裝置，其中，前述第 1P 型阱型範圍係包含 $5 \times 10^{16}/\text{cm}^3$ 至 $2 \times 10^{17}/\text{cm}^3$ 之不純物濃度的硼或 BF_2 者。

10. 如申請專利範圍第 4 項或第 9 項記載之半導體積體電路裝置，其中，前述第 1N 通道型 MOS 電晶體之最小閘極長度則為 $0.5 \mu\text{m}$ 者。

11. 如申請專利範圍第 10 項記載之半導體積體電路

裝置，其中，前述第 1N 通道型 MOS 電晶體之最大動作電壓及半導體積體電路裝置之輸出電壓為 6V 以下者。

12. 一種半導體積體電路裝置之製造方法，係包含第 1N 通道型 MOS 電晶體和 P 通道型 MOS 電晶體和第 2N 通道 MOS 電晶體的半導體積體電路裝置之製造方法，其特徵為具有：於 N 型半導體基板上，層積第 1 矽氧化膜及第 1 矽氮化膜，將 N 型阱型層形成預定範圍之前述第 1 矽氮化膜開口而形成第 1 矽氮化膜開口部，經由離子注入法而注入包含磷之 N 型不純物之 N 型阱型層形成工程，

和於前述第 1 矽氮化膜開口部形成第 1 矽氧化膜，於除去前述第 1 矽氮化膜之前述 N 型阱型層形成預定範圍以外之範圍，經由離子注入法而自動對準地注入包含硼或 BF_2 之 P 型不純物的 P 型阱型層形成工程，

和於第 2N 通道型 MOS 電晶體之 N 型低濃度不純物層形成預定範圍，經由離子注入法而注入包含砷之 N 型不純物之第 2N 通道型 MOS 電晶體之 N 型低濃度不純物層形成工程，

和經由熱處理，同時擴散前述 N 型阱型層，和前述第 1P 型阱型層，和第 2N 通道型 MOS 電晶體之 N 型低濃度不純物層之阱型擴散工程，

和層積第 2 矽氧化膜及第 2 矽氮化膜，將第 2N 型通道 MOS 電晶體之 N 型低濃度汲極/源極形成預定範圍的前述第 2 矽氮化膜開口，形成第 2 矽氮化膜開口部，經由離子注入法而注入包含磷之 N 型不純物之第 2N 通道型 MOS

電晶體之 N 型低濃度汲極/源極形成工程，

和在前述第 2 矽氮化膜開口部之前述第 2N 通道型 MOS 電晶體之 N 型低濃度汲極/源極上，形成第 2 矽熱氧化膜之前述第 2N 通道型 MOS 電晶體之閘極/汲極間電場緩和絕緣膜形成工程，

和形成前述第 1N 通道型 MOS 電晶體，前述第 P 通道型 MOS 電晶體及前述第 2N 通道型 NMOS 電晶體之閘極絕緣膜的閘極絕緣膜形成工程，

和於前述閘極絕緣膜上，形成閘極電極之閘極電極形成工程，

和於前述第 1N 型通道型 MOS 電晶體之汲極/源極形成預定範圍，經由離子注入法注入包含磷之 N 型不純物之第 1 之第 1N 型通道型 MOS 電晶體之 N 型低濃度汲極/源極形成工程，

和於前述 P 通道型 MOS 電晶體之汲極/源極形成預定範圍，經由離子注入法而注入包含硼或 BF_2 之 P 型不純物之 P 型低濃度汲極/源極形成工程，

和於前述第 1N 型通道型 MOS 電晶體及前述第 2N 通道型 MOS 電晶體之高濃度汲極/源極形成預定範圍，各形成包含砷之 N 型不純物層，而於前述 P 通道型 MOS 電晶體之高濃度汲極/源極形成預定範圍，形成包含 BF_2 之 P 型不純物層之高濃度汲極/源極層形成工程者。

13. 一種半導體積體電路裝置之製造方法，係包含第 1N 通道型 MOS 電晶體和 P 通道型 MOS 電晶體和第 2N 通

道型 MOS 電晶體和第 3N 通道型 MOS 電晶體的半導體積體電路裝置之製造方法，其特徵為具有：

於 N 型半導體基板上，層積第 1 矽氧化膜及第 1 矽氮化膜，將 N 型阱型層及第 3N 型通道型 MOS 電晶體之 N 型低濃度不純物層形成預定範圍之前述第 1 矽氮化膜開口，形成第 1 矽氮化膜開口部，經由離子注入法而注入包含磷之 N 型不純物之 N 型阱型層及第 3N 型通道型 MOS 電晶體之 N 型低濃度不純物層形成工程，

和於前述第 1 矽氮化膜開口部形成第 1 矽氧化膜，於除去前述第 1 矽氮化膜之前述 N 型阱型層及第 3N 型通道型 MOS 電晶體之 N 型低濃度不純物層以外之範圍，經由離子注入法而自動對準地注入包含硼或 BF_2 之 P 型不純物的第 1P 型阱型層形成工程，

和剝離前述第 1 矽氮化膜之後，堆積第 2 矽氮化膜，將第 2N 通道 MOS 電晶體之 N 型低濃度不純物層形成預定範圍之前述第 2 矽氮化膜開口，形成第 2 矽氮化膜開口部，經由離子注入法而注入包含砷之 N 型不純物之第 2N 通道型 MOS 電晶體之 N 型低濃度不純物層形成工程，

和於前述第 2 矽氮化膜開口部形成第 2 矽熱氧化膜，於除去前述第 2 矽氮化膜之前述 N 型半導體基板上之前述第 2N 通道型 MOS 電晶體之 N 型低濃度不純物層形成預定範圍、前述 N 型阱型層形成預定範圍及第 3N 通道型 MOS 電晶體之 N 型低濃度不純物層形成預定範圍以外之範圍，經由離子注入法而自動對準地注入包含硼或 BF_2 之

P 型不純物的第 2P 型阱型層形成工程，

和經由熱處理，同時擴散前述 N 型阱型層，和前述第 1P 型阱型層，和前述第 2P 型阱型層，和前述第 2N 通道型 MOS 電晶體之 N 型低濃度不純物層及前述第 3N 通道型 MOS 電晶體之 N 型低濃度不純物層之阱型擴散工程，

和層積第 3 矽氧化膜及第 3 矽氮化膜，將前述第 2N 通道型 MOS 電晶體及前述第 3N 通道型 MOS 電晶體 N 型低濃度汲極/源極形成預定範圍的前述第 3 矽氮化膜開口，形成第 3 之矽氮化膜開口部，經由離子注入法而注入包含磷之 N 型不純物之第 2N 通道型 MOS 電晶體及第 3N 通道型 MOS 電晶體之 N 型低濃度汲極/源極形成工程，

和在前述第 3 矽氮化膜開口部之前述第 2N 通道型 MOS 電晶體及第 3N 通道型 MOS 電晶體之 N 型低濃度汲極/源極形成預定範圍上，形成矽熱氧化膜之第 2N 通道型 MOS 電晶體及第 3N 通道型 MOS 電晶體之閘極/汲極間電場緩和絕緣膜形成工程，

和形成前述第 1N 通道型 MOS 電晶體、前述 P 通道型 MOS 電晶體、前述第 2N 通道型 MOS 電晶體及前述第 3N 通道型 MOS 電晶體之閘極絕緣膜的閘極絕緣膜形成工程，

和於前述閘極絕緣膜上，形成閘極電極之閘極電極形成工程，

和於前述第 1N 通道型 MOS 電晶體之汲極/源極形成預定範圍，經由離子注入法而注入包含磷之第 1N 通道型

MOS 電晶體之 N 型低濃度汲極/源極形成工程，

和於前述 P 通道型 MOS 電晶體之汲極/源極形成預定範圍，經由離子注入法而注入包含硼或 BF_2 之 P 型不純物之 P 型低濃度汲極/源極形成工程，

和於前述第 1N 通道型 MOS 電晶體、前述第 2N 通道型 MOS 電晶體及前述第 3N 通道型 MOS 電晶體之高濃度汲極/源極形成預定範圍，各形成包含砷之 N 型不純物層，而於前述 P 通道型 MOS 電晶體之高濃度之汲極/源極形成預定範圍，形成包含 BF_2 所成之 P 型不純物層之高濃度汲極/源極層形成工程者。