

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 5 月 8 日(08.05.2014)



(10) 国際公開番号

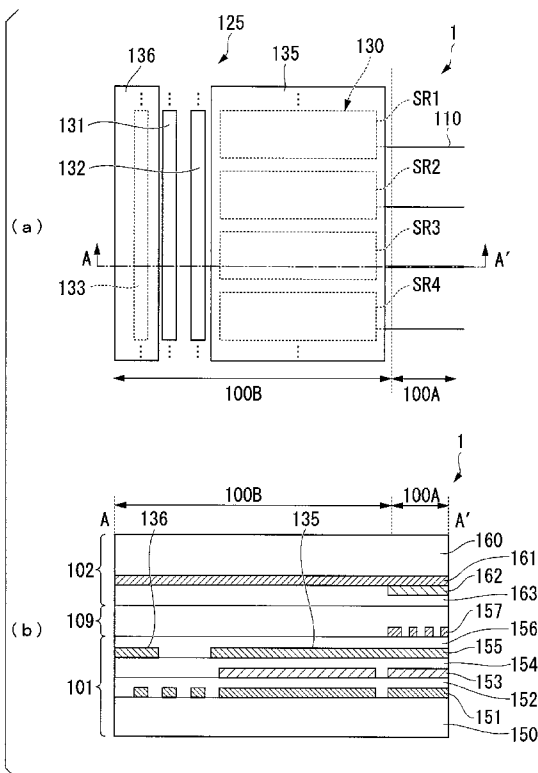
WO 2014/069279 A1

- (51) 国際特許分類:
G02F 1/1345 (2006.01) G09G 3/20 (2006.01)
G02F 1/1343 (2006.01) G09G 3/36 (2006.01)
- (21) 国際出願番号: PCT/JP2013/078532
- (22) 国際出願日: 2013 年 10 月 22 日(22.10.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-243800 2012 年 11 月 5 日(05.11.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 澤田 裕宣(SAWADA Hironobu). 久田 祐子(HISADA Yuhko). 村田 聡(MURATA Satoshi). 森 健人(MORI Takehito). 浅井 隆介(ASAI Ryusuke). 藤川 徹也(FUJIKAWA Tetsuya).
- (74) 代理人: 船山 武, 外(FUNAYAMA Takeshi et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 液晶表示装置



(57) Abstract: A liquid crystal display device (1) which is provided with a first substrate (101) and a second substrate (102) that are arranged so as to face each other. A surface of the first substrate (101) facing the second substrate (102) is provided with a pixel electrode (157), a common electrode (155), a shift register (130), clock signal lines (131, 132) and a power supply line (133). In the first substrate (101), a shield electrode (a first shield electrode part (135) and a second shield electrode part (136)) is provided above the shift register (130) and the power supply line (133) but a shield electrode is not provided above the clock signal lines (131, 132).

(57) 要約: 互いに対向して配置された第1基板(101)と第2基板(102)とを備え、第1基板(101)の第2基板(102)と対向する面には、画素電極(157)、コモン電極(155)、シフトレジスタ(130)、クロック信号配線(131, 132)および電源線(133)が設けられ、第1基板(101)においてシフトレジスタ(130)および電源線(133)の上方にシールド電極(第1のシールド電極部(135)および第2のシールド電極部(136))が設けられ、クロック信号配線(131, 132)の上方にはシールド電極が設けられていない液晶表示装置(1)。

WO 2014/069279 A1



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関する。

本願は、2012年11月5日に、日本に出願された特願2012-243800号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 液晶表示装置の一形態として、IPS (In-Plane Switching) 方式やFFS (Fringe-Field Switching) 方式などに代表される横電界方式の液晶表示装置が知られている（特許文献1参照）。また、近年では、シフトレジスタと、シフトレジスタに制御信号を入力するゲート配線群とをアレイ基板上に一体的（モノリシック）に形成したGOA (Gate OnArray) 構造の液晶表示装置の開発が進められている（特許文献2参照）。GOA構造は、ゲートドライバレス、パネル内臓ゲートドライバ、ゲートインパネルなどとも称される。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-275054号公報

特許文献2：特開2003-222891号公報

発明の概要

発明が解決しようとする課題

[0004] 横電界方式の液晶表示装置では、対向基板側に電極が形成されないため、アレイ基板側の電位変動によって対向基板側に電位変動が生じ、表示領域周縁部に光抜けが生じることがある。GOA構造の液晶表示装置では、シフトレジスタとその周辺部のゲート配線群（以上、これらをGOA回路部と称する）から強い電界が発生する。GOA回路部は、表示領域の1辺に沿って細長く形成されるため、光抜けの問題は顕在化しやすい。

[0005] 特許文献 1 には、ゲート端子近傍に発生する光抜けを抑制するために、ゲート端子近傍の引き出し線の上方に導電層（シールド電極）を設けることが記載されている。この構成は、対向基板の電位変動を抑制する手段として有効である。しかしながら、G O A 回路部のように高速動作が必要なデバイスに対して同様の構成を採用すると、シールド電極と G O A 回路部との間に生じる寄生容量によって、信号遅延や電圧降下が発生し、G O A 回路部の動作マージンの低下や消費電力アップなどの問題を生じる恐れがある。

[0006] 本発明の目的は、G O A 回路部における動作マージンの低下や消費電力アップを抑制しつつ表示領域周辺部の光抜けを抑制可能な液晶表示装置を提供することにある。

課題を解決するための手段

[0007] 本発明の第 1 の形態の液晶表示装置は、互いに対向して配置された第 1 基板と第 2 基板とを備え、前記第 1 基板の前記第 2 基板と対向する面には、画素電極、コモン電極、シフトレジスタ、クロック信号配線および電源線が設けられ、前記第 1 基板において前記シフトレジスタおよび前記電源線の上方にシールド電極が設けられ、前記クロック信号配線の上方にはシールド電極が設けられていない。

[0008] 前記シールド電極には、前記シフトレジスタの上方に設けられた第 1 のシールド電極部と、前記電源線の上方に設けられた第 2 のシールド電極部と、が含まれ、前記第 1 のシールド電極部は、前記コモン電極にコモン信号を供給するコモン幹配線と接続されており、前記第 2 のシールド電極部は、グラウンド電極に接続されていてもよい。

[0009] 前記シフトレジスタと前記電源線の上方の少なくとも一部に、前記シールド電極が設けられていない領域が存在してもよい。

[0010] 前記シールド電極の少なくとも一部は、前記画素電極または前記コモン電極と同一材料で形成されていてもよい。

[0011] 前記シールド電極は、前記画素電極と同一材料で形成された第 1 の層と、前記コモン電極と同一材料で形成された第 2 の層と、により構成されていて

もよい。

[0012] 本発明の第2の形態の液晶表示装置は、互いに対向して配置された第1基板と第2基板とを備え、前記第1基板の前記第2基板と対向する面には、画素電極、コモン電極、シフトレジスタ、クロック信号配線および電源線が設けられ、前記第1基板において前記シフトレジスタ、クロック信号配線および前記電源線の上方にシールド電極が設けられるとともに、前記クロック信号配線の上方の少なくとも一部には前記シールド電極が設けられていない領域が存在する。

[0013] 前記シールド電極には、前記シフトレジスタの上方に設けられた第1のシールド電極部と、前記電源線の上方に設けられた第2のシールド電極部と、前記クロック信号配線の上方に設けられた第3のシールド電極部と、が含まれ、前記シフトレジスタと前記電源線とは、前記クロック信号配線を挟んで隣接しており、前記第1のシールド電極部と前記第2のシールド電極部とは、前記第3のシールド電極部によって接続されていてもよい。

[0014] 前記シフトレジスタと前記電源線の上方の少なくとも一部に、前記シールド電極が設けられていない領域が存在してもよい。

[0015] 前記シールド電極の少なくとも一部は、前記画素電極または前記コモン電極と同一材料で形成されていてもよい。

[0016] 前記シールド電極は、前記画素電極と同一材料で形成された第1の層と、前記コモン電極と同一材料で形成された第2の層と、により構成されていてもよい。

発明の効果

[0017] 本発明の態様によれば、GOA回路部における動作マージンの低下や消費電力アップを抑制しつつ表示領域周辺部の光抜けを抑制可能な液晶表示装置を提供することができる。

図面の簡単な説明

[0018] [図1]第1実施形態の液晶表示装置の概略図である。

[図2]ゲートドライバに含まれるシフトレジスタの概略図である。

[図3]シフトレジスタの動作を示すタイミングチャートである。

[図4]シフトレジスタを構成する各段のレジスタの等価回路図である。

[図5]各段のレジスタの動作を示すタイミングチャートである。

[図6]シフトレジスタの近傍の構成を示す液晶表示装置の平面図および断面図である。

[図7]第2実施形態の液晶表示装置のシフトレジスタ近傍の構成を示す平面図である。

[図8]第3実施形態の液晶表示装置のシフトレジスタ近傍の構成を示す平面図である。

[図9]第4実施形態の液晶表示装置のシフトレジスタ近傍の構成を示す平面図である。

[図10]シールド電極の断面構造のバリエーションを示す図である。

[図11]実施例の説明図である。

発明を実施するための形態

[0019] [第1実施形態]

図1は、第1実施形態の液晶表示装置1の概略図である。

[0020] 液晶表示装置1は、液晶パネル100と、液晶パネル100の端子部101aに接続されたフレキシブルプリント基板103と、を備えている。

[0021] 液晶パネル100は、第1基板101と、第1基板101と対向する第2基板102と、第1基板101と第2基板102との間に挟持された液晶層109と、を備えている。第1基板101と第2基板102との対向領域の中央部には、複数（図1では $m \times n$ 個）の画素115からなる表示領域100Aが設けられている。表示領域100Aには、水平方向に延びる複数（図1では n 本）のゲート線110と垂直方向に延びる複数（図1では m 本）のデータ線111とが第1基板101上において平面視格子状に設けられている。ゲート線110とデータ線111との各交差部には、赤色、緑色又は青色のいずれかの色に対応した画素115が設けられている。第1基板101上には、複数の画素115が水平方向及び垂直方向にマトリクス状に配置されて

おり、これら複数の画素 115 によって表示領域 100A が形成されている。

[0022] 各画素には、画素電極 157 とコモン電極 155 とが設けられている。画素電極 157 とコモン電極 155 は、いずれも第 1 基板 101 上に設けられている。液晶表示装置 1 は、画素電極 157 とコモン電極 155 との間に発生する電界（横電界）によって液晶層の配向を制御する横電界方式の液晶表示装置である。横電界方式としては、IPS（In-Plane Switching）方式や FFS（Fringe-Field Switching）方式などを採用することができる。本実施形態の場合、例えば FFS 方式が採用されている。

[0023] 第 1 基板 101 と第 2 基板 102 との対向領域のうち表示領域 100A の周縁部には、ゲートドライバ 104 が設けられている。ゲートドライバ 104 には、シフトレジスタ 130 が含まれている。シフトレジスタ 130 には、複数のゲート線 110 が接続されている。シフトレジスタ 130 からゲート線 110 に出力されたゲート信号 G1, G2, G3, ..., Gn は、薄膜トランジスタ 112 を介して画素 115 に供給される。ゲートドライバ 104 には、多数の薄膜トランジスタや配線が含まれており、このような薄膜トランジスタや配線は画素 115 に形成される薄膜トランジスタ 112 や配線 111, 112 と同時に、また同一の工程で形成される。液晶表示装置 1 は、ゲートドライバ 104 が第 1 基板 101 上に一体的（モノリシック）に形成された GOA（Gate On Array）構造の液晶表示装置である。

[0024] ゲートドライバ 104 には、複数の配線からなるゲート配線群 116 が接続されている。電源電圧 VSS やクロック信号 CK1, CK2 などの各種制御信号がゲート配線群 116 の配線を介してそれぞれゲートドライバ 104 に供給される。ゲート配線群 116 は、フレキシブルプリント基板 103 を経由して図示略のゲートドライバ制御部及び電源部等に接続されている。ゲートドライバ 104 はこれらの信号を入力として、ゲート信号 G1, G2, G3, ..., Gn を所定のタイミングで所定のゲート線 110 に出力する。ゲート信号 G1, G2, G3, ..., Gn は、1 本のゲート線 110 に接続され

た複数の画素 115 内の薄膜トランジスタ 112 を行単位で選択的にスイッチングするための信号である。

ゲートドライバ 104 からは、ゲート信号 $G_1, G_2, G_3, \dots, G_n$ が、 n 本のゲート線 110 のそれぞれに一定時間ごとに順次供給される。画像信号に基づき表示に応じたデータ信号 $S_1, S_2, S_3, \dots, S_m$ は、データ線 111 を介して、ゲート信号 $G_1, G_2, G_3, \dots, G_n$ によって選択された薄膜トランジスタ 112 に供給される。

[0025] 第 1 基板 101 において第 2 基板 102 の外側に張り出す張り出し部は、フレキシブルプリント基板 103 が接続される端子部 101a となっている。ゲート配線群 116 に含まれる各種配線の端部は、端子部 101a に設けられた制御線外部端子 120 と接続されている。複数のデータ線 111 の各々の端部は、端子部 101a に設けられたデータ線外部端子 122 と接続されている。各画素 115 のコモン電極 155 に接続されるコモン幹配線 114 の端部は、端子部 101a に設けられたコモン幹配線外部端子 121 と接続されている。端子部 101a には、各種配線に対応した複数の外部端子（制御線外部端子 120、コモン幹配線外部端子 121、データ線外部端子 122）が第 1 基板 101 の 1 辺に沿って水平方向に配列している。

[0026] フレキシブルプリント基板 103 は、第 1 基板 101 と図示略の制御基板とを中継する基板である。フレキシブルプリント基板 103 は、TAB 又は COF 等の実装方法によって実装されたデータドライバ 105 を含んで構成されている。データドライバ 105 は、図示略のデータドライバ制御部等からデータ配線群 118 によって供給される画像信号、各種クロック信号及び各種制御信号等を入力とし、画像信号に対応するデータ信号 $S_1, S_2, S_3, \dots, S_m$ を所定のタイミングで所定のデータ線 111 に出力する。

[0027] フレキシブルプリント基板 103 には、ゲートドライバ 104 にクロック信号などの各種制御信号を供給するためのゲート配線群 117 が設けられている。ゲート配線群 117 は、端子部 101a において、ACF（異方性導電体）等の導電部材 123 を介して制御線外部端子 120 と接続される。フ

レキシブルプリント基板 103 には、データドライバ 105 からデータ信号 $S_1, S_2, S_3, \dots, S_m$ が供給される複数の配線が設けられており、これらの配線も、端子部 101a において、導電部材 123 を介してデータ線外部端子 122 と接続されている。

[0028] 図 2 は、ゲートドライバに含まれるシフトレジスタ 130 の概略図である。

[0029] シフトレジスタ 130 には、クロック信号 CK_1, CK_2 を供給するためのクロック信号配線 131, 132 や、電源電圧 V_{SS} を供給するための電源線 133 などが接続されている。クロック信号配線 131, 132 や電源線などによってゲート配線群 116 (図 1 参照) が構成されている。ゲート配線群 116 には、シフトレジスタ 130 にゲートスタートパルス GSP を供給するための配線なども含まれる。シフトレジスタ 130 とゲート配線群によって GOA 回路部 125 が構成されている。

[0030] シフトレジスタ 130 は、互いにカスケード接続された複数のレジスタ $SR_1, SR_2, SR_3, SR_4, \dots$ を備えている。各レジスタ SR_k (k は 1 から n までの自然数) は、セット端子 SET 、出力端子 $GOUT$ 、リセット端子 $RESET$ 、 Low 電源入力端子 V_{SS} 、および、クロック入力端子 CK_A, CK_B を備えている。各レジスタ SR_k ($k \geq 2$) において、セット端子 SET には前段のレジスタ SR_{k-1} の出力信号 $GOUT$ (出力端子の符号で代用する) が入力される。初段のレジスタ SR_1 のセット端子 SET にはゲートスタートパルス GSP が入力される。出力端子 $GOUT$ は、対応するゲート線に出力信号 G_k を出力する。リセット端子 $RESET$ には、次段のレジスタ SR_{k+1} の出力信号 $GOUT$ が入力される。 Low 電源入力端子 V_{SS} には、各段のレジスタ SR_k における低電位側の電源電圧 V_{SS} である Low 電源電圧 (以下、 V_{SS} を Low 電源電圧と称することがある) が入力される。クロック入力端子 CK_A とクロック入力端子 CK_B とのうちの一方にクロック信号 CK_1 が入力されるとともに他方にクロック信号 CK_2 が入力され、隣接するレジスタ間でクロック入力端子 CK_A に入力さ

れるクロック信号とクロック入力端子CKBに入力されるクロック信号CK2とが交互に入れ替わるようになっている。

[0031] クロック信号CK1とクロック信号CK2とは、図3に示すような、アクティブなクロックパルス期間（ここではHighレベル期間）が互いに重ならない相補的な位相関係を有している。クロック信号CK1・CK2のHighレベル側（アクティブ側）の電圧はVGHで、Lowレベル側（非アクティブ側）の電圧はVGLである。Low電源電圧VSSはクロック信号CK1・CK2のLowレベル側の電圧VGLに等しい。この例ではクロック信号CK1とクロック信号CK2とが互いに逆相の関係にあるが、一方のクロック信号のアクティブなクロックパルス期間が、他方のクロック信号の非アクティブな期間内に包含される関係も可能である。

[0032] 図4は、シフトレジスタを構成する各段のレジスタSRkの等価回路図である。

[0033] レジスタSRkは、5つの薄膜トランジスタT1、T2、T3、T4、T5および容量C1を備えている。薄膜トランジスタT1、T2、T3、T4、T5は例えばnチャネル型の薄膜トランジスタであるが、pチャネル型や相補型の薄膜トランジスタでもよい。薄膜トランジスタの材料としては、アモルファスシリコン、ポリシリコン、酸化物半導体（例えばIGZO）などの公知の半導体材料が適用可能である。

[0034] 薄膜トランジスタT1において、ゲートおよびドレインはセット端子SETに、ソースは薄膜トランジスタT5のゲートに、それぞれ接続されている。レジスタSRkの出力トランジスタである薄膜トランジスタT5において、ドレインはクロック入力端子CKAに、ソースは出力端子GOUTに、それぞれ接続されている。すなわち、薄膜トランジスタT5は伝送ゲートとして、クロック入力端子CKAに入力されるクロック信号の通過および遮断を行う。容量C1は、薄膜トランジスタT5のゲートとソースとの間に接続されている。薄膜トランジスタT5のゲートと同電位のノードをnetAと称する。

- [0035] 薄膜トランジスタT3において、ゲートはリセット端子RESETに、ドレインはノードnet Aに、ソースはLow電源入力端子VSSに、それぞれ接続されている。薄膜トランジスタT4において、ゲートはリセット端子RESETに、ドレインは出力端子GOUTに、ソースはLow電源入力端子VSSに、それぞれ接続されている。薄膜トランジスタT2において、ゲートはクロック端子CKBに、ドレインは出力端子GOUTに、ソースはLow電源入力端子VSSに、それぞれ接続されている。
- [0036] 図5を用いて、レジスタSRkの動作について説明する。
- [0037] セット端子SETにシフトパルスが入力されるまでは、薄膜トランジスタT4・T5がハイインピーダンス状態であるとともに、薄膜トランジスタT2がクロック入力端子CKBから入力されるクロック信号がHighレベルになるたびにON状態となり、出力端子GOUTはLowを保持する期間となる。
- [0038] セット端子SETにシフトパルスである前段の出力信号GOUTのゲート信号が入力されると、レジスタSRkは出力パルスを生成する期間となり、薄膜トランジスタT1がON状態となって容量C1を充電する。容量C1が充電されることにより、ゲート信号のHighレベルをVGH、薄膜トランジスタT1の閾値電圧をVthとして、ノードnet Aの電位がVGH-Vthまで上昇する。この結果、薄膜トランジスタT5がON状態になり、クロック入力端子CKAから入力されたクロック信号が薄膜トランジスタT5のソースに現れるが、クロック入力端子CKAにクロックパルス（Highレベル）が入力された瞬間に容量C1のブートストラップ効果によってノードnet Aの電位が突き上げられるので、薄膜トランジスタT5は大きなオーバードライブ電圧を得ることとなる。これにより、入力されたクロックパルスのVGHの電位レベルがレジスタSRkの出力端子GOUTに伝送されて出力され、ゲート信号Gk（出力信号GOUTのパルス）となる。
- [0039] セット端子SETへのゲート信号の入力が終了すると、薄膜トランジスタT1がOFF状態となる。そして、ノードnet Aおよび段SRkの出力端

子GOUTがフローティングとなることによる電荷の保持を解除するために、リセット端子RESETに入力されるリセットパルスとしての次段のレジスタSR_{k+1}のゲート信号G_{k+1}によって薄膜トランジスタT₃・T₄をON状態とし、ノードnet Aおよび出力端子GOUTをLow電源電圧VSSに接続する。これにより薄膜トランジスタT₅がOFF状態となる。リセットパルスの入力が終了すると、レジスタSR_kが出力パルスを生成する期間は終了し、出力端子GOUTは再びLowを保持する期間となる。

[0040] このようにして、図3に示すように、各ゲート線に順次ゲート信号G_kが出力される。

[0041] ここで、GOA構造を備えた横電界方式の液晶表示装置では、GOA回路部から発生する電界によって、対向基板である第2基板の電位変動が生じ、表示領域の周縁部に光抜けが生じることがある。そのため、本実施形態では、図6に示すように、第1基板においてGOA回路部125の上方（液晶層側）に、GOA回路部125から発生する電界を遮蔽するシールド電極135, 136が設けられている。

[0042] なお、GOA回路部125（ゲート配線群）には、クロック信号配線131, 132や電源線133のほか、シフトレジスタ130にゲートスタートパルスGSPを入力する配線などが含まれる。問題となる光抜けは、表示領域100Aの1辺に沿ってストライプ状に延びる光抜けである。そのため、本実施形態では、シールド電極を設置する対象は、表示領域の1辺に沿って設けられるシフトレジスタ、クロック信号配線131, 132および電源線133となっている。

[0043] 図6（a）は、シフトレジスタ130の近傍の構成を示す液晶表示装置1の平面図である。図6（b）は、図6（a）のA-A'線に沿う液晶表示装置1の断面図である。

なお、図6（a）および図6（b）において、符号100Bは、第1基板101と第2基板102とが対向する対向領域のうち表示領域100Aの外側に位置する部分（いわゆる額縁領域）を示している。

- [0044] 第1基板101は、ガラスや石英、プラスチック等の透光性の基板本体150を基体としてなる。基板本体150の内面側（液晶層109側）には、第1配線層151が形成されている。第1配線層151を覆って、酸化シリコンなどの透明絶縁材料からなる第1絶縁層152が形成されている。
- [0045] 第1配線層151には、表示領域100Aやシフトレジスタ130に含まれる薄膜トランジスタのゲートやゲート線などが含まれている。また、第1配線層151には、ゲート配線群を構成する第2クロック信号配線132、第1クロック信号配線131および電源線133などが含まれている。第2クロック信号配線132、第1クロック信号配線131および電源線133は、シフトレジスタ130を挟んで表示領域100Aとは反対側に配置されている。本実施形態の場合、第2クロック信号配線132、第1クロック信号配線131および電源線133は、シフトレジスタ130に近い側からこの順に配置されているが、これらの配線の並び順はこれに限定されない。
- [0046] 第1絶縁層152上には、第2配線層153が形成されている。第2配線層153を覆って、酸化シリコンなどの透明絶縁材料からなる第2絶縁層154が形成されている。第2絶縁層154上には、ITOなどの透明導電材料からなるコモン電極155およびシールド電極135、136が形成されている。コモン電極155およびシールド電極135、136を覆って、酸化シリコンなどの透明絶縁材料からなる第3絶縁層156が形成されている。第3絶縁層156上には、ITOなどの透明導電材料からなる画素電極157が形成されている。
- [0047] 第2配線層154には、表示領域100Aやシフトレジスタ130に含まれる薄膜トランジスタのソースおよびドレインやデータ線などが含まれている。コモン電極155とシールド電極135、136は、同一材料で形成されている。コモン電極155は、表示領域100Aの全面に形成されており、各画素に共通の共通電極となっている。コモン電極155とシールド電極135、136は、ITOなどの透明導電材料を基板全面に形成し、これをパターニングすることにより、同時に形成される。

- [0048] シールド電極 135, 136 には、シフトレジスタ 130 の上方に設けられた第 1 のシールド電極部 135 と、電源線 133 の上方に設けられた第 2 のシールド電極部 136 と、が含まれている。本実施形態の場合、シールド電極 135, 136 は、シフトレジスタ 130 と電源線 133 の上方のみに設けられ、クロック信号配線 131, 132 の上方には設けられていない。シフトレジスタ 130 と電源線 133 は、クロック信号配線 131, 132 を挟んで隣接しており、第 1 のシールド電極部 135 と第 2 のシールド電極部 136 とは、互いに分離されている。
- [0049] 電界遮蔽の効果のみを考慮すれば、GOA 回路部 125 の全てをシールド電極で覆うことが望ましい。しかし、シールド電極とシフトレジスタ 130 およびゲート配線群との間には、寄生容量が発生するため、シフトレジスタ 130 を制御する信号に遅延が発生したり、電圧降下が発生し、その結果、シフトレジスタ 130 の動作マージンの低下や消費電力アップなどの問題を生じる惧れがある。
- [0050] そのため、本実施形態では、クロック信号配線 131, 132 の上方にはシールド電極を配置せず、低電位の直流電圧を供給する電源線 133 とシフトレジスタ 130 の上方に選択的にシールド電極 135, 136 を配置している。これにより、信号遅延の影響が少なくなり、動作マージンの低下や消費電力アップという問題が抑制される。
- [0051] シールド電極 135, 136 の電位は、表示領域 100A の平均電位の近傍に設定されることが好ましい。表示領域 100A の平均電位は、およそコモン電極 155 の電位の近傍である。そのため、シールド電極 135, 136 には、コモン電極 155 と同電位となるような信号を供給することが好ましい。
- [0052] 本実施形態の場合、第 1 のシールド電極部 135 は、表示領域 100A と隣接して形成されるため、第 1 のシールド電極部 135 は、表示領域 100A の周縁部に位置するコモン電極 155 およびコモン電極 155 にコモン信号を供給するコモン幹配線 114 (図 1 参照) と接続されている。第 2 のシ

ールド電極部 136 は、第 1 のシールド電極部 135 と分離されているため、第 1 のシールド電極部 135 とは別に、図示略のグラウンド電極に接続されている。

[0053] クロック信号配線 131, 132 の電位は常時振幅しているが、マクロ的にみると、その振幅の中間の電位をとる。この電位は、表示領域 100A の平均の電位と近い電位であることが一般的であるため、クロック信号配線 131, 132 が原因の第 2 基板 102 の電位変動が表示に与える影響は少ない。

[0054] 第 2 基板 102 は、ガラスや石英、プラスチック等の透光性の基板本体 160 を基体としてなる。基板本体 160 の内面側（液晶層 109 側）には、ブラックマトリクス 161 とカラーフィルタ 162 とオーバーコート層 163 とが積層されている。第 2 基板 102 には、画素電極 157 や共通電極 155 が形成された第 1 基板 101 と異なり、電位を固定するための電極が形成されていない。そのため、第 1 基板 101 側の電位変動の影響を受けやすい。しかし、本実施形態では、第 1 基板 101 側に GOA 回路部 125 の電界を遮蔽するシールド電極 135, 136 が形成されているので、表示領域 100A 近傍の第 2 基板 102 の電位はそれほど大きく変化せず、表示への悪影響も少ない。

[0055] 以上説明したように、本実施形態の液晶表示装置 1 によれば、表示領域 100A の平均電位に対して電位が大きく異なる GOA 回路部 125 の上方にシールド電極 135, 136 が形成されているので、表示領域 100A の周縁部にストライプ状の光抜けが生じることを抑制することができる。シールド電極 135, 136 は、表示への影響が比較的大きいシフトレジスタ 130 および電源線 133 の上方に選択的に配置され、表示への影響が比較的小さいクロック信号配線 131, 132 の上方には配置されていないので、シールド電極 135, 136 との間の寄生容量に起因した信号遅延や消費電力アップの問題を極力低減しながら、光抜けの問題を効果的に抑制することができる。

[0056] なお、本実施形態では、シールド電極 135, 136 は、シフトレジスタ 130 と電源線 133 の上方のみに設けられ、クロック信号配線 131, 132 の上方には設けられていないが、シールド電極の構成はこれに限定されない。クロック信号配線 131, 132 の上方に、シールド電極が設けられない領域が存在すればよく、必ずしもクロック信号配線 131, 132 の全てがシールド電極に覆われない構成である必要はない。

[0057] また、本実施形態では、第 1 のシールド電極部 135 および第 2 のシールド電極部 136 の電位を表示領域 100A の平均電位に近づけるために、第 1 のシールド電極部 135 をコモン幹配線 114 と接続し、第 2 のシールド電極部 136 をグラウンド電極と接続した。しかし、第 1 のシールド電極部 135 および第 2 のシールド電極部 136 に信号を入力するための配線を、コモン幹配線 114 やグラウンド電極とは別個に設けてもよい。

[0058] また、本実施形態では、電源線 133 がクロック信号配線 131, 132 の外側（表示領域 100A とは反対側）に配置されているが、他の位置、例えば、シフトレジスタ 130 と表示領域 100A との間に配置されていてもよい。この場合、シフトレジスタ 130 の上方を覆う第 1 のシールド電極部 135 と電源線 133 の上方を覆う第 2 のシールド電極部 136 とを分離せずに一体に形成することができる。

[0059] また、本実施形態では、クロック信号配線 131, 132 が 2 本の例が示されているが、クロック信号配線の本数はこれに限定されない。クロック信号配線の本数は、4 本、6 本、8 本などであってもよい。

[0060] また、本実施形態では、ゲートドライバ 104 が表示領域 100A の 1 辺のみに配置されているが、ゲートドライバ 104 は、表示領域 100A の左右 2 辺に配置されてもよい。

[0061] [第 2 実施形態]

図 7 は、第 2 実施形態の液晶表示装置 2 におけるシフトレジスタ 130 の近傍の構成を示す平面図である。

なお、本実施形態において第 1 実施形態と共通する構成要素については、

同じ符号を付し、詳細な説明は省略する。

- [0062] 本実施形態において第1実施形態と異なる点は、第1基板においてシフトレジスタ130、クロック信号配線131、132および電源線133の上方にシールド電極135、136、139が設けられるとともに、クロック信号配線131、132の上方の少なくとも一部にはシールド電極が設けられていない領域が存在する点である。
- [0063] 本実施形態のシールド電極には、シフトレジスタ130の上方に設けられた第1のシールド電極部135と、電源線133の上方に設けられた第2のシールド電極部136と、クロック信号配線131、132の上方に設けられた第3のシールド電極部139と、が含まれている。シフトレジスタ130と電源線133とは、クロック信号配線131、132を挟んで隣接しており、第1のシールド電極部135と第2のシールド電極部136とは、第3のシールド電極部139によって接続されている。
- [0064] シールド電極部135、136、139は、コモン電極155（図1参照）およびコモン幹配線114（図1参照）と接続されている。コモン電極155とシールド電極部135、136、139は、ITOなどの透明導電材料を基板全面に形成し、これをパターニングすることにより、同時に形成される。
- [0065] 第3のシールド電極部139は、第1基板の法線方向から見て、クロック信号配線131、132とシフトレジスタ130とを接続する配線と重ならない位置に配置されることが好ましい。
- [0066] 本実施形態においても、第1実施形態と同様の効果が得られる。第1実施形態と比較して、クロック信号配線131、132と第3のシールド電極部139との間に寄生容量が発生するため、信号遅延や消費電力アップという問題は生じやすくなるが、クロック信号配線131、132の上方の一部が第3のシールド電極部139覆われるため、電界遮蔽の効果は第1実施形態の構成よりも大きくなる。光抜けの発生状況と要求される性能（動作マージンや消費電力）に応じて、本実施形態の構成も可能である。

[0067] [第3実施形態]

図8は、第3実施形態の液晶表示装置3におけるシフトレジスタ130の近傍の構成を示す平面図である。

なお、本実施形態において第1実施形態と共通する構成要素については、同じ符号を付し、詳細な説明は省略する。

[0068] 本実施形態において第1実施形態と異なる点は、シフトレジスタ130と電源線133の上方の少なくとも一部に、シールド電極が設けられていない領域が存在する点である。

[0069] 第1のシールド電極部140および第2のシールド電極部141は、例えば、メッシュ状（格子状や穴あき状態）に形成された導電層によって構成されている。本実施形態では、第1のシールド電極部140と第2のシールド電極部141の双方が、メッシュ状（格子状や穴あき状態）に形成されているが、メッシュ状に形成されるシールド電極部は、第1のシールド電極部と第2のシールド電極部のいずれか一方のみでもよい。

[0070] 第1のシールド電極部140をメッシュ状に形成する場合には、第1基板の法線方向から見て、クロック信号配線131、132とシフトレジスタ130とを接続する配線と重なる位置や、フローティング状態にある電極部分と重なる位置に、選択的にシールド電極の開口部を設け、電源線133とシフトレジスタ130とを接続する配線と重なる位置にはシールド電極の開口部を設けないようにすることが好ましい。

[0071] 本実施形態においても、第1実施形態と同様の効果が得られる。第1実施形態と比較してシールド電極部140、141の面積が少なくなるので、電界遮蔽の効果は小さくなるが、シールド電極部140、141とGOA回路部125との間の寄生容量が少なくなるので、信号遅延や消費電力アップの問題は抑制される。光抜けの発生状況と要求される性能（動作マージンや消費電力）に応じて、本実施形態の構成も可能である。

[0072] [第4実施形態]

図9は、第4実施形態の液晶表示装置4におけるシフトレジスタ130の

近傍の構成を示す平面図である。

なお、本実施形態において第2実施形態と共通する構成要素については、同じ符号を付し、詳細な説明は省略する。

[0073] 本実施形態において第2実施形態と異なる点は、シフトレジスタ130と電源線133の上方の少なくとも一部に、シールド電極が設けられていない領域が存在する点である。

[0074] 第1のシールド電極部142および第2のシールド電極部143は、例えば、メッシュ状（格子状や穴あき状態）に形成された導電層によって構成されている。本実施形態では、第1のシールド電極部142と第2のシールド電極部143の双方が、メッシュ状（格子状や穴あき状態）に形成されているが、メッシュ状に形成されるシールド電極部は、第1のシールド電極部と第2のシールド電極部のいずれか一方のみでもよい。

[0075] 第1のシールド電極部142をメッシュ状に形成する場合には、第1基板の法線方向から見て、クロック信号配線131、132とシフトレジスタ130とを接続する配線と重なる位置や、フローティング状態にある電極部分と重なる位置に、選択的にシールド電極の開口部を設け、電源線133とシフトレジスタ130とを接続する配線と重なる位置にはシールド電極の開口部を設けないようにすることが好ましい。

[0076] 本実施形態のシールド電極には、シフトレジスタ130の上方に設けられた第1のシールド電極部142と、電源線133の上方に設けられた第2のシールド電極部143と、クロック信号配線131、132の上方に設けられた第3のシールド電極部144と、が含まれている。シフトレジスタ130と電源線133とは、クロック信号配線131、132を挟んで隣接しており、第1のシールド電極部142と第2のシールド電極部143とは、第3のシールド電極部144によって接続されている。

[0077] シールド電極部142、143、144は、コモン電極155（図1参照）およびコモン幹配線114（図1参照）と接続されている。コモン電極155とシールド電極部142、143、144は、ITOなどの透明導電材

料を基板全面に形成し、これをパターニングすることにより、同時に形成される。

[0078] 第3のシールド電極部144は、第1基板の法線方向から見て、クロック信号配線131、132とシフトレジスタ130とを接続する配線と重ならない位置に配置されることが好ましい。

[0079] 本実施形態においても、第2実施形態と同様の効果が得られる。第2実施形態と比較して、シールド電極部142、143の面積が少なくなるので、電界遮蔽の効果は小さくなるが、シールド電極部142、143とGOA回路部125との間の寄生容量が少なくなるので、信号遅延や消費電力アップの問題は抑制される。光抜けの発生状況と要求される性能（動作マージンや消費電力）に応じて、本実施形態の構成も可能である。

[0080] [第5実施形態]

図10(a)ないし図10(c)は、シールド電極の断面構造のバリエーションを示す図である。これらのバリエーションは、第1実施形態ないし第4実施形態の液晶表示装置に適用可能である。

なお、本実施形態において第1実施形態ないし第4実施形態と共通する構成要素については、同じ符号を付し、詳細な説明は省略する。

[0081] 図10(a)は、シールド電極（第1のシールド電極部180、第2のシールド電極部181）が、画素電極157と同一材料で形成されている液晶表示装置5の構成例である。図10(a)には、第3のシールド電極部が図示されていないが、第3のシールド電極部が存在する場合には、第3のシールド電極部も画素電極157と同一材料で形成される。画素電極157とこれらのシールド電極部は、ITOなどの透明導電材料を基板全面に形成し、これをパターニングすることにより、同時に形成される。

[0082] 図10(b)は、シールド電極（第1のシールド電極部182、第2のシールド電極部183）が、画素電極157と同一材料で形成された第1の層と、コモン電極155と同一材料で形成された第2の層と、により構成されている液晶表示装置6の構成例である。

[0083] 図10(b)では、第1のシールド電極部182は、コモン電極155と同一材料で形成された電極部171, 172, 176と、画素電極157と同一材料で形成された電極部174, 175と、により構成されている。第2のシールド電極部183は、コモン電極155と同一材料で形成された電極部170と、画素電極157と同一材料で形成された電極部173と、により構成されている。図10(b)において、電極部173, 174, 175はシールド電極の第1の層であり、電極部170, 171, 172, 176はシールド電極の第2の層である。コモン電極155と電極部170, 171, 172, 176は、ITOなどの透明導電材料を基板全面に形成し、これをパターニングすることにより、同時に形成される。画素電極157と電極部173, 174, 175は、ITOなどの透明導電材料を基板全面に形成し、これをパターニングすることにより、同時に形成される。

[0084] 図10(b)には、第3のシールド電極部が図示されていないが、第3のシールド電極部が存在する場合には、第3のシールド電極部も画素電極157と同一材料で形成された第1の層と、コモン電極155と同一材料で形成された第2の層と、により構成される。第3のシールド電極部の第1の層は、第1のシールド電極部182の第1の層および第2のシールド電極183の第1の層および画素電極157と同時に形成される。第3のシールド電極部の第2の層は、第1のシールド電極部182の第2の層および第2のシールド電極183の第2の層およびコモン電極155と同時に形成される。

[0085] 図10(c)は、画素電極とコモン電極が櫛歯状に形成されたIPS構造の液晶表示装置7の構成例である。図10(c)の符号158は、画素電極およびコモン電極が有する櫛歯電極を示している。シールド電極(第1のシールド電極部184、第2のシールド電極部185)は、画素電極およびコモン電極と同一材料で形成されている。図10(c)には、第3のシールド電極部が図示されていないが、第3のシールド電極部が存在する場合には、第3のシールド電極部も画素電極およびコモン電極と同一材料で形成される。画素電極とコモン電極とこれらのシールド電極部は、ITOなどの透明導

電材料を基板全面に形成し、これをパターニングすることにより、同時に形成される。

[0086] 図10(a)ないし図10(c)のバリエーションにおいては、シールド電極の少なくとも一部が、画素電極またはコモン電極と同一材料で形成されている。そのため、シールド電極と画素電極または共通電極とを共通のプロセスで形成することができる。

実施例

[0087] 図11は、13, 3型ワイドパネルにてGOA回路部の消費電力の検討を行った結果を示す図である。図11(a)は、GOA回路部にシールド電極を設けない例(比較例)であり、図11(b)は、GOA回路部にシールド電極を設けた例(実施例)である。

なお、図11(a)および図11(b)の液晶表示装置の基本構成は、第1実施形態と同じであるが、GOA回路部は表示領域の左右2辺に設けられており、クロック信号配線の本数は4本となっている。シフトレジスタを覆う第1のシールド電極部はコモン幹配線と接続され、電源線を覆う第2のシールド電極部はグラウンド電極と接続されている。

[0088] 図11(a)に示すように、比較例の構成では、GOA回路部が形成された左右の辺にストライプ状の光抜けが発生している。それに対して、図11(b)の実施例の構成では、そのような光抜けが殆ど発生していない。比較例のGOA回路部の消費電力は241mWであり、実施例のGOA回路部の消費電力は225mWであった。実施例のほうが比較例よりも7%消費電力が低減された。

産業上の利用可能性

[0089] 本発明は、GOA構造を備えた横電界方式の液晶表示装置に利用することができる。

符号の説明

[0090] 1～7 液晶表示装置
101 第1基板

- 1 0 2 第2基板
- 1 1 4 コモン幹配線
- 1 3 0 シフトレジスタ
- 1 3 1, 1 3 2 クロック信号配線
- 1 3 3 電源線
- 1 3 5 第1のシールド電極部（シールド電極）
- 1 3 6 第2のシールド電極部（シールド電極）
- 1 3 9 第3のシールド電極部（シールド電極）
- 1 4 0 第1のシールド電極部（シールド電極）
- 1 4 1 第2のシールド電極部（シールド電極）
- 1 4 2 第1のシールド電極部（シールド電極）
- 1 4 3 第2のシールド電極部（シールド電極）
- 1 4 4 第3のシールド電極部（シールド電極）
- 1 5 5 コモン電極
- 1 5 7 画素電極
- 1 5 8 画素電極およびコモン電極の櫛歯電極
- 1 7 0, 1 7 1, 1 7 2, 1 7 6 電極部（シールド電極の第2の層）
- 1 7 3, 1 7 4, 1 7 5 電極部（シールド電極の第1の層）
- 1 8 0 第1のシールド電極部（シールド電極）
- 1 8 1 第2のシールド電極部（シールド電極）
- 1 8 2 第1のシールド電極部（シールド電極）
- 1 8 3 第2のシールド電極部（シールド電極）
- 1 8 4 第1のシールド電極部（シールド電極）
- 1 8 5 第2のシールド電極部（シールド電極）

請求の範囲

- [請求項1] 互いに対向して配置された第1基板と第2基板とを備え、
前記第1基板の前記第2基板と対向する面には、画素電極、コモン電極、シフトレジスタ、クロック信号配線および電源線が設けられ、
前記第1基板において前記シフトレジスタおよび前記電源線の上方にシールド電極が設けられ、前記クロック信号配線の上方にはシールド電極が設けられていない液晶表示装置。
- [請求項2] 前記シールド電極には、前記シフトレジスタの上方に設けられた第1のシールド電極部と、前記電源線の上方に設けられた第2のシールド電極部と、が含まれ、
前記第1のシールド電極部は、前記コモン電極にコモン信号を供給するコモン幹配線と接続されており、
前記第2のシールド電極部は、グラウンド電極に接続されている請求項1に記載の液晶表示装置。
- [請求項3] 前記シフトレジスタと前記電源線の上方の少なくとも一部に、前記シールド電極が設けられていない領域が存在する請求項1または2に記載の液晶表示装置。
- [請求項4] 前記シールド電極の少なくとも一部は、前記画素電極または前記コモン電極と同一材料で形成されている請求項1ないし3のいずれか1項に記載の液晶表示装置。
- [請求項5] 前記シールド電極は、前記画素電極と同一材料で形成された第1の層と、前記コモン電極と同一材料で形成された第2の層と、により構成されている請求項4に記載の液晶表示装置。
- [請求項6] 互いに対向して配置された第1基板と第2基板とを備え、
前記第1基板の前記第2基板と対向する面には、画素電極、コモン電極、シフトレジスタ、クロック信号配線および電源線が設けられ、
前記第1基板において前記シフトレジスタ、クロック信号配線および前記電源線の上方にシールド電極が設けられるとともに、前記クロ

ック信号配線の上方の少なくとも一部には前記シールド電極が設けられていない領域が存在する液晶表示装置。

[請求項7] 前記シールド電極には、前記シフトレジスタの上方に設けられた第1のシールド電極部と、前記電源線の上方に設けられた第2のシールド電極部と、前記クロック信号配線の上方に設けられた第3のシールド電極部と、が含まれ、

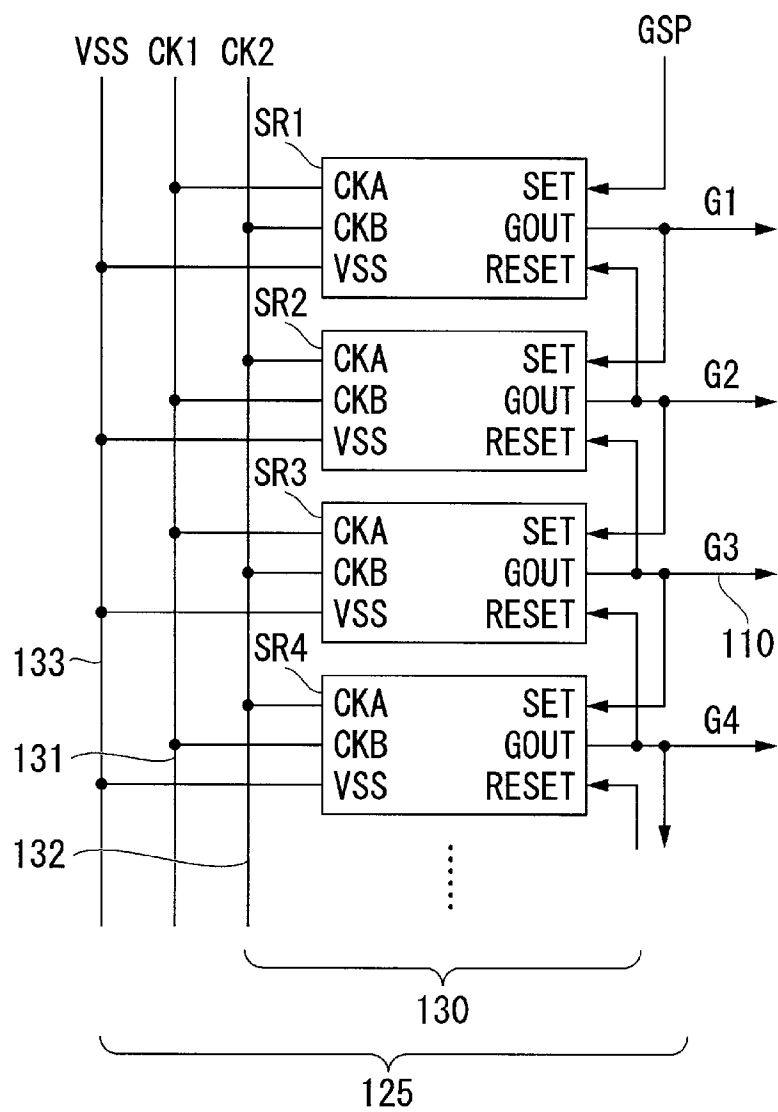
前記シフトレジスタと前記電源線とは、前記クロック信号配線を挟んで隣接しており、

前記第1のシールド電極部と前記第2のシールド電極部とは、前記第3のシールド電極部によって接続されている請求項6に記載の液晶表示装置。

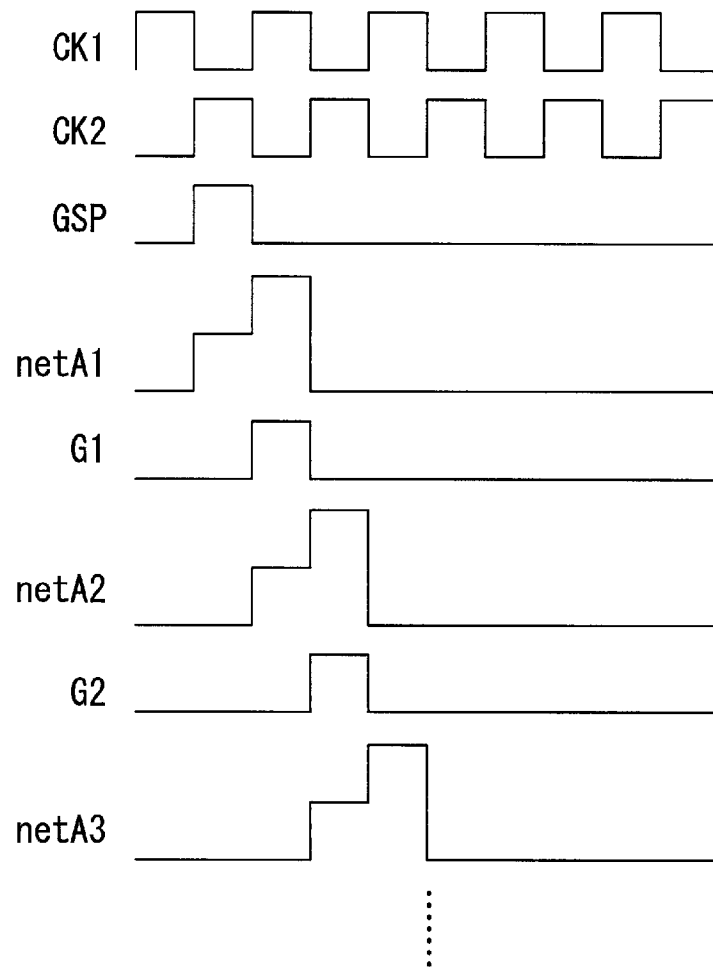
[請求項8] 前記シフトレジスタと前記電源線の上方の少なくとも一部に、前記シールド電極が設けられていない領域が存在する請求項6または7に記載の液晶表示装置。

[請求項9] 前記シールド電極の少なくとも一部は、前記画素電極または前記コモン電極と同一材料で形成されている請求項6ないし8のいずれか1項に記載の液晶表示装置。

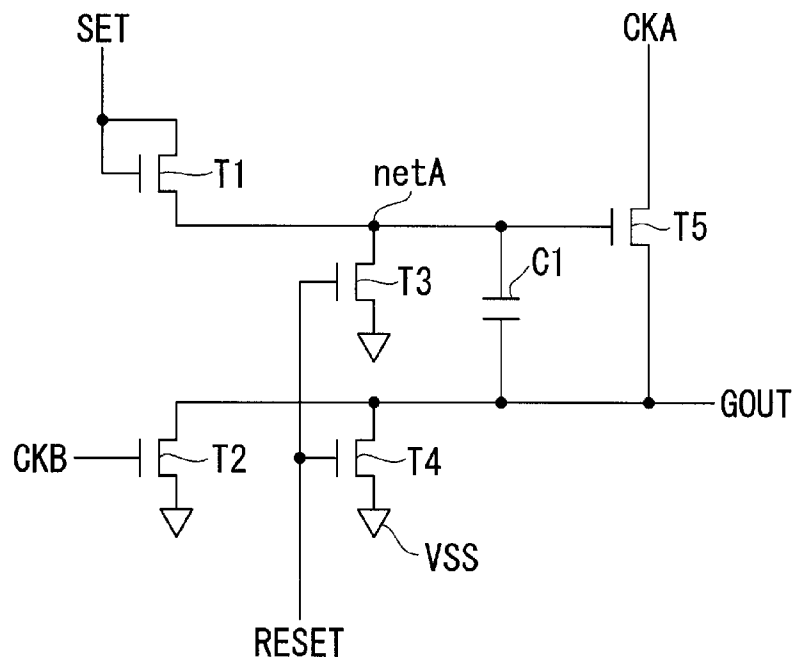
[請求項10] 前記シールド電極は、前記画素電極と同一材料で形成された第1の層と、前記コモン電極と同一材料で形成された第2の層と、により構成されている請求項9に記載の液晶表示装置。



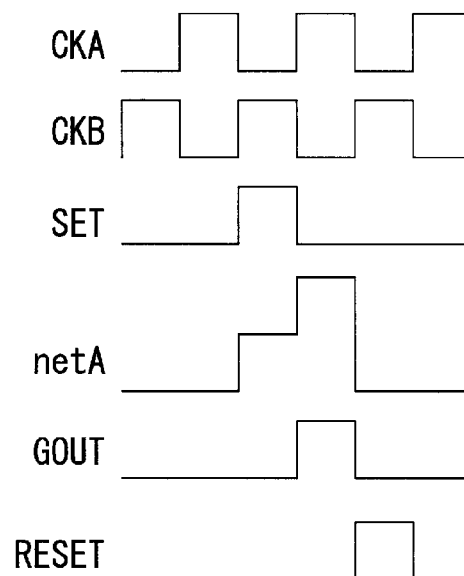
[図3]



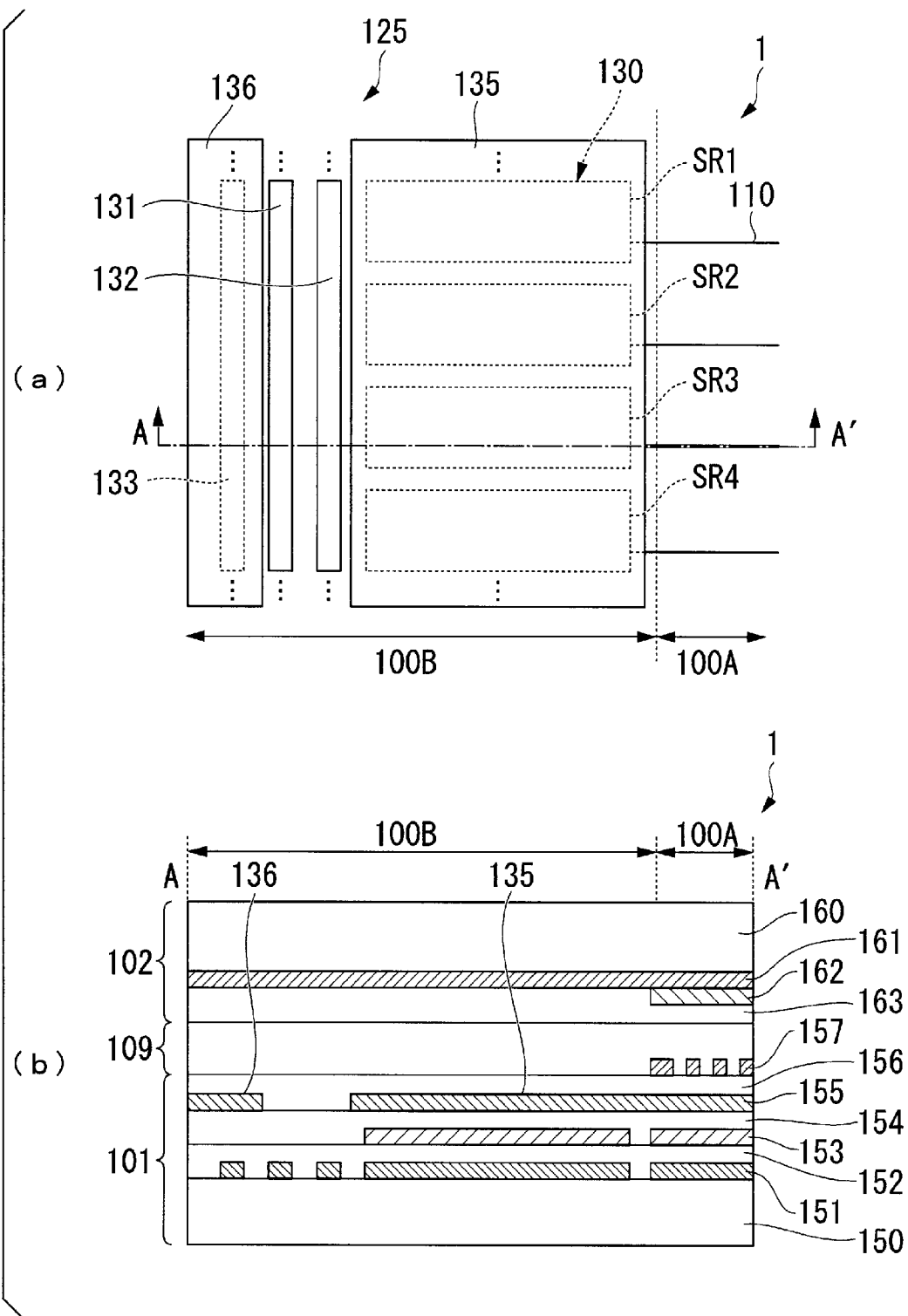
[図4]



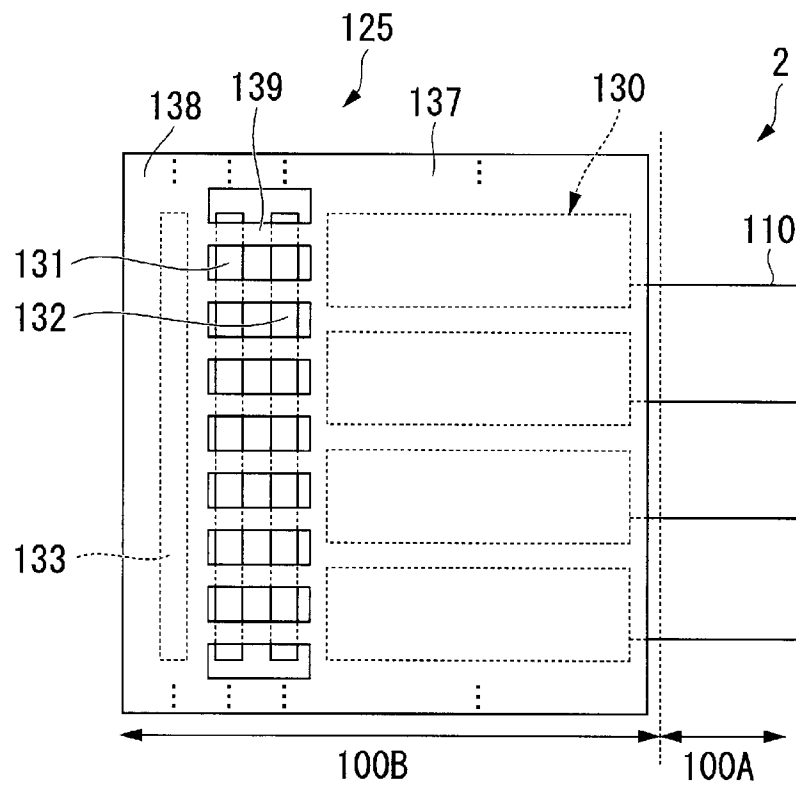
[図5]



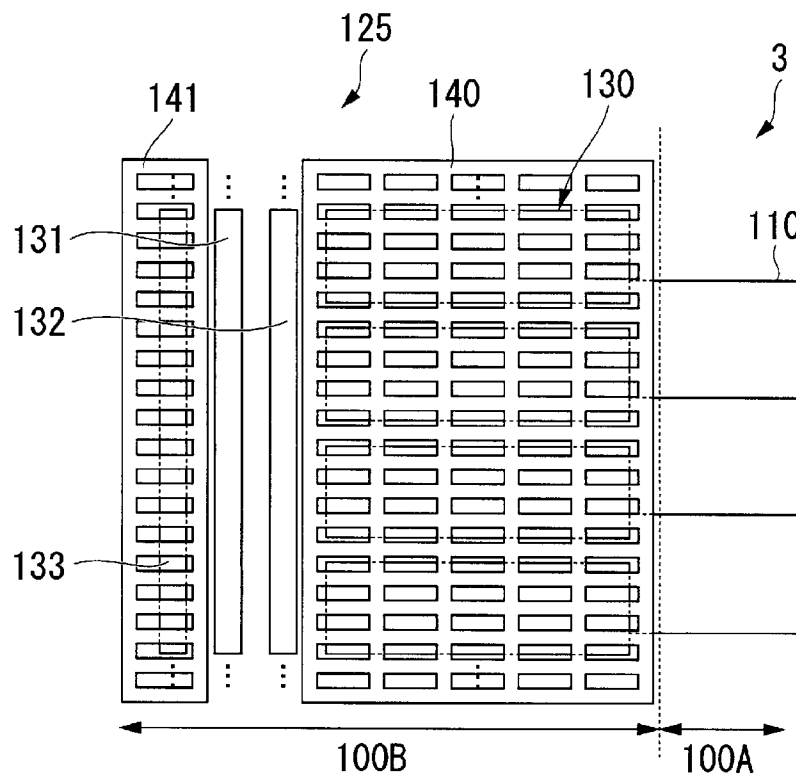
[図6]



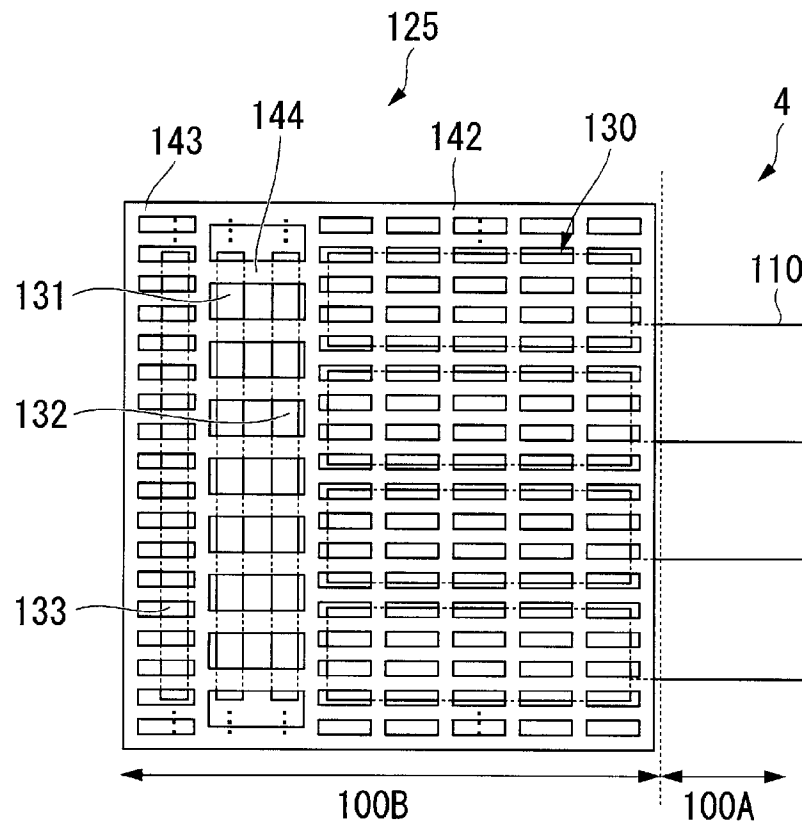
[図7]



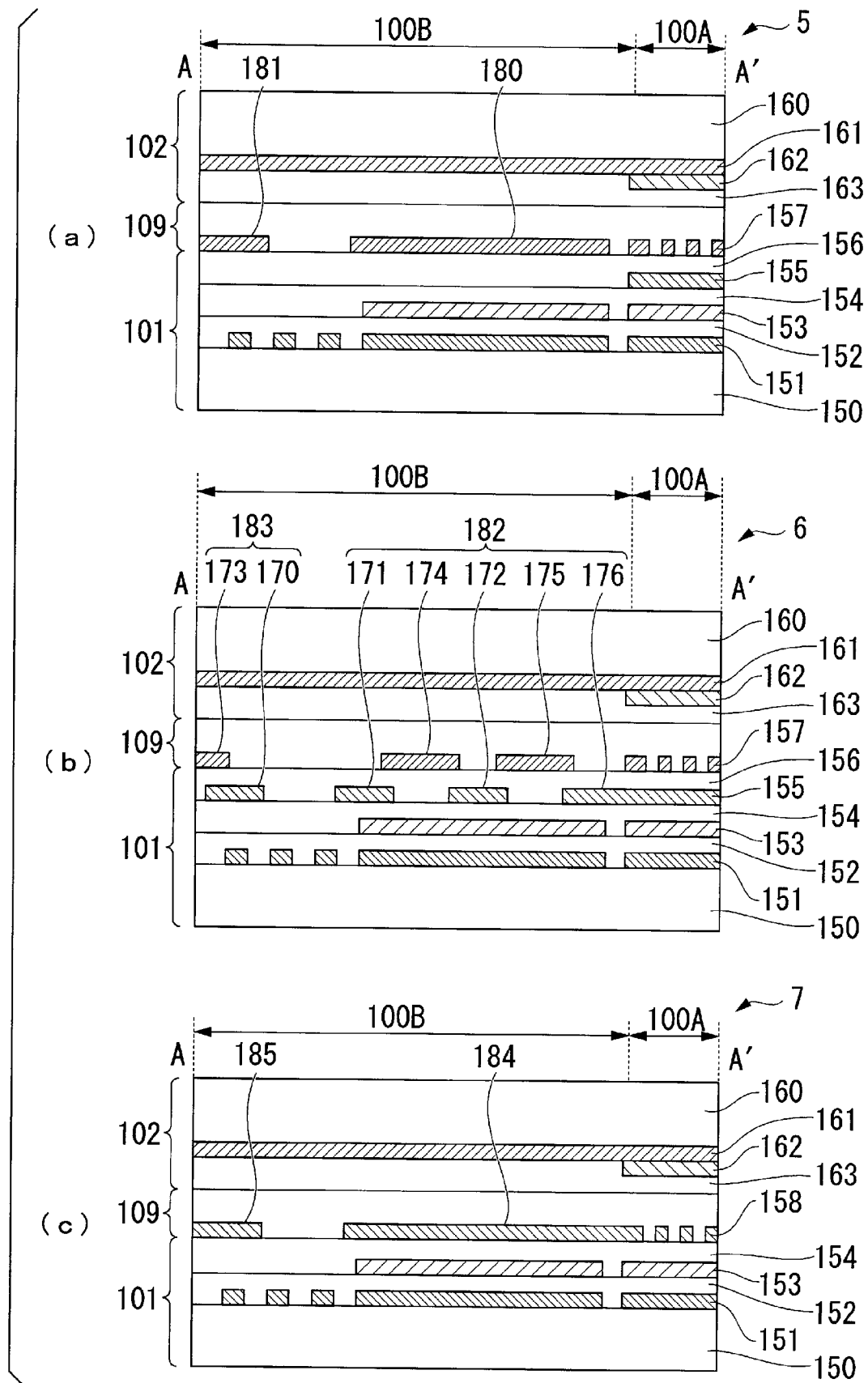
[図8]



[図9]

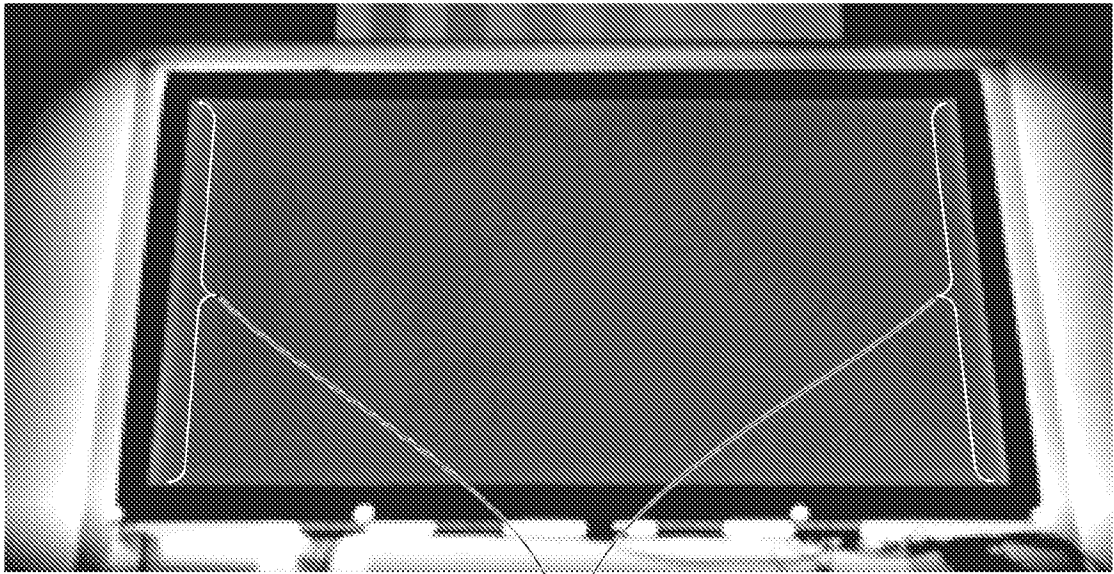


[図10]



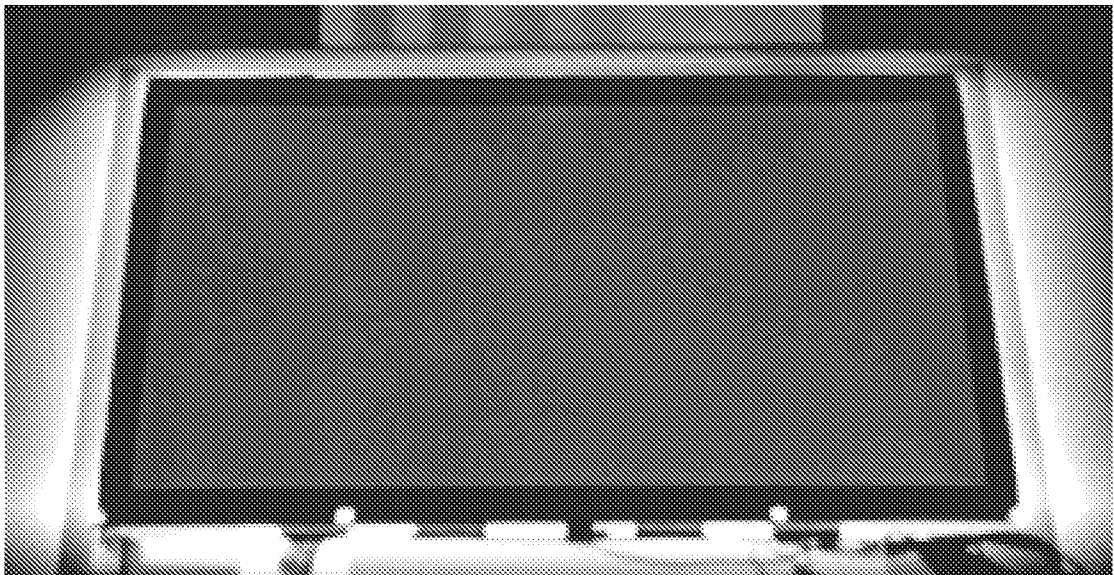
[図11]

(a)



白抜け発生箇所

(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/078532

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1345(2006.01)i, G02F1/1343(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1345, G02F1/1343, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2-42420 A (Hitachi, Ltd.), 13 February 1990 (13.02.1990), entire text; all drawings & US 5151689 A	1, 3-10 2
Y	JP 11-2838 A (Hitachi, Ltd.), 06 January 1999 (06.01.1999), entire text; all drawings (Family: none)	1, 3-10
Y	JP 10-177162 A (Canon Inc.), 30 June 1998 (30.06.1998), entire text; all drawings & US 6127998 A & EP 837445 A1 & CN 1187632 A	1, 3-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 November, 2013 (22.11.13)

Date of mailing of the international search report

14 January, 2014 (14.01.14)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/078532

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-64900 A (Victor Company of Japan, Ltd.), 21 March 2008 (21.03.2008), entire text; all drawings (Family: none)	1, 3-5
Y	JP 10-32388 A (Fujitsu Ltd.), 03 February 1998 (03.02.1998), entire text; all drawings (Family: none)	3-10
Y	JP 2005-339833 A (Sony Chemicals Corp.), 08 December 2005 (08.12.2005), entire text; all drawings & US 2007-193770 A1 & EP 1758133 A1 & WO 2005-114676 A1 & KR 10-2007-38025 A & CN 1957426 A	3-10
Y	JP 2010-139598 A (Epson Imaging Devices Corp.), 24 June 2010 (24.06.2010), entire text; all drawings (Family: none)	4-5, 9-10
Y	WO 2011-40087 A1 (Sharp Corp.), 07 April 2011 (07.04.2011), entire text; all drawings & US 2012-169681 A1 & CN 102576169 A	7-10

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G02F1/1345(2006.01)i, G02F1/1343(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G02F1/1345, G02F1/1343, G09G3/20, G09G3/36			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 3 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 3 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 3 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y A	J P 2 - 4 2 4 2 0 A（株式会社日立製作所） 1 9 9 0 . 0 2 . 1 3、全文、全図 & U S 5 1 5 1 6 8 9 A	1, 3-10 2	
Y	J P 1 1 - 2 8 3 8 A（株式会社日立製作所） 1 9 9 9 . 0 1 . 0 6、全文、全図（ファミリーなし）	1, 3-10	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 2 2 . 1 1 . 2 0 1 3		国際調査報告の発送日 1 4 . 0 1 . 2 0 1 4	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 山口 裕之 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 3	2 L 2 9 1 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 10-177162 A (キヤノン株式会社) 1998. 06. 30、全文、全図 & US 6127998 A & EP 837445 A1 & CN 1187632 A	1, 3-5
Y	J P 2008-64900 A (日本ビクター株式会社) 2008. 03. 21、全文、全図 (ファミリーなし)	1, 3-5
Y	J P 10-32388 A (富士通株式会社) 1998. 02. 03、全文、全図 (ファミリーなし)	3-10
Y	J P 2005-339833 A (ソニーケミカル株式会社) 2005. 12. 08、全文、全図 & US 2007-193770 A1 & EP 1758133 A1 & WO 2005-114676 A1 & KR 10-2007-38025 A & CN 1957426 A	3-10
Y	J P 2010-139598 A (エプソンイメージングデバイス株式会社) 2010. 06. 24、全文、全図 (ファミリーなし)	4-5, 9-10
Y	WO 2011-40087 A1 (シャープ株式会社) 2011. 04. 07、全文、全図 & US 2012-169681 A1 & CN 102576169 A	7-10