(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 4 月 14 日(14.04.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/056320 A1

(51) 国際特許分類:
H01L 25/07 (2006.01) *H02M 7/48* (2007.01)
H01L 25/18 (2006.01) *H05K 7/06* (2006.01)

(21) 国際出願番号: PCT/JP2015/074456

(22) 国際出願日: 2015 年 8 月 28 日(28.08.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-208743 2014 年 10 月 10 日(10.10.2014) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 市川 裕章(ICHIKAWA, Hiroaki); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町９番８号 八王子東町センタービル 服部特許事務所 Tokyo (JP).

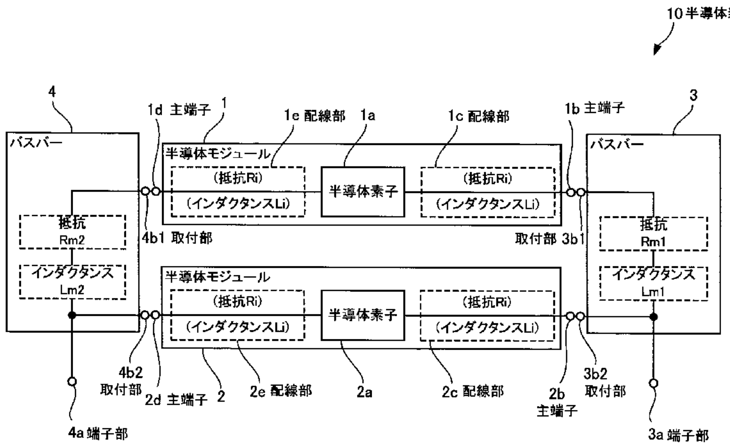
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE AND BUS BAR

(54) 発明の名称 : 半導体装置及びバスバー



1, 2 Semiconductor module
1a, 2a Semiconductor element
1b, 1d, 2b, 2d Main terminal
1c, 1e, 2c, 2e Wiring part
3, 4 Bus bar
3a, 4a Terminal part
3b1, 3b2, 4b1, 4b2 Fitting part
Ri, Rm1, Rm2 Resistance
Li, Lm1, Lm2 Inductance
10 Semiconductor device

(57) **Abstract**: Provided is a highly reliable semiconductor device. A semiconductor device (10) is provided with: semiconductor modules (1, 2) which have main terminals (1b, 1d, 2b, 2d) led out to the outside and wiring parts (1c, 1e, 2c, 2e) that connect semiconductor elements (1a, 2a) and the main terminals (1b, 1d, 2b, 2d); and bus bars (3, 4) which have terminal parts (3a, 4a) and fitting parts (3b1, 3b2, 4b1, 4b2) connected to the main terminals (1b, 1d, 2b, 2d), and which connect the semiconductor modules (1, 2) in parallel. The maximum resistance (Rm1, Rm2) among the resistances between the terminal parts (3a, 4a) and the respective fitting parts (3b1, 4b1) is 10% or less of the resistance (Ri) of the wiring parts (1c, 1e). The maximum inductance (Lm1, Lm2) among the inductances between the terminal parts (3a, 4a) and the respective fitting parts (3b1, 4b1) is 10% or less of the inductance (Li) of the wiring parts (1c, 1e).

(57) 要約: 信頼性の高い半導体装置を提供する。 半導体装置（１０）は、外部に導出された主端子（１ｂ，１ｄ，２ｂ，２ｄ）と、半導体素子（１ａ，２ａ）と主端子（１ｂ，１ｄ，２ｂ，２ｄ）を接続する配線部（１ｃ，１ｅ，２ｃ，２ｅ）とを有する半導体モジュール（１，２）と、端子部（３ａ，４ａ）と、主端子（１ｂ，１ｄ，２ｂ，２ｄ）に接続される取付部（３ｂ１，３ｂ２，４ｂ１，４ｂ２）を有し、半導体モジュール（１，２）を並列に接続するバスバー（３，４）とを備え、端子部（３ａ，４ａ）とそれぞれの取付部（３ｂ１，４ｂ１）との間の抵抗のうち、最大の抵抗（Ｒｍ１，Ｒｍ２）が、配線部（１ｃ，１ｅ）の抵抗（Ｒｉ）の１０％以下であり、端子部（３ａ，４ａ）とそれぞれの取付部（３ｂ１，４ｂ１）との間のインダクタンスのうち、最大のインダクタンス（Ｌｍ１，Ｌｍ２）が、配線部（１ｃ，１ｅ）のインダクタンス（Ｌｉ）の１０％以下である。

WO 2016/056320 A1

明 細 書

発明の名称 ： 半導体装置及びバスバー

技術分野

[0001] 本発明は、半導体装置及びバスバーに関する。

背景技術

[0002] ＩＧＢＴ（Insulated Gate Bipolar Transistor）、ＦＷＤ（Free Wheeling Diode）等を搭載した複数の半導体モジュールを並列に接続した半導体装置が広く用いられている。

このような半導体装置の半導体モジュールは、電気回路上では並列接続されるものの、構造上では電源からの配線距離が異なる場合がある。この場合、並列接続される半導体モジュール同士は、配線距離の差異のために、インダクタンスに差異が生じる。このため、半導体モジュールでは、ターンオフ時に高いサージ電圧が発生し、また、スイッチング波形の相違によりスイッチング損失にも差異が生じる。そこで、並列接続された一組の半導体モジュール同士をそれらの正側及び負側の端子がそれぞれ互いに向き合うように、平行に配置したバスバーに接続させた半導体装置が提案されている（例えば、特許文献１を参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２００４－１３５４４４号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、特許文献１の半導体装置では、バスバーに互いに向き合うように並列接続される一組の半導体モジュールを複数組接続する場合には、電源から一組の半導体モジュールまでの距離と、電源から他の一組の半導体モジュールまでの距離とが異なる。このように距離の差に応じてバスバーの抵抗にも差異が生じることから、各組の半導体モジュールにおける電流にも差異が

生じてしまう。

[0005] 本発明は、このような点を鑑みてなされたものであり、半導体モジュールに対する電流の差異が低減された半導体装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一観点によれば、半導体素子と、外部に導出された主端子と、前記半導体素子と前記主端子とを接続する配線部とを有する複数の半導体モジュールと、一つの端子部と、前記主端子に接続される複数の取付部を有し、前記半導体モジュールを並列に接続する一以上のバスバーと、を備え、前記端子部とそれぞれの前記取付部との間の抵抗のうち、最も大きい抵抗が、前記配線部の抵抗の１０％以下であり、前記端子部とそれぞれの前記取付部との間のインダクタンスのうち、最も大きいインダクタンスが、前記配線部のインダクタンスの１０％以下である半導体装置が提供される。

[0007] また本発明の別の一観点によれば、一つの端子部と、複数の取付部とを有し、前記取付部で複数の半導体モジュールを並列に接続するバスバーであって、前記端子部とそれぞれの前記取付部との抵抗のうち、最も大きい抵抗と最も小さい抵抗との差が２５ｎΩ以下であり、前記半導体モジュールを並列に接続する他のバスバーが間隔１ｍｍ以下で並列に配置されている場合の前記端子部とそれぞれの前記取付部とのインダクタンスのうち、最も大きいインダクタンスと最も小さいインダクタンスとの差が２ｎＨ以下であるバスバーが提供される。

発明の効果

[0008] 開示の技術によれば、半導体モジュールに印加される電流の差異が低減されて、半導体装置の特性の低下が抑制されるようになる。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0009] [図1]第１の実施の形態の半導体装置を示す図である。

[図2]第１の実施の形態の半導体素子－ケース間の温度差及びパワーサイクル寿命を示すグラフである。

[図3]第２の実施の形態の半導体モジュールを示す図である。

[図4]第２の実施の形態の半導体装置を示す斜視図である。

[図5]第２の実施の形態のバスバーを示す図である。

[図6]第２の実施の形態において、半導体モジュールを並列に接続するバスバーを説明するための図である。

[図7]第２の実施の形態の半導体装置で構成される回路を示す図である。

発明を実施するための形態

[0010] 以下、図面を参照して実施の形態について説明する。

［第１の実施の形態］

図１は、第１の実施の形態の半導体装置を示す図である。

[0011] 半導体装置１０は、複数の半導体モジュール１，２と、複数の半導体モジュール１，２を電気的に並列に接続するバスバー３，４とを有する。なお、半導体装置１０では、２個以上の半導体モジュールをバスバー３，４により電気的に接続することが可能である。第１の実施の形態では、２個の半導体モジュール１，２を用いた場合について説明する。

[0012] 半導体モジュール１は、半導体素子１ａと、外部に導出された主端子１ｂ，１ｄと、配線部１ｃ，１ｅとを有する。同様に、半導体モジュール２は、半導体素子２ａと、外部に導出された主端子２ｂ，２ｄと、配線部２ｃ，２ｅとを有する。

[0013] 半導体素子１ａ，２ａは、例えば、パワー半導体である。具体的には、ＩＧＢＴ、ＦＷＤ、パワーＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）等のいずれか１つ、または、複数により構成される。

[0014] 主端子１ｂ，１ｄと、半導体素子１ａの主電極（図示を省略）とは、配線部１ｃ，１ｅにより電気的に接続されている。同様に、主端子２ｂ，２ｄと、半導体素子２ａの主電極（図示を省略）とも配線部２ｃ，２ｅにより電気的に接続されている。また、配線部１ｃ，１ｅ，２ｃ，２ｅは、それぞれ、

抵抗Ｒｉ及びインダクタンスＬｉを有する。なお、配線部１ｃ，１ｅ，２ｃ，２ｅの抵抗Ｒｉは、半導体モジュール１，２の内部抵抗と呼称する場合があり、配線部１ｃ，１ｅ，２ｃ，２ｅのインダクタンスＬｉは、半導体モジュール１，２の内部インダクタンスと呼称する場合がある。

[0015] バスバー３は、取付部３ｂ１において、半導体モジュール１の主端子１ｂと接続し、取付部３ｂ２において、半導体モジュール２の主端子２ｂと接続する。バスバー４は取付部４ｂ１において、半導体モジュール１の主端子１ｄと接続し、取付部４ｂ２において、半導体モジュール２の主端子２ｄと接続する。そして、バスバー３の端子部３ａ及びバスバー４の端子部４ａが、図示しない外部電源に接続される。

[0016] ここで、バスバー３の端子部３ａと取付部３ｂ１との間は、流れる電流に対して抵抗Ｒｍ１及びインダクタンスＬｍ１が内在する。一方、バスバー３の端子部３ａと取付部３ｂ２との間の抵抗及びインダクタンスは、無視できるほど小さいものとする。すなわち、端子部３ａと、各取付部３ｂ１，３ｂ２との間の抵抗のうち、最も大きい抵抗は抵抗Ｒｍ１である。そして、端子部３ａと、各取付部３ｂ１、３ｂ２との間のインダクタンスのうち、最も大きいインダクタンスはインダクタンスＬｍ１である。

[0017] また、バスバー４の端子部４ａと取付部４ｂ１との間は、抵抗Ｒｍ２及びインダクタンスＬｍ２が内在する。そして、バスバー３と同様に、端子部４ａと、各取付部４ｂ１，４ｂ２との間の抵抗のうち、最も大きい抵抗は抵抗Ｒｍ２である。そして、端子部４ａと、各取付部４ｂ１、４ｂ２との間のインダクタンスのうち、最も大きいインダクタンスはインダクタンスＬｍ２である。

[0018] そして、第１の実施の形態においては、バスバー３，４の端子部３ａ，４ａと取付部３ｂ１，３ｂ２，４ｂ１，４ｂ２との間の抵抗のうち、最も大きい抵抗Ｒｍ１，Ｒｍ２は、半導体モジュール１，２の配線部１ｃ，１ｅ，２ｃ，２ｅの抵抗Ｒｉの１０％以下である。また、バスバー３，４の端子部３ａ，４ａと取付部３ｂ１，３ｂ２，４ｂ１，４ｂ２との間のインダクタンス

のうち、最も大きいインダクタンスＬｍ１，Ｌｍ２は、半導体モジュール１，２の配線部１ｃ，１ｅ，２ｃ，２ｅのインダクタンスＬｉの１０％以下である。

[0019] 次に、バスバー３，４の端子部３ａ，４ａに接続した外部電源から、半導体装置１０に電流を流した場合について説明する。

この際、半導体モジュール１の半導体素子１ａは、配線部１ｃ，１ｅの２つの抵抗Ｒｉと、バスバー３，４の抵抗Ｒｍ１，Ｒｍ２とを合わせた抵抗が接続されることになる。同様に、半導体素子１ａには、配線部１ｃ，１ｅの２つのインダクタンスＬｉと、バスバー３，４のインダクタンスＬｍ１，Ｌｍ２とを合わせたインダクタンスが接続されることになる。

[0020] 他方、半導体モジュール２の半導体素子２ａは、配線部２ｃ，２ｅの２つの抵抗Ｒｉを合わせた抵抗が接続されることになる。そして、半導体素子２ａには、配線部２ｃ，２ｅの２つのインダクタンスＬｉを合わせたインダクタンスが接続されることになる。

[0021] すなわち、半導体装置１０にバスバー３，４の端子部３ａ，４ａから電流を印加すると、半導体モジュール１の抵抗は、半導体モジュール２よりも、抵抗Ｒｍ１と抵抗Ｒｍ２とを合わせた分が増加する。同様に、半導体モジュール１のインダクタンスは、半導体モジュール２よりも、インダクタンスＬｍ１とインダクタンスＬｍ２とを合わせた分が増加する。

[0022] 特に、半導体モジュール１，２の抵抗ＲｉとインダクタンスＬｉとを低減させることができた場合には、バスバー３，４の抵抗Ｒｍ１，Ｒｍ２とインダクタンスＬｍ１，Ｌｍ２とによる影響が顕著になる。すなわち、半導体モジュール１では、上記の抵抗Ｒｍ１，Ｒｍ２及びインダクタンスＬｍ１，Ｌｍ２の増加分に応じて、流れる電流が半導体モジュール２の電流より小さくなる。ここで、仮に、半導体モジュール１，２を接続するバスバー３，４を並行に配置して、バスバー３，４のインダクタンスＬｍ１，Ｌｍ２による影響を低減できても、バスバー３，４の抵抗Ｒｍ１，Ｒｍ２の影響を低減することは困難である。このため、半導体モジュール１は、特にバスバー３，４

の抵抗Ｒｍ１，Ｒｍ２の影響により、流れる電流が半導体モジュール２の電流より小さくなる。

[0023] そこで、第１の実施の形態の半導体装置１０では、抵抗Ｒｍ１，Ｒｍ２を抵抗Ｒｉの１０％以下とし、また、インダクタンスＬｍ１，Ｌｍ２をインダクタンスＬｉの１０％以下としている。このため、半導体装置１０では、バスバー３，４の抵抗Ｒｍ１，Ｒｍ２とインダクタンスＬｍ１，Ｌｍ２とによる影響が低減される。

[0024] 次に、抵抗Ｒｍ１，Ｒｍ２（並びにインダクタンスＬｍ１，Ｌｍ２）の、抵抗Ｒｉ（並びにインダクタンスＬｉ）に対する比率に応じた、半導体素子－ケース間の温度差及びパワーサイクル寿命について説明する。

[0025] 図２は、第１の実施の形態の半導体素子－ケース間の温度差及びパワーサイクル寿命を示すグラフである。

なお、図２（Ａ）において、横軸は半導体素子１ａと半導体素子２ａとの間の電流の差（％）を、縦軸は温度がより高くなる半導体モジュール２における半導体素子２ａとケースとの間の温度差ΔＴｊの相対値を示している。なお、縦軸は、半導体素子１ａと半導体素子２ａとの電流の差が０％（すなわち半導体素子１ａと半導体素子２ａとの電流の差がない）の場合のΔＴｊを基準（１００％）としている。

[0026] また、図２（Ｂ）は、横軸は前述のΔＴｊの相対値を、縦軸は半導体素子１ａに対する半導体素子２ａのパワーサイクル寿命（サイクル）の相対値を、それぞれ対数で示している。なお、縦軸は、半導体素子１ａと半導体素子２ａとの電流の差が０％の場合のパワーサイクル寿命を基準（１００％）としている。

[0027] また、図２（Ａ）の評価は以下のようにして行われる。

評価対象の半導体素子１ａ，２ａに対して電流を流し、この電流値を変化させることで、半導体素子１ａと半導体素子２ａとの間の電流の差とする。なお、半導体素子１ａ，２ａは定格電圧が１２００Ｖ、定格電流が１００Ａである。半導体素子１ａ，２ａに接続される電源は、電圧を６００Ｖ、周波

数を１５ｋＨｚ、力率を０．９である。

[0028] 次に、半導体素子１ａと半導体素子２ａとの間の電流の差の比率を、０％、５％、１０％、１５％、２０％として、半導体素子２ａに流れる電流を基準値（０％）から、５％、１０％、１５％、２０％増加させた場合の半導体素子２ａのケースとの間の温度差ΔＴｊを計測する。

[0029] 図２（Ａ）のグラフによれば、半導体素子１ａと半導体素子２ａとの間の電流の差が増加するに従い、温度差ΔＴｊが増加していることが認められる。すなわち、半導体素子１ａと比較して、半導体素子２ａの温度が上昇することを示している。

[0030] なお、既述の通り、半導体装置１０において、バスバー３，４の抵抗Ｒｍ１，Ｒｍ２及びインダクタンスＬｍ１，Ｌｍ２を低減させると、半導体モジュール１と半導体モジュール２との間の電流の差を低減させることができる。すなわち、抵抗Ｒｍ１，Ｒｍ２（インダクタンスＬｍ１，Ｌｍ２）の、抵抗Ｒｉ（インダクタンスＬｉ）に対する比率が増加するにつれて、半導体素子１ａと半導体素子２ａとの間の電流の差が大きくなると言える。したがって、図２（Ａ）から、抵抗Ｒｍ１，Ｒｍ２（インダクタンスＬｍ１，Ｌｍ２）が増加するに連れて、温度差ΔＴｊが増加すると考えられる。

[0031] また、図２（Ａ）に示す各温度差ΔＴｊにおける半導体素子１ａのパワーサイクル寿命（サイクル）の評価を行った。

この評価結果を示す図２（Ｂ）のグラフによれば、温度差ΔＴｊが増加するに従い、半導体素子２ａのパワーサイクル寿命が低下することが認められる。なお、各温度差ΔＴｊは、図２（Ａ）に記載の半導体素子１ａと半導体素子２ａとの間の電流の差に対応するものである。すなわち、この評価結果は、半導体素子１ａと半導体素子２ａとの間の電流の差が増加するに従い、半導体素子２ａのパワーサイクル寿命が低下することを示している。

[0032] 特に、半導体素子１ａと半導体素子２ａとの電流の差が１０％の場合では、この電流の差が０％の場合に対して、パワーサイクル寿命が約１／４（２３．９％）に低下している。また、この電流の差が１５％の場合では、電流

差０％の場合に対して、パワーサイクル寿命が約１／８（１２．６％）に低下している。ここで、半導体素子２ａのパワーサイクル寿命については、半導体素子１ａの１／５程度までの低下が許容される。このため、半導体素子１ａと半導体素子２ａとの間の電流の差の比率を１０％以下にすればよい。

[0033] ここで、端子部３ａと端子部４ａとの間に電圧を印加し、半導体素子１ａに流れる電流をＩ１、半導体素子２ａに流れる電流をＩ２とした場合、以下の式（１）が成り立つ。

Ｉ２＝（（Ｒｍ１＋Ｒｍ２）／２Ｒｉ）＊Ｉ１・・・（１）

すなわち、半導体素子１ａと半導体素子２ａとの間の電流の差は、半導体モジュール１，２の配線部１ｃ，１ｅ，２ｃ，２ｅの抵抗の合計値２Ｒｉに対する、バスバー３とバスバー４との抵抗の合計値Ｒｍ１＋Ｒｍ２の比率と等しい。そのため、半導体素子１ａと半導体素子２ａとの電流の差を１０％以下にするためには、半導体モジュール１，２の配線部１ｃ，１ｅ，２ｃ，２ｅの抵抗（２Ｒｉ）に対して、バスバー３，４の抵抗（Ｒｍ１＋Ｒｍ２）を１０％以下にすればよい。

[0034] なお、式（１）に関しては、インダクタンスについても同様である。そのため、半導体素子１ａと半導体素子２ａとの電流の差を１０％以下にするためには、半導体モジュールの配線部のインダクタンス（２Ｌｉ）に対して、バスバー３，４のインダクタンス（Ｌｍ１＋Ｌｍ２）を１０％以下にすればよい。

[0035] また、半導体モジュール１，２の配線部１ｃ，１ｅ，２ｃ，２ｅの抵抗及びインダクタンスに対して、バスバー３とバスバー４との抵抗及びインダクタンスの差を５％以下にすれば、半導体素子２ａのパワーサイクル寿命を半導体素子１ａの約１／２にすることができるため、より好ましい。

[0036] 上記のように本実施形態により、半導体装置１０の寿命の低下を抑制し、半導体装置の信頼性を改善することができる。

［第２の実施の形態］

第２の実施の形態では、第１の実施の形態の半導体装置についてより具体

的に説明する。

[0037] 図３は、第２の実施の形態の半導体モジュールの一例を示す図である。

なお、図３（Ａ）は、半導体モジュール５０に含まれる構成の側面図を、図３（Ｂ）は、半導体モジュール５０の斜視図を、図３（Ｃ）は、半導体モジュール５０の回路図をそれぞれ示している。

[0038] 半導体モジュール５０は、図３（Ａ）に示されるように、半導体チップ５３ａ，５３ｂと、絶縁基板５２ａ，５２ｂと、導電ポスト５４と、プリント基板５５と、端子５６～５９とを備えている。半導体チップ５３ａ，５３ｂは、ＩＧＢＴやパワーＭＯＳＦＥＴ、ＦＷＤ等のパワー半導体である。なお、図３（Ａ）では、絶縁基板５２ａ，５２ｂのそれぞれの上に一つの半導体チップ５３ａ，５３ｂのみを表示している。実際は、絶縁基板５２ａ，５２ｂのそれぞれのおもて面側の回路板上に、ＩＧＢＴ等のスイッチングデバイスとＦＷＤとを配置して、図３（Ｃ）に示される等価回路が構成されている。

[0039] 絶縁基板５２ａ，５２ｂは、伝熱性の良いアルミナ等のセラミック板と、その表裏面に配置された銅等の導電性材料で構成される回路板と金属板とで構成されている。おもて面側の回路板には、所定の回路パターンが形成されている。絶縁基板５２ａ，５２ｂは、例えばＤＣＢ（Direct Copper Bonding）基板やＡＭＢ（Active Metal Blazing）基板等である。なお、図３（Ａ）に示す通り、絶縁基板５２ａ，５２ｂと半導体チップ５３ａ，５３ｂの間に、放熱性を高める銅板５１ａ，５１ｂを配置しても良い。

[0040] プリント基板５５は、絶縁基板５２ａ，５２ｂの回路板に対向して配置されている。プリント基板５５は配線用の金属層を有する。

筒形状の導電ポスト５４は、一方がプリント基板５５の金属層に接続され、他方が半導体チップ５３ａ，５３ｂや、絶縁基板５２ａ，５２ｂの回路板に接続されている。

[0041] このように、半導体モジュール５０の配線部には、絶縁基板５１ａ，５１ｂ、プリント基板５５及び導電ポスト５４が用いられている。

従来の半導体モジュールにおいて、配線部にはボンディングワイヤがよく用いられている。しかしながら、細線であるボンディングワイヤによる接続では、配線部の抵抗やインダクタンスを低減することは困難である。

[0042] 一方、第２の実施の形態に示すように、配線部に導電ポストやプリント基板を用いると、ボンディングワイヤに比べ配線の断面積を太くすることができ、配線部の抵抗やインダクタンスを低減することができる。また、プリント基板の両面に逆並列で金属層を配置することにより、さらに配線部のインダクタンスを低減することができる。

[0043] 図３（Ｃ）の回路図に示されるように、半導体モジュール５０には、スイッチングデバイス（以下、単にトランジスタという）Ｑ１とＦＷＤ（以下、ダイオードという）Ｄ１の逆並列回路と、トランジスタＱ２とダイオードＤ２との逆並列回路とが、直列に接続されている。さらに、上記回路の配線は、内部抵抗Ｒ１，Ｒ２及び内部インダクタンスＬ１，Ｌ２をそれぞれ有する。

[0044] ここで、絶縁基板５２ａ，５２ｂ上に配置される半導体チップ５３ａ，５３ｂは、図３（Ｃ）に示すトランジスタＱ１，Ｑ２とダイオードＤ１，Ｄ２の逆並列回路を等価的に構成すればよい。このため、トランジスタＱ１，Ｑ２とダイオードＤ１，Ｄ２とは、どちらかあるいは双方が同定格の複数個の半導体チップを搭載するようにしてもよい。

[0045] 半導体チップ５３ａの下面にはトランジスタＱ１のコレクタ電極が配置され、回路板を介して半導体モジュール５０のコレクタ端子Ｃ１である端子５６が接続されている。他方の半導体チップ５３ｂの裏面に配置されたトランジスタＱ２のコレクタ電極も、回路板を介してコレクタ／エミッタ端子Ｃ２／Ｅ１である端子５８が接続されている。また、半導体チップ５３ａ，５３ｂのおもて面には、トランジスタＱ１，Ｑ２のエミッタ電極及びゲート電極が配置され、それぞれ導電ポスト５４を介してプリント基板５５に接続される。このうちトランジスタＱ１のエミッタ電極は、導電ポスト５４やプリント基板５５を介して端子５８と接続され、トランジスタＱ２のエミッタ電極

は導電ポストやプリント基板５５を介してエミッタ端子Ｅ２である端子５７に接続されている。

[0046] 端子５６～５８は、図３（Ｂ）に示すように半導体モジュール５０に２本ずつ対向して配置されている。また、半導体モジュール５０は端子５６～５８以外に、先端が突起している４本の端子５９をさらに有している。これらの端子５９のうちの２本はハーフブリッジ回路のトランジスタＱ１，Ｑ２のゲート電極にゲート制御信号を供給するゲート端子Ｇ１，Ｇ２であり、プリント基板５５に接続されている。また、残りの２本は制御（補助）端子であって、トランジスタＱ１，Ｑ２のコレクターエミッタ間に流れる電流をセンシングするセンス信号を出力する検査端子（図３（Ｃ）では図示を省略）を構成している。すなわち、端子５６～５８は半導体モジュール５０の主電流を流す主端子であり、端子５９は半導体モジュール５０を制御するための制御端子である。

[0047] 半導体モジュール５０の各構成要素は、例えばエポキシ樹脂などの熱硬化性樹脂によってモールドされ、保護される。半導体モジュール５０は、全体として図３（Ｂ）に示すような直方体である。そして１０本の端子５６～５９の端部が、半導体モジュール５０の上面から突出している。半導体モジュール５０の底面には、絶縁基板５２，５３の底面側の金属板に対応して、銅板５１ｃ，５１ｄがそれぞれ面一となるように配置されている。

[0048] 次に、このような半導体モジュール５０により構成される半導体装置について、図４を用いて説明する。

図４は、第２の実施の形態の半導体装置を示す斜視図である。

[0049] なお、図４で示す半導体モジュール５０ａ～５０ｅは半導体モジュール５０と同一の構成をなす。なお、半導体モジュール５０は、半導体モジュール５０ａ～５０ｅの総称である。

[0050] 半導体装置１００は、同じ向きに配置した５つの半導体モジュール５０ａ～５０ｅを含む。

また、半導体装置１００は、各半導体モジュール５０ａ～５０ｅの主端子

である端子５６同士を電気的に接続するバスバー６０と、各半導体モジュール５０ａ～５０ｅの主端子である端子５７同士を電気的に接続するバスバー７０と、各半導体モジュール５０ａ～５０ｅの主端子である端子５８同士を電気的に接続するバスバー８０と、を有する。

[0051] バスバー６０，７０，８０は、丸孔６４，７４，８４が設けられた端子部６３（Ｐ端子）、端子部７３（Ｎ端子）、端子部８３（ＡＣ端子）をそれぞれ備える。端子部６３，７３，８３に、外部から電源が接続される。

[0052] 図５は、第２の実施の形態のバスバーを示す図である。

なお、図５は、バスバー６０を例示しており、図５（Ａ）は、正面図を、図５（Ｂ）は、図５（Ａ）の反対側の裏面図を、図５（Ｃ）は、側面図を、図５（Ｄ）は、上面図をそれぞれ示している。

[0053] バスバー６０は、凸部６２を備える板部６１と、凸部６２の先端に設けられた端子部６３と、板部６１の下端側に設けられた複数の取付部６５とを有する。端子部６３には丸穴６４が設けられ、取付部６５には丸孔６６が設けられている。また、端子部６３と取付部６５は、板部６１に対して略直角に配置されている。

[0054] また、バスバー７０，８０も、凸部及び端子部の位置が図４に示したようにそれぞれ異なっているだけで、他の構成はバスバー６０と同様である。

そして、５つ並べられた半導体モジュール５０ａ～５０ｅの端子５６を、バスバー６０の取付部６５の対応する丸孔６６にそれぞれ挿し通して突出させる。そして、丸孔６６から突出した端子５６が取付部６５にはんだ付けされ、バスバー６０と半導体モジュール５０ａ～５０ｅが電気的に接続される。バスバー７０，８０も同様に半導体モジュール５０ａ～５０ｅの端子５７，５８に接続され、半導体装置１００が構成される。

[0055] 図６は、第２の実施の形態において、半導体モジュールを並列に接続するバスバーを説明するための図である。

バスバー６０の各半導体モジュール５０ａ～５０ｅの間には、抵抗Ｒ１１，Ｒ１３，Ｒ１５，Ｒ１７及びインダクタンスＬ１１，Ｌ１３，Ｌ１５，Ｌ

１７がそれぞれ内在している。また、バスバー６０の端子部６３は抵抗Ｒ１３と抵抗Ｒ１５との間に接続されており、端子部６３と半導体モジュール５０ｃとの取付部との間の抵抗及びインダクタンスは無視できるほど小さい。

[0056] また、バスバー７０にも、図示を省略するものの、同様に、各半導体モジュール５０の間には、抵抗及びインダクタンスがそれぞれ内在している。

なお、バスバー６０，７０は、例えば、銅合金等の導電性の材料が用いられる。また、バスバー６０，７０は、これらの抵抗及びインダクタンスができる限り小さくなるようなサイズ（長さ、高さ、厚さ）が選択される。

[0057] また、バスバー６０及びバスバー７０を、図４に示すように並行に配置することで、バスバー６０及びバスバー７０に内在するインダクタンスを低減することができる。

図７は、第２の実施の形態の半導体装置で構成される回路を示す図である。

[0058] 半導体装置１００には、半導体モジュール５０ａ～５０ｅが並列に接続されている。

半導体モジュール５０ａ～５０ｅの各コレクタ端子Ｃ１がバスバー６０によりそれぞれ接続されている。半導体モジュール５０ａ～５０ｅの各エミッタ端子Ｅ２がバスバー７０によりそれぞれ接続されている。さらに、各コレクタ／エミッタ端子Ｃ２／Ｅ１がバスバー８０によりそれぞれ接続されている。

[0059] バスバー６０には、既述の通り、半導体モジュール５０ａ～５０ｅの各コレクタ端子Ｃ１間に抵抗Ｒ１１，Ｒ１３，Ｒ１５，Ｒ１７及びインダクタンスＬ１１，Ｌ１３，Ｌ１５，Ｌ１７がそれぞれ内在している。また、バスバー７０も、同様に、半導体モジュール５０ａ～５０ｅのエミッタ端子Ｅ２間に抵抗Ｒ１２，Ｒ１４，Ｒ１６，Ｒ１８及びインダクタンスＬ１２，Ｌ１４，Ｌ１６，Ｌ１８がそれぞれ内在している。

[0060] 上記回路構成において、各半導体モジュール５０ａ～５０ｅに接続されるバスバー６０及びバスバー７０の、端子部（Ｎ端子、Ｐ端子）から各取付部

までの抵抗及びインダクタンスについて、以下に述べる。

[0061] 半導体モジュール５０ａに接続されるバスバーの抵抗はＲ１１＋Ｒ１２＋Ｒ１３＋Ｒ１４であり、インダクタンスはＬ１１＋Ｌ１２＋Ｌ１３＋Ｌ１４である。

半導体モジュール５０ｂに接続されるバスバーの抵抗はＲ１３＋Ｒ１４であり、インダクタンスはＬ１３＋Ｌ１４である。

[0062] 半導体モジュール５０ｃに接続されるバスバーの抵抗およびインダクタンスは無視できるほど小さい。

半導体モジュール５０ｄに接続されるバスバーの抵抗はＲ１５＋Ｒ１６であり、インダクタンスはＬ１５＋Ｌ１６である。

[0063] 半導体モジュール５０ｅに接続されるバスバーの抵抗はＲ１５＋Ｒ１６＋Ｒ１７＋Ｒ１８であり、インダクタンスはＬ１５＋Ｌ１６＋Ｌ１７＋Ｌ１８である。

すなわち、各半導体モジュール５０ａ～５０ｅの端子部とそれぞれの取付部との間の抵抗のうち、最も大きい抵抗は、Ｒ１１＋Ｒ１２＋Ｒ１３＋Ｒ１４（半導体モジュール５０ａ）もしくはＲ１５＋Ｒ１６＋Ｒ１７＋Ｒ１８（半導体モジュール５０ｅ）のいずれかである。ここで、上記の最も大きい抵抗を、半導体モジュール５０の配線部の抵抗Ｒ１＋Ｒ２の１０％以下にする。これにより、各半導体モジュール５０ａ～５０ｅに接続されるバスバーの端子部から取付部までのすべての抵抗が、半導体モジュール５０の配線部の抵抗の１０％以下になる。

[0064] また、各半導体モジュール５０ａ～５０ｅの端子部とそれぞれの取付部との間のインダクタンスのうち、最も大きいインダクタンスは、Ｌ１１＋Ｌ１２＋Ｌ１３＋Ｌ１４（半導体モジュール５０ａ）もしくはＬ１５＋Ｌ１６＋Ｌ１７＋Ｌ１８（半導体モジュール５０ｅ）のいずれかである。そして、上記最も大きいインダクタンスを、半導体モジュール５０の配線部のインダクタンスＬ１＋Ｌ２の１０％以下にする。これにより、各半導体モジュール５０ａ～５０ｅに接続されるバスバーの端子部から取付部までのすべてのイン

ダクタンスが、半導体モジュール５０の配線部の抵抗の１０％以下になる。

[0065] これにより、第１の実施の形態と同様、各半導体モジュール５０ａ～５０ｅに流れる電流の差を１０％以下にすることができる。このため、半導体装置１００の寿命の低下を抑制し、信頼性を改善することができる。

[0066] 具体例として、配線部の抵抗が０．６ｍΩ、インダクタンスが１５ｎＨである半導体モジュール５０を、並列接続で用いる場合について示す。

この場合、バスバー６０の、端子部から最も抵抗及びインダクタンスの大きい取付部までの幅を４４ｍｍ、高さを３０ｍｍ、厚さを１ｍｍにし、並行に配置するバスバー７０との距離を１ｍｍにする。すると、バスバー６０の端子部から取付部までの抵抗は４８Ω、インダクタンスは２ｎＨとなる。

[0067] このようにすれば、端子部とそれぞれの取付部との抵抗のうち、最も大きい抵抗と最も小さい抵抗との差は２５ｎΩ以下となる。また、最も大きいインダクタンスと最も小さいインダクタンスとの差は２ｎＨ以下となる。

[0068] これにより、バスバーの抵抗およびインダクタンスを、配線部の抵抗およびインダクタンスの１０％以下にすることができ、各半導体モジュールに流れる電流の差を１０％以下にすることができる。

[0069] さらに、上記バスバーの高さを６０ｍｍにすれば、バスバーの端子部から取付部までの抵抗は０．５９Ω、インダクタンスは１ｎＨとなる。

これにより、バスバーの抵抗およびインダクタンスを、配線部の抵抗およびインダクタンスの５％以下にすることができ、各半導体モジュールに流れる電流の差を５％以下にすることができるので、より好ましい。

[0070] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

[0071] １，２ 半導体モジュール

１ａ，２ａ　半導体素子

１ｂ，１ｄ，２ｂ，２ｄ　主端子

１ｃ，１ｅ，２ｃ，２ｅ　配線部

３，４　バスバー

３ａ，４ａ　端子部

３ｂ１，３ｂ２，４ｂ１，４ｂ２　取付部

１０　半導体装置

請求の範囲

[請求項1]　半導体素子と、外部に導出された主端子と、前記半導体素子と前記主端子とを接続する配線部とを有する複数の半導体モジュールと、

一つの端子部と、前記主端子に接続される複数の取付部を有し、前記半導体モジュールを並列に接続する一以上のバスバーと、

を備え、

前記端子部とそれぞれの前記取付部との間の抵抗のうち、最も大きい抵抗が、前記配線部の抵抗の１０％以下であり、

前記端子部とそれぞれの前記取付部との間のインダクタンスのうち、最も大きいインダクタンスが、前記配線部のインダクタンスの１０％以下である半導体装置。

[請求項2]　前記端子部とそれぞれの前記取付部との間の抵抗のうち、最も大きい抵抗が、前記配線部の抵抗の５％以下であり、

前記端子部とそれぞれの前記取付部との間のインダクタンスのうち、最も大きいインダクタンスが、前記配線部のインダクタンスの５％以下である、

請求項１に記載の半導体装置。

[請求項3]　前記配線部は、絶縁基板と、前記絶縁基板に対向するプリント基板と、前記プリント基板に接続された導電ポストとを有する、

請求項１に記載の半導体装置。

[請求項4]　前記主端子は、前記絶縁基板もしくは前記プリント基板に接続されている、

請求項３に記載の半導体装置。

[請求項5]　前記主端子は、第１主端子と第２主端子とを含み、

前記バスバーは、前記第１主端子に接続される第１バスバーと、前記第２主端子に接続される第２バスバーを含み、

前記第１バスバーと前記第２バスバーとが並行に配置されている、

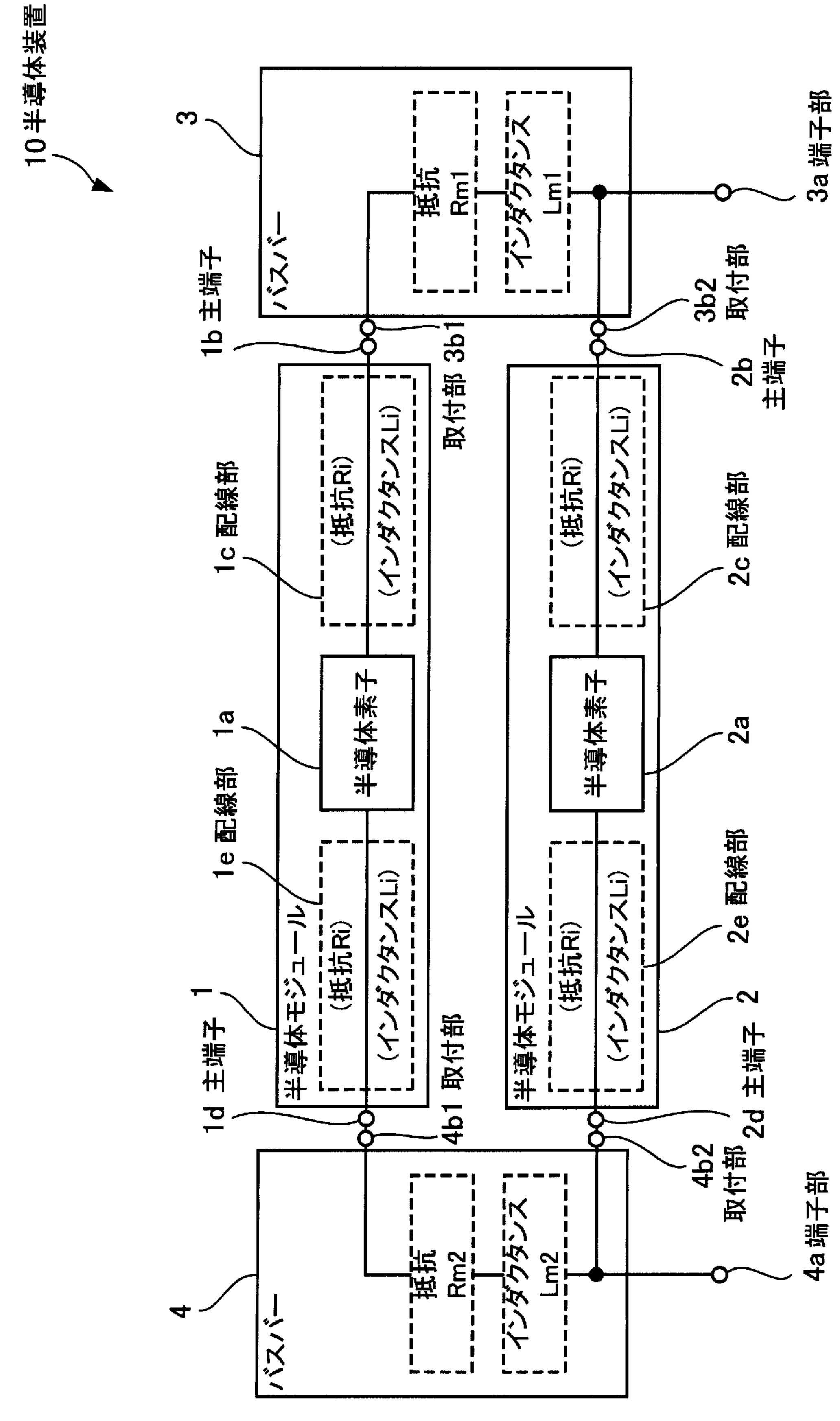
請求項１に記載の半導体装置。

[請求項6] 前記第１バスバーと前記第２バスバーとの間隔が１ｍｍ以下である
、
請求項５に記載の半導体装置。

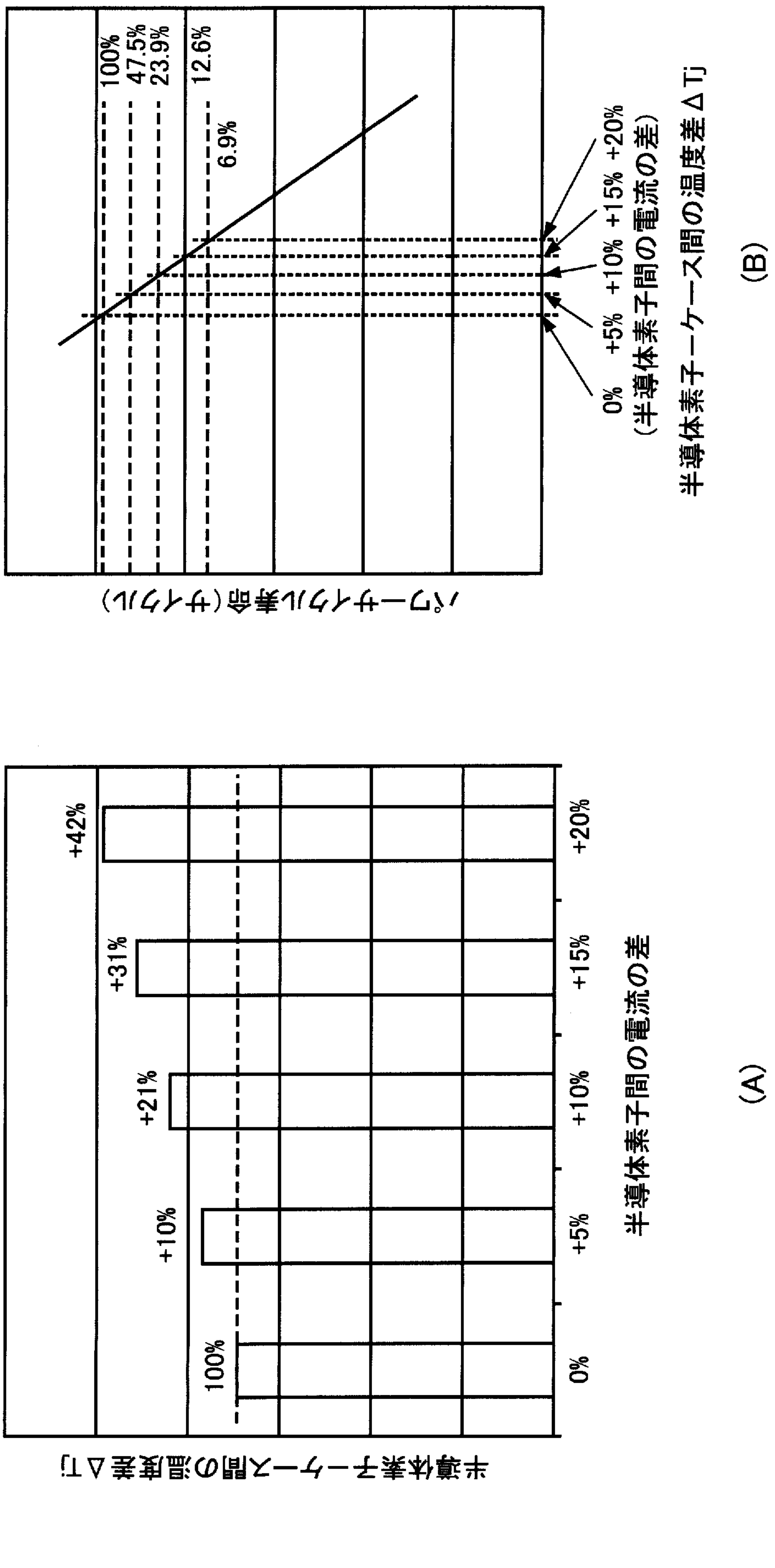
[請求項7] 一つの端子部と、複数の取付部とを有し、前記取付部で複数の半導体モジュールを並列に接続するバスバーであって、
前記端子部とそれぞれの前記取付部との抵抗のうち、最も大きい抵抗と最も小さい抵抗との差が２５ｎΩ以下であり、
前記半導体モジュールを並列に接続する他のバスバーが間隔１ｍｍ以下で並列に配置されている場合の前記端子部とそれぞれの前記取付部とのインダクタンスのうち、最も大きいインダクタンスと最も小さいインダクタンスとの差が２ｎＨ以下であるバスバー。

[請求項8] 前記半導体モジュールを並列に接続する他のバスバーが間隔１ｍｍ以下で並列に配置されている場合の前記端子部とそれぞれの前記取付部とのインダクタンスのうち、最も大きいインダクタンスと最も小さいインダクタンスとの差が１ｎＨ以下である、
請求項７に記載のバスバー。

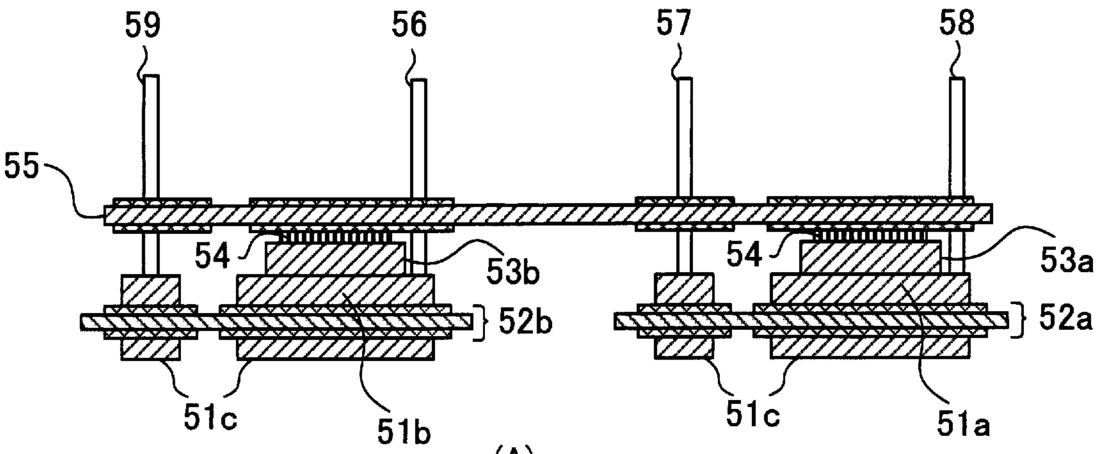
[図1]


10半導体装置
3
バスバー
抵抗
Rm1
インダクタンス
Lm1
3a 端子部
1b 主端子
3b1 取付部
3b2 取付部
2b 主端子
1c 配線部
2c 配線部
(抵抗Ri)
(インダクタンスLi)
半導体素子
1a
2a
1e 配線部
2e 配線部
半導体モジュール
1
2
1d 主端子
4b1 取付部
2d 主端子
4b2 取付部
4a 端子部
4
バスバー
抵抗
Rm2
インダクタンス
Lm2

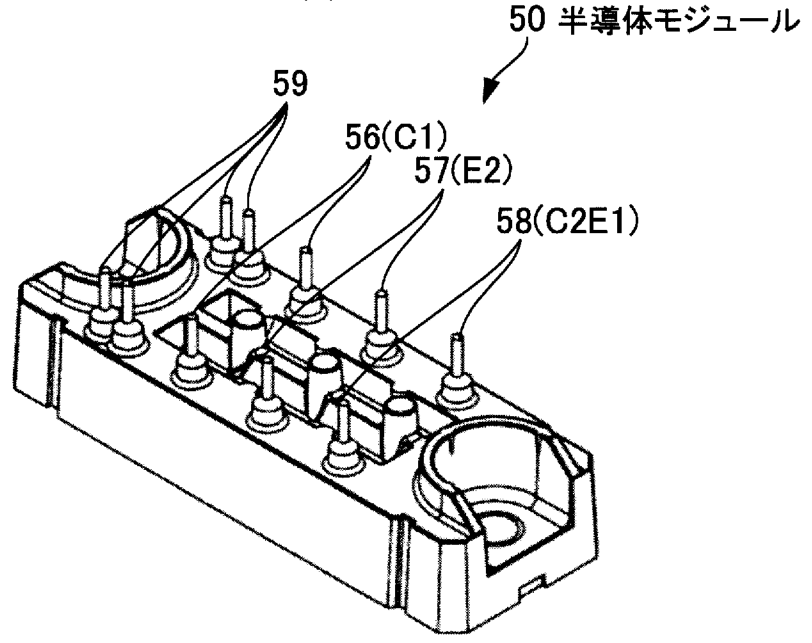
[図2]


100%
47.5%
23.9%
12.6%
6.9%
0% +5% +10% +15% +20%
(半導体素子間の電流の差)
半導体素子ーケース間の温度差ΔTj
パワーサイクル寿命(サイクル)
(B)
+42%
+31%
+21%
+10%
100%
0% +5% +10% +15% +20%
半導体素子間の電流の差
半導体素子ーケース間の温度差ΔTj
(A)

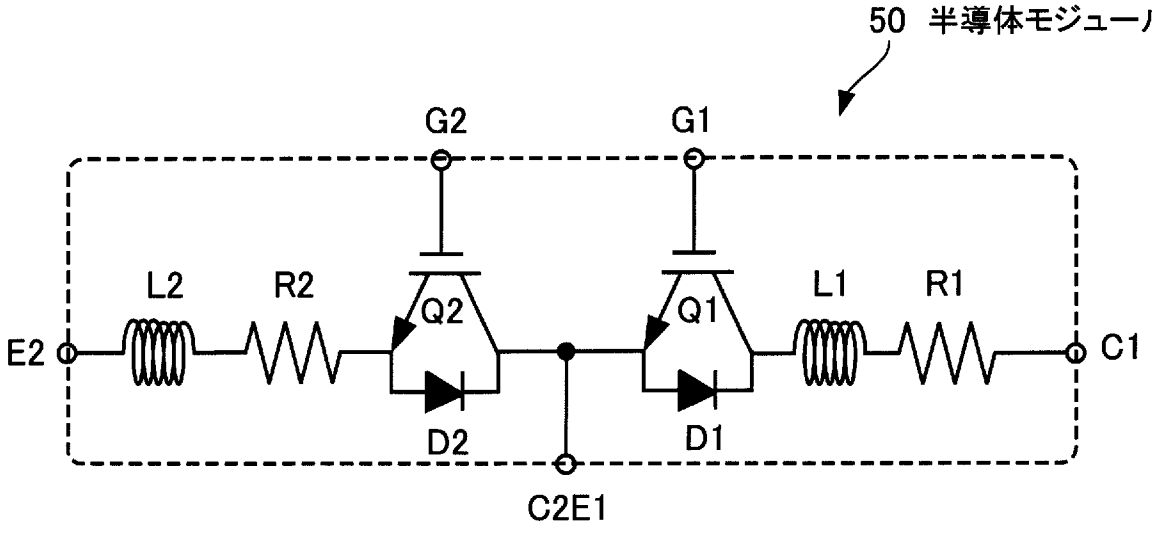
[図3]


59
56
57
58
55
54
53b
54
53a
52b
52a
51c
51b
51c
51a

(A)

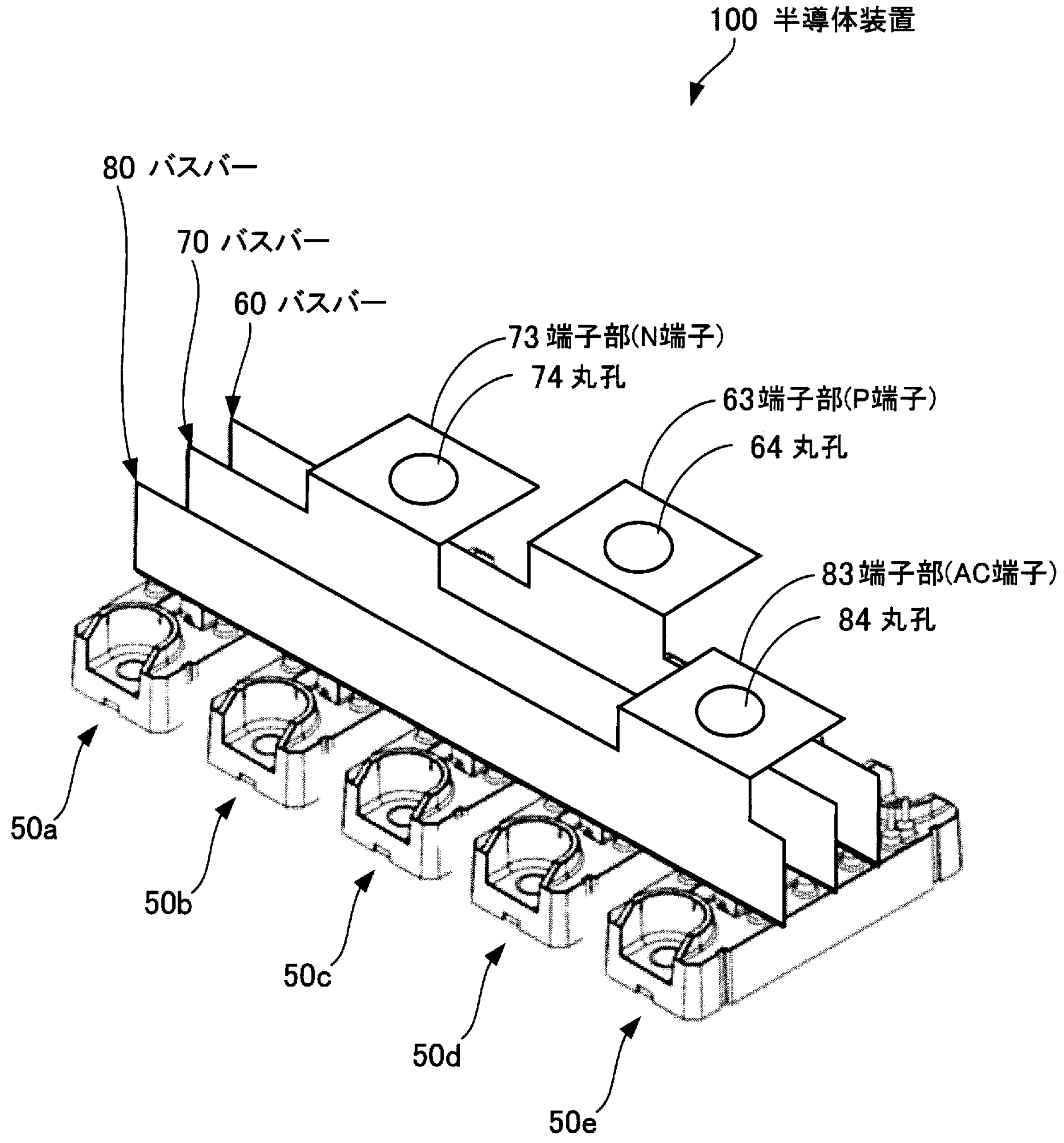

50 半導体モジュール
59
56(C1)
57(E2)
58(C2E1)

(B)

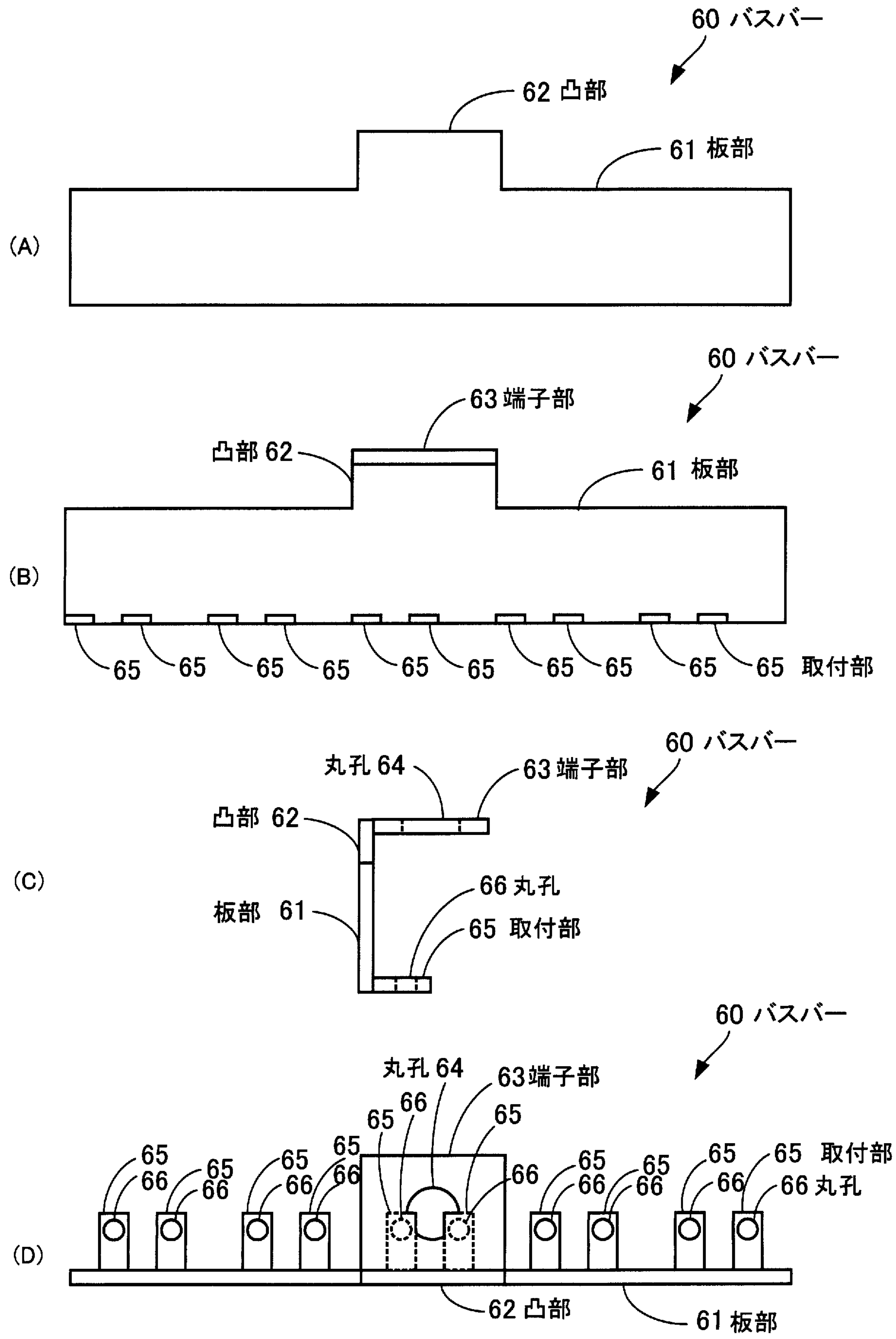

50 半導体モジュール
G2
G1
L2
R2
Q2
Q1
L1
R1
E2
C1
D2
D1
C2E1

(C)

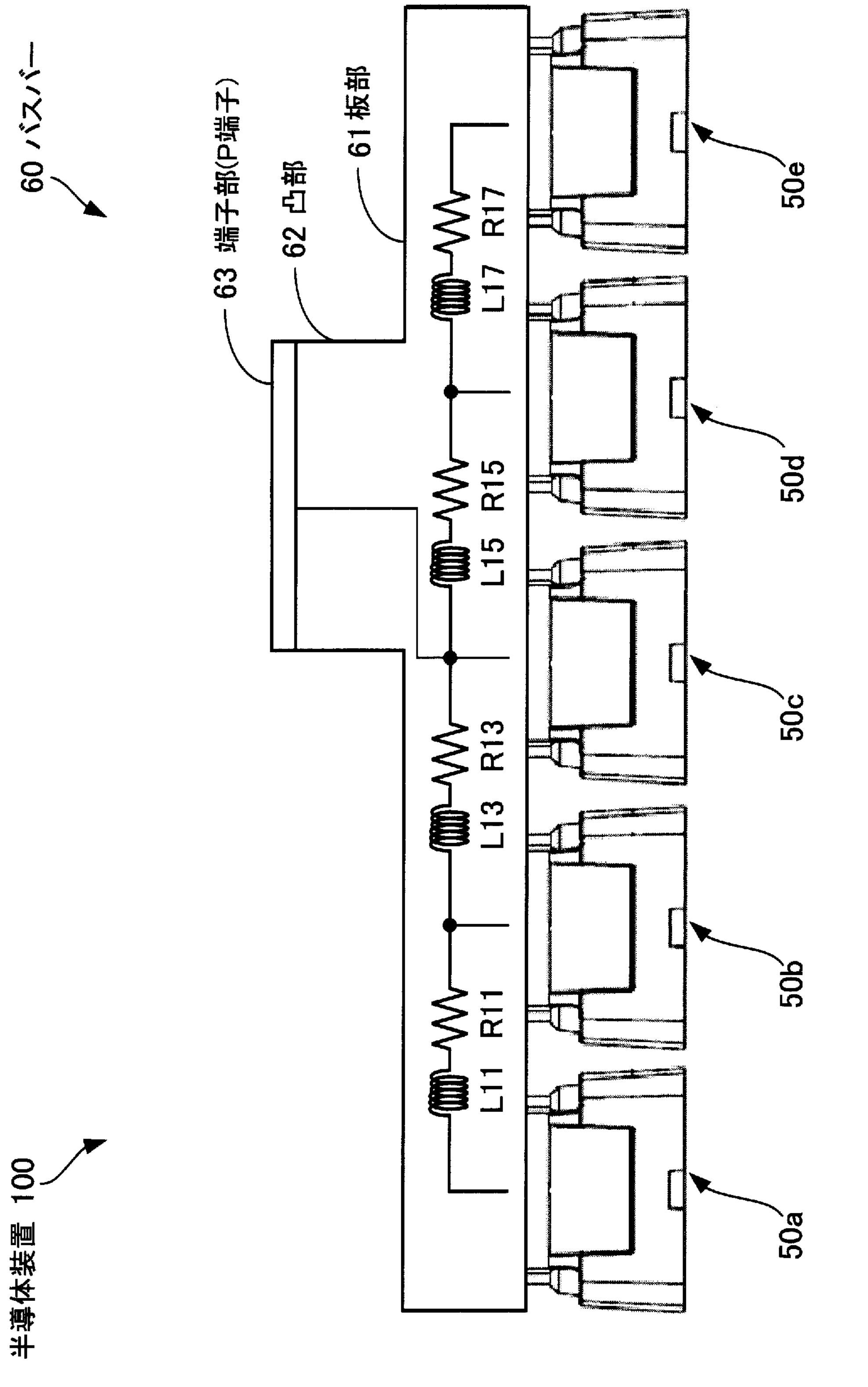
［図4］


100 半導体装置
80 バスバー
70 バスバー
60 バスバー
73 端子部(N端子)
74 丸孔
63端子部(P端子)
64 丸孔
83端子部(AC端子)
84 丸孔
50a
50b
50c
50d
50e

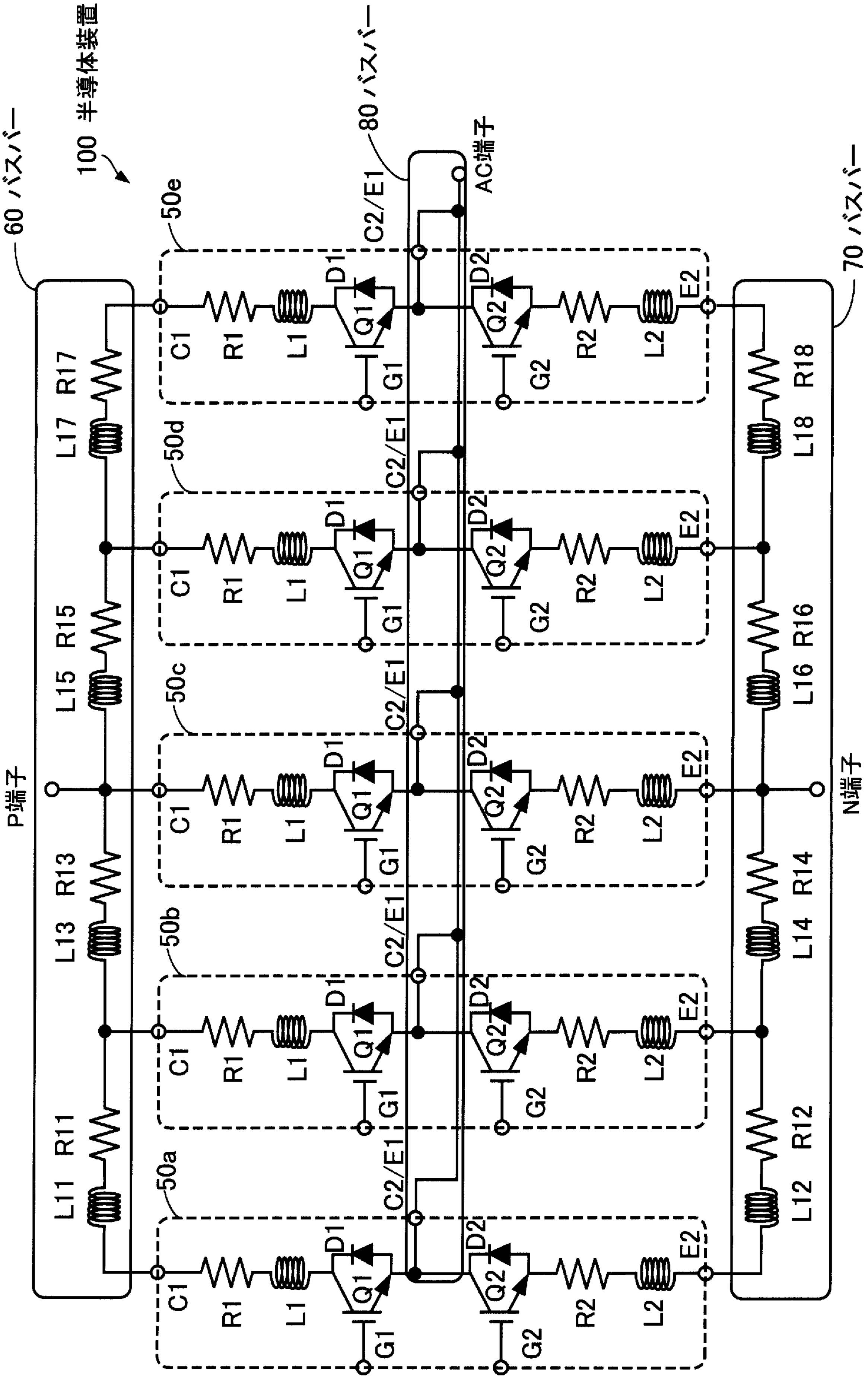
[図5]


60 バスバー
62 凸部
61 板部
(A)
60 バスバー
63 端子部
凸部 62
61 板部
(B)
65
65 取付部
60 バスバー
丸孔 64
63 端子部
凸部 62
(C)
66 丸孔
板部 61
65 取付部
60 バスバー
丸孔 64
63端子部
66
65
65 取付部
66 丸孔
(D)
62 凸部
61 板部

[図6]


60 バスバー
63 端子部(P端子)
62 凸部
61 板部
R17
L17
R15
L15
R13
L13
R11
L11
50e
50d
50c
50b
50a
半導体装置 100

［図7］


100 半導体装置
60 バスバー
80 バスバー
70 バスバー
AC端子
P端子
N端子
50a
50b
50c
50d
50e
C1
R1
L1
D1
Q1
G1
C2/E1
D2
Q2
G2
R2
L2
E2
L11
R11
L12
R12
L13
R13
L14
R14
L15
R15
L16
R16
L17
R17
L18
R18

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/074456

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/07(2006.01)i, *H01L25/18*(2006.01)i, *H02M7/48*(2007.01)i, *H05K7/06*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L25/07, H01L25/18, H02M7/48, H05K7/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-146933 A (Denso Corp.), 02 July 2009 (02.07.2009), paragraphs [0020] to [0048]; fig. 1, 5 (Family: none)	1-8
A	JP 2014-017319 A (Toyota Industries Corp.), 30 January 2014 (30.01.2014), paragraphs [0006] to [0007]; fig. 1 to 2 & US 2014/0008781 A1 & DE 102013213205 A & KR 10-2014-0005813 A & CN 103531574 A	1-8
P,A	JP 2014-236150 A (Fuji Electric Co., Ltd.), 15 December 2014 (15.12.2014), paragraphs [0018] to [0031]; fig. 1 to 4 & US 2014/0355219 A1 & DE 102014210604 A	1-8

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
29 October 2015 (29.10.15)

Date of mailing of the international search report
10 November 2015 (10.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3,Kasumigaseki,Chiyoda-ku,
Tokyo 100-8915,Japan

Authorized officer

Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０７４４５６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i, H05K7/06(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/07, H01L25/18, H02M7/48, H05K7/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-146933 A（株式会社デンソー）2009.07.02, 段落[0020]-[0048],図 1,5（ファミリーなし）	1-8
A	JP 2014-017319 A（株式会社豊田自動織機）2014.01.30, 段落[0006]-[0007],図 1-2 & US 2014/0008781 A1 & DE 102013213205 A & KR 10-2014-0005813 A & CN 103531574 A	1-8
P,A	JP 2014-236150 A（富士電機株式会社）2014.12.15, 段落[0018]-[0031],図 1-4 & US 2014/0355219 A1 & DE 102014210604 A	1-8

□　Ｃ欄の続きにも文献が列挙されている。　　□　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日
２９．１０．２０１５

国際調査報告の発送日
１０．１１．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　４４５１
多賀　和宏
電話番号　０３－３５８１－１１０１　内線　３５５１