(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/283

(11) 공개번호 특2001-0020902
(43) 공개일자 2001년03월15일

(21) 출원번호 10-2000-0028281
(22) 출원일자 2000년05월25일

(30) 우선권주장 1999-145152 1999년05월25일 일본(JP)
(71) 출원인 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 가지따아끼히로
일본가나가와껭요꼬하마시이소고꾸신스기따쪼8가부시끼가이샤도시바요꼬하마퍼실러티어드미너스트레이션센터내
마쯔나가노리아끼
일본가나가와껭요꼬하마시이소고꾸신스기따쪼8가부시끼가이샤도시바요꼬하마퍼실러티어드미너스트레이션센터내
히가시가즈유끼
일본가나가와껭요꼬하마시이소고꾸신스기따쪼8가부시끼가이샤도시바요꼬하마퍼실러티어드미너스트레이션센터내
(74) 대리인 장수길, 구영창

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법

요약

Cu 배선을 갖는 반도체 장치에 있어서, 다이싱 시에 회로 내에 크랙의 발생을 억제함과 동시에 Cu의 확산을 억제하기 위한 것이다.

Si 반도체층(11)의 반도체 소자 회로 영역 R_1에 형성된 반도체 소자와, Si 반도체층(11) 상에 형성된 층간 절연막(20)과, 이 층간 절연막(20)에 형성된 구멍 내에 매립 형성된 Al 합금 필러(18)와, 층간 절연막에 형성되어 Al 합금 필러(18)에 접속되는 홈 내에 형성된 배리어 메탈층(23) 및 Cu 박막(24)으로 이루어지는 Cu 배선과, 반도체 소자 회로 영역 R_1의 외주를 덮도록 층간 절연막에 형성된 링 형상의 홈 내에 형성된 Al 합금 링(19)과 실리콘 질화막(17)으로 이루어지는 비아 링을 구비하여 이루어진다.

대표도

도2

색인어

비아 링 영역, 다이싱 영역, 합금층, 실리콘 질화막, 레지스트 패턴, Al 합금 필러, 합금 링

명세서

도면의 간단한 설명

도 1은 제1 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 공정 단면도.

도 2는 제1 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 공정 단면도.

도 3은 제1 실시 형태에 관한 반도체 장치의 구성을 도시한 평면도.

도 4는 제2 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 공정 단면도.

<도면의 주요 부분에 대한 부호의 설명>

R_1 : 반도체 소자 회로 영역

R_2 : 비아 링 영역

R_3 : 다이싱 영역

11, 31 : 실리콘 반도체 층

12 : Al 합금층

13, 16, 17 : 실리콘 질화막

14, 15, 21 : 레지스트 패턴

18 : Al 합금 필러

19 : Al 합금 링

20, 32 : 층간 절연막

22, 32 : 홈

23, 38 : 배리어 메탈 층

24, 39 : Cu 박막

34 : 합금층

35 : 비아 링

36 : 비아 홀

37 : 배선 홈

40 : Cu 배선층

41 : Cu 비아 플러그

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 Cu 배선 및 반도체 소자 회로 영역의 외주부(外周部)를 끊어짐 없이 둘러싸는 금속 장벽을 구비하는 반도체 장치 및 그 제조 방법에 관한 것이다.

고성능 로직 LSI로 대표되는 반도체 장치에서는 고속 동작을 위해 전달 신호의 RC 지연을 억제할 필요가 있다. 이 때문에, 미세 금속 배선의 재료로서, 종래의 Al 금속 대신에, Cu가 주목받고 있다. Cu 배선의 사용에 있어서는 배선 이외의 영역으로 Cu가 확산되는 것을 방지할 필요가 있다. 이것은 층간 절연막에서 일반적으로 사용되고 있는 실리콘 질화막 등의 배선막 안을 Cu가 매우 빨리 확산하기 때문에, 반도체 소자층까지 확산한 Cu가 캐리어 수명을 단축시키거나 게이트 산화막의 내압을 열화시키거나 하는 문제가 있기 때문이다. 그래서, 일반적으로 Cu 배선을 사용하는 경우에는 Cu에 대해 확산 방지 기능을 갖는 TiN이나 TaN 등의 고융점 금속의 질화물(배리어 메탈)과, 동일하게 Cu에 대해 확산 방지 기능을 갖는 SiN 등의 절연막을 조합함으로써, Cu 배선의 주위에 확산 방지층을 형성하는 수단이 취해지고 있다.

한편, Cu 배선의 사용 유무에 상관없이 반도체 장치에서는 Si 웨이퍼 상에 MOS 트랜지스터 등의 소자층과 다층 배선을 형성한 후, 다이싱(dicing) 공정에 의해 Si 웨이퍼를 칩으로 잘라낸다. 이 다이싱 공정에서는 여러 가지 박막으로 이루어지는 적층막을 다이싱 블레이드(blade)로 절삭 절단하기 때문에, 다층 배선이 형성된 층에서 크랙이 발생하기 쉽고, 이 크랙이 칩 내로 전해져 다층 배선을 파괴한다는 문제가 생긴다. 이 때문에, 예를 들어 다이싱 공정에서 절단면에 크랙이 발생해도, 크랙이 칩 내로 전해지는 것을 방지할 목적으로, 칩 외주부의 다이싱 영역보다도 내측에 칩을 둘러싸는 링 형상의 금속벽을 형성하는 방법이 알려져 있다. 이 링 형상의 금속벽은 다층 배선 공정과 층간 접속 구멍(컨택트 홀, 비아 홀)으로의 금속 매립 공정에 있어서, 각각 링 형상의 패턴을 형성함으로써 형성된다(이하, 링 형상의 구조물을 비아 링이라고 함). 즉, 예를 들면 RIE 가공에 의해 형성된 Al 금속 배선과 CVD법에 의해 접속 구멍에 W를 매립한 W 비아(컨택트) 플러그로 이루어지는 종래의 다층 배선 구조를 갖는 반도체 장치에서는 Al 금속 박막을 배선으로 가공하는 공정에서 칩 외주부에 Al 금속 비아 링을 형성하고, 비아 홀을 층간 절연막에 개공(開孔)하는 공정에서 상기 Al 비아 링 영역 상에 링 형상의 홈을 개공하며, 비아 홀에 W를 매립하는 공정에서 상기 링 형상의 홈에 W를 매립하여 W 비아 링을 형성한다. 이것을 다층 배선의 층수만큼 반복함으로써, Al 합금과 W의 적층 구조로 이루어지는 비아 링을 다층 배선층 영역에 형성할 수 있다.

이와 같이 하여 형성된 비아 링은 다이싱 후의 칩 측면에서의 수분 침투에 대한 배리어 층으로서도 효과적이다. 칩 측면으로부터 칩 내부로 침투한 수분은 배선인 Al 합금을 부식시키거나, MOS 트랜지스터의 동작 불량을 일으켜 문제가 되지만, 비아 링 구조를 구비함으로써 이들 문제를 방지할 수 있다.

그러나, 다층 배선으로서 Cu 배선을 이용하는 경우, 이하의 이유로 종래의 비아 링 구조 및 그 제조 방법에는 문제가 있다. 종래의 비아 링 제조 방법에 따르면, 비아 링의 배선층에 상당하는 부분 및 비아(컨택트) 플러그에 상당하는 부분은 배리어 메탈로 적층된 Cu로 이루어진다. 이 경우, 일반적으로 배리어 메탈의 막 두께는 1~50 nm로 비아 링의 단면 치수에 비해 매우 얇다. 이것은 다층 배선 영역에 있어서 배선 저항과 비아 저항을 낮게 하기 위해, 비저항이 큰 배리어 메탈의 막 두께를 주배선 재료인 Cu의 막 두께(또는 배선 폭, 비아 홀 지름)에 비해 충분히 얇게 할 필요가 있기 때문이다. 이와 같이 얇은 배리어 메탈은 다이싱 공정에서 충분한 크랙 전달 방지층으로서 기능하지 못하여, 크랙이 발생한 경

우에 배리어 메탈에 의한 Cu의 피복이 부분적으로 파괴되고, 파괴점으로부터 Cu가 반도체 소자 회로 영역 내(비아 링의 내측)로 확산되어 트랜지스터의 동작 불량 등의 문제를 일으킨다.

또한, 이와 같이 비아 링의 배리어층이 파괴됨으로써, 다이싱 공정에서 칩 측면에 부착된 Cu가 반도체 소자 회로 영역 내부로 확산되는 것을 방지할 수 없어서, 상기와 동일한 문제를 일으킨다. 또한, 칩 측면으로부터의 수분 침투에 의해, 배리어 메탈의 파괴점에서 Cu의 산화나 부식이 일어남과 동시에, 또한 반도체 소자 회로 영역 내부로 침식된 수분에 의해 배선에 산화나 부식에 의한 불량을 일으키거나, MOS 트랜지스터의 동작 불량을 일으키는 문제가 발생한다.

발명이 이루고자하는 기술적 과제

상술한 바와 같이, Cu 배선을 갖는 반도체 장치에 종래의 비아 링 제조 방법을 적용하면, 다이싱 공정시에 비아 링의 배리어 메탈층의 파괴에 의해, 비아 링의 Cu가 반도체 소자 회로 영역 내로 확산되거나, 배리어 메탈의 파괴점으로부터의 수분 침투에 의해 배선에 산화나 부식에 의한 불량을 일으킨다고 하는 문제가 있었다.

본 발명의 목적은 Cu를 주성분으로 하는 배선층을 구비하고 있어도 비아 링으로부터 반도체 소자 회로 내로의 Cu의 확산이나 수분 침투가 생기지 않아서, 반도체 소자의 동작 불량의 발생을 억제할 수 있는 반도체 장치 및 그 제조 방법을 제공하기 위한 것이다.

본 발명은 상기 목적을 달성하기 위해 이하와 같이 구성되어 있다.

(1) 본 발명(청구항 1)의 반도체 장치는 반도체 기판 상에 형성된 반도체 소자와; 상기 반도체 기판 상에 형성되어, 상기 반도체 소자가 형성된 반도체 소자 회로 영역에 구멍과, 이 회로 영역의 외주를 끊어짐 없이 둘러싸는 링 형상의 홈을 갖는 층간 절연막과; 이 층간 절연막의 구멍 내에 형성된 플러그 전극과; 이 플러그 전극에 접속된 구리를 주성분으로 하는 배선과; 상기 링 형상의 홈 내에 형성된 알루미늄을 주성분으로 하는 층을 갖는 비아 링을 구비하고, 상기 비아 링 층에는 구리를 주성분으로 하는 층이 형성되어 있지 않는 것을 특징으로 한다.

(2) 본 발명(청구항 2)의 반도체 장치의 제조 방법은 반도체 소자 회로 영역에 반도체 소자가 형성된 반도체 기판 상에 알루미늄을 주성분으로 하는 Al 박막을 피착하는 공정과; 상기 Al 박막을 패터닝하여, 상기 반도체 소자 회로 영역에 비아 플러그를 형성함과 함께, 반도체 소자 회로 영역을 둘러싸는 비아 링을 형성하는 공정과; 상기 반도체 기판 상에 상기 비아 플러그 및 상기 비아 링을 덮도록 절연막을 피착하는 공정과; 상기 절연막의 표면을 평탄화하여 상기 비아 플러그 및 비아 링의 표면을 노출시키는 공정과; 상기 비아 플러그에 접속되는 구리를 주성분으로 하는 배선을 형성하는 공정을 포함하는 것을 특징으로 한다.

(3) 본 발명(청구항 3)의 반도체 장치의 제조 방법은 반도체 소자 회로 영역에 반도체 소자가 형성되는 반도체 기판 상에 알루미늄을 주성분으로 하는 Al 박막을 피착하는 공정과; 상기 Al 박막 상에 실리콘 질화막을 피착하는 공정과; 상기 실리콘 질화막을 패터닝하여, 상기 반도체 소자 회로 영역에 플러그 패턴 형상으로 가공함과 함께, 상기 반도체 소자 회로 영역의 외주를 끊어짐 없이 둘러싸는 링 형상으로 가공하는 공정과; 상기 실리콘 질화막을 마스크로 이용하여 상기 박막을 에칭하고, 반도체 소자 회로 영역에 비아 플러그를 형성함과 함께, 이 반도체 소자 회로 영역의 외주를 둘러싸는 비아 링을 형성하는 공정과; 상기 반도체 기판 상에 상기 비아 플러그 및 상기 비아 링을 덮도록 절연막을 피착하는 공정과; 상기 실리콘 질화막을 스토퍼로 이용하여 상기 절연막의 표면을 평탄화하는 공정과; 상기 반도체 소자 회로 영역의 절연막 상에 배선 영역이 노출됨과 함께, 상기 비아 링의 형성 영역의 절연막 및 실리콘 질화막 상을 덮는 레지스트 패턴을 형성하는 공정과; 상기 절연막 및 실리콘 질화막의 에칭을 행하여, 상기 반도체 소자 회로 영역에 배선 패턴 형상의 홈을 형성하는 공정과; 상기 홈에 구리를 주성분으로 하는 배선 재료를 매립 형성하는 공정을 포함하는 것을 특징으로 한다.

본 발명은 상기 구성에 의해 이하의 작용·효과를 갖는다.

반도체 소자 회로 영역의 외주에 형성되는 비아 링은 Al을 주성분으로 하는 층을 갖고 있고, Cu를 주성분으로 하는 층이 형성되어 있지 않으므로, 비아 링으로부터 반도체 소자 회로 내로의 Cu의 확산이 생기지 않는다. 또한, 비아 링에는 막 두께가 얇은 배리어 메탈층이 형성되는 일이 없으므로, 다이싱 시에 비아 링이 파괴될 가능성이 낮아져서, 반도체 소자 회로 영역 내로 수분이 침입할 가능성이 낮다.

발명의 구성 및 작용

본 발명의 실시 형태를 이하에 도면을 참조하여 설명한다.

<제1 실시 형태>

본 실시 형태에서는 Cu 배선을 미세 금속 배선으로서 이용한 반도체 장치에 있어서, 반도체 칩의 외주부에 Al 합금과 실리콘 질화막이 적층된 비아 링의 구조 및 제조 방법에 대해 설명한다.

본 실시 형태에서는 반도체 장치의 다층 배선 구조의 형성에 있어서, 비아 홀로의 CVD법 등을 이용한 금속 매립 공정을 이용한 통상의 형성 방법과는 달리, Al 합금 박막을 리소그래피와 반응성 이온 에칭(RIE)을 이용하여 기둥 모양 구조물(Al 필러(pillar))을 형성하고, 이 Al 필러를 배선층간의 접속 플러그(비아 플러그, 컨택트 플러그)로 하는 제조 방법을 채용한다. 각 배선층은 절연막에 리소그래피와 RIE를 이용하여 형성한 홈에 배선 금속인 Cu 및 배리어 메탈 박막을 매립하는 다마신 법(Damascene)에 의해 형성된다. 이 경우에, 본 발명의 특징인 Al 합금과 실리콘 질화막으로 이루어지는 비아 링 구조를 다층 배선 형성 공정과 동시에 형성할 수 있다.

이하, 도 1, 도 2를 이용하여 본 실시 형태에 따른 비아 링의 제조 공정을 설명한다.

먼저, 도 1의 (a)에 도시한 바와 같이, 실리콘 반도체층(11) 상에 Al 합금층(12)을 비아 플러그에 상당하는 막 두께분만큼 스퍼터법 등의 통상의 성막 방법을 이용하여 형성한다. Al 합금으로서는 Al에 미량의 Cu 또는 Si를 함유한 합금, 또는 미량의 Cu와 Si를 함께 함유한 합금, 또는 순수한 Al이라도 좋다. 실리콘 반도체층(11)(반도체 기판)의 반도체 소자 회로 영역 R_1에는 도시되지 않은 반도체 소자가 형성되어 있다. 또, 도 1, 도 2에 있어서, R_1은 반도체 소자 회로 영역의 단면이고, R_2는 반도체 소자 회로 영역 R_1과 다이싱 영역 R_3 사이의 영역인 비아 링 영역의 단면이다(도 3). 다음에, Al 합금층(12) 상에 플라즈마 CVD법 등을 이용하여 실리콘 질화막(13)을 형성한다. 실리콘 질화막(13)의 막 두께는 비아 플러그의 상층에 형성되는 배선의 막 두께와 거의 동일하게 한다.

다음에, 도 1의 (b)에 도시한 바와 같이, 리소그래피 공정을 이용하여 비아 링 및 비아 플러그가 배치될 예정 영역의 실리콘 질화막(13) 상에 레지스트 패턴(14, 15)을 선택적으로 형성한다. 또, 반도체 소자 회로 영역 R_1에는 비아 플러그가 형성되는 영역을 덮는 레지스트 패턴(14)을 형성하고, 비아 링 영역 R_2에는 반도체 소자 회로 영역 R_1의 주위를 끊어짐 없이 둘러싸는 레지스트 패턴(15)을 형성한다.

다음에, 도 1의 (c)에 도시한 바와 같이, 레지스트 패턴(14, 15)을 마스크로 하여, 실리콘 질화막(13)을 플루오르 카본을 에칭 개스로 하는 RIE에 의해 가공한다. RIE 공정에 의해, 반도체 소자 회로 영역 R_1에는 섬 모양의 실리콘 질화막(17)이 형성되고, 또 비아 링 영역 R_2에는 반도체 소자 회로 영역을 둘러싸도록 링 형상의 실리콘 질화막(17)이 형성된다.

다음에, 도 1의 (d)에 도시한 바와 같이, 레지스트 패턴(14, 15)을 애싱에 의해 제거한 후, 실리콘 질화막(16, 17)을 에칭 마스크(하드 마스크)로 하여 Al 합금층(12)을 RIE에 의해 가공한다. RIE 공정 시의 에칭 개스로서는 BCl_3와 Cl_2를 주성분으로 한 개스를 이용한다. RIE 공정에 의해, 반도체 소자 회로 영역 R_1에는 Al 합금 필러(18)가 형성됨과 동시에, 비아 링 영역 R_2에는 링 형상의 Al 합금으로 이루어지는 Al 합금 링(19)이 형성된다. Al 합금 필러(18) 및 Al 합금 링(19) 상에는 각각 이들과 동일한 단면 형상을 갖는 실리콘 질화막(16, 17)이 형성되어 있다.

다음에, 도 1의 (e)에 도시한 바와 같이, Al 합금 필러(18), Al 합금 링(19) 및 실리콘 질화막(16, 17)을 덮도록 층간 절연막(20)을 피착한다. 층간 절연막(20)은 플라즈마 CVD법이나 스핀코트법을 이용하여 피착된다. 층간 절연막(20)의 재료로서는 통상의 SiO_2 이외에 F가 첨가된 SiO_2나 유기 실리케이트, 무기 실리케이트에서 선택할 수 있고, 또한 이들의 적층막이라도 좋다. 또, 배선층 사이나 배선 사이의 결합 용량을 낮게 하기 위해, 층간 절연막(20)은 낮은 유전율을 갖는 재료인 것이 바람직하다.

다음에, 도 1의 (f)에 도시한 바와 같이, CMP법 등의 평탄화 기술을 이용하여 층간 절연막(20)의 표면을 평탄화한다. 이때, 실리콘 질화막(16, 17)이 에칭 스토퍼로 된다. 또, CMP 시에 실리콘 질화막(16, 17) 상의 층간 절연막(20)의 막 두께를 검지할 수 있는 장치이면, 에칭 스토퍼인 실리콘 질화막(16, 17)을 형성할 필요가 없다.

다음에, 도 1의 (g)에 도시한 바와 같이, 반도체 소자 회로 영역 R_1에 있어서, 비아 플러그에 접속하는 상층 배선이 매립되는 홈을 형성하기 위해, 상층 배선의 형성 예정 영역에 개공을 갖는 레지스트 패턴(21)을 리소그래피 공정에 의해 형성한다. 이때, 비아 링 영역 R_2의 실리콘 질화막(17)의 표면이 레지스트 패턴(21)으로 덮여 있게 한다.

다음에, 도 1의 (h)에 도시한 바와 같이, 레지스트 패턴(21)을 마스크로 이용하여 RIE를 행하고, 상층 배선이 매립 형성되는 홈(22)을 형성한다. RIE 공정에서 반도체 소자 회로 영역 R_1에 존재한 실리콘 질화막(16)이 제거되는 한편, 비아 링 영역 R_2의 실리콘 질화막(17)이 남는다.

다음에, 도 2의 (i)에 도시한 바와 같이, 홈(22)의 표면을 덮도록 TiN이나 TaN 등의 고융점 금속의 질화물로 이루어지는 배리어 메탈층(23)을 스퍼터링법에 의해 형성한다. 배리어 메탈층(23)은 고융점 금속의 질화물 이외에도, Cu의 절연층(20) 안으로의 확산을 방지하는 기능을 갖는 재료이면, 임의의 재료를 이용할 수 있다. 배리어 메탈층(23)의 피착 후, 계속하여 Cu 박막(24)을 홈(22)을 매립하도록 피착한다. Cu 박막(24)의 성막 방법으로서는 스퍼터법, 도금법, CVD법 또는 이들을 조합한 방법 등을 사용한다. 비아 링 영역에는 오목(凹)부가 존재하지 않으므로, 평탄한 배리어 메탈층(23) 및 Cu 박막(24)이 형성된다.

그리고, 홈(22)의 내부에 존재하는 배리어 메탈층(23)과 Cu 박막(24) 이외의 나머지 배리어 메탈층(23)과 Cu 박막(24)을 CMP법에 의해 제거함으로써, 홈(22) 내에 Cu 배선이 형성된다. CMP시, 비아 링 영역 R_2에 존재해 있던 배리어 매탈층(23) 및 Cu 박막(24)이 제거되기 때문에, 비아 링 영역 R_2에는 Cu 박막 및 배리어 메탈 층이 남아있지 않게 된다.

이상 설명한 공정에 의해, 반도체 소자 회로 영역 내에는 Cu 배선을 갖고 있고, 반도체 회로 외주부에는 Al 합금과 SiN으로 이루어지는 비아 링을 형성할 수 있다. 이와 같이 형성된 비아 링은 Cu를 이용하지 않기 때문에, 비아 링으로부터 회로 영역으로의 Cu 확산이 생기지 않고, Cu에 기인하는 반도체 장치의 동작 불량을 방지할 수 있어, 반도체 장치의 신뢰성을 향상시킬 수 있다.

그리고, 비아 링은 Si 웨이퍼 상에 반도체 장치를 형성한 후에 행해지는 다이싱 공정에서, 절단면으로부터의 크랙이 회로 내부로 전달되는 것을 효과적으로 방지할 수 있다. 이 때문에, 배선이 크랙에 의해 파괴되지 않아, 반도체 장치의 양품(良品) 수율을 향상시킬 수 있다.

그리고, Al 합금 및 SiN으로 이루어지는 비아 링은 칩 외부로부터의 수분 침투에 대해 장벽이 되기 때문에, 반도체 소자 회로 영역으로의 수분 침투에 의한 동작 불량이나, Cu 배선의 수분에 의한 산화나 부식

을 방지할 수 있어, 반도체 장치의 신뢰성을 향상시킬 수 있다.

<제2 실시 형태>

다음에, 제1 실시 형태와 다른 제조 방법에 대해 설명한다.

도 4는 본 발명의 제2 실시 형태에 관한 반도체 장치의 제조 방법을 도시한 공정 단면도이다.

먼저, 도 4의 (a)에 도시한 바와 같이, Si 반도체층(31) 상에 층간 절연막(32)을 피착한다. 또, 도 4에 있어서, R_1은 반도체 소자 회로 영역의 단면이고, R_2는 반도체 소자 회로 영역과 다이싱 영역 사이의 영역인 비아 링 영역의 단면이다.

다음에, 도 4의 (b)에 도시한 바와 같이, 비아 링 영역 R_2에 반도체 소자 회로 영역 R_1의 외주를 끊어짐 없이 둘러싸는 링 형상의 홈(33)을 형성한다. 다음에, 도 4의 (c)에 도시한 바와 같이, 홈(33)을 매립하도록 Al을 주성분으로 하는 Al 합금층(34)을 형성한다. 다음에, 도 4의 (d)에 도시한 바와 같이, CMP법 등의 평탄화 기술을 이용하여 층간 절연막(32) 상의 여분의 Al 합금층(34)을 제거하고, 홈(33) 내에 Al 비아 링(35)을 매립 형성한다.

다음에, 도 4의 (e)에 도시한 바와 같이, 반도체 소자 회로 영역 R_1의 층간 절연막(32)에 비아 홀(36) 및 배선 홈(37)을 형성한다. 다음에, 도 4의 (f)에 도시한 바와 같이, 배리어 메탈층(38) 및 Cu 박막(39)을 순차 피착한다. 다음에, 도 4의 (g)에 도시한 바와 같이, CMP법을 이용하여 층간 절연막(32) 상의 여분의 Cu 및 배리어 메탈층을 제거하고, 배선홈(37) 내에 Cu 배선층(40)을 형성함과 함께 비아 홀(36) 내에 Cu 비아 플러그(41)를 형성한다.

이상의 제조 방법에서도 비아 링에는 CU를 주성분으로 하는 층이 존재하지 않는 비아 링을 형성할 수 있다.

또, 본 발명은 상기 실시 형태에 한정되지 않고, 그 요지를 이탈하지 않는 범위에서 여러 가지 변형하여 실시하는 것이 가능하다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 반도체 소자 회로 영역의 주위를 끊어짐 없이 덮는 비아 링은 Al을 주성분으로 하는 층으로 형성되고, Cu를 주성분으로 하는 층이 형성되지 않으므로, 비아 링으로부터 회로 영역으로의 Cu 확산이 생기지 않고, Cu에 기인하는 반도체 장치의 동작 불량을 방지할 수 있어, 반도체 장치의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

반도체 장치에 있어서,

반도체 기판 상에 형성된 반도체 소자와,

상기 반도체 기판 상에 형성되어, 상기 반도체 소자가 형성된 반도체 소자 회로 영역에 구멍과, 이 회로 영역의 외주(外周)를 끊어짐 없이 둘러싸는 링 형상의 홈을 갖는 층간 절연막과,

상기 층간 절연막의 구멍 내에 형성된 플러그 전극과,

상기 플러그 전극에 접속된 구리를 주성분으로 하는 배선과,

상기 링 형상의 홈 내에 형성된 알루미늄을 주성분으로 하는 층을 갖는 비아 링(via ring)

을 구비하고,

상기 비아 링 층에는 구리를 주성분으로 하는 층이 형성되어 있지 않는 것을 특징으로 하는 반도체 장치.

청구항 2

반도체 장치의 제조 방법에 있어서,

반도체 소자 회로 영역에 반도체 소자가 형성된 반도체 기판 상에 알루미늄을 주성분으로 하는 Al 박막을 피착하는 공정과,

상기 Al 박막을 패터닝하여, 상기 반도체 소자 회로 영역에 비아 플러그를 형성함과 함께, 반도체 소자 회로 영역을 둘러싸는 비아 링을 형성하는 공정과,

상기 반도체 기판 상에 상기 비아 플러그 및 상기 비아 링을 덮도록 절연막을 피착하는 공정과,

상기 절연막의 표면을 평탄화하여 상기 비아 플러그 및 비아 링의 표면을 노출시키는 공정과,

상기 비아 플러그에 접속되는 구리를 주성분으로 하는 배선을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

반도체 장치의 제조 방법에 있어서,

반도체 소자 회로 영역에 반도체 소자가 형성되는 반도체 기판 상에 알루미늄을 주성분으로 하는 Al 박막을 피착하는 공정과,

상기 Al 박막 상에 실리콘 질화막을 피착하는 공정과,

상기 실리콘 질화막을 패터닝하여, 상기 반도체 소자 회로 영역에 플러그 패턴 형상으로 가공함과 함께, 상기 반도체 소자 회로 영역의 외주를 끊어짐 없이 둘러싸는 링 형상으로 가공하는 공정과,

상기 실리콘 질화막을 마스크로 이용하여 상기 박막을 에칭하고, 반도체 소자 회로 영역에 비아 플러그를 형성함과 함께, 이 반도체 소자 회로 영역의 외주를 둘러싸는 비아 링을 형성하는 공정과,

상기 반도체 기판 상에 상기 비아 플러그 및 상기 비아 링을 덮도록 절연막을 피착하는 공정과,

상기 실리콘 질화막을 스토퍼로 이용하여 상기 절연막의 표면을 평탄화하는 공정과,

상기 반도체 소자 회로 영역의 절연막 상에 배선 영역이 노출됨과 함께, 상기 비아 링 형성 영역의 절연막 및 실리콘 질화막 상을 덮는 레지스트 패턴을 형성하는 공정과,

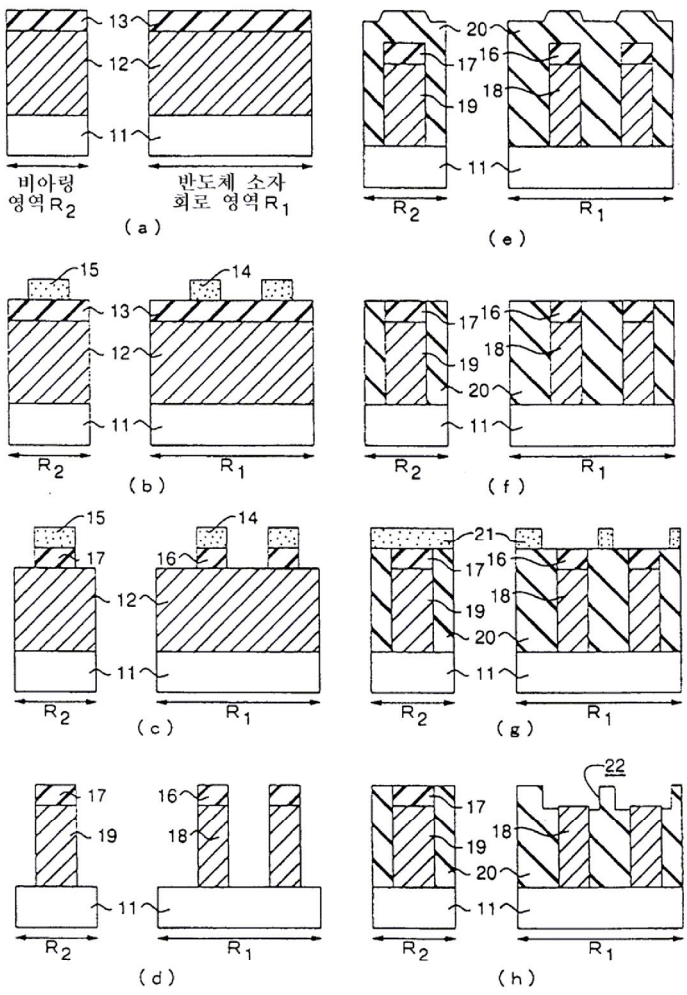
상기 절연막 및 실리콘 질화막의 에칭을 행하여, 상기 반도체 소자 회로 영역에 배선 패턴 형상의 홈을 형성하는 공정과,

상기 홈에 구리를 주성분으로 하는 배선 재료를 매립 형성하는 공정

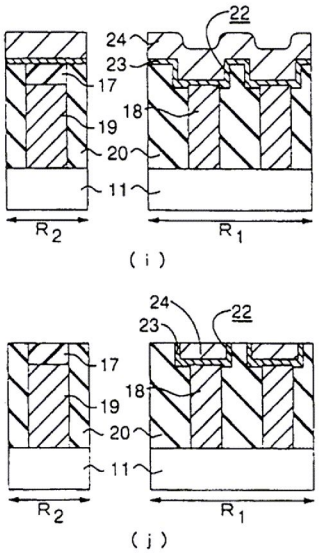
을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

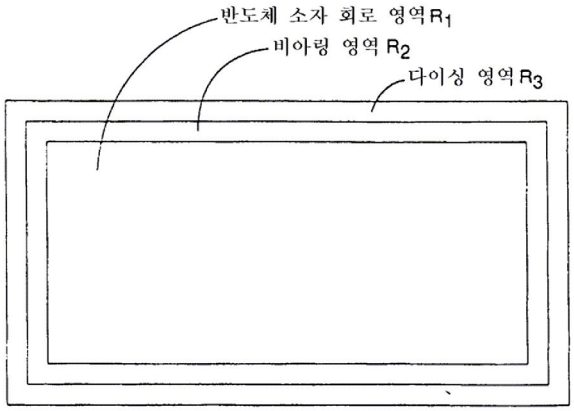
도면1



도면2


22
24
23
17
18
19
20
11
R2
R1
(i)
24
23
22
17
18
19
20
11
R2
R1
(j)

도면3


반도체 소자 회로 영역 R1
버어링 영역 R2
다이싱 영역 R3

도면4

