



(12) 发明专利申请

(10) 申请公布号 CN 118974909 A

(43) 申请公布日 2024. 11. 15

(21) 申请号 202380031788.X

(22) 申请日 2023.03.30

(30) 优先权数据

FR2202897 2022.03.30 FR

(85) PCT国际申请进入国家阶段日

2024.09.29

(86) PCT国际申请的申请数据

PCT/EP2023/058244 2023.03.30

(87) PCT国际申请的公布数据

W02023/187030 FR 2023.10.05

(71) 申请人 索泰克公司

地址 法国伯尔宁

(72) 发明人 B·塔维尔 I·伯特兰

C·维蒂祖

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

专利代理师 陈浩锋 徐敏刚

(51) Int.Cl.

H01L 21/762 (2006.01)

H03H 9/02 (2006.01)

H10N 30/079 (2006.01)

H10N 30/00 (2006.01)

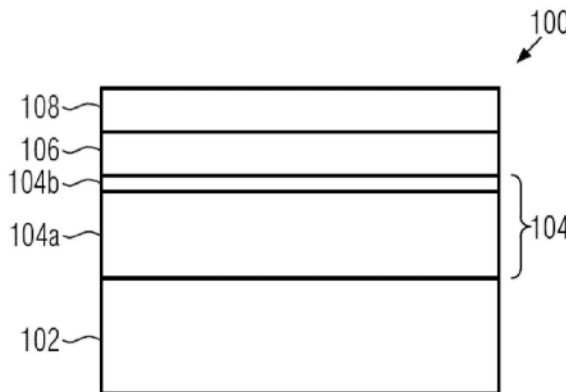
权利要求书1页 说明书4页 附图2页

(54) 发明名称

绝缘体上压电 (POI) 衬底和制造绝缘体上压电 (POI) 衬底的方法

(57) 摘要

本发明涉及一种绝缘体上压电 (POI) 衬底 (100), 包括支撑衬底 (102), 特别地硅基衬底; 压电层 (108), 特别地钽酸锂 (LT0) 或铌酸锂 (LN0) 层; 夹在压电层 (108) 和支撑衬底 (102) 之间的介电层 (106), 特别地氧化硅层; 以及夹在介电层 (106) 和支撑衬底 (102) 之间的捕获结构 (104)。捕获结构 (104) 包括基于不同材料的至少两个捕获层 (104a、104b)。本发明还涉及一种用于生产绝缘体上压电 (POI) 衬底的方法。



1. 一种绝缘体上压电POI衬底,包括:
 - 支撑衬底(102),特别地硅基衬底,
 - 压电层(108),特别地钽酸锂LTO或铌酸锂LNO层,
 - 夹在压电层(108)和支撑衬底(102)之间的介电层(106),特别地氧化硅层,
 - 夹在介电层(106)和支撑衬底(102)之间的捕获结构(104),所述捕获结构包括基于多晶硅或非晶硅或多孔硅、优选地基于多晶硅的第一捕获层(104a),并且所述捕获结构(104)包括基于碳化硅的第二捕获层(104b),其特征在于,
所述第一捕获层(104a)位于所述支撑衬底(102)和所述第二捕获层(104b)之间。
2. 根据权利要求1所述的绝缘体上压电POI衬底,其中,所述第二捕获层(104b)比第一捕获层(104a)薄。
3. 根据权利要求1或2所述的绝缘体上压电POI衬底,其中,所述第二捕获层(104b)具有小于或等于500nm的厚度,特别地小于或等于200nm的厚度,特别地小于或等于50nm的厚度。
4. 根据权利要求1至3中的一项所述的绝缘体上压电POI衬底,其中,所述第一捕获层具有小于或等于2 μ m的厚度,特别地小于或等于1 μ m的厚度。
5. 根据权利要求1至4中的一项所述的绝缘体上压电POI衬底,其中,所述第二捕获层(104b)直接形成在所述第一捕获层(104a)上。
6. 根据权利要求1至5中的一项所述的绝缘体上压电POI衬底,其中,所述捕获结构(104)仅包括所述第一捕获层(104a)和所述第二捕获层(104b)。
7. 一种用于制造根据权利要求1至5中的一项所述的绝缘体上压电POI衬底的方法,所述方法包括以下步骤:
 - 提供支撑衬底,特别地硅基衬底,
 - 提供包括压电层的衬底,特别地包括钽酸锂LTO或铌酸锂LNO的衬底,
 - 在所述支撑衬底上形成捕获结构,
 - 在所述压电衬底上和/或所述捕获结构上形成介电层,特别地氧化硅层,
 - 组装包括压电层的衬底和所述支撑衬底,使得所述介电层和所述捕获结构夹在所述压电层和所述支撑衬底之间,
所述捕获结构的形成包括:在所述支撑衬底上形成基于多晶硅或非晶硅或多孔硅、优选地基于多晶硅的第一层,随后形成基于碳化硅的第二捕获层。
8. 根据权利要求6所述的制造压电衬底的方法,所述方法还包括以下步骤:
 - 在所述压电层内部形成弱化区,以及
 - 在组装步骤之后,沿所述弱化区断裂,以将所述压电层的部分与包括所述压电层的衬底的剩余部分分离,以将所述压电层的所述部分转移到所述支撑衬底上。

绝缘体上压电 (POI) 衬底和制造绝缘体上压电 (POI) 衬底的方法

[0001] 本发明涉及绝缘体上压电 (piezoelectric-on-insulator, POI) 衬底, 其依次包括支撑衬底、捕获结构、介电层和压电层, 还涉及制造这种 POI 衬底的方法。

[0002] 这种衬底在现有技术中是已知的, 例如, POI 衬底包括单晶硅衬底、多晶硅捕获结构、氧化硅层和压电层, 特别地钽酸锂 (LTO) 或铌酸锂 (LNO) 层。捕获结构允许减少与支撑衬底和介电层之间的界面处的寄生传导效应相关的损耗。具体而言, 插入在支撑衬底和介电层之间的捕获层用于减少该区域中电荷的寿命。

[0003] 然而, 可以观察到, 在制造 POI 衬底的过程中或之后的热处理期间, 压电层的金属元素 (例如锂) 会扩散穿过介电层和捕获结构, 直至与支撑衬底的界面。这些金属元素的积累降低了捕获结构的性能质量, 从而对寄生电流的抑制受到负面影响。

[0004] 可以增加捕获层的厚度以增加可用的陷阱的数目。然而, 在这种情况下, 在使用 POI 衬底的器件 (例如滤波器、传感器等) 中看到寄生模式。

[0005] 因此, 本发明的目的是增加陷阱的数目, 同时降低寄生效应的风险。

[0006] 本发明的目的通过一种绝缘体上压电 (POI) 衬底实现, 包括: 支撑衬底, 特别地硅基衬底; 压电层, 特别地钽酸锂 (LTO) 或铌酸锂 (LNO) 层; 夹在压电层和支撑衬底之间的介电层, 特别地氧化硅层; 夹在介电层和支撑衬底之间的捕获结构, 所述捕获结构包括基于多晶硅或非晶硅或多孔硅、优选地基于多晶硅的第一捕获层。所述 POI 衬底的特征在于捕获结构包括基于不同材料的第二捕获层。

[0007] 在捕获结构中添加具有不同材料的第二捕获层允许增加陷阱的数目, 而不需要将捕获结构的总厚度增加到与在单一材料捕获结构的情况下相同的程度。

[0008] 根据一个实施方式, 第二捕获层可以基于碳化硅。基于碳化硅的第二层允许有效减小寄生电流。

[0009] 根据一个实施方式, 基于碳化硅的第二捕获层可以比第一层薄。因此, 提供薄的碳化硅层允许增加陷阱的数目, 同时限制由于捕获结构的存在而导致的寄生模式的出现, 特别地与包含相同数目的陷阱的单一材料硅基捕获层相比。

[0010] 根据一个实施方式, 基于碳化硅的第二捕获层可以具有小于或等于 500nm 的厚度, 特别地小于或等于 200nm 的厚度, 更特别地小于或等于 50nm 的厚度。即使在如此低的厚度, 陷阱的数目也有足够的增加。

[0011] 根据一个实施方式, 第一硅基捕获层可以具有小于或等于 2 μ m 的厚度, 特别地小于或等于 1 μ m 的厚度。通过使用第二捕获层, 可以将第一捕获层的厚度保持足够低。因此, 由于该层而产生的寄生模式不能发展, 或者至少它们的贡献可以忽略不计。

[0012] 根据一个实施方式, 第二捕获层可以直接形成在第一捕获层上。因此可以保持紧凑的结构。

[0013] 根据一个实施方式, 第一捕获层位于支撑衬底和第二捕获层之间。这有利于形成捕获结构, 因为碳化硅层的淀积温度低于硅层。

[0014] 根据一个实施方式, 捕获结构仅包括第一捕获层和第二捕获层。

[0015] 根据一个实施方式,捕获结构直接设置在衬底上,并且介电层直接设置在捕获结构上。

[0016] 本发明的目的还通过一种用于制造如上所述的绝缘体上压电 (POI) 衬底的方法实现,所述方法包括以下步骤:提供支撑衬底,特别地硅基衬底;提供包括压电层的衬底,特别地包括铌酸锂LTO或铈酸锂LNO的衬底;在所述支撑衬底上形成捕获结构;在包括所述压电层的衬底上和/或所述捕获结构上形成介电层,特别地氧化硅层;组装所述压电衬底和所述支撑衬底,使得所述介电层和所述捕获结构夹在所述压电层和所述支撑衬底之间,所述方法特征在于所述捕获结构的形成包括形成基于多晶硅或非晶硅或多孔硅、优选地基于多晶硅的第一层,并且形成基于不同材料的第二捕获层。

[0017] 根据一个实施方式,制造压电衬底的方法还可以包括以下步骤:在压电层内部形成弱化区,特别地在组装步骤之前;以及沿弱化区断裂以在组装步骤之后将压电层的部分与包括压电层的衬底的剩余部分分离,以将压电层的所述部分转移到支撑衬底上。该处理使得工业化制造根据本发明的POI衬底成为可能。

[0018] 下文将借助有利的示例性实施方式并特别参照以下附图更详细地描述本发明及其优点,其中附图标记标识本发明的特征。

[0019] 图1图解地表示根据本发明的第一实施方式的绝缘体上压电 (POI) 衬底。

[0020] 图2图解地表示根据本发明的第二实施方式的绝缘体上压电 (POI) 衬底的制造方法。

[0021] 实施方式仅为可能的配置,应记住的是上述各个特征可以彼此独立地提供,或者可以在实施本发明期间完全省略。

[0022] 图1图解地表示根据本发明的第一实施方式的绝缘体上压电 (POI) 衬底100。

[0023] 绝缘体上压电衬底100包括支撑衬底102。在该第一实施方式中,支撑衬底102是硅基衬底,特别地单晶硅晶片。

[0024] 捕获结构104设置在支撑衬底102上。捕获结构104可以与支撑衬底102直接接触。捕获结构104具有小于或等于 $2\mu\text{m}$ 的厚度,优选地小于或等于 $1\mu\text{m}$ 的厚度,更优选地小于或等于600nm的厚度。

[0025] 根据第一实施方式,捕获结构104包括两个层:第一捕获层104a和材料与第一捕获层104a的材料不同的第二捕获层104b。

[0026] 根据一种变型例,捕获结构104仅包括第一捕获层104a和第二捕获层104b。

[0027] 第一捕获层104a基于多晶硅、非晶硅或多孔硅。第二捕获层104b基于碳化硅(SiC)。优选地,这些层通过低压化学气相淀积(LPCVD)、等离子体增强化学气相淀积(PECVD)或高密度等离子体增强化学气相淀积(HDP-CVD)来淀积。

[0028] 在该实施方式中,两个捕获层104a、104b具有不同的厚度。优选地,基于硅的捕获层104a具有小于或等于 $2\mu\text{m}$ 的厚度,特别地小于或等于 $1\mu\text{m}$ 的厚度。基于碳化硅的捕获层104b具有优选地小于或等于500nm的厚度,特别地小于或等于200nm的厚度,更特别地小于或等于50nm的厚度。根据本发明的示例,第一捕获层104a具有500nm的厚度,第二捕获层104b具有50nm的厚度。

[0029] 介电层106设置在捕获结构104上,特别地直接设置在捕获结构104上。介电层106优选为基于氧化硅的层。介电层106优选地具有在100nm至 $1\mu\text{m}$ 之间的厚度,特别地在200nm

至700nm之间的厚度。介电层106可以通过CVD淀积或任何其他适当的淀积处理形成。

[0030] 压电层108设置在介电层106上,特别地直接设置在介电层106上。压电层108优选地为钽酸锂(LTO)层或铌酸锂(LNO)层。压电层108通常具有200nm至1 μ m的厚度。

[0031] 使用具有两个不同材料的捕获层104a、104b的捕获结构104允许增加陷阱的数目,而不会过度增加捕获结构104的厚度。

[0032] 通过添加不同的、特别地更薄的材料的第二捕获层104b,可以增加陷阱的数目,同时保持捕获结构的厚度足够低,以限制最终器件(例如传感器、滤波器等)中寄生模式的出现。

[0033] 根据变型例,第一捕获层104a和第二捕获层104b的次序可以颠倒。在这种情况下,基于碳化硅的第二捕获层位于支撑衬底102和基于多晶硅、非晶硅或多孔硅的第一捕获层104a之间。

[0034] 图2图解地表示了根据本发明的第二实施方式的制造绝缘体上压电(POI)衬底的处理,以获得如上文结合图1描述的第一实施方式的POI衬底100。在描述POI 100衬底的上下文中,参照图1已经使用的附图标记被重新使用,以描述第二实施方式的处理。

[0035] 制造绝缘体上压电(POI)衬底100的处理始于步骤I),提供支撑衬底102,特别地硅基衬底,特别地单晶硅晶片。

[0036] 根据本发明的该第二实施方式,步骤II)涉及在支撑衬底102的自由表面120上形成捕获结构104。

[0037] 捕获结构104的形成始于通过低压化学气相淀积(LPCVD)产生第一捕获层104a的形成。根据变型例,步骤II)的第一捕获层104a可以通过热生长技术或物理气相淀积(PVD)形成。

[0038] 在支撑衬底102上形成的捕获层104a是基于多晶硅、非晶硅或多孔硅的层。

[0039] 捕获层104a具有小于或等于2 μ m的厚度,特别地小于或等于1 μ m的厚度。

[0040] 随后,在第一捕获层104a上形成第二捕获层104b。第二捕获层104b基于碳化硅。第二捕获层104b被形成为具有小于第一捕获层的厚度的厚度,优选地小于或等于500nm的厚度,特别地小于或等于200nm的厚度,更特别地小于或等于50nm的厚度。

[0041] 第二捕获层104b通过低压化学气相淀积(LPCVD)或等离子体增强化学气相淀积(PECVD)或高密度等离子体增强化学气相淀积(HDP-CVD)产生。根据变型例,第二捕获层104b可以在步骤II)期间通过热生长技术或通过物理气相淀积(PVD)形成。通常,与第一捕获层104a相比,第二捕获层104b在较低的温度下形成。

[0042] 在形成第二捕获层之前,可以对第一捕获层104a的表面进行一个或更多个处理,例如抛光,特别地CMP型抛光,或者通过等离子体或臭氧处理来活化表面。

[0043] 在步骤III)中,在第二捕获层104b的自由表面122上形成介电层106a。介电层106a优选为通过化学气相淀积(CVD)或物理气相淀积(PVD)形成的氧化硅层。

[0044] 介电层106a优选地具有小于或等于1 μ m的厚度,特别地小于或等于700nm的厚度。

[0045] 在淀积介电层106a之后可以进行热处理以使其致密化。

[0046] 在步骤IV)期间,提供包括压电层126的衬底124,特别地包括钽酸锂(LTO)或铌酸锂(LNO)的衬底124。在该实施方式中,将压电层124设置在基础衬底126上。在另选方案中,压电层126是块体(bulk)层并且以其整体形成衬底124。

[0047] 在步骤V)期间,在压电层126的自由表面130上产生第二介电层106b,特别地氧化硅层。该层以与在步骤III)中形成的介电层106a相同的方式产生。厚度选择成使得两个介电层106a和106b的厚度之和在100nm至1 μ m之间,特别地在200nm至700nm之间。

[0048] 根据变型例,在形成介电层106b之前,可以对包括压电层的衬底124的自由表面130进行一个或更多个表面处理步骤。例如,可以进行表面活化处理,例如等离子体处理和/或基于臭氧的处理。

[0049] 在步骤VI)期间,将在步骤V)之后获得的衬底124与在步骤III)中获得的支撑衬底102组装以形成组件132:支撑衬底-包括压电层的衬底。

[0050] 组装使得介电层106a和106b直接接触。组装优选地通过分子粘附 (molecular adhesion) 进行。

[0051] 在组装了两个衬底时,执行减薄组件132以获得具有较薄的压电层108的POI衬底100的步骤VII),如图1所示。

[0052] 例如,减薄步骤可以通过铣削或通过组在组装步骤VI)之前在压电层126中形成弱化区的步骤来执行,以界定要转移到支撑衬底102上的压电层108,然后进行断裂。形成弱化区的该步骤通过在压电层126中植入原子或离子物质实现。原子或离子植入可以以这样的方式进行,即弱化区位于压电层126内部,并且界定要从压电层126的剩余部分转移的压电层108。随后,通过在压电层126的弱化区处提供热能和/或机械能来使组件132断裂的步骤随后被执行,以获得绝缘体上压电 (POI) 衬底100。

[0053] 根据变型例,支撑衬底102和衬底124之间的结合 (bonding) 也可以在捕获结构104与介电层106b之间进行,也就是说,在不执行步骤III)的情况下,或者在介电层106a与压电层126之间进行。

[0054] 在生产上述层中的一个或更多个层之前,可以执行一个或更多个清洁、刷洗或抛光正下方表面的步骤,以去除颗粒和灰尘的存在。



图1

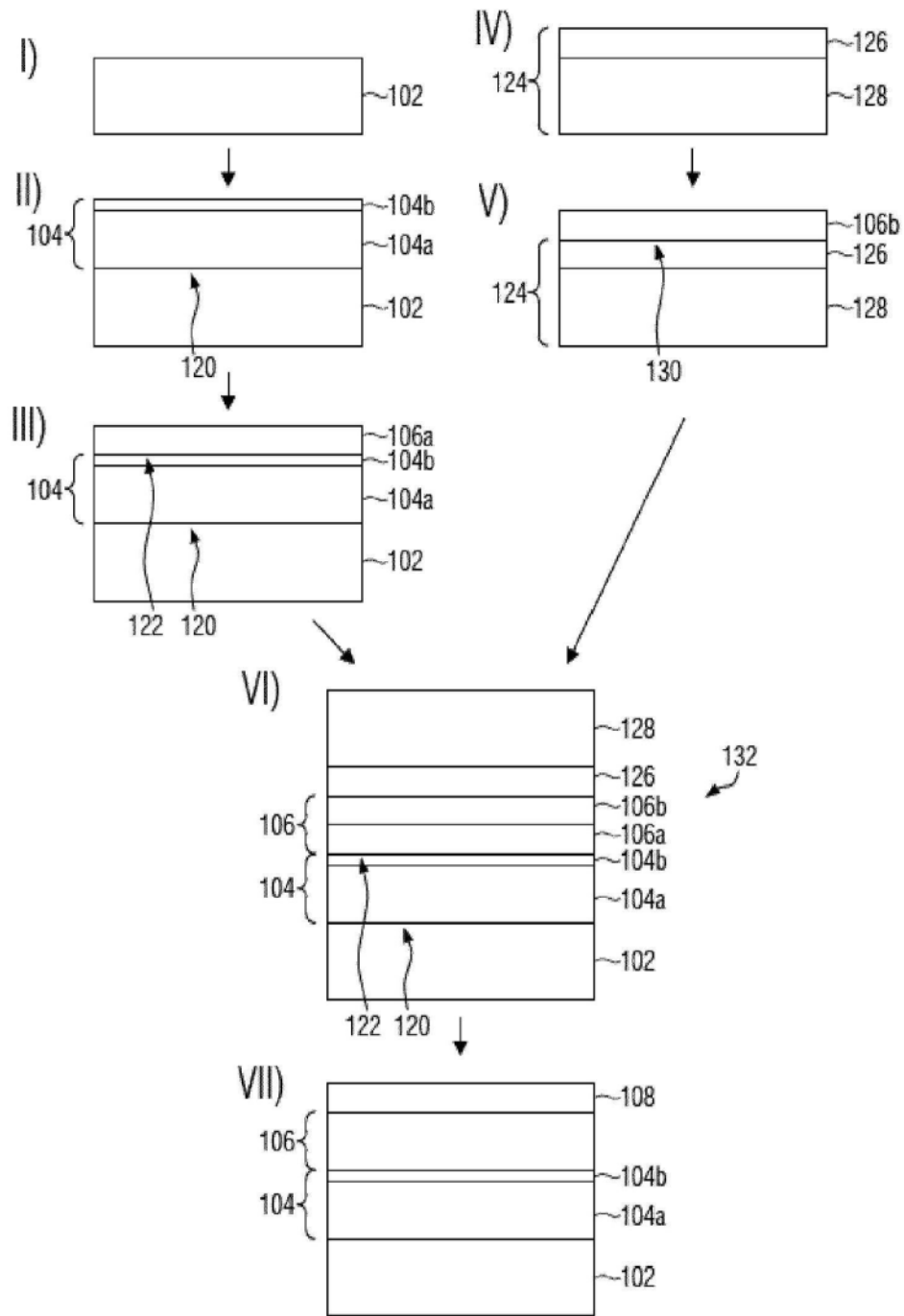


图2