



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월20일  
(11) 등록번호 10-1095244  
(24) 등록일자 2011년12월09일

(51) Int. Cl.

H05K 1/18 (2006.01) H05K 1/11 (2006.01)

(21) 출원번호 10-2008-0060266

(22) 출원일자 2008년06월25일

심사청구일자 2008년06월25일

(65) 공개번호 10-2010-0000678

(43) 공개일자 2010년01월06일

(56) 선행기술조사문헌

KR1020040073606 A\*

KR1020050109944 A

KR100796523 B1\*

KR1019990054649 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

정형미

경기 수원시 팔달구 우만2동 우만주공2단지아파트 202동 508호

백상진

경기도 수원시 권선구 권선동 대우미래사랑 오피스텔 102동 218호

(뒷면에 계속)

(74) 대리인

청운특허법인

전체 청구항 수 : 총 1 항

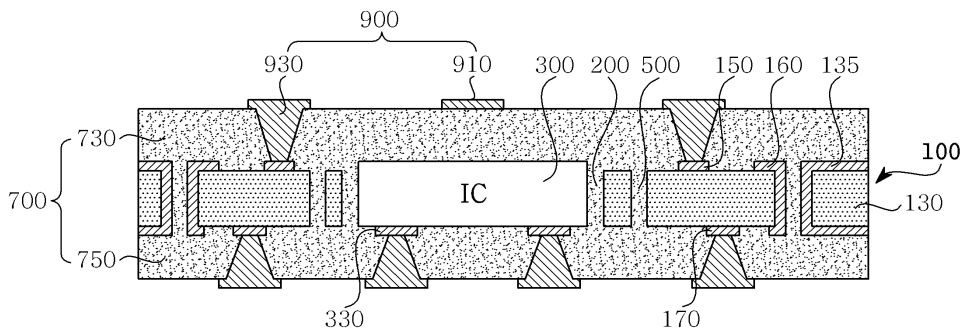
심사관 : 김중희

(54) 전자소자 내장 인쇄회로기판 및 그 제조방법

(57) 요약

본 발명은 전자소자 내장 인쇄회로기판 및 그 제조방법에 관한 것이고, 보다 상세하게는 베이스기판의 하부회로패턴에 정렬된 얼라인 홀을 갖는 전자소자 내장 인쇄회로기판 및 그 제조방법에 관한 것이다. 본 발명에 따른 전자소자 내장 인쇄회로기판은, 하부회로패턴과 위치 정합하는 얼라인 홀을 구비하기 때문에 전자소자의 외부접속 범프와 신뢰성있게 정합하는 비아를 갖는 외층회로패턴을 형성하는 것이 가능하다는 장점이 있다.

대표도 - 도2



(72) 발명자

**정율교**

경기 용인시 기흥구 언남동 동일하이빌 102동 130  
1호

**손승현**

경기도 수원시 영통구 영통1동 황골마을1단지아과  
트 140동 901호

**이재걸**

서울 서초구 방배본동 동부센트레빌 102동 1002호

---

## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

삭제

### 청구항 9

삭제

### 청구항 10

(A) 동박이 양면에 적층된 제1 절연층에 비아홀을 가공한 후 상기 비아홀의 내벽에 도금층을 형성하고 상기 동박을 에칭하여 상부회로패턴, 하부회로패턴 및 이를 전기적으로 연결하는 내층 비아가 형성된 베이스기판을 제공하는 단계;

(B) 상기 베이스기판에 전자소자 내장용 공동을 형성하는 단계;

(C) 상기 베이스기판에 하부회로패턴을 정렬 마크로 하여 얼라인 홀을 형성하는 단계;

(D) 상기 베이스기판의 하면에 테이프를 접착하고, 얼라인 홀의 위치를 검출하여 상기 얼라인 홀의 위치정보를 기준으로 전자소자의 외부접속범프가 정렬되도록 상기 전자소자를 공동에 배치하는 단계;

(E) 상기 베이스기판의 상면에 제2 상부 절연층을 적층하고, 테이프를 제거한 후 베이스기판의 하면에 제2 하부 절연층을 적층하여 제2 절연층을 형성하는 단계; 및

(F) 상기 얼라인 홀의 위치정보를 기준으로 제2 절연층에 블라인드 비아홀을 형성하는 단계를 포함하는 것을 특징으로 하는 전자소자 내장 인쇄회로기판의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 기술분야

[0001] 본 발명은 전자소자 내장 인쇄회로기판 및 그 제조방법에 관한 것이고, 보다 상세하게는 베이스기판의 하부회로 패턴에 정렬된 얼라인 홀을 갖는 전자소자 내장 인쇄회로기판 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 반도체 패키지에서 프로파일 감소와 다양한 기능을 요구하는 경향의 시장에 있어 인쇄회로기판 구현에 있어 다양한 기술이 요구된다.

[0003] 예를 들어, FCBGA(Flip Chip Ball Grid Array) 패키지의 제조에 있어서, IC 부품의 전기적 도전성 단자 또는 랜드는 리플로우 가능한 솔더 범프 또는 볼을 사용하여 기판의 표면 상에 다이 본드 영역의 대응 랜드에 직접 솔더링된다. 이때, 전자 부품 또는 부품들은 기판 트레이스를 포함하는 전기적 도전성 경로의 계층을 통해 전자 시스템의 다른 소자에 기능적으로 접속되고, 기판 트레이스는 일반적으로 시스템의 IC 등의 전자 부품 사이에서 전송되는 신호를 운반한다. FCBGA의 경우 기판 상단의 IC와 하단의 커패시터(Capacitor)가 각각 표면 실장될 수 있는데, 이 경우 기판의 두께 만큼 IC와 커패시터를 연결하는 회로의 경로(Path), 즉 연결 회로의 길이가 늘어나, 인피던스 값이 증가하여 전기적 성능에 좋지 않은 영향을 미친다. 또한, 하단 면의 일정 면적을 칩실장을 위해 사용할 수밖에 없기 때문에, 예를 들어, 하단의 모든 면에 볼 어레이를 원하는 사용자의 경우에는 요구를 만족시킬 수 없는 등, 설계자유도가 제한된다.

[0004] 이에 대한 해결 방안으로서 부품을 기판 안에 삽입하여 회로의 경로를 줄이는 부품 내장 기술이 대두되고 있다.

[0005] 도 1a 및 도 1b는 종래의 전자부품 내장 인쇄회로기판의 제조방법을 도시하는 도면이며, 이를 참조하여 종래기술의 문제점을 설명한다.

[0006] 먼저, 도 1a에는 전자부품(30)이 실장될 수 있는 공동(20)이 형성된 절연재(13)를 갖는 기판본체(10) 및 이 공동(20) 상부에 배치된 전자부품(30)이 각각 도시된다. 전자부품(30)은 도시되지 않은 헤더에 진공흡착방식으로 결합하여 이송되어 기판본체(10)에 실장되게 된다. 이때, 전자부품(30)이 실장되면 기판본체(10)에 절연층(70)이 적층되게 되고 절연층(70) 상부에는 전자부품(30)의 일면에 형성된 접속패드(33)와 전기적으로 연결되는 비아(93) 및 회로패턴(91)을 포함하는 회로층(90)을 형성하여 전자부품(30) 내장 인쇄회로기판을 제조한다.

[0007] 그러나, 기판본체(10)에 절연층(70)이 적층되고 나면 전자부품(30)의 접속패드(33)는 외관으로 관찰되지 않기 때문에 절연층(70)에 접속패드(33)를 노출시키는 비아홀을 형성함에 있어 그 위치 정합이 어렵다는 문제점이 있다.

[0008] 접속패드(33)와 비아(93)의 정합을 유지하기 위해 전자부품(30)은 정해진 기준에 대해 정렬된 상태에서 실장되어야 한다. 종래에는 도 1a에 도시된 바와 같이, 기판본체(10)와 전자부품(30) 사이에 배치되는 검출장치(60)를 통해 기판본체(10)의 상부에 형성된 회로패턴(15)과 전자부품(30)의 접속패드(33)의 위치를 검출하여 기판본체(10)의 상부에 형성된 회로패턴(15)에 대해 접속패드(33)의 위치가 정렬되도록 전자부품(30)을 실장하였다.

[0009] 그러나, 접속패드(33)가 위치하는 방향은 기판본체(10)의 상부에 형성된 회로패턴(15)이 아닌 기판본체(10)의 하부에 형성된 회로패턴(17)이다. 기판본체(10)의 상부에 형성된 회로패턴(15)과 하부에 형성된 회로패턴(17)은 층간도통을 위해 일정한 정합요건을 만족하도록 형성되지만, 레지스트의 노광 공정상의 오차 등에 의해 상부 및 하부에 형성되는 회로패턴(15, 17)은 완전히 정합되지는 않는다. 따라서, 기판본체(10)의 상부에 형성된 회로패턴(15)을 기준으로 전자부품(30)을 실장하는 경우 도 1b에 도시된 바와 같이, 전자부품(30)의 접속패드(33)와 절연층(70) 상에 형성되는 회로층(90)에 형성되는 비아(93)간의 정합이 일어나지 않는 문제가 있었다.

[0010] 상술한 바와 같은, 페이스다운 실장 방식뿐만 아니라 페이스업 실장방식에서도 이와 유사한 문제점이 있었다. 즉, 페이스업 방식으로 전자부품을 실장하는 경우 전자부품을 운반하는 헤더에 의해 전자부품의 접속패드의 위치를 검출할 수 없다. 따라서 페이스업 실장방식에서는, 전자부품의 외부 형상과 기판본체의 상부회로패턴을 기준으로 전자부품을 배치하였다. 그러나 반도체칩의 경우 그 외형은 다이싱 공정상의 오차 등에 일정한 형상을 가지는 것이 아니기 때문에 전자부품의 외형을 기준으로 실장하는 경우 접속패드의 위치가 외부 회로층의 비아홀과 정합되지 않는 문제가 있었다.

[0011] 따라서, 기판본체(10)의 외측에 형성되는 비아(93)와 전자부품(30)의 접속패드(33)를 정합시킬 수 있는 전자소자 내장 인쇄회로기판의 구조 및 제조방법이 제안될 것이 요구되었다.

**발명의 내용**

**해결 하고자하는 과제**

[0012] 본 발명은 상기와 같은 종래기술의 문제점을 해결하고자 창출된 것이다.  
본 발명의 목적은, 전자소자의 외부접속범프가 베이스 기판에 형성되는 외층 비아와 위치 정합할 수 있도록 한 전자소자 내장 인쇄회로기판 및 그 제조방법을 제공하는 데 있다.

**과제 해결수단**

[0013] 본 발명에 따른 전자소자 내장 인쇄회로기판은, 제1 절연층, 상기 제1 절연층 상부에 형성된 상부회로패턴 및 상기 제1 절연층 하부에 형성된 하부회로패턴을 갖는 베이스기판; 상기 베이스기판을 관통하는 공동; 상기 베이스기판을 관통하는 얼라인 홀; 상기 공동에 내장되며 일면에 외부접속범프가 형성된 전자소자; 및 상기 베이스기판의 상부 및 하부에 적층되며, 상기 얼라인 홀을 완전히 채우는 제2 절연층;을 포함하는 것을 특징으로 한다.

[0014] 본 발명의 바람직한 한 특징으로서, 상기 얼라인 홀은, 상기 하부회로패턴의 배치에 정렬 형성된 관통홀인 것에 있다.

[0015] 본 발명의 바람직한 다른 특징으로서, 상기 베이스기판은 양면 인쇄회로기판 또는 다층 인쇄회로기판인 것에 있다.

[0016] 본 발명의 바람직한 또 다른 특징으로서, 상기 제2 절연층 상에 형성되고, 상기 외부접속범프 및 상기 하부회로패턴과 전기적으로 접속하는 회로층을 더 포함하는 것에 있다.

[0017] 본 발명의 바람직한 또 다른 특징으로서, 상기 얼라인 홀은 상기 공동들 사이에 두고 복수개가 대칭되어 배치된 것에 있다.

[0018] 본 발명에 따른 전자소자 내장 인쇄회로기판의 제조방법은, (A) 상부에 형성된 상부회로패턴 및 하부에 형성된 하부회로패턴을 갖는 베이스기판을 제공하는 단계; (B) 상기 베이스기판에 전자소자 내장용 공동 및 상기 전자소자 정렬용 얼라인 홀을 형성하는 단계; (C) 상기 전자소자의 일면에 형성된 외부접속범프와 상기 얼라인홀이 정렬되도록 상기 베이스기판에 상기 전자소자를 실장하는 단계;를 포함하는 것을 특징으로 한다.

[0019] 본 발명의 바람직한 한 특징으로서, 상기 베이스기판은 양면 인쇄회로기판 또는 다층 인쇄회로기판인 것에 있다.

[0020] 본 발명의 바람직한 다른 특징으로서, 상기 얼라인 홀은, 상기 베이스기판의 상기 하부회로패턴의 배치에 대응하는 위치에 형성된 관통홀인 것에 있다.

[0021] 본 발명의 바람직한 또 다른 특징으로서, 상기 전자소자를 실장하는 단계는, (i) 상기 베이스기판의 하면에 테이프를 접착하는 단계; (ii) 상기 테이프 상에 상기 얼라인 홀과 상기 외부접속범프가 정렬되도록 상기 전자소자를 배치하는 단계; (iii) 상기 베이스기판의 상면에 제2 상부 절연층을 적층하는 단계; (iv) 상기 테이프를 제거하고 상기 베이스기판의 하면에 제2 하부 절연층을 적층하는 단계;를 포함하는 것에 있다.

[0022] 본 발명의 바람직한 또 다른 특징으로서, 상기 전자소자를 배치하는 단계는, (i) 상기 얼라인 홀의 위치 및 상기 외부접속범프의 위치를 검출하는 단계; (ii) 상기 얼라인 홀과 상기 외부접속범프가 위치 정렬되도록 상기 전자소자를 배치하는 단계;를 포함하는 것에 있다.

[0023] 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다.

[0024] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합되는 의미와 개념으로 해석되어야만 한다.

**효과**

[0025] 본 발명에 따른 전자소자 내장 인쇄회로기판은, 하부회로패턴과 위치 정합하는 얼라인 홀을 구비하기 때문에 전자소자의 외부접속범프와 신뢰성있게 정합하는 외층 비아를 갖는 회로층을 형성하는 것이 가능하다는 장점이 있다.

[0026] 또한, 본 발명에 따른 전자소자 내장 인쇄회로기판의 제조방법은 베이스기판의 하부회로패턴에 대해 정렬된 얼라인 홀을 기준으로 전자소자를 정렬 및 실장 하기 때문에 전자소자의 외부접속범프와 양호하게 접속하는 외층 비아를 형성할 수 있는 장점이 있다.

**발명의 실시를 위한 구체적인 내용**

[0027] 이하, 본 발명에 따른 전자소자 내장 인쇄회로기판 및 그 제조방법의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다. 첨부된 도면의 전체에 걸쳐, 동일하거나 대응하는 구성요소는 동일한 도면부호로 지칭되며, 중복되는 설명은 생략한다. 본 명세서에서, 제1, 제2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다.

[0028] 도 2는 본 발명의 바람직한 실시예에 따른 전자소자 내장 인쇄회로기판의 단면도이다. 도 2에 도시된 바와 같이, 본 발명은, 베이스기판(100), 베이스기판(100)을 관통하는 공동(200), 베이스기판(100)을 관통하는 얼라인 홀(500), 공동(200)에 내장되며 일면에 외부접속범프(330)가 형성된 전자소자(300) 및 베이스기판(100)의 상부 및 하부에 적층되며, 얼라인 홀(500)을 완전히 채우는 제2 절연층(700)을 포함하는 구성이다.

[0029] 베이스기판(100)은 양면인쇄회로기판, 다층인쇄회로기판이 될 수 있으며, 본 실시예에서는 제1 절연층(130), 제1 절연층(130) 상부에 형성된 상부회로패턴(150) 및 제1 절연층(130) 하부에 형성된 하부회로패턴(170)을 갖는 양면인쇄회로기판을 베이스기판(100)으로 사용한다. 베이스기판(100)은 상부회로패턴(150)과 하부회로패턴(170)을 전기적으로 연결하는 내층 비아(160; PTH)를 포함할 수 있다.

[0030] 여기서 제1 절연층(130)은 상부회로패턴(150)과 하부회로패턴(170)을 전기적으로 절연시키는 재료로 구성되며 예를 들면, 열경화성 수지, 열가소성 수지, 기재 보강된 열경화성 수지 및 기재 보강된 열가소성 수지 중 단독 또는 2종 이상을 조합한 수지로 구성될 수 있다.

[0031] 공동(200)은 베이스기판(100)에 전자소자(300)를 내장하기 위해 마련된 관통홀이며, 전자소자(300)의 크기에 상응하는 크기를 갖는다. 이때, 공동(200)은 전자소자(300)가 용이하게 내장될 수 있을 뿐만 아니라 전자소자(300)가 공동(200) 내부에서 어느 정도 위치이동이 가능한 정도로 전자소자(300)의 크기보다는 큰 크기를 갖는 것이 바람직하다.

[0032] 얼라인 홀(500)은 전자소자(300)를 정렬하기 위해 마련된 관통홀이며, 그 형상 및 크기가 제한되는 것은 아니지만 예를 들면, 층간 전기 접속을 위한 내층 비아(160)와 유사한 크기를 가질 수 있다. 그러나, 얼라인 홀(500)은 층간 전기 접속을 위한 구성이 아니며, 전기 전도성 물질로 내부가 충전되지 않는다는 점에서 내층 비아(160)와 구별된다.

[0033] 여기서, 얼라인 홀(500)은 하부회로패턴(170)의 배치에 정렬하는 위치에 형성된다. 일반적으로 내부 회로층을 형성할 때에는 내부 회로층 상부에 빌드업되는 회로층과의 층간 도통 및 정합을 위한 정렬 마크가 마련되며 이는 통상 관통사프트가 삽입될 수 있는 관통공의 형상을 갖는다. 따라서, 내부 회로층 상부에 절연층을 적층하고 절연층에 블라인드 외층 비아홀을 형성함에 있어서, 이러한 정렬 마크를 기준으로 비아홀의 위치를 특정하게 된다. 본 실시예에서 얼라인 홀(500)이 하부회로패턴(170)의 배치에 정렬하는 위치에 형성된다는 의미는 하부회로패턴(170)의 정렬 마크를 기준으로 얼라인 홀(500)이 형성된다는 것이다. 즉, 얼라인 홀(500)은 또 다른 정렬 마크로 작용할 수 있으며, 본 실시예의 얼라인 홀(500)은 베이스기판(100)을 관통하여 형성되기 때문에 상부회로패턴(150)이 형성된 면에서도 하부회로패턴(170)의 정렬마크를 확인할 수 있게 되는 것이다.

[0034] 한편, 얼라인 홀(500)은 전자소자(300)의 정렬을 위한 것이라는 점에서 전자소자(300)가 내장되는 공동(200) 주변에 형성되는 것이 바람직하다. 이때, 본 실시예의 얼라인 홀(500)은 상부회로패턴(150)이 형성된 면에서 하부회로패턴(170)의 정렬마크를 확인할 수 있도록 하부 공동(200)에 근접하게 공동(200) 주변에 형성되면 족할 뿐 특정 위치에 형성하여야 하는 것은 아니며, 상부 및 하부회로패턴(170)을 고려하여 회로 라인이 조밀하지 않은 곳에 형성하는 것이 바람직하다.

[0035] 또한, 얼라인 홀(500)은 하나만 형성할 수도 있으나, 정밀한 정렬을 위해 복수개를 형성할 수 있다. 본 실시예에서는 공동(200)을 사이에 두고 대칭으로 배치된 두 개의 얼라인 홀(500)이 도시된다.

- [0036] 전자소자(300)는 인쇄회로기판과 전기적으로 연결되어 특정기능을 수행하는 부품으로 예를 들면 커패시터 소자 또는 반도체 소자가 될 수 있으며, 전자소자(300)의 일면에는 인쇄회로기판과 전기적으로 연결될 수 있는 외부 접속범프(330)를 구비된다. 본 실시예에서는 전자소자(300)로 내부에 전자회로가 집적된 반도체칩을 사용하며 반도체칩의 일면에는 전자회로에 전기 신호를 인출하는 외부접속범프(330)가 형성되어 있다.
- [0037] 제2 절연층(700)은 베이스기판(100)의 상부 및 하부에 추가 적층된 절연층으로서, 제2 절연층(700)은 베이스기판(100)의 상부 및 하부를 덮는 형태일 뿐만 아니라 얼라인 홀(500), 내층 비아(160) 내부, 및 공동(200)의 전자소자(300)이 채워지지 않는 부분을 모두 충전한다. 제2 절연층(700)은 열경화성 수지, 열가소성 수지, 기재 보강된 열경화성 수지 및 기재 보강된 열가소성 수지 중 단독 또는 2종 이상을 조합한 수지로 구성될 수 있다.
- [0038] 한편 제2 절연층(700) 상에는 회로층(900)이 형성된다. 이 회로층(900)은 전자소자(300)의 외부접속범프(330), 상부회로패턴(150), 및 하부회로패턴(170)과 전기적으로 접속하는 외층 비아(930) 및 외층회로패턴(910)을 포함하는 구성이다. 상기 회로층(900)을 통해 전자소자(300) 및 베이스기판(100)은 전기적으로 접속될 수 있다.
- [0039] 상술한 바와 같이, 본 실시예에 따른 전자소자 내장 인쇄회로기판은 얼라인 홀(500)을 구비하기 때문에 전자소자(300)의 외부접속범프(330)와 신뢰성있게 정합하는 외층 비아(930)를 갖는 회로층(900)을 구현하는 것이 가능하다.
- [0040] 이하, 본 발명의 바람직한 실시예에 따른 전자소자 내장 인쇄회로기판의 제조방법에 대해 서술한다. 도 3 내지 도 14는 본 발명의 실시예에 따른 전자소자 내장 인쇄회로기판의 제조방법을 공정순서대로 도시한 도면이다.
- [0041] 먼저, 전자소자(300)가 내장될 베이스기판(100)을 제공하는 단계이다. 도 3 내지 도 5는 베이스기판(100)을 제공하는 단계를 도시한다. 여기서는 베이스기판(100)으로 양면인쇄회로기판을 사용하지만 이에 제한되는 것이 아니고, 베이스기판(100)은 다층인쇄회로기판이 될 수 있다. 또한, 여기서는 서브트랙티브공법(subtractive)을 적용하여 양면기판을 제공하는 방법에 대해 도시 및 서술하지만, 이에 제한되는 것이 아니며, 다른 공지된 기판제조공정 예를 들면, 어디티브공정(Additive), 세미어디티브공정(SAP, MSAP)으로 기판을 제조할 수 있음을 밝혀둔다.
- [0042] 도 3에 도시된 바와 같이, 제1 절연층(130)의 양면에 동박(135)이 적층된 동박적층판(CCL)이 제공된다.
- [0043] 다음, 도 4에 도시된 바와 같이, 동박적층판에 CNC 드릴링 또는 레이저(CO<sub>2</sub> 또는 YAG 레이저) 드릴링으로 비아 홀(165)을 가공한다.
- [0044] 다음, 도 5에 도시된 바와 같이, 비아홀(165) 내벽에 도금층을 형성하고 동박(135) 위에 레지스트를 적층하고 동박(135)을 에칭하여 상부 및 하부회로패턴(150, 170)을 형성한다. 상기 공정에 의해 본 실시예에서 사용되는 베이스기판(100)을 만들 수 있다.
- [0045] 다음, 도 6에 도시된 바와 같이, 베이스기판(100)에 공동(200) 및 얼라인 홀(500)을 가공한다. 공동(200) 및 얼라인 홀(500)은 CNC 드릴링 또는 레이저 드릴링으로 가공할 수 있다.
- [0046] 여기서, 공동(200)은 전자소자(300)가 실장될 위치에 전자소자(300)의 크기보다 크게 형성하는 것이 바람직하다. 공동(200)이 전자소자(300)의 위치정렬을 수용할 수 있을 만큼의 공간을 구비하도록 형성하는 것이 중요하다.
- [0047] 여기서, 얼라인 홀(500)은 하부회로패턴(170)의 배치에 정렬되도록 형성한다. 즉, 하부회로패턴(170)의 배치 및 하부회로패턴(170)의 정렬 마크를 검출하고 이에 정렬되도록 형성한다. 상술한 바와 같이 얼라인 홀(500)의 위치, 수, 및 형상에 제한은 없으나, 전자소자(300)의 정렬의 정밀도를 향상하기 위해 공동(200)의 주변에 하나 이상의 얼라인 홀(500)을 형성하는 것이 바람직하다. 본 실시예에서는 공동(200)을 사이에 두고 대칭적으로 형성되는 두 개의 얼라인 홀(500)이 도시 및 서술된다.
- [0048] 한편, 공동(200) 및 얼라인 홀(500)은 동시에 가공하는 것도 가능하고 순차적으로 가공하는 것도 가능하다.
- [0049] 다음, 도 7에 도시된 바와 같이, 베이스기판(100)의 일면에 테이프(400)를 부착하여 공동(200)을 폐쇄한다. 테이프(400)는 제2 절연층(700)을 적층되어 전자소자(300)의 위치가 고정되기 전에 임시적으로 사용되는

부재로서, 제거시 기관의 표면에 잔류물이 남지 않는 접착제가 사용되는 것이 좋다. 또한 테이프(400)에 전자소자(300)를 고정시킨 후 제2 절연층(700)을 적층하는 과정에서 기관에 열이 가해지기 때문에 테이프(400)의 재질은 내열성이 우수한 것이 좋다. 예를 들어 실리콘 접착제가 도포된 폴리이미드(PI) 재질의 필름으로 제작된 테이프(400)가 사용될 수 있다.

[0050] 다음, 도 8에 도시된 바와 같이, 전자소자(300)를 베이스기관(100)의 공동(200) 상부에 배치한다. 전자소자(300)는 헤더(미도시)에 진공흡착방식으로 부착되어 공동(200) 상부로 이동된다. 이때 전자소자(300)와 베이스기관(100) 사이에 배치되는 위치검출수단(600), 예를 들면, 카메라에 의해 전자소자(300)의 외부접속범프(330)의 위치 및 베이스기관(100)의 얼라인 홀(500)의 위치가 검출된다. 위치검출수단(600)에 의해 수집된 위치정보는 헤더의 이동을 제어하는 제어부로 전송되고 제어부는 헤더가 전자소자(300)의 외부접속범프(330)가 얼라인 홀(500)과 정렬되는 위치에 배치되도록 전자소자(300)를 이동한다.

[0051] 다음, 도 9에 도시된 바와 같이, 전자소자(300)를 베이스기관(100)에 실장한다. 전자소자(300)가 정 위치에 배치되면 위치검출수단(600)은 수평방향으로 이동하고 헤더는 전자소자(300)를 베이스기관(100)의 테이프(400) 상에 실장한다.

[0052] 다음, 도 10에 도시된 바와 같이, 제2 상부 절연층(730)을 적층한다. 전자소자(300)가 테이프(400)상에 실장되면 베이스기관(100)의 상부에서 제2 상부 절연층(730)을 적층한다. 제2 상부 절연층(730)을 적층하는 것에 의해 전자소자(300)가 베이스기관(100)에 고정된다. 제2 상부 절연층(730)의 적층에 의해 공동(200)의 빈 공간, 얼라인 홀(500) 및 내층 비아(160)의 내부공간이 제2 절연층(700)으로 충전된다.

[0053] 다음, 도 11에 도시된 바와 같이, 테이프(400)를 제거한 다음, 도 12에 도시된 바와 같이, 제2 하부 절연층(750)을 적층한다. 제2 하부 절연층(750)을 적층하는 것에 의해 전자소자(300)는 제2 절연층(700)으로 완전히 감싸지게 된다.

[0054] 다음, 도 13에 도시된 바와 같이, 제2 절연층(700)에 상부회로패턴(150), 하부회로패턴(170) 및 외부접속범프(330)를 노출하는 블라인드 비아홀(310)을 가공한다. 이때 상기 제2 절연층(700)의 하부에 형성되는 블라인드 비아홀(310)은 위치검출수단(600)을 통해 수집된 얼라인 홀(500)의 위치정보를 기준으로 특정된 위치에 형성된다.

상술한 바와 같이, 전자소자(300)의 외부접속범프(330)가 얼라인 홀(500)과 정렬 배치되어 있기 때문에 상기 얼라인 홀(500)의 위치정보를 기준으로 블라인드 비아홀(310)을 형성하게 되면, 상기 외부접속범프(330)를 양호하게 노출시킬 수 있다.

[0055] 다음, 도 14에 도시된 바와 같이, 외부접속범프(330), 상부회로패턴(150) 및 하부회로패턴(170)과 전기적으로 접속할 수 있는 회로층(900)을 형성한다. 이 회로층(900)은 통상의 회로형성공정으로 형성될 수 있다.

[0056] 상술한 바와 같이, 본 실시예에 따른 전자소자 내장 인쇄회로기판의 제조방법은 베이스기관(100)의 하부회로패턴(170)에 대해 정렬된 얼라인 홀(500)을 기준으로 전자소자(300)를 정렬 및 실장 하기 때문에 전자소자(300)의 외부접속범프(330)와 양호하게 접속하는 회로층(900)을 형성할 수 있다.

[0057] 한편, 본 발명은 기재된 실시예에 한정되는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않고 다양하게 수정 및 변형을 할 수 있음은 이 기술 분야에서 통상의 지식을 가진 자에게는 자명하다. 따라서, 그러한 변형예 또는 수정예들은 본 발명의 특허청구범위에 속한다 해야 할 것이다.

**도면의 간단한 설명**

[0058] 도 1은 종래기술로 전자소자 내장 인쇄회로기판을 제조하는 공정을 도시하는 도면이다.

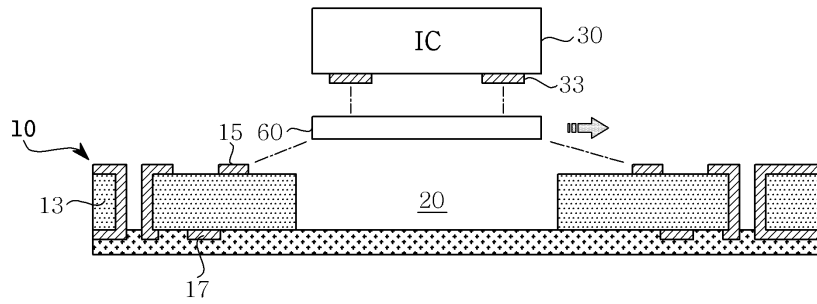
[0059] 도 2는 본 발명의 바람직한 실시예에 따른 전자소자 내장 인쇄회로기판의 단면도이다.

[0060] 도 3 내지 도 14는 본 발명의 바람직한 실시예에 따른 전자소자 내장 인쇄회로기판을 제조하는 방법을 공정순서대로 도시하는 도면이다.

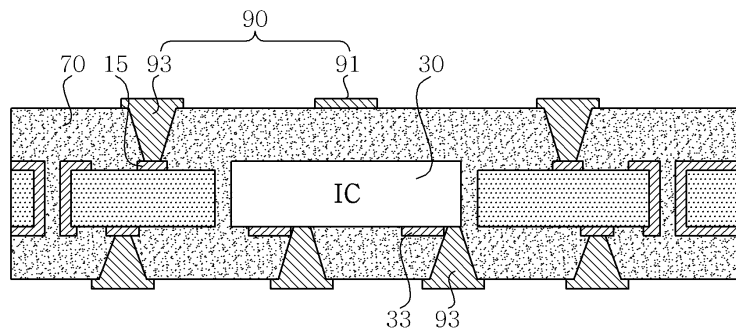


도면

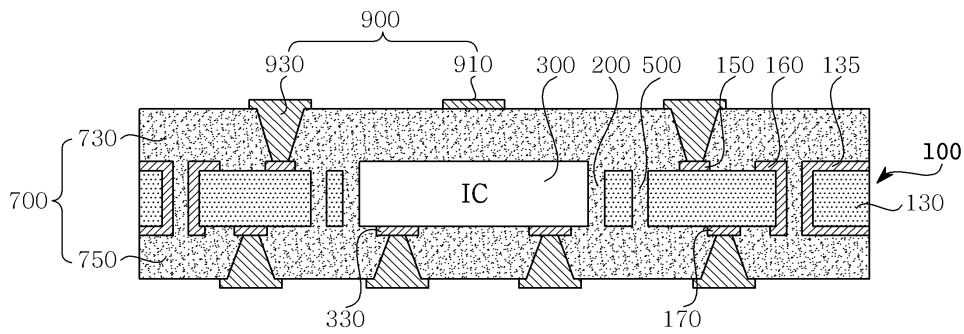
도면1a



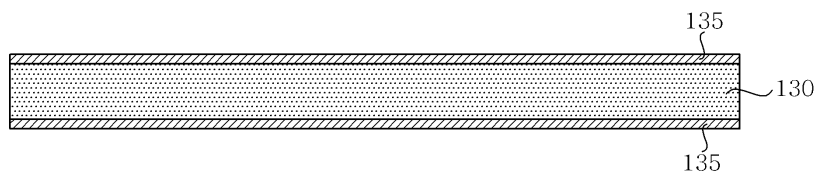
도면1b



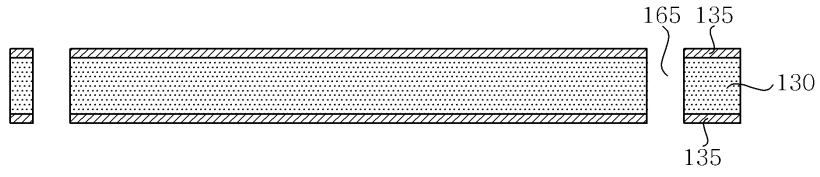
도면2



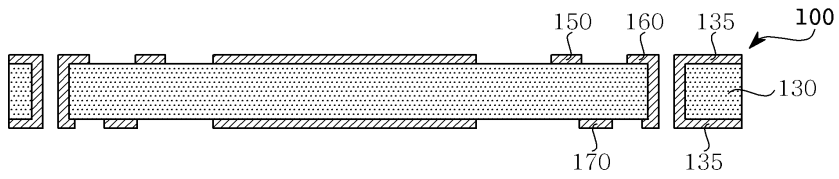
도면3



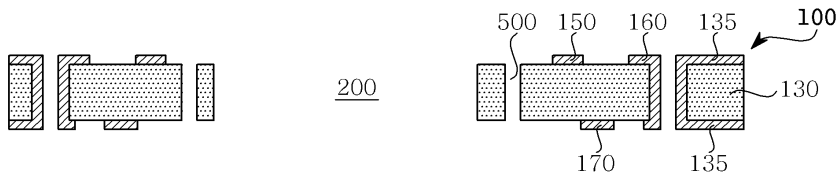
도면4



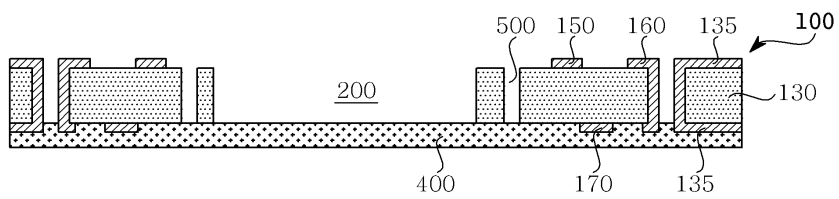
도면5



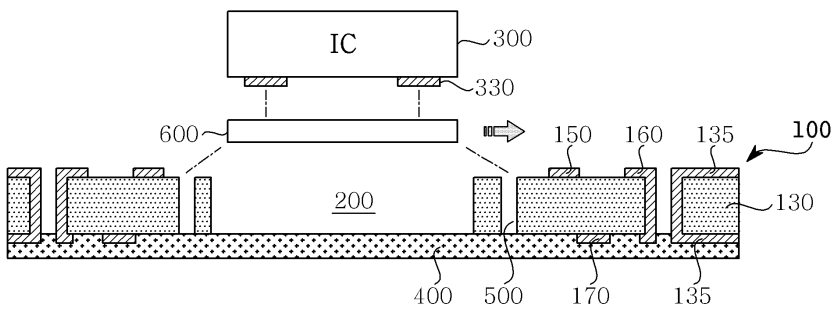
도면6



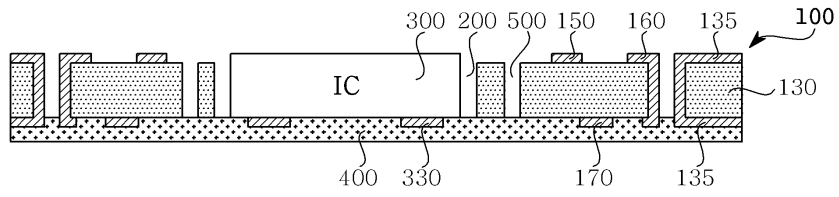
도면7



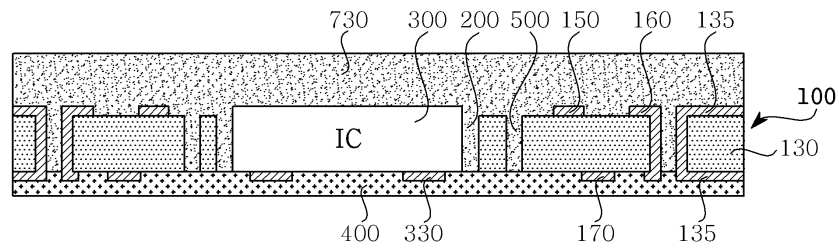
도면8



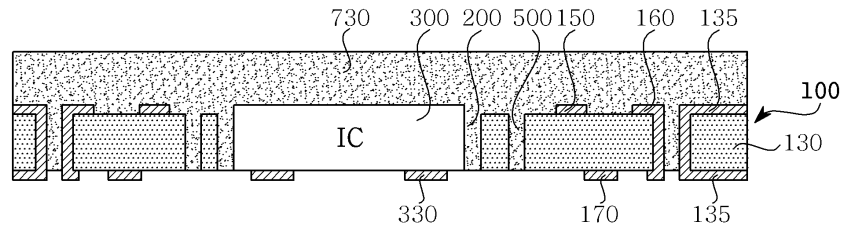
도면9



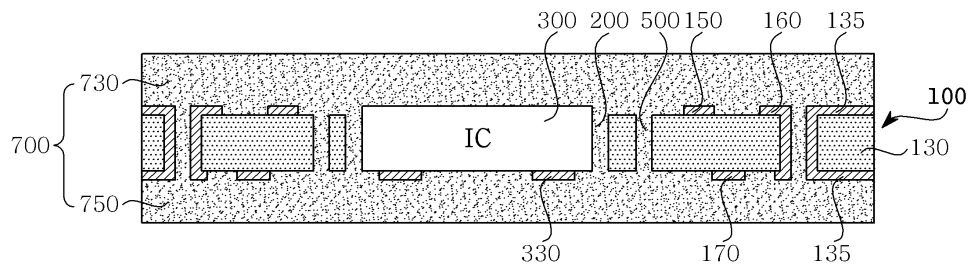
도면10



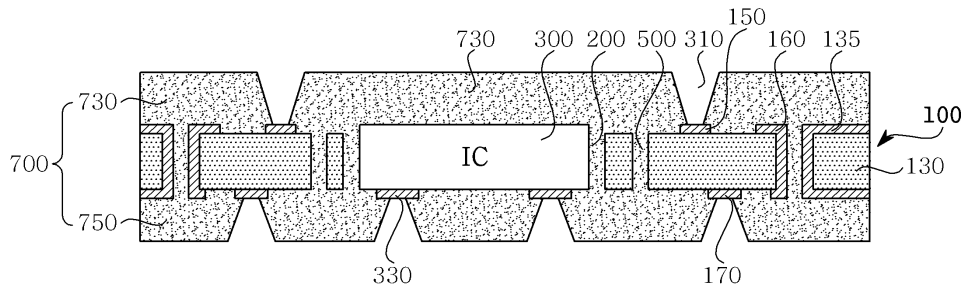
도면11



도면12



도면13



도면14

