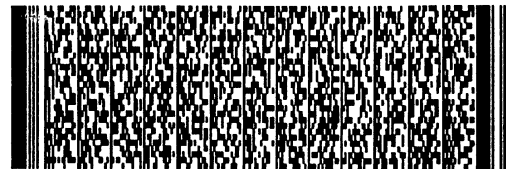
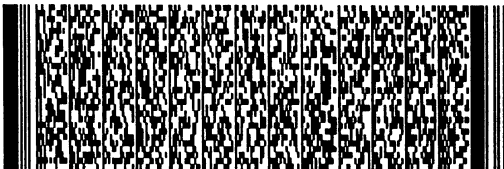


申請日期：92.12.2	IPC分類
申請案號：92133794	G09G3/36

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	位階轉換器
	英文	Level shifter
二、 發明人 (共4人)	姓名 (中文)	1. 許維仁 2. 柯明道
	姓名 (英文)	1. HSU, WEI JEN 2. KER, MING DOU
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 高雄市前金區博孝里11鄰市中一路31號16樓之1 2. 新竹市寶山路200巷3號4樓之3
	住居所 (英文)	1. 16F. -1, No. 31, Shihjhong 1st Rd., Cianjin District, Kaohsiung City 801, Taiwan R.O.C. 2. 4F. -3, No. 3, Lane 200, Pao-Shan Rd., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 統寶光電股份有限公司
	名稱或 姓名 (英文)	1. Toppoly Optoelectronics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區苗栗縣竹南鎮科中路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 12, Ke Jung Rd., Science-Based Industrial Park, Chu-Nan 350, Miao-Li County, Taiwan, R.O.C.
	代表人 (中文)	1. 陳瑞聰
代表人 (英文)	1. CHEN, JUI TSUNG	

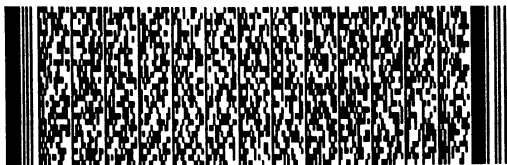


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 李英信 4. 石安
	姓名 (英文)	3. LI, YING HSIN 4. SHIH, AN
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 高雄市三民區大順二路546巷5號 4. 彰化縣埔鹽鄉永樂村番金路98-1號
	住居所 (英文)	3. No. 5, Lane 546, Dashuen 2nd Rd., Sanmin Chiu, Kaohsiung, Taiwan 807, R.O.C. 4. No. 98-1, Fanjin Rd., Puyan Shiang, Changhua, Taiwan 516, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

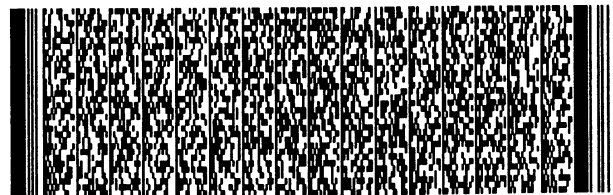
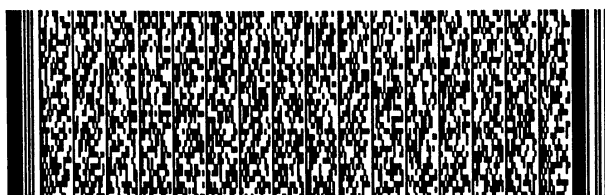
發明所屬之技術領域

本發明是有關於一種位階轉換器，且特別是有關於一種以主動式基底偏壓技術來縮短訊號轉換時間之位階轉換器。

先前技術

多媒體社會之急速進步，多半受惠於半導體元件或人機顯示裝置的飛躍性進步。就顯示器而言，陰極射線管 (Cathode Ray Tube, CRT) 因具有優異的顯示品質與其經濟性，一直獨佔近年來的顯示器市場。然而，對於個人在桌上操作多數終端機/顯示器裝置的環境，或是以環保的觀點切入，若以節省能源的潮流加以預測，陰極射線管因空間利用以及能源消耗上仍存在很多問題，而對於輕、薄、短、小以及低消耗功率的需求無法有效提供解決之道。因此，具有高畫質、空間利用效率佳、低消耗功率、無輻射等優越特性之薄膜電晶體液晶顯示器 (Thin Film Transistor Liquid Crystal Display, TFT LCD) 已逐漸成為市場之主流。

在液晶顯示器中，位階轉換器 (Level Shifter) 為液晶顯示器面板中掃瞄驅動器與資料驅動器之重要電路，其可將低電位輸入訊號轉換為高電位輸出訊號。現今液晶顯示器常使用的低溫多晶矽 (Low-Temperature Poly-Silicon, 簡稱LTPS) 具有較高之臨界電壓與較低的遷移率，因此，隨著面板畫素的增加，使用低溫多晶矽之液晶顯示器的操作速度會逐漸變的不足。

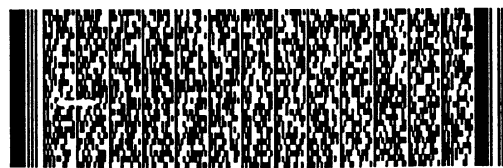
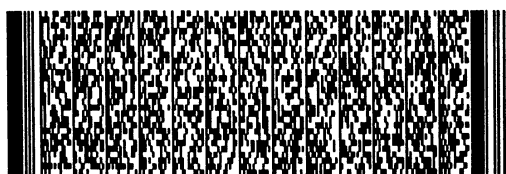


五、發明說明 (2)

請參照第5圖，其繪示習知之一種位階轉換器之電路圖。在第5圖中，位階轉換器50包括第一輸入電晶體Mn1、第一基底偏壓電路510、第一開關電晶體Mp1、第二輸入電晶體Mn2、第二基底偏壓電路530與第二開關電晶體Mp2。第一輸入電晶體Mn1之閘極端502耦接至第一時脈訊號之訊號源，源極端506接地。第一基底偏壓電路510之輸出端516耦接至第一輸入電晶體Mn1之基底508，輸入端518耦接至第一輸入電晶體Mn1之閘極端502。第二輸入電晶體Mn2之汲極端524耦接至輸出端560，閘極端522耦接至第二時脈訊號之訊號源，源極端526接地。第二基底偏壓電路530之輸出端536耦接至第二輸入電晶體Mn2之基底528，輸入端538耦接至第二輸入電晶體Mn2之閘極端522。第一開關電晶體Mp1之汲極端544耦接至電壓源，閘極端542與源極端546耦接至第一輸入電晶體Mn1之汲極端504。第二開關電晶體Mp2之汲極端554耦接至電壓源，閘極端552耦接至第一開關電晶體Mp1之閘極端542，源極端556耦接至第二輸入電晶體Mn2之汲極端524。

其中，第一基底偏壓電路510與第二基底偏壓電路530分別包括緩衝器512、514與緩衝器532、534。

習知之位階轉換器之動作方式為當第一時脈訊號為邏輯高電位，第二時脈訊號為邏輯低電位時，第一輸入電晶體Mn1、第一開關電晶體Mp1與第二開關電晶體Mp2將被導通，第二輸入電晶體Mn2未導通。而當第一時脈訊號由邏輯高電位轉為邏輯低電位，第二時脈訊號由邏輯低電位轉



五、發明說明 (3)

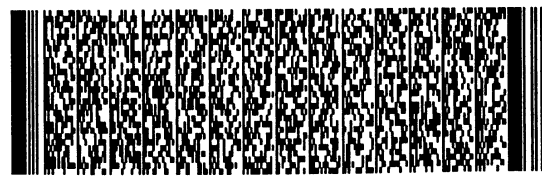
為邏輯高電位時，第一輸入電晶體Mn1、第一開關電晶體Mp1與第二開關電晶體Mp2將被關閉（未導通），此時第二基底偏壓電路530將在第二輸入電晶體Mn2之基底528上加上一高電位，以抑制第二電晶體Mn2之臨界電壓，以提高位階轉換器50之操作速度。但是，在習知之位階轉換器50中，其因存在第一基底偏壓電路510與第二基底偏壓電路530，使得整個位階轉換器50之電路體積相當大。

發明內容

本發明的目的就是在提供一種位階轉換器，其係以比習知之位階轉換器更簡化的電路，達到降低臨界電壓的功能，以使訊號轉換時的操作速度變快。

本發明的另一目的就是在提供一種位階轉換器，其係可只提供第一電晶體組偏壓，達到降低臨界電壓的功能，以使訊號轉換時的操作速度變快。

本發明在提出一種位階轉換器，其係電性耦接至電壓源、第一時脈訊號與第二時脈訊號。此位階轉換器包括第一電晶體組、第二電晶體組與開關電路。上述之開關電路具有第一輸出端與第二輸出端，其接收電壓源，並將電壓源所產生之電力週期性的提供至開關電路之第一輸出端與第二輸出端。上述之第一電晶體組包括第一輸入電晶體與第一偏壓電晶體。其中，第一輸入電晶體具有汲極端、源極端、閘極端與基底，第一輸入電晶體之汲極端耦接至第一輸出端，第一輸入電晶體之源極端接地，第一輸入電晶體之閘極端接收第一時脈訊號。而第一偏壓電晶體則具有



五、發明說明 (4)

汲極端、源極端與閘極端，第一偏壓電晶體之汲極端耦接至第一輸入電晶體之閘極端，第一偏壓電晶體之源極端耦接至第一輸入電晶體之基底，第一偏壓電晶體之閘極端耦接至第一輸出端或第二輸出端。上述之第二電晶體組之一端電性耦接於第二輸出端，另一端接地，其係根據第二時脈訊號決定是否導通第二輸出端至接地之電性通路。

依照本發明的較佳實施例所述，上述之開關電路包括第一開關電晶體與第二開關電晶體。其中，第一開關電晶體具有汲極端、源極端與閘極端，此第一開關電晶體之汲極端耦接至電壓源，第一開關電晶體之源極端與閘極端耦接至第一輸出端。而第二開關電晶體具有汲極端、源極端與閘極端，第二開關電晶體之汲極端耦接至電壓源，第二開關電晶體之源極端耦接至第二輸出端，第二開關電晶體之閘極端耦接至第一開關電晶體之閘極端。

依照本發明的較佳實施例所述，上述之開關電路包括第一開關電晶體與第二開關電晶體。此第一開關電晶體具有汲極端、源極端與閘極端，第一開關電晶體之汲極端耦接至電壓源，第一開關電晶體之源極端耦接至第一輸出端，第一開關電晶體之閘極端耦接至第二輸出端。第二開關電晶體具有汲極端、源極端與閘極端，第二開關電晶體之汲極端耦接至電壓源，第二開關電晶體之源極端耦接至第二輸出端，第二開關電晶體之閘極端耦接至第一輸出端。

依照本發明的較佳實施例所述，上述之第二電晶體組



五、發明說明 (5)

包括第二輸入電晶體與第二偏壓電晶體。此第二輸入電晶體具有汲極端、源極端、閘極端與基底，第二輸入電晶體之汲極端耦接至第二輸出端，第二輸入電晶體之源極端接地，第二輸入電晶體之閘極端接收第二時脈訊號。而第二偏壓電晶體具有汲極端、源極端與閘極端，第二偏壓電晶體之汲極端耦接至第二輸入電晶體之閘極端，第二偏壓電晶體之源極端耦接至第二輸入電晶體之基底，第二偏壓電晶體之閘極端耦接至第二輸入電晶體之汲極端或第一輸出端。其中當第二輸入電晶體、第二偏壓電晶體為N型金屬氧化物半導體時，第二偏壓電晶體之閘極端係耦接至第二輸入電晶體之汲極端。另外，當第二輸入電晶體為N型金屬氧化物半導體，第二偏壓電晶體為P型金屬氧化物半導體時，第二偏壓電晶體之閘極端係耦接至第一輸出端。

依照本發明的較佳實施例所述，上述之第二電晶體組包括第二輸入電晶體與第二偏壓電晶體。此第二輸入電晶體具有汲極端、源極端、閘極端與基底，第二輸入電晶體之汲極端耦接至第二輸出端，第二輸入電晶體之源極端接地，第二輸入電晶體之閘極端接收第二時脈訊號。第二偏壓電晶體具有汲極端、源極端與閘極端，第二偏壓電晶體之汲極端耦接至第二輸入電晶體之汲極端，第二偏壓電晶體之源極端耦接至第二輸入電晶體之基底，第二偏壓電晶體之閘極端耦接至第二輸入電晶體之閘極端或第一輸入電晶體之閘極端。

依照本發明的較佳實施例所述，當第二輸入電晶體、

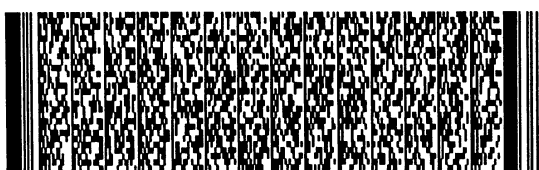


五、發明說明 (6)

第二偏壓電晶體為N型金屬氧化物半導體時，第二偏壓電晶體之閘極端係耦接至第二輸入電晶體之閘極端。而當第二輸入電晶體為N型金屬氧化物半導體，第二偏壓電晶體為P型金屬氧化物半導體時，第二偏壓電晶體之閘極端係耦接至第一輸入電晶體之閘極端。

本發明另提出一種位階轉換器，其係電性耦接至電壓源、第一時脈訊號與第二時脈訊號。此位階轉換器包括第一電晶體組、第二電晶體組與開關電路。上述之開關電路具有第一輸出端與第二輸出端，接收電壓源，以將電壓源所產生之電力週期性的提供至開關電路之第一輸出端與第二輸出端。上述之第一電晶體組包括第一輸入電晶體與第一偏壓電晶體。此第一輸入電晶體具有汲極端、源極端、閘極端與基底，第一輸入電晶體之汲極端耦接至第一輸出端，第一輸入電晶體之源極端接地，第一輸入電晶體之閘極端接收第一時脈訊號。而第一偏壓電晶體具有汲極端、源極端與閘極端，第一偏壓電晶體之汲極端耦接至第一輸入電晶體之汲極端，第一偏壓電晶體之源極端耦接至第一輸入電晶體之基底，第一偏壓電晶體之閘極端接收第一時脈訊號或第二時脈訊號。上述之第二電晶體組之一端電性耦接於第二輸出端，另一端接地，以根據第二時脈訊號決定是否導通第二輸出端至接地之電性通路。

本發明因可只採用一個偏壓電晶體來提高輸入電晶體之基底之電位，即可讓整個位階轉換器的電路更為簡化，而且能達到降低臨界電壓的效果。因此可在不影響電路原



五、發明說明 (7)

有的功能下，使得訊號轉換時的操作速度更快。

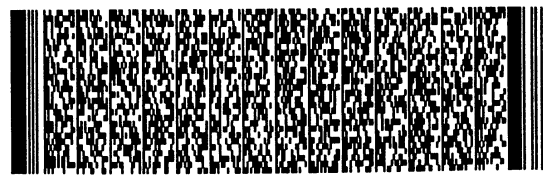
為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

請參照第1A圖，其繪示依照本發明一較佳實施例的一種閘極汲極互接之位階轉換器之電路圖。此位階轉換器10係電性耦接至電壓源、第一時脈訊號與第二時脈訊號。此位階轉換器10包括第一電晶體組100、第二電晶體組130與開關電路140。

在本實施例中，開關電路140具有第一輸出端182與第二輸出端184。此開關電路140為接收電壓源，並將電壓源所產生之電力週期性的提供至開關電路140之第一輸出端182與第二輸出端184。

在本實施例中，第一電晶體組100包括第一輸入電晶體Mn1與第一偏壓電晶體Mn1*。第一輸入電晶體Mn1具有汲極端104、源極端106、閘極端102與基底108。第一輸入電晶體Mn1之汲極端104耦接至第一輸出端182，第一輸入電晶體Mn1之源極端106接地，閘極端102接收並根據第一時脈訊號決定是否導通第一輸入電晶體Mn1。第一偏壓電晶體Mn1*具有汲極端114、源極端116與閘極端112，第一偏壓電晶體Mn1*之汲極端114耦接至第一輸入電晶體Mn1之閘極端102，第一偏壓電晶體Mn1*之源極端116耦接至第一輸入電晶體Mn1之基底108，第一偏壓電晶體Mn1*之閘極端



五、發明說明 (8)

112 耦接至第一輸入電晶體Mn1之汲極端104，以根據第一訊號輸出端182上之訊號決定是否導通第一偏壓電晶體Mn1*。

在本實施例中，第二電晶體組130之一端電性耦接於第二輸出端184，另一端接地。此第二電晶體組為根據第二時脈訊號決定是否導通第二輸出端184至接地之電性通路。

請接著參照第1B圖，其繪示依照本發明一較佳實施例的另一種閘極汲極互接之位階轉換器之電路圖。在第1B圖中，其與第1A圖最大不同之處在於第一偏壓電晶體Mp1*為P型金屬氧化物半導體，且第一偏壓電晶體Mp1*之閘極端112耦接至第二輸出端184，並根據第二輸出端184上之訊號決定是否導通。

請參照第2A圖，其繪示依照本發明一較佳實施例的一種閘極共接之位階轉換器之電路圖。第2A圖與第1A圖之不同處在於第一電晶體組100內之第一輸入電晶體Mn1與第一偏壓電晶體Mn1*之耦接關係。

在本實施例中，位階轉換器30係電性耦接至電壓源、第一時脈訊號與第二時脈訊號。此位階轉換器30包括第一電晶體組100、第二電晶體組130與開關電路140。

在本實施例中，第一電晶體組100包括第一輸入電晶體Mn1與第一偏壓電晶體Mn1*。此第一輸入電晶體Mn1具有汲極端104、源極端106、閘極端102與基底108。第一輸入電晶體Mn1之汲極端104耦接至第一輸出端182，第一輸入



五、發明說明 (9)

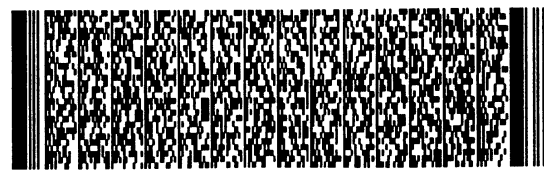
電晶體Mn1之源極端106接地，閘極端102接收並根據第一時脈訊號決定是否導通第一輸入電晶體Mn1。第一偏壓電晶體Mn1*具有汲極端114、源極端116與閘極端112，第一偏壓電晶體Mn1*之汲極端114耦接至第一輸入電晶體Mn1之汲極端104，源極端116耦接至第一輸入電晶體Mn1之基底108，閘極端112耦接至第一輸入電晶體Mn1之閘極端102，以根據第一時脈訊號決定是否導通第一偏壓電晶體Mn1*。

第2B圖是繪示依照本發明一較佳實施例的再一種閘極共接之位階轉換器之電路圖。第2B圖與第2A圖最大不同之處在於第一偏壓電晶體Mp1*為P型金屬氧化物半導體，且第一偏壓電晶體Mp1*之閘極端112耦接至第二輸出端184，並根據第二輸出端184上之訊號決定是否導通。

請參照第3A至3D圖，其分別繪示依照本發明一較佳實施例的四種第二電晶體組之電路圖。

在本發明之較佳實施例中，第二電晶體組130可以有各種類型，甚至也可以是習知之基底偏壓電路，但均不以此為限。

請參照第3A圖，第一種第二電晶體組130係包括第二輸入電晶體Mn2與第二偏壓電晶體Mn2*。此第二輸入電晶體Mn2具有汲極端124、源極端126、閘極端122與基底128，第二輸入電晶體Mn2之汲極端124耦接至第二輸出端184，第二輸入電晶體Mn2之源極端126接地，第二輸入電晶體Mn2之閘極端122接收第二時脈訊號。而第二偏壓電晶體Mn2*具有汲極端134、源極端136與閘極端132，第二偏

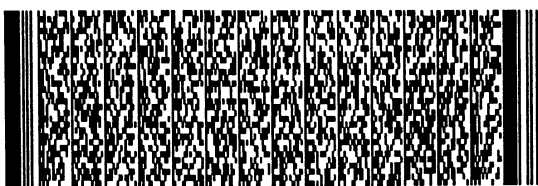


五、發明說明 (10)

壓電晶體 $Mn2^*$ 之汲極端134耦接至第二輸入電晶體 $Mn2$ 之汲極端124，第二偏壓電晶體 $Mn2^*$ 之源極端136耦接至第二輸入電晶體 $Mn2$ 之基底，第二偏壓電晶體 $Mn2^*$ 之閘極端132耦接至第二輸入電晶體 $Mn2$ 之閘極端122。

請參照第3B圖，第二種第二電晶體組130包括第二輸入電晶體 $Mn2$ 與第二偏壓電晶體 $Mn2^*$ 。此第二輸入電晶體 $Mn2$ 具有汲極端124、源極端126、閘極端122與基底128，第二輸入電晶體 $Mn2$ 之汲極端124耦接至第二輸出端184，第二輸入電晶體 $Mn2$ 之源極端126接地，第二輸入電晶體 $Mn2$ 之閘極端122接收第二時脈訊號。第二偏壓電晶體 $Mn2^*$ 具有汲極端134、源極端136與閘極端132，第二偏壓電晶體 $Mn2^*$ 之汲極端134耦接至第二輸入電晶體 $Mn2$ 之閘極端122，第二偏壓電晶體 $Mn2^*$ 之源極端136耦接至第二輸入電晶體 $Mn2$ 之基底128，第二偏壓電晶體 $Mn2^*$ 之閘極端132耦接至第二輸入電晶體 $Mn2$ 之汲極端124。

請參照第3C圖，第三種第二電晶體組130係包括第二輸入電晶體 $Mn2$ 與第二偏壓電晶體 $Mp2^*$ 。此第二輸入電晶體 $Mn2$ 具有汲極端124、源極端126、閘極端122與基底128，第二輸入電晶體 $Mn2$ 之汲極端124耦接至第二輸出端184，第二輸入電晶體 $Mn2$ 之源極端126接地，第二輸入電晶體 $Mn2$ 之閘極端122接收第二時脈訊號。而第二偏壓電晶體 $Mp2^*$ 具有汲極端134、源極端136與閘極端132，第二偏壓電晶體 $Mp2^*$ 之汲極端134耦接至第二輸入電晶體 $Mn2$ 之汲極端124，第二偏壓電晶體 $Mp2^*$ 之源極端136耦接至第二輸

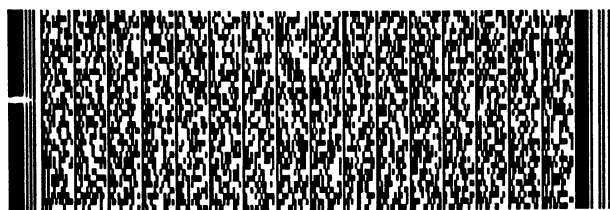


五、發明說明 (11)

入電晶體Mn2之基底128，第二偏壓電晶體Mp2*之閘極端132則可以是耦接至第一輸出端182或第一輸入電晶體Mn1之閘極端102。

請參照第3D圖，第四種第二電晶體組130包括第二輸入電晶體Mn2與第二偏壓電晶體Mp2*。此第二輸入電晶體Mn2具有汲極端124、源極端126、閘極端122與基底128，第二輸入電晶體Mn2之汲極端124耦接至第二輸出端184，第二輸入電晶體Mn2之源極端126接地，第二輸入電晶體Mn2之閘極端122接收第二時脈訊號。第二偏壓電晶體Mp2*具有汲極端134、源極端136與閘極端132，第二偏壓電晶體Mp2*之汲極端134耦接至第二輸入電晶體Mn2之閘極端122，第二偏壓電晶體Mp2*之源極端136耦接至第二輸入電晶體Mn2之基底128，第二偏壓電晶體Mp2*之閘極端132則可以是耦接至第一輸出端182或第一輸入電晶體Mn1之閘極端102。

請接著參照第4A圖，其繪示依照本發明一較佳實施例的一種開關電路之電路圖。開關電路140包括第一開關電晶體Mp1與第二開關電晶體Mp2。此第一開關電晶體Mp1具有汲極端144、源極端146與閘極端142，第一開關電晶體Mp1之汲極端144耦接至電壓源，第一開關電晶體Mp1之源極端146耦接至第一輸出端182，第一開關電晶體Mp1之閘極端142耦接至第二輸出端184。第二開關電晶體Mp2具有汲極端154、源極端156與閘極端152，第二開關電晶體Mp2之汲極端154耦接至電壓源，第二開關電晶體Mp2之源極端



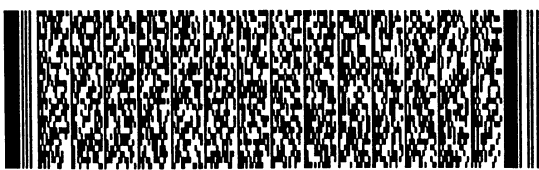
五、發明說明 (12)

156 耦接至第二輸出端184，第二開關電晶體Mp2之閘極端152耦接至第一輸出端182。

請參照第4B圖，其繪示依照本發明一較佳實施例的另一種開關電路之電路圖。在本實施例中，開關電路140包括第一開關電晶體Mp1與第二開關電晶體Mp2。其中，第一開關電晶體Mp1具有汲極端144、源極端146與閘極端142，此第一開關電晶體Mp1之汲極端144耦接至電壓源，第一開關電晶體Mp1之源極端146與閘極端142耦接至第一輸出端182。而第二開關電晶體Mp2具有汲極端154、源極端156與閘極端152，第二開關電晶體Mp2之汲極端154耦接至電壓源，第二開關電晶體Mp2之源極端156耦接至第二輸出端184，第二開關電晶體Mp2之閘極端152耦接至第一開關電晶體Mp1之閘極端142。

請繼續參照第1A圖，若第二電晶體組為第3B圖之第二電晶體組130時，位階轉換器10之動作方式為當第一時脈訊號為邏輯高電位，第二時脈訊號為邏輯低電位時，第一輸入電晶體Mn1被導通，第二輸入電晶體Mn2未導通，因此第一偏壓電晶體Mn1*未導通，第二偏壓電晶體Mn2*導通。此時，第一輸入電晶體Mn1之基底108為浮接，而第二輸入電晶體Mn2之基底128為邏輯低電位。

當訊號開始轉換時，即第一時脈訊號由邏輯高電位轉為邏輯低電位，第二時脈訊號由邏輯低電位轉為邏輯高電位時，第二輸入電晶體Mn2與第二偏壓電晶體Mn2*將被導通，第二輸入電晶體Mn2之基底128之電位會被提高，此



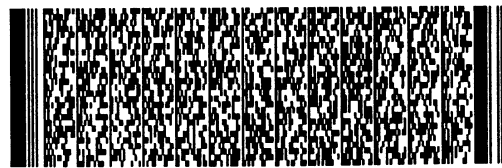
五、發明說明 (13)

時，第二輸入電晶體Mn2擁有較低之臨界電壓，且流經第二輸入電晶體Mn2的電流將變大，以縮短訊號的轉換時間。

當訊號轉換完成時，第二輸出端184上之訊號將變為邏輯低電位，第二偏壓電晶體Mn2*為弱導通(weak on)，第二輸入電晶體Mn2之基底128的電位將會降低。而當第二輸出端184上之訊號所代表之電位包括0伏特左右時，第二偏壓電晶體Mn2*未導通，第二輸入電晶體Mn2之基底128轉為浮接。

在本實施例中，若第1B圖之位階轉換器12與第3D圖之第二電晶體組130搭配時，第二偏壓電晶體Mp2*之閘極端132係耦接至第一輸出端182。其動作方式為當第一時脈訊號為邏輯高電位，第二時脈訊號為邏輯低電位時，第一輸入電晶體Mn1被導通，第二輸入電晶體Mn2未導通，因此第一偏壓電晶體Mp1*未導通，第二偏壓電晶體Mp2*導通。此時，第一輸入電晶體Mn1之基底108為浮接，而第二輸入電晶體Mn2之基底128為邏輯低電位。

當訊號開始轉換時，即第一時脈訊號由邏輯高電位轉為邏輯低電位，第二時脈訊號由邏輯低電位轉為邏輯高電位時，第二輸入電晶體Mn2與第二偏壓電晶體Mp2*將被導通，第二輸入電晶體Mn2之基底128之電位會被提高，此時，第二輸入電晶體Mn2擁有較低之臨界電壓，且流經第二輸入電晶體Mn2的電流將變大，以縮短訊號的轉換時間。



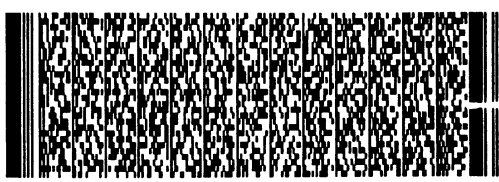
五、發明說明 (14)

在本實施例中，隨著第一輸入電晶體Mn1的逐漸關閉（未導通），第一輸出端182上之訊號會逐漸轉為邏輯高電位。此時，第二偏壓電晶體Mp2*為弱導通（weak on），第二輸入電晶體Mn2之基底128的電位將會降低。而當第一輸出端182上之訊號所代表之電位包括0伏特左右時，第二偏壓電晶體Mp2*未導通，第二輸入電晶體Mp2之基底128轉為浮接。

若第2A圖之位階轉換器30與第3A圖之第二電晶體組130搭配時，其動作方式為當第一時脈訊號為邏輯高電位，第二時脈訊號為邏輯低電位時，第一輸入電晶體Mn1與第一偏壓電晶體Mn1*被導通，第二輸入電晶體Mn2與第二偏壓電晶體Mn2*未導通。因此，第一輸出端182上之訊號為邏輯低電位，第二輸出端184上之訊號為邏輯高電位。此時，第一輸入電晶體Mn1之基底108為邏輯低電位，而第二輸入電晶體Mn2之基底128為浮接。

當訊號開始轉換時，即第一時脈訊號由邏輯高電位轉為邏輯低電位，第二時脈訊號由邏輯低電位轉為邏輯高電位時，第二輸入電晶體Mn2與第二偏壓電晶體Mn2*將被導通，第二輸出端184上之訊號仍為邏輯高電位，所以第二輸入電晶體Mn2之基底128之電位會被提高，此時，第二輸入電晶體Mn2擁有較低之臨界電壓，且流經第二輸入電晶體Mn2的電流將變大，以縮短訊號的轉換時間，直至第二輸出端184上之訊號為邏輯低電位。

若第2B圖之位階轉換器32與第3C圖之第二電晶體組



五、發明說明 (15)

130 搭配時，第二偏壓電晶體 $Mp2^*$ 之閘極端132接收第一時脈訊號。位階轉換器32之動作方式為當第一時脈訊號為邏輯高電位，第二時脈訊號為邏輯低電位時，第一輸入電晶體 $Mn1$ 與第一偏壓電晶體 $Mp1^*$ 被導通，第二輸入電晶體 $Mn2$ 與第二偏壓電晶體 $Mp2^*$ 未導通。因此，第一輸出端182上之訊號為邏輯低電位，第二輸出端184上之訊號為邏輯高電位。此時，第一輸入電晶體 $Mn1$ 之基底108為邏輯低電位，而第二輸入電晶體 $Mn2$ 之基底128為浮接。

當訊號開始轉換時，即第一時脈訊號由邏輯高電位轉為邏輯低電位，第二時脈訊號由邏輯低電位轉為邏輯高電位時，第二輸入電晶體 $Mn2$ 與第二偏壓電晶體 $Mp2^*$ 將被導通，第二輸出端184上之訊號仍為邏輯高電位，所以第二輸入電晶體 $Mn2$ 之基底128之電位會被提高，此時，第二輸入電晶體 $Mn2$ 擁有較低之臨界電壓，且流經第二輸入電晶體 $Mn2$ 將變大，以縮短訊號的轉換時間，直至第二輸出端184上之訊號為邏輯低電位。

在本發明之較佳實施例中，第1A圖、第1B圖、第2A圖與第2B圖，可分別與第3A圖、第3B圖、第3C圖與第3D圖中任何一個第二電晶體組130作搭配。而其搭配時之動作方式則與上述之各種搭配的動作方式類似。另外，搭配時之耦接關係則亦以上述之各種搭配的耦接關係為基準作變化，但均不以此為限。

在本發明之較佳實施例中，當第一偏壓電晶體 $Mp1^*$ 為P型金屬氧化物半導體時，除了上述的連接方式之外，也



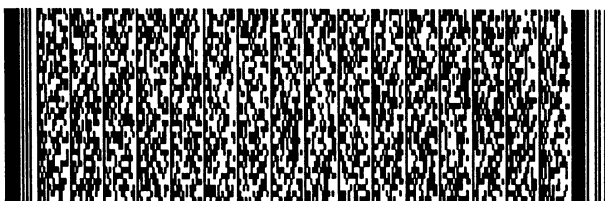
五、發明說明 (16)

可以採用在閘極端112與第一輸出端182間電性耦接反相器的方式為之。

在本發明之較佳實施例中，第一電晶體組100、第二電晶體組130與開關電路140之組合自當不以上述為限。

綜合以上所述，本發明之位階轉換器可使整個位階轉換器的電路更為簡化，而且能達到降低臨界電壓的效果。因此可在不影響電路原有的功能下，使得訊號轉換時的操作速度更快。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖是繪示依照本發明一較佳實施例的一種開極汲極互接之位階轉換器之電路圖。

第1B圖是繪示依照本發明一較佳實施例的再一種開極汲極互接之位階轉換器之電路圖。

第2A圖是繪示依照本發明一較佳實施例的一種開極共接之位階轉換器之電路圖。

第2B圖是繪示依照本發明一較佳實施例的再一種開極共接之位階轉換器之電路圖。

第3A圖是繪示依照本發明一較佳實施例的一種第二電晶體組之電路圖。

第3B圖是繪示依照本發明一較佳實施例的另一種第二電晶體組之電路圖。

第3C圖是繪示依照本發明一較佳實施例的再一種第二電晶體組之電路圖。

第3D圖是繪示依照本發明一較佳實施例的又一種第二電晶體組之電路圖。

第4A圖是繪示依照本發明一較佳實施例的一種開關電路之電路圖。

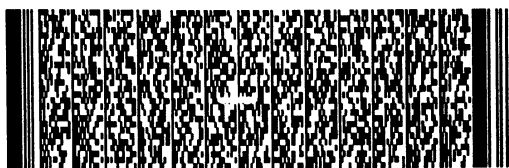
第4B圖是繪示依照本發明一較佳實施例的另一種開關電路之電路圖。

第5圖是習知之一種位階轉換器之電路圖。

【圖式標示說明】

10、12、30、32、50：位階轉換器

100：第一電晶體組



圖式簡單說明

102、112、122、132、142、152、502、522、542、
552：閘極端

104、114、124、134、144、154、504、524、544、
554：汲極端

106、116、126、136、146、156、506、526、546、
556：源極端

108、128、508、528：基底

130：第二電晶體組

140：開關電路

182：第一輸出端

184：第二輸出端

510：第一基底偏壓電路

512、514、532、534：緩衝器

518、538：輸入端

516、536、560：輸出端

530：第二基底偏壓電路

Mn1：第一輸入電晶體

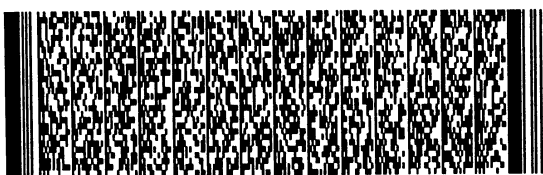
Mn2：第二輸入電晶體

Mn1*、Mp1*：第一偏壓電晶體

Mn2*、Mp2*：第二偏壓電晶體

Mp1：第一開關電晶體

Mp2：第二開關電晶體



四、中文發明摘要 (發明名稱：位階轉換器)

一種位階轉換器，此位階轉換器包括第一輸入電晶體、第二輸入電晶體、第一偏壓電晶體、第二偏壓電晶體、第一開關電晶體與第二開關電晶體。在本發明中，其在訊號轉換狀態時係利用提高第二輸入電晶體之基底的電位，以降低其臨界電壓，以使得流經第二輸入電晶體之電流變大，以縮短訊號轉換時間。

伍、(一)、本案代表圖為：第____1A____圖

(二)、本案代表圖之元件代表符號簡單說明：

10：位階轉換器

100：第一電晶體組

102、112：閘極端

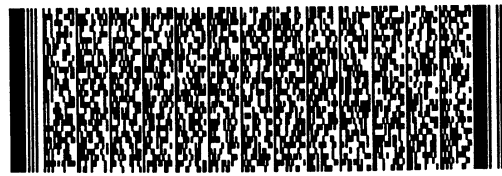
104、114：汲極端

106、116：源極端

108：基底

六、英文發明摘要 (發明名稱：Level shifter)

A level shifter is provided. The level shifter includes a first input transistor, a second input transistor, a first bias transistor, a second bias transistor, a first switch transistor, and a second switch transistor. At the time of change of the signal status, by raising the voltage level of the substrate of the second input transistor, to reduce the threshold



四、中文發明摘要 (發明名稱：位階轉換器)

130 : 第二電晶體組
140 : 開關電路
182 : 第一輸出端
184 : 第二輸出端
Mn1 : 第一輸入電晶體
Mn1* : 第一偏壓電晶體。

六、英文發明摘要 (發明名稱：Level shifter)

voltage is reduced so that the current flowing through the second input transistor is increased to shorten the time of the change of the signal status.



六、申請專利範圍

1. 一種位階轉換器，係電性耦接至一電壓源、一第一時脈訊號與一第二時脈訊號，該位階轉換器包括：

一開關電路，具有一第一輸出端與一第二輸出端，接收一電壓源；

一第一電晶體組，包括：

一第一輸入電晶體，具有汲極端、源極端、閘極端與基底，該第一輸入電晶體之汲極端耦接至該第一輸出端，該第一輸入電晶體之源極端接地，該第一輸入電晶體之閘極端接收該第一時脈訊號；以及

一第一偏壓電晶體，具有汲極端、源極端與閘極端，該第一偏壓電晶體之汲極端耦接至該第一輸入電晶體之閘極端，該第一偏壓電晶體之源極端耦接至該第一輸入電晶體之基底，該第一偏壓電晶體之閘極端耦接至該第一輸出端與該第二輸出端其中之一；以及

一第二電晶體組，一端電性耦接於該第二輸出端，另一端接地，以根據該第二時脈訊號決定導通該第二輸出端至接地之電性通路與否。

2. 如申請專利範圍第1項所述之位階轉換器，其中該開關電路包括：

一第一開關電晶體，具有汲極端、源極端與閘極端，該第一開關電晶體之汲極端耦接至該電壓源，該第一開關電晶體之源極端與閘極端耦接至該第一輸出端；以及

一第二開關電晶體，具有汲極端、源極端與閘極端，該第二開關電晶體之汲極端耦接至該電壓源，該第二開關



六、申請專利範圍

電晶體之源極端耦接至該第二輸出端，該第二開關電晶體之閘極端耦接至該第一開關電晶體之閘極端。

3. 如申請專利範圍第1項所述之位階轉換器，其中該開關電路包括：

一第一開關電晶體，具有汲極端、源極端與閘極端，該第一開關電晶體之汲極端耦接至該電壓源，該第一開關電晶體之源極端耦接至該第一輸出端，該第一開關電晶體之閘極端耦接至該第二輸出端；以及

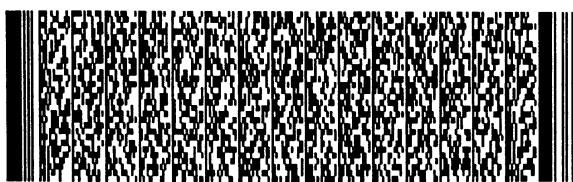
一第二開關電晶體，具有汲極端、源極端與閘極端，該第二開關電晶體之汲極端耦接至該電壓源，該第二開關電晶體之源極端耦接至該第二輸出端，該第二開關電晶體之閘極端耦接至該第一輸出端。

4. 如申請專利範圍第1項所述之位階轉換器，其中該第二電晶體組包括：

一第二輸入電晶體，具有汲極端、源極端、閘極端與基底，該第二輸入電晶體之汲極端耦接至該第二輸出端，該第二輸入電晶體之源極端接地，該第二輸入電晶體之閘極端接收該第二時脈訊號；以及

一第二偏壓電晶體，具有汲極端、源極端與閘極端，該第二偏壓電晶體之汲極端耦接至該第二輸入電晶體之閘極端，該第二偏壓電晶體之源極端耦接至該第二輸入電晶體之基底，該第二偏壓電晶體之閘極端耦接至該第二輸入電晶體之汲極端與該第一輸出端其中之一。

5. 如申請專利範圍第4項所述之位階轉換器，其中當



六、申請專利範圍

該第二輸入電晶體、該第二偏壓電晶體為N型金屬氧化物半導體時，該第二偏壓電晶體之閘極端係耦接至該第二輸入電晶體之汲極端。

6. 如申請專利範圍第4項所述之位階轉換器，其中當該第二輸入電晶體為N型金屬氧化物半導體，該第二偏壓電晶體為P型金屬氧化物半導體時，該第二偏壓電晶體之閘極端係耦接至該第一輸出端。

7. 如申請專利範圍第1項所述之位階轉換器，其中該第二電晶體組包括：

一 第二輸入電晶體，具有汲極端、源極端、閘極端與基底，該第二輸入電晶體之汲極端耦接至該第二輸出端，該第二輸入電晶體之源極端接地，該第二輸入電晶體之閘極端接收該第二時脈訊號；以及

一 第二偏壓電晶體，具有汲極端、源極端與閘極端，該第二偏壓電晶體之汲極端耦接至該第二輸入電晶體之汲極端，該第二偏壓電晶體之源極端耦接至該第二輸入電晶體之基底，該第二偏壓電晶體之閘極端耦接至該第二輸入電晶體之閘極端與該第一輸入電晶體之閘極端其中之一。

8. 如申請專利範圍第7項所述之位階轉換器，其中當該第二輸入電晶體、該第二偏壓電晶體為N型金屬氧化物半導體時，該第二偏壓電晶體之閘極端係耦接至該第二輸入電晶體之閘極端。

9. 如申請專利範圍第7項所述之位階轉換器，其中當該第二輸入電晶體為N型金屬氧化物半導體，該第二偏壓



六、申請專利範圍

電晶體為P型金屬氧化物半導體時，該第二偏壓電晶體之閘極端係耦接至該第一輸入電晶體之閘極端。

10. 一種位階轉換器，電性耦接至一電壓源、一第一時脈訊號與一第二時脈訊號，該位階轉換器包括：

一開關電路，具有一第一輸出端與一第二輸出端，接收一電壓源；

一第一電晶體組，包括：

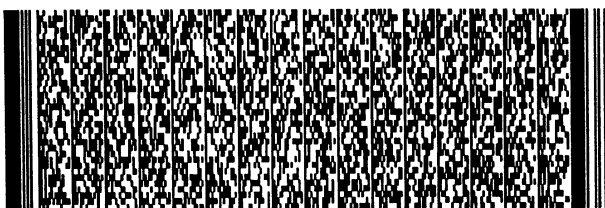
一第一輸入電晶體，具有汲極端、源極端、閘極端與基底，該第一輸入電晶體之汲極端耦接至該第一輸出端，該第一輸入電晶體之源極端接地，該第一輸入電晶體之閘極端接收該第一時脈訊號；以及

一第一偏壓電晶體，具有汲極端、源極端與閘極端，該第一偏壓電晶體之汲極端耦接至該第一輸入電晶體之汲極端，該第一偏壓電晶體之源極端耦接至該第一輸入電晶體之基底，該第一偏壓電晶體之閘極端接收該第一時脈訊號與該第二時脈訊號其中之一；以及

一第二電晶體組，一端電性耦接於該第二輸出端，另一端接地，以根據該第二時脈訊號決定導通該第二輸出端至接地之電性通路與否。

11. 如申請專利範圍第10項所述之位階轉換器，其中該開關電路包括：

一第一開關電晶體，具有汲極端、源極端與閘極端，該第一開關電晶體之汲極端耦接至該電壓源，該第一開關電晶體之源極端與閘極端耦接至該第一輸出端；以及



六、申請專利範圍

一 第二開關電晶體，具有汲極端、源極端與閘極端，該第二開關電晶體之汲極端耦接至該電壓源，該第二開關電晶體之源極端耦接至該第二輸出端，該第二開關電晶體之閘極端耦接至該第一開關電晶體之閘極端。

12. 如申請專利範圍第10項所述之位階轉換器，其中該開關電路包括：

一 第一開關電晶體，具有汲極端、源極端與閘極端，該第一開關電晶體之汲極端耦接至該電壓源，該第一開關電晶體之源極端耦接至該第一輸出端，該第一開關電晶體之閘極端耦接至該第二輸出端；以及

一 第二開關電晶體，具有汲極端、源極端與閘極端，該第二開關電晶體之汲極端耦接至該電壓源，該第二開關電晶體之源極端耦接至該第二輸出端，該第二開關電晶體之閘極端耦接至該第一輸出端。

13. 如申請專利範圍第10項所述之位階轉換器，其中該第二電晶體組包括：

一 第二輸入電晶體，具有汲極端、源極端、閘極端與基底，該第二輸入電晶體之汲極端耦接至該第二輸出端，該第二輸入電晶體之源極端接地，該第二輸入電晶體之閘極端接收該第二時脈訊號；以及

一 第二偏壓電晶體，具有汲極端、源極端與閘極端，該第二偏壓電晶體之汲極端耦接至該第二輸入電晶體之閘極端，該第二偏壓電晶體之源極端耦接至該第二輸入電晶體之基底，該第二偏壓電晶體之閘極端耦接至該第二輸入



六、申請專利範圍

電晶體之汲極端與該第一輸出端其中之一。

14. 如申請專利範圍第13項所述之位階轉換器，其中當該第二輸入電晶體、該第二偏壓電晶體為N型金屬氧化物半導體時，該第二偏壓電晶體之閘極端係耦接至該第二輸入電晶體之汲極端。

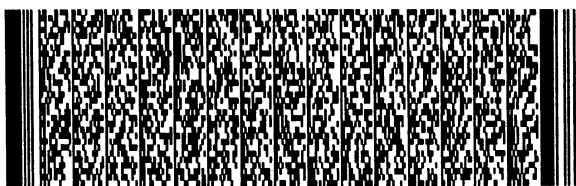
15. 如申請專利範圍第13項所述之位階轉換器，其中當該第二輸入電晶體為N型金屬氧化物半導體，該第二偏壓電晶體為P型金屬氧化物半導體時，該第二偏壓電晶體之閘極端係耦接至該第一輸出端。

16. 如申請專利範圍第10項所述之位階轉換器，其中該第二電晶體組包括：

一 第二輸入電晶體，具有汲極端、源極端、閘極端與基底，該第二輸入電晶體之汲極端耦接至該第二輸出端，該第二輸入電晶體之源極端接地，該第二輸入電晶體之閘極端接收該第二時脈訊號；以及

一 第二偏壓電晶體，具有汲極端、源極端與閘極端，該第二偏壓電晶體之汲極端耦接至該第二輸入電晶體之汲極端，該第二偏壓電晶體之源極端耦接至該第二輸入電晶體之基底，該第二偏壓電晶體之閘極端耦接至該第二輸入電晶體之閘極端與該第一輸入電晶體之閘極端其中之一。

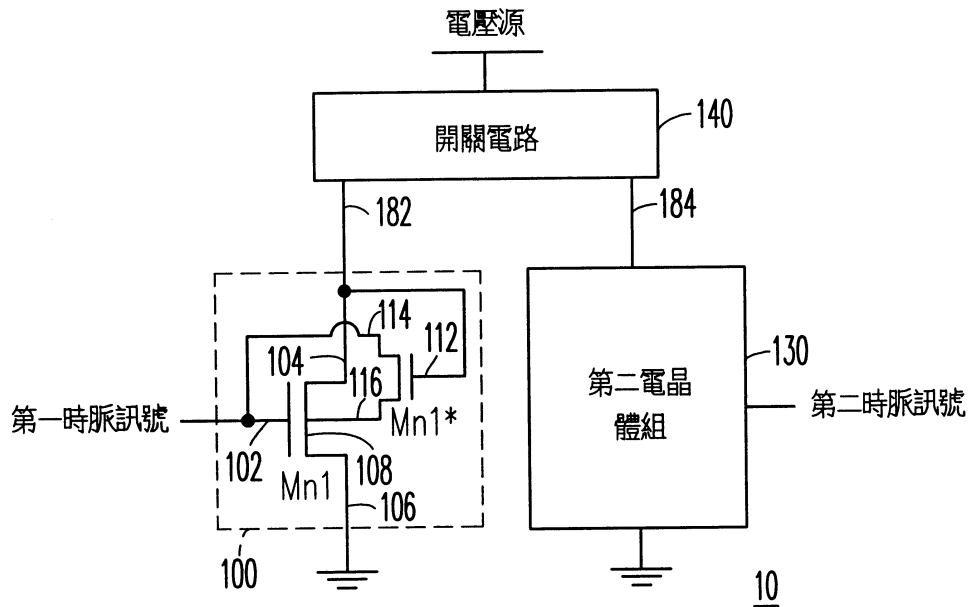
17. 如申請專利範圍第16項所述之位階轉換器，其中當該第二輸入電晶體、該第二偏壓電晶體為N型金屬氧化物半導體時，該第二偏壓電晶體之閘極端係耦接至該第二輸入電晶體之閘極端。



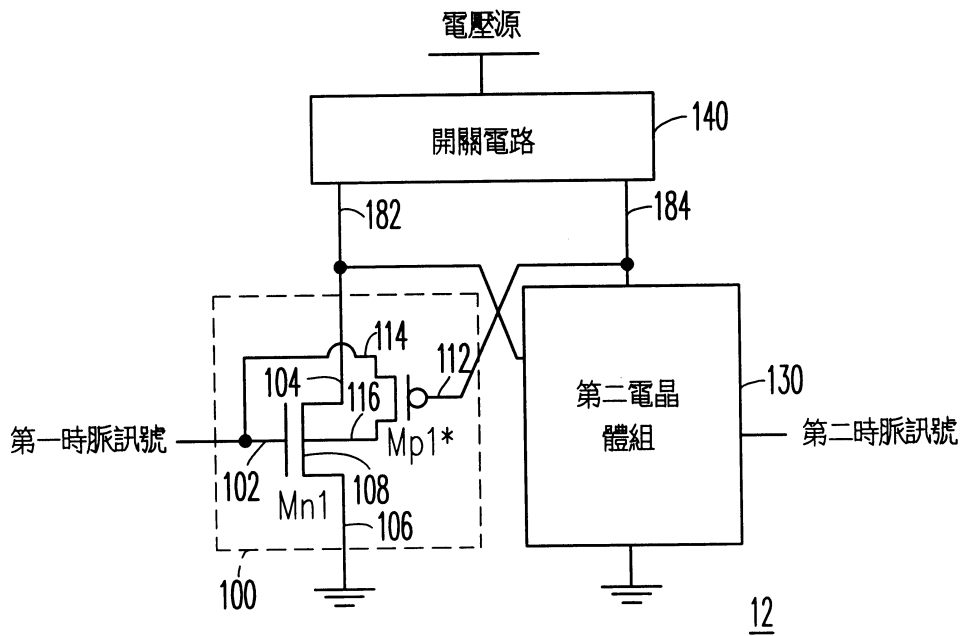
六、申請專利範圍

18. 如申請專利範圍第16項所述之位階轉換器，其中當該第二輸入電晶體為N型金屬氧化物半導體，該第二偏壓電晶體為P型金屬氧化物半導體時，該第二偏壓電晶體之閘極端係耦接至該第一輸入電晶體之閘極端。

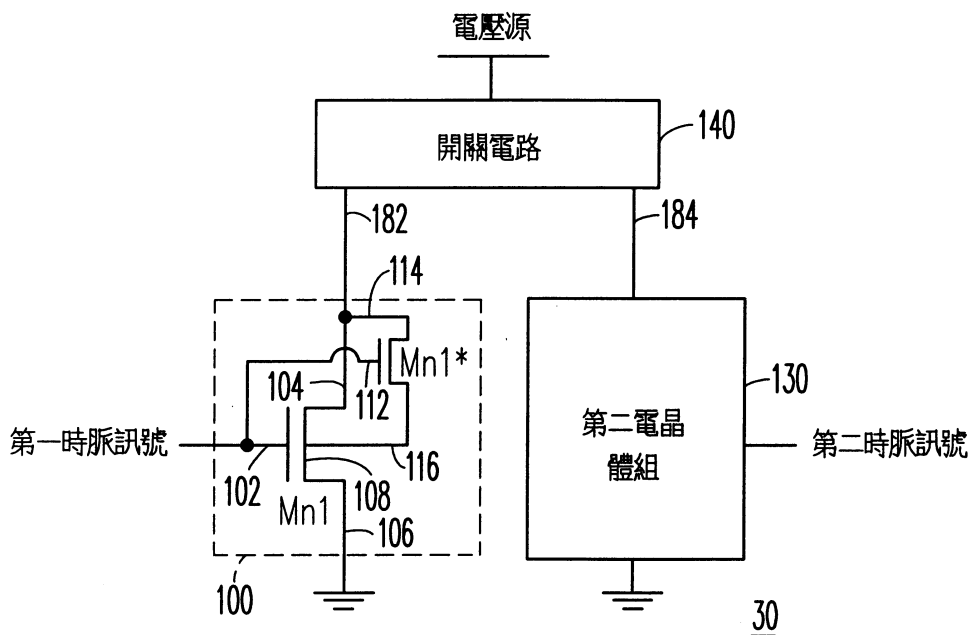




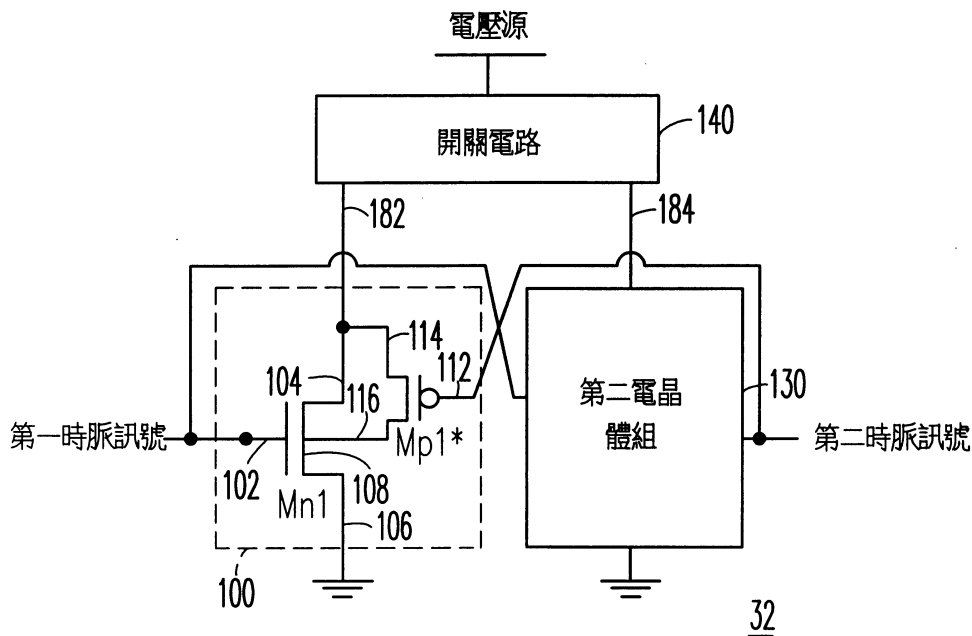
第 1A 圖



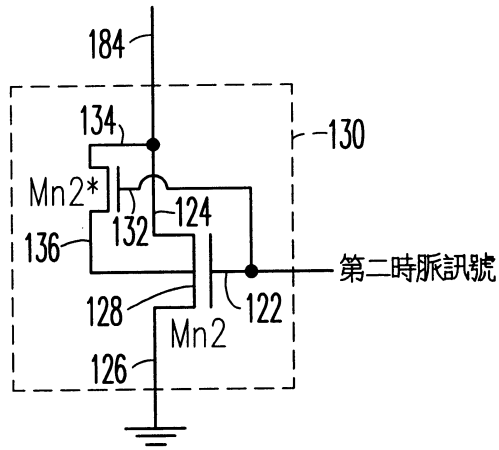
第 1B 圖



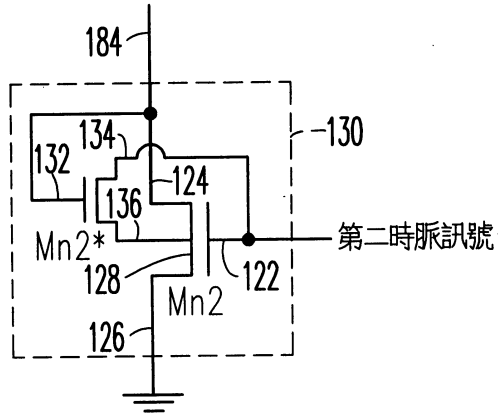
第2A圖



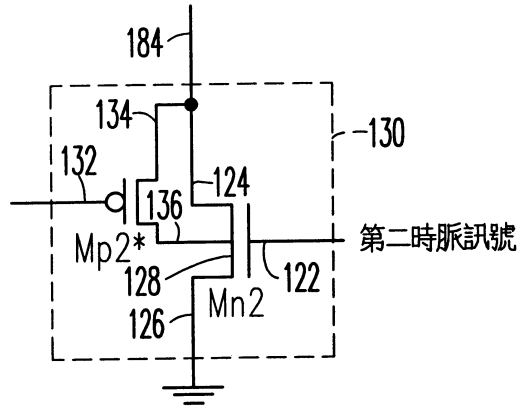
第2B圖



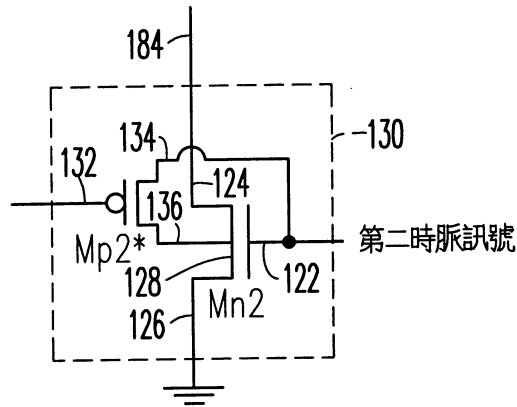
第 3A 圖



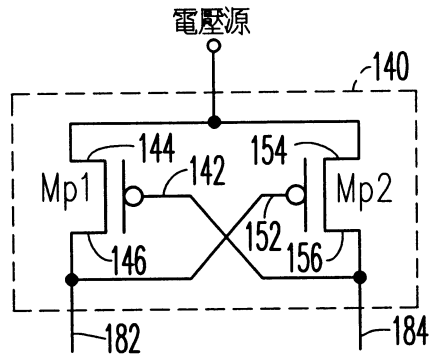
第 3B 圖



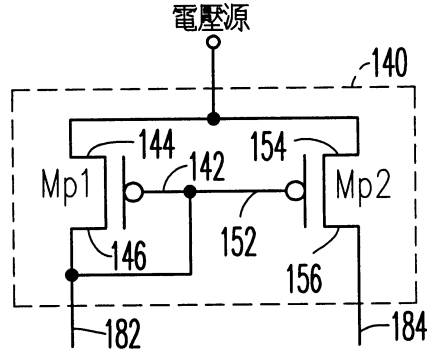
第 3C 圖



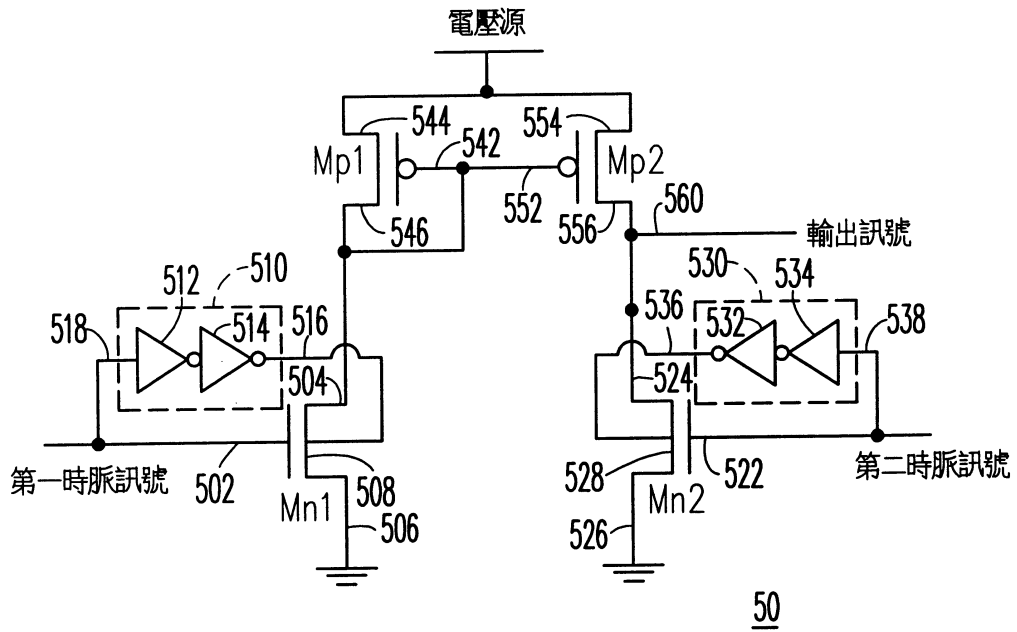
第 3D 圖



第 4A 圖



第 4B 圖



第 5 圖

四、中文發明摘要 (發明名稱：位階轉換器)

一種位階轉換器，此位階轉換器包括第一輸入電晶體、第二輸入電晶體、第一偏壓電晶體、第二偏壓電晶體、第一開關電晶體與第二開關電晶體。在本發明中，其在訊號轉換狀態時係利用提高第二輸入電晶體之基底的電位，以降低其臨界電壓，以使得流經第二輸入電晶體之電流變大，以縮短訊號轉換時間。

伍、(一)、本案代表圖為：第____1A____圖

(二)、本案代表圖之元件代表符號簡單說明：

10：位階轉換器

100：第一電晶體組

102、112：閘極端

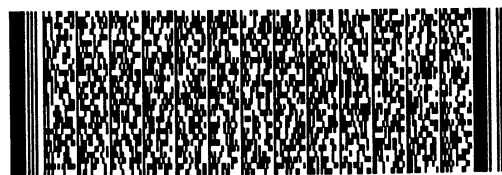
104、114：汲極端

106、116：源極端

108：基底

六、英文發明摘要 (發明名稱：Level shifter)

A level shifter is provided. The level shifter includes a first input transistor, a second input transistor, a first bias transistor, a second bias transistor, a first switch transistor, and a second switch transistor. At the time of change of the signal status, by raising the voltage level of the substrate of the second input transistor, to reduce the threshold



四、中文發明摘要 (發明名稱：位階轉換器)

130 : 第二電晶體組
140 : 開關電路
182 : 第一輸出端
184 : 第二輸出端
Mn1 : 第一輸入電晶體
Mn1* : 第一偏壓電晶體。

六、英文發明摘要 (發明名稱：Level shifter)

voltage is reduced so that the current flowing through the second input transistor is increased to shorten the time of the change of the signal status.

