



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년03월12일
(11) 등록번호 10-2779959
(24) 등록일자 2025년03월06일

- (51) 국제특허분류(Int. Cl.)
G11C 15/04 (2006.01) G11C 14/00 (2006.01)
- (52) CPC특허분류
G11C 15/043 (2013.01)
G11C 14/0054 (2013.01)
- (21) 출원번호 10-2023-0133567
- (22) 출원일자 2023년10월06일
심사청구일자 2023년10월06일
- (56) 선행기술조사문헌
S. Matsunaga et al., 'Implementation of a Standby-Power-Free CAM Based on Complementary Ferroelectric-Capacitor Logic', A.S.P. Design Auto. Conference, 116-117 Page (2007.05.07.) 1부.*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
- (72) 발명자
김형진
서울특별시 금천구 시흥대로47길 43, 9동 1205호 (시흥동, 럭키아파트)
- 황휘호
경기도 광주시 삼지곡길34번길 25-5, 401호(삼동)
- (74) 대리인
양성보

전체 청구항 수 : 총 4 항

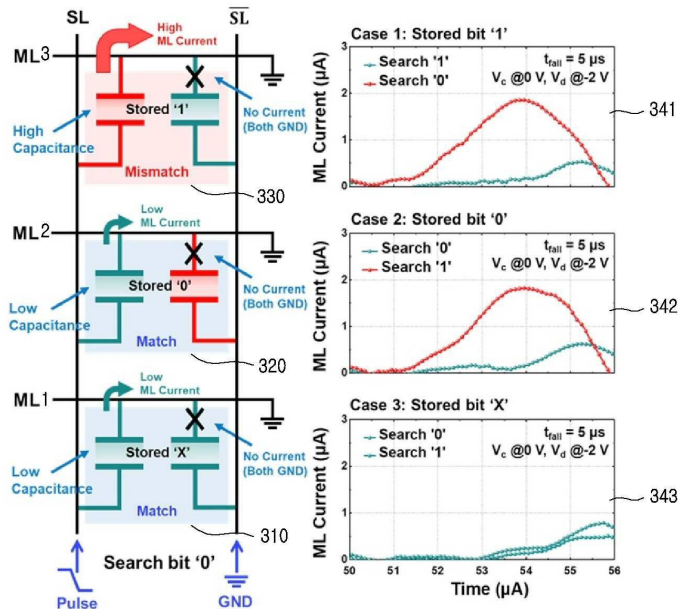
심사관 : 윤석채

(54) 발명의 명칭 커패시터 메모리를 사용하는 터너리 내용 주소화 메모리 장치

(57) 요약

패시터 메모리를 사용하는 터너리 내용 주소화 메모리 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 커패시터 메모리를 사용하는 터너리 내용 주소화 메모리는 저장하고자 하는 비트에 맞게 프로그램 커패시터 소자와 이레이즈 커패시터 소자가 인접하도록 하나의 비트 셀 형태로 배치되고 비트가 저장되는 복수의 CAM 셀, 상기 복 (뒷면에 계속)

대표도 - 도3



수의 CAM 셀에 저장된 비트를 검색하기 위해, 검색 하고자 하는 비트에 해당하는 전압을 각각의 CAM 셀에 인가하는 서치 라인(Search Line; SL) 및 서치 라인 바(Search Line Bar; SL') 및 프로그램 커패시터 소자와 이레이즈 커패시터 소자의 충전/방전 동작을 활용하여 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압의 일치 여부를 판단하고, 상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 흐르는 매치 라인(Match Line; ML)을 포함한다.

이 발명을 지원한 국가연구개발사업

과제고유번호	1711186719
과제번호	2022M3I7A1078544
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	원천기술개발사업
연구과제명	[Ezbaro] (2022M3I7A1078544) 전하저장형 실리콘 MOS 커패시터 기반 물리적 복제불
가 함수 개발	
기 여 율	50/100
과제수행기관명	서울대학교
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711183491
과제번호	2020M3H5A1081111
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	원천기술개발사업
연구과제명	[Ezbaro] 대기환경 감지 및 분류를 위한 메모리스트 기반 하드웨어 인공지능 기술
기 여 율	25/100
과제수행기관명	인하대학교
연구기간	2023.01.30 ~ 2024.01.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711193592
과제번호	2021-0-02052-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	대학ITRC센터육성지원사업(교육운영수익)
연구과제명	[Ezbaro][정부] 스마트 모빌리티를 위한 인공지능 시스템반도체 핵심 기술 개발 및
인력 양성(3차년도)	
기 여 율	25/100
과제수행기관명	인하대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

저장하고자 하는 비트에 맞게 프로그램 커패시터 소자와 이레이즈 커패시터 소자가 인접하도록 하나의 비트 셀 형태로 배치되고 비트가 저장되는 복수의 CAM 셀;

상기 복수의 CAM 셀에 저장된 비트를 검색하기 위해, 검색하고자 하는 비트에 해당하는 전압을 각각의 CAM 셀에 인가하는 서치 라인(Search Line; SL) 및 서치 라인 바(Search Line Bar; SL'); 및

프로그램 커패시터 소자와 이레이즈 커패시터 소자의 충전/방전 동작을 활용하여 각각의 CAM 셀에 저장된 비트와 상기 검색하고자 하는 비트에 해당하는 전압의 일치 여부를 판단하고, 상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 흐르는 매치 라인(Match Line; ML)

을 포함하고,

상기 매치 라인은,

상기 각각의 CAM 셀에 저장된 비트 및 상기 서치 라인 및 서치 라인 바에 인가되는 전압에 따른 상기 각각의 CAM 셀의 이레이즈 커패시터 소자 또는 프로그램 커패시터 소자의 충전/방전 동작으로 인해 발생하는 해당 소자의 전하량에 의한 전류가 흐르게 되며,

상기 각각의 CAM 셀에 저장된 비트와 상기 검색하고자 하는 비트에 해당하는 전압이 일치하는 경우, 해당 CAM 셀의 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류가 발생하고, 프로그램 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 이레이즈 커패시터 소자의 이레이즈 전류가 흐르고,

상기 각각의 CAM 셀에 저장된 비트와 상기 검색하고자 하는 비트에 해당하는 전압이 불일치하는 경우, 해당 CAM 셀의 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 발생하고, 이레이즈 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 프로그램 커패시터 소자의 프로그램 전류가 흐르며,

상기 CAM 셀에 저장된 비트가 무관(don't care)인 경우, 해당 CAM 셀의 두 커패시터가 모두 이레이즈 커패시터 소자로 배치되어 어떠한 검색에도 매치 라인에 이레이즈 전류가 흐르는

터너리 내용 주소화 메모리.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 매치 라인은,

상기 복수의 CAM 셀 전체 저장된 비트에 대해 한번의 검색 사이클로 동시 검색 동작이 수행되며, 상기 일치 여부 판단 및 상기 일치 여부에 따라 상기 매치 라인에 흐르는 전류 합산이 동시에 병렬적으로 수행되는

터너리 내용 주소화 메모리.

청구항 5

복수의 CAM 셀에 저장하고자 하는 비트에 맞게 프로그램 커패시터 소자와 이레이즈 커패시터 소자가 인접하도록

하나의 비트 셀 형태로 배치되고 비트가 저장되는 단계;

상기 복수의 CAM 셀에 저장된 비트를 검색하기 위해, 서치 라인(Search Line; SL) 및 서치 라인 바(Search Line Bar; SL')에 검색 하고자 하는 비트에 해당하는 전압을 각각의 CAM 셀에 인가하는 단계;

프로그램 커패시터 소자와 이레이즈 커패시터 소자의 충전/방전 동작을 활용하여 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압의 일치 여부를 판단하는 단계; 및

상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 매치 라인(Match Line; ML)을 통해 흐르는 단계

를 포함하고,

상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 매치 라인을 통해 흐르는 단계는,

상기 각각의 CAM 셀에 저장된 비트 및 상기 서치 라인 및 서치 라인 바에 인가되는 전압에 따른 상기 각각의 CAM 셀의 이레이즈 커패시터 소자 또는 프로그램 커패시터 소자의 충전/방전 동작으로 인해 발생하는 해당 소자의 전하량에 의한 전류가 흐르게 되며,

상기 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압이 일치하는 경우, 해당 CAM 셀의 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류가 발생하고, 프로그램 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 이레이즈 커패시터 소자의 이레이즈 전류가 흐르고,

상기 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압이 불일치하는 경우, 해당 CAM 셀의 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 발생하고, 이레이즈 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 프로그램 커패시터 소자의 프로그램 전류가 흐르며,

상기 CAM 셀에 저장된 비트가 무관(don't care)인 경우, 해당 CAM 셀의 두 커패시터가 모두 이레이즈 커패시터 소자로 배치되어 어떠한 검색에도 매치 라인에 이레이즈 전류가 흐르는

터너리 내용 주소화 메모리의 동작 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

제5항에 있어서,

상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 매치 라인을 통해 흐르는 단계는,

상기 복수의 CAM 셀 전체 저장된 비트에 대해 한번의 검색 사이클로 동시 검색 동작이 수행되며, 상기 일치 여부 판단 및 상기 일치 여부에 따라 상기 매치 라인에 흐르는 전류 합산이 동시에 병렬적으로 수행되는

터너리 내용 주소화 메모리의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 커패시터 메모리를 사용하는 터너리 내용 주소화 메모리 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 기존 많은 수의 트랜지스터와 전력 소모를 요구하는 CMOS(Complementary Metal-Oxide-Semiconductor)

SRAM(Static Random Access Memory) 기반의 CAM(Content Addressable Memory)과 다르게, 비휘발성 메모리 및 크로스바 어레이 내의 두 개의 인접한 소자를 하나의 CAM 비트 셀로 사용하며, 고집적 저전력 검색이 가능한 CAM으로 동작 가능하다.

[0003] CAM은 비트 어레이를 저장한 메모리에 검색하고자 하는 데이터를 입력 및 비교하여, 검색하고자 하는 것과 저장된 것 중 일치하는 것을 찾아내고, 그것이 위치한 주소를 반환하는 기능을 하는 메모리를 의미한다.

[0004] 특히, 많은 데이터들에 대해 병렬적으로 동시 검색 기능을 수행하여, 한 번의 사이클에 일치하는 것을 찾아낼 수 있으며, 이는 네트워크 장치의 라우팅 테이블 작업의 전달 속도를 높이는 데에 사용되거나, IP 주소 룩업(Address Lookup) 장치에 사용된다. 또한, 최근 떠오르고 있는 빅데이터, 인공지능 분야에서 필요로 하는 대용량의 고속 검색 기능에서 CAM의 기능이 활용될 수 있어, 대규모의 병렬적인 패턴 매칭에 활용되거나, 메타 러닝 등에서의 입력 데이터 분류를 위한 저장 데이터들과의 해밍 디스턴스(Hamming Distance) 계산에 활용하여 계산 커널 및 뉴럴 네트워크 가속기로 활용되는 연구들이 진행 중이다.

[0005] CAM은 기본적으로 0과 1 두 데이터를 저장하고 검색할 수 있는 바이너리(binary) CAM과 0, 1, 무관(don't care) 세 데이터를 저장하고 검색할 수 있는 터너리(ternary) CAM을 의미한다. 종래의 CAM은 CMOS SRAM을 기반으로 하여, 하나의 비트 데이터를 구현하기 위해서는 일반적으로 16개의 트랜지스터를 필요로 한다. 이는 더 큰 크기의 데이터와 더 많은 수의 데이터를 저장하고 구현하고자 할수록 더욱 큰 면적과 높은 전력 소모를 요구하게 된다.

[0006] 따라서, 이러한 한계를 극복하기 위해, 새로운 셀 구조를 통해 집적도를 높이고, 비휘발성 메모리를 활용해 저전력 소모 CAM을 구현하기 위한 연구들이 활발하게 이루어지고 있다. 또한, 그와 더불어 저장된 데이터의 크기가 커짐에도, 즉 어레이 규모가 커짐에도 검색 기능에 있어서 센싱에 필요한 마진의 보장이 필수적인데, 종래의 CAM은 일반적으로 그 어레이의 규모가 커질수록 누설 전류의 증가로 인해 센싱이 가능한 마진의 영역이 감소하며, 어려움을 갖는다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 한국등록특허 제10-2508440호(2023.03.06)

발명의 내용

해결하려는 과제

[0008] 본 발명이 이루고자 하는 기술적 과제는 직류 전원이 걸려있는 상태에서는 누설 전류 및 전력소모(static power)가 발생하지 않는 커패시터 소자의 특징을 통해, 이를 비트 셀로 삼아 CAM 어레이 규모가 커져도 누설 전류가 증가하거나 센싱 마진이 감소하지 않는 커패시터 메모리를 사용하는 터너리 내용 주소화 메모리 장치 및 그 동작 방법을 제공하는데 있다. 또한, 커패시터 어레이의 구조적인 특징을 통해 고집적 CAM 어레이 구현 및 병렬적인 전류 합을 통한 해밍 디스턴스 탐지 기능을 구현하며, 정적 전력 소모를 갖지 않는 저전력의 CAM 어레이 및 동작을 제안한다.

과제의 해결 수단

[0009] 일 측면에 있어서, 본 발명에서 제안하는 커패시터 메모리를 사용하는 터너리 내용 주소화 메모리는 저장하고자 하는 비트에 맞게 프로그램 커패시터 소자와 이레이즈 커패시터 소자가 인접하도록 하나의 비트 셀 형태로 배치되고 비트가 저장되는 복수의 CAM 셀, 상기 복수의 CAM 셀에 저장된 비트를 검색하기 위해, 검색하고자 하는 비트에 해당하는 전압을 각각의 CAM 셀에 인가하는 서치 라인(Search Line; SL) 및 서치 라인 바(Search Line Bar; SL') 및 프로그램 커패시터 소자와 이레이즈 커패시터 소자의 충전/방전 동작을 활용하여 각각의 CAM 셀에 저장된 비트와 상기 검색하고자 하는 비트에 해당하는 전압의 일치 여부를 판단하고, 상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 흐르는 매치 라인(Match Line; ML)을 포함한다.

[0010] 상기 매치 라인은 상기 각각의 CAM 셀에 저장된 비트 및 상기 서치 라인 및 서치 라인 바에 인가되는 전압에 따

른 상기 각각의 CAM 셀의 이레이즈 커패시터 소자 또는 프로그램 커패시터 소자의 충전/방전 동작으로 인해 발생하는 해당 소자의 전하량에 의한 전류가 흐르게 된다.

[0011] 상기 매치 라인은 상기 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압이 일치하는 경우, 해당 CAM 셀의 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류가 발생하고, 프로그램 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 이레이즈 커패시터 소자의 이레이즈 전류가 흐르고, 상기 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압이 불일치하는 경우, 해당 CAM 셀의 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 발생하고, 이레이즈 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 프로그램 커패시터 소자의 커패시터 전류가 흐르며, 상기 CAM 셀에 저장된 비트가 무관(don't care)인 경우, 해당 CAM 셀의 두 커패시터가 모두 이레이즈 커패시터 소자로 배치되어 어떠한 검색에도 이레이즈 전류가 흐른다.

[0012] 상기 매치 라인은 상기 복수의 CAM 셀 전체 저장된 비트에 대해 한번의 검색 사이클로 동시에 수행되며, 상기 일치 여부 판단 및 상기 일치 여부에 따라 상기 매치 라인에 흐르는 전류 합산이 동시에 병렬적으로 수행된다.

[0013] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 커패시터 메모리를 사용하는 터너리 내용 주소화 메모리의 동작 방법은 복수의 CAM 셀에 저장하고자 하는 비트에 맞게 프로그램 커패시터 소자와 이레이즈 커패시터 소자가 인접하도록 하나의 비트 셀 형태로 배치되고 비트가 저장되는 단계, 상기 복수의 CAM 셀에 저장된 비트를 검색하기 위해, 서치 라인(Search Line; SL) 및 서치 라인 바(Search Line Bar; SL')에 검색 하고자 하는 비트에 해당하는 전압을 각각의 CAM 셀에 인가하는 단계, 프로그램 커패시터 소자와 이레이즈 커패시터 소자의 충전/방전 동작을 활용하여 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압의 일치 여부를 판단하는 단계 및 상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 매치 라인(Match Line; ML)을 통해 흐르는 단계를 포함한다.

발명의 효과

[0014] 본 발명의 실시예들에 따르면 터너리 내용 주소화 메모리 장치 및 그 동작 방법을 통해 직류 전원이 걸려있는 상태에서는 누설 전류 및 전력소모(static power)가 발생하지 않는 커패시터 소자의 특징을 통해, 이를 비트 셀로 삼아 CAM 어레이 규모가 커져도 누설 전류가 증가하거나 센싱 마진이 감소하지 않는다. 또한, 커패시터 어레이의 구조적인 특징을 통해 고집적 CAM 어레이 구현 및 병렬적인 전류 합을 통한 해밍 디스턴스 탐지 기능을 구현하며, 정적 전력 소모를 갖지 않는 저전력의 CAM 어레이 및 동작을 제안할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 따른 커패시터 메모리를 사용하는 CAM 셀을 설명하기 위한 도면이다.
 도 2는 본 발명의 일 실시예에 따른 TANOS 스택을 갖는 플래시 MOS 커패시터 소자 및 크로스바 어레이 구조를 설명하기 위한 도면이다.
 도 3은 본 발명의 일 실시예에 따른 커패시터 소자 기반 터너리 CAM의 단일 비트 셀을 설명하기 위한 도면이다.
 도 4는 본 발명의 일 실시예에 따른 두 커패시터 소자를 활용하여 세가지 데이터를 사용하는 터너리 CAM의 저장 및 검색 동작을 설명하기 위한 도면이다.
 도 5는 본 발명의 일 실시예에 따른 커패시터 소자 기반 터너리 CAM 셀을 활용한 CAM 어레이 구조를 설명하기 위한 도면이다.
 도 6은 본 발명의 일 실시예에 따른 커패시터 소자 기반 터너리 CAM의 동작 방법을 설명하기 위한 흐름도이다.
 도 7은 본 발명의 일 실시예에 따른 6 비트 크기의 데이터 길이를 갖는 플래시 MOS 커패시터 기반 CAM 어레이의 실험적 동작 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 최근 등장한 5G 산업, 빅데이터, 인공지능 분야 등의 급속한 성장속에서, 고속 대용량 검색의 수요가 점점 더 증가하고 있다. 이때, CAM은 그것의 최적의 대안 중 하나로 제안되고 있으며, 기존 상용화 된 CAM은 CMOS SRAM을 기반으로 하여, 한 비트 데이터 당 많은 수의 트랜지스터와 면적을 필요로 하며, 큰 전력을 소모한다. 이에

적은 면적과 저전력 소모를 통해, 기존의 한계를 극복하며 대용량의 고속 검색을 가능하게 하는 방안을 필요로 한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

- [0018] 본 발명은 커패시터 어레이 구조를 통해 이를 내용 주소화 기억 장치(Content Addressable Memory; CAM) 어레이로 활용하며, 병렬적인 데이터 검색 및 결과 출력 기능의 구현을 제안한다. 커패시터 기반의 메모리 반도체 소자는 양단에 인가되는 전압이 변하게 되면, 해당 전압 차이만큼의 소자의 커패시턴스에 따라 유도되어있던 전하가 전류로 흐르게 된다. 이때, 전류는 양단의 전압이 변화하는 기간 동안에만 흐르게 된다. 또한, 비휘발성 메모리 특성을 갖는 커패시터 소자를 활용하여, 하나의 소자는 그 메모리 상태에 따라 동일한 전압에서도 다른 값의 전류를 흘리게 되며, 본 발명은 그 특성을 활용한다.
- [0019] 결과적으로, 본 발명은 비휘발성 메모리 특성을 갖는 커패시터 어레이 내의 두 개의 커패시터 소자를 하나의 CAM 비트 셀로 활용한다. 소자의 프로그램/이레이즈 동작을 통해 메모리 윈도우 사이에서 커패시턴스 차이를 만들어내고, 그에 따른 전류의 차이를 만들어 이를 동작에 활용한다. 이는 검색 비트에 대해 저장 비트가 일치한다면 이레이즈 상태의 소자의 전류가, 불일치 한다면 프로그램 상태의 소자의 전류가 흐르도록 저장/검색 기능을 구현하며, 이 전류가 크로스바 어레이 구조를 통해 각 비트 별로 독립적으로 중첩되어, 대규모 데이터에 대해서도 병렬적인 동시 검색 동작을 수행할 수 있다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 커패시터 메모리를 사용하는 CAM 셀을 설명하기 위한 도면이다.
- [0022] 도 1(a)는 커패시터 소자에서 양단 전압 변화를 통해 전류를 발생시키는 원리를 설명하기 위한 도면이다. 도 1(b)는 메모리 특성을 갖는 두 개의 커패시터 소자를 사용하여 하나의 CAM 비트 셀로 활용하는 예시를 나타내는 도면이다.
- [0023] 도 1(a)를 참조하면, 커패시터 소자에서 양단 전압 변화를 통해 전류를 발생하게 되는 원리 및 순서를 나타낸다. 읽기 동작에서, 충전전압(V_c)에서 방전전압(V_d)로 인가되는 전압이 바뀐다면, 이 전압 차이에 대응되는 만큼 소자의 커패시턴스가 갖는 전하의 의한 전류(110)가 흐르게 된다. 반대로, 전압이 변화하는 동안 흐르게 되는 총 전류를 적분한 결과는 전압과 커패시턴스의 곱하기 연산인 총 전하량(Q)(120)과도 같다.
- [0024] 도 1(b)를 참조하면, 도 1(a)의 원리를 이용하여 메모리 특성을 갖는 두 개의 커패시터 소자를 사용해 하나의 CAM 비트 셀로 활용하는 예시를 나타낸다. 프로그램/이레이즈 동작을 통해 동일한 전압 범위에서 다른 커패시턴스를 갖는 두 소자가 있을 때, 도 1(a)의 원리를 적용한다면, 커패시턴스가 큰 소자는 작은 소자에 비해 상대적으로 큰 전류(130)를 발생시키며, 반대로 커패시턴스가 작은 소자는 적은 전류(140)를 발생시키게 된다.
- [0026] 도 2는 본 발명의 일 실시예에 따른 TANOS 스택을 갖는 플래시 MOS 커패시터 소자 및 크로스바 어레이 구조를 설명하기 위한 도면이다.
- [0027] 본 발명의 일 실시예에서 사용하는 커패시터 어레이의 구체적인 실시예는 도 2(a)의 TANOS($\text{TiN}/\text{Al}_2\text{O}_3/\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}$) 스택을 갖는 플래시 MOS 커패시터 소자 및 크로스바 어레이 구조를 활용한다. 도 2(a)의 TANOS 구조는 프로그램/이레이즈 동작을 통해 스택 내의 전하트랩레이어에 전하를 저장하는 정도를 변화시키며, 도 2(b)와 같이 그에 따라 소자의 C-V 특성의 문턱 전압이 바뀌게 된다. 이를 통해 해당 소자는 메모리 윈도우를 갖는 커패시터로 동작 가능하다. 이때, 본 발명의 실시예에 따른 터너리 내용 주소화 메모리의 동작은 상기 소자구조에 제한되지 않으며, 다양한 구조의 메모리 기능을 갖는 커패시터 기반 소자(예를 들어, ferroelectric capacitor 등) 어레이에 모두 적용될 수 있다.
- [0029] 도 3은 본 발명의 일 실시예에 따른 커패시터 소자 기반 터너리 CAM의 단일 비트 셀을 설명하기 위한 도면이다.
- [0030] 도 3은 본 발명의 구체적인 실시예인 플래시 MOS 커패시터 기반의 커패시터 소자를 활용해 앞서 기술한 내용 주소화 기억 장치(CAM)의 각각의 단일 비트 셀(310, 320, 330)을 구현하는 방식과 그 비트의 검색 수행 결과(341, 342, 343)를 나타낸다.
- [0031] 본 발명의 실시예에 따른 커패시터 소자 기반 터너리 CAM은 복수의 CAM 셀(310, 320, 330), 서치 라인(Search Line; SL) 및 서치 라인 바(Search Line Bar; SL'), 매치 라인(Match Line)(ML1, ML2, ML3)을 포함한다.
- [0032] 본 발명의 실시예에 따른 복수의 CAM 셀(310, 320, 330)은 저장하고자 하는 비트에 맞게 프로그램 커패시터 소자와 이레이즈 커패시터 소자가 인접하도록 하나의 비트 셀 형태로 배치되고 비트가 저장된다.
- [0033] 본 발명의 실시예에 따른 서치 라인(SL) 및 서치 라인 바(SL')는 상기 복수의 CAM 셀에 저장된 비트를 검색하기 위해, 검색 하고자 하는 비트에 해당하는 전압을 각각의 CAM 셀에 인가한다.

- [0034] 이때, 전압 인가는 커패시터 소자의 충전(V_c)/방전(V_d) 동작으로 이루어지며, 그 결과로 해당 소자의 $C \times dv/dt$ 에 의한 전류가 흐르게 된다. 그리고 그 검색 결과에 따라 CAM 셀에서 발생한 전류는 매치 라인으로 흐르며, 그 결과를 통해 일치(match)와 불일치(mismatch) 결과를 판별하게 된다.
- [0035] 본 발명의 실시예에 따른 매치 라인(ML1, ML2, ML3)은 프로그램 커패시터 소자와 이레이즈 커패시터 소자의 충전/방전 동작을 활용하여 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압의 일치 여부를 판단하고, 상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 흐르도록 한다.
- [0036] 본 발명의 실시예에 따른 매치 라인(ML1, ML2, ML3)은 상기 각각의 CAM 셀에 저장된 비트 및 상기 서치 라인 및 서치 라인 바에 인가되는 전압에 따른 상기 각각의 CAM 셀의 이레이즈 커패시터 소자 또는 프로그램 커패시터 소자의 충전/방전 동작으로 인해 발생하는 해당 소자의 전하량에 의한 전류가 흐르게 된다.
- [0037] 본 발명의 실시예에 따른 매치 라인(ML1, ML2, ML3)은 상기 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압이 일치하는 경우, 해당 CAM 셀의 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류가 발생하고, 프로그램 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 이레이즈 커패시터 소자의 이레이즈 전류가 흐른다.
- [0038] 본 발명의 실시예에 따른 매치 라인(ML1, ML2, ML3)은 상기 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압이 불일치하는 경우, 해당 CAM 셀의 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 발생하고, 이레이즈 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 상기 프로그램 커패시터 소자의 커패시터 전류가 흐른다.
- [0039] 본 발명의 실시예에 따른 매치 라인(ML1, ML2, ML3)은 상기 CAM 셀에 저장된 비트가 무관(don't care)인 경우, 해당 CAM 셀의 두 커패시터가 모두 이레이즈 커패시터 소자로 배치되어 어떠한 검색에도 이레이즈 전류가 흐르게 되며, 일치(match)의 결과를 내게 된다.
- [0040] 본 발명의 실시예에 따른 매치 라인(ML1, ML2, ML3)은 상기 복수의 CAM 셀 전체 저장된 비트에 대해 한번의 검색 사이클로 동시에 수행되며, 상기 일치 여부 판단 및 상기 일치 여부에 따라 상기 매치 라인에 흐르는 전류 합산이 동시에 병렬적으로 수행된다.
- [0042] 도 4는 본 발명의 일 실시예에 따른 두 커패시터 소자를 활용하여 세가지 데이터를 사용하는 터너리 CAM의 저장 및 검색 동작을 설명하기 위한 도면이다.
- [0043] 도 4는 두 커패시터 소자를 활용해 0, 1, 무관(don't care)의 세가지 데이터를 사용하는 터너리(ternary) CAM의 저장/검색 동작을 구현하는 방식을 나타낸다. 각각의 CAM 셀은 도 4와 같이 데이터를 저장하며, 검색을 하고자 하는 데이터의 값에 따라 앞서 기술한 충전/방전 전압의 인가 또는 그라운드를 인가하게 된다. 결과적으로, 저장된 데이터와 검색 데이터가 일치하는 경우에는 CAM 셀에서 이레이즈 소자의 전류가 흘러 적은 전류가 흐르며, 검색과 저장이 일치하지 않는 불일치의 경우에는 CAM 셀에서 프로그램 소자의 전류가 흘러 큰 전류가 흐르게 되는 방식으로 CAM 동작이 수행된다. 또한, 무관(don't care)의 경우에는 두 소자를 모두 이레이즈 소자로 배치하여, 어떤 검색이 수행되어도 모두 이레이즈 소자의 전류가 흘러 적은 전류가 흐르는, 즉 일치의 결과를 갖게 한다.
- [0045] 도 5는 본 발명의 일 실시예에 따른 커패시터 소자 기반 터너리 CAM 셀을 활용한 CAM 어레이 구조를 설명하기 위한 도면이다.
- [0046] 도 5는 도 4의 커패시터 소자 기반 CAM 셀을 활용하여 CAM 어레이 구조로 가져갈 경우의 동작 방식을 나타낸다. 각각의 비트 데이터를 저장하는 매치 라인(ML)들에 검색하고자 하는 데이터에 따라 서치 라인(SL)을 통해 입력을 인가한다면, 각각의 CAM 비트 셀은 그 검색 결과에 따라 동시에 각각 전류를 흘리게 된다. 그리고 각각의 매치 라인은 셀들의 검색 결과에 따른 전류들이 하나로 합산되어 흐르며, 이를 센싱 회로를 통해 검색 결과를 확인하는 방식으로 동작이 수행된다. 이 검색 동작은 전체 저장된 데이터에 대해 한번의 검색 사이클로 동시에 수행되며, 그에 따른 전류 합산 및 결과 발생 또한 동시에 병렬적으로 수행된다.
- [0047] 따라서 만약, 전체 비트가 검색과 일치하여 일치의 결과를 갖는 매치 라인에서는 셀의 개수만큼 이레이즈 전류가 합산된 전류가 흐르며, 전체 비트가 검색과 모두 불일치 하는 불일치의 결과를 갖는 매치 라인에서는 셀의 개수만큼 프로그램 전류가 합산된 전류가 흐른다. 이때, 일치에서 불일치 비트의 개수가 증가할수록 프로그램 전류-이레이즈 전류 만큼씩 전류 총합이 증가하는 결과를 가지며, 이를 통해 총 몇개의 셀이 일치하였는지의 여

부도 확인이 가능하게 된다.

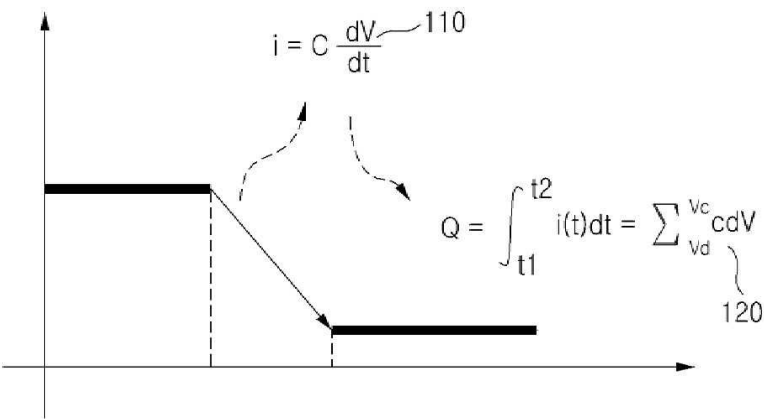
- [0049] 도 6은 본 발명의 일 실시예에 따른 커패시터 소자 기반 터너리 CAM의 동작 방법을 설명하기 위한 흐름도이다.
- [0050] 본 발명의 실시예에 따른 커패시터 소자 기반 터너리 CAM의 동작 방법은 복수의 CAM 셀에 저장하고자 하는 비트에 맞게 프로그램 커패시터 소자와 이레이즈 커패시터 소자가 인접하도록 하나의 비트 셀 형태로 배치되고 비트가 저장되는 단계(610), 상기 복수의 CAM 셀에 저장된 비트를 검색하기 위해, 서치 라인(Search Line; SL) 및 서치 라인 바(Search Line Bar; SL')에 검색 하고자 하는 비트에 해당하는 전압을 각각의 CAM 셀에 인가하는 단계(620), 프로그램 커패시터 소자와 이레이즈 커패시터 소자의 충전/방전 동작을 활용하여 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압의 일치 여부를 판단하는 단계(630) 및 상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 매치 라인(Match Line; ML)을 통해 흐르는 단계(640)를 포함한다.
- [0051] 단계(610)에서, 복수의 CAM 셀에 저장하고자 하는 비트에 맞게 프로그램 커패시터 소자와 이레이즈 커패시터 소자가 인접하도록 하나의 비트 셀 형태로 배치되고 비트가 저장된다.
- [0052] 단계(620)에서, 상기 복수의 CAM 셀에 저장된 비트를 검색하기 위해, 서치 라인(Search Line; SL) 및 서치 라인 바(Search Line Bar; SL')에 검색 하고자 하는 비트에 해당하는 전압을 각각의 CAM 셀에 인가한다.
- [0053] 단계(630)에서, 프로그램 커패시터 소자와 이레이즈 커패시터 소자의 충전/방전 동작을 활용하여 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압의 일치 여부를 판단한다.
- [0054] 단계(640)에서 상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 매치 라인(Match Line; ML)을 통해 흐른다.
- [0055] 본 발명의 실시예에 따르면, 매치 라인은 프로그램 커패시터 소자와 이레이즈 커패시터 소자의 충전/방전 동작을 활용하여 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압의 일치 여부를 판단하고, 상기 일치 여부에 따라 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류 또는 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 각각의 CAM 셀로부터 흐르도록 한다.
- [0056] 본 발명의 실시예에 따르면, 매치 라인은 상기 각각의 CAM 셀에 저장된 비트 및 상기 서치 라인 및 서치 라인 바에 인가되는 전압에 따른 상기 각각의 CAM 셀의 이레이즈 커패시터 소자 또는 프로그램 커패시터 소자의 충전/방전 동작으로 인해 발생하는 해당 소자의 전하량에 의한 전류가 흐르게 된다.
- [0057] 본 발명의 실시예에 따르면, 매치 라인은 상기 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압이 일치하는 경우, 해당 CAM 셀의 이레이즈 커패시터 소자의 충전/방전 동작을 통한 이레이즈 전류가 발생하고, 프로그램 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 이레이즈 커패시터 소자의 이레이즈 전류가 흐른다.
- [0058] 본 발명의 실시예에 따르면, 매치 라인은 상기 각각의 CAM 셀에 저장된 비트와 상기 검색 하고자 하는 비트에 해당하는 전압이 불일치하는 경우, 해당 CAM 셀의 프로그램 커패시터 소자의 충전/방전 동작을 통한 프로그램 전류가 발생하고, 이레이즈 커패시터 소자에는 양단에 그라운드가 인가되며 매치 라인을 통해 상기 프로그램 커패시터 소자의 커패시터 전류가 흐른다.
- [0059] 본 발명의 실시예에 따르면, 매치 라인은 상기 CAM 셀에 저장된 비트가 무관(don't care)인 경우, 해당 CAM 셀의 두 커패시터가 모두 이레이즈 커패시터 소자로 배치되어 어떠한 검색에도 이레이즈 전류가 흐르게 되며, 일치(match)의 결과를 내게 된다.
- [0060] 본 발명의 실시예에 따르면, 매치 라인은 상기 복수의 CAM 셀 전체 저장된 비트에 대해 한번의 검색 사이클로 동시에 수행되며, 상기 일치 여부 판단 및 상기 일치 여부에 따라 상기 매치 라인에 흐르는 전류 합산이 동시에 병렬적으로 수행된다.
- [0061] 본 발명의 실시예에 따르면, 커패시터 기반 소자를 통해 CAM 어레이를 구성하고 검색 동작을 수행함으로써, 앞서 기술한 것과 같이 충전/방전 전압이 인가되는 검색 동작에서만 전류가 흐르고, 그 외의 상태에서는 전류가 흐르지 않는다. 이에 따라 CAM 어레이가 전력소모(static power)만 소모하게 되며, 누설전류도 발생하지 않게 된다. 또한, CAM 어레이의 규모가 커져도 각 커패시터 소자가 갖는 독립적인 전류들이 흐르고 그것들이 병렬적

으로 합산되는 방식을 사용하기 때문에, 기존의 CAM과 다르게 어레이 규모 증가에 따른 센싱 마진 감소가 발생하지 않게 된다. 그리고 그 매치 라인의 센싱을 통한 결과로 각 검색과 저장된 데이터 간의 비트가 다른 정도인 해밍 디스턴스(hamming distance)까지 결정이 가능하게 된다. 또한, 다른 저항/전도성 기반의 비휘발성 메모리를 통한 CAM 어레이와 다르게, 낮은 셀 저항 및 라인 저항에 관한 문제에서도 자유롭게 된다. 따라서 센싱 마진 유지 및 누설 전류 방지를 위한 추가적인 트랜지스터도 불필요하게 되며, 두 개의 인접한 커패시터 소자를 통한 CAM 셀 구현으로 고 집적 CAM 어레이가 구현 가능하다.

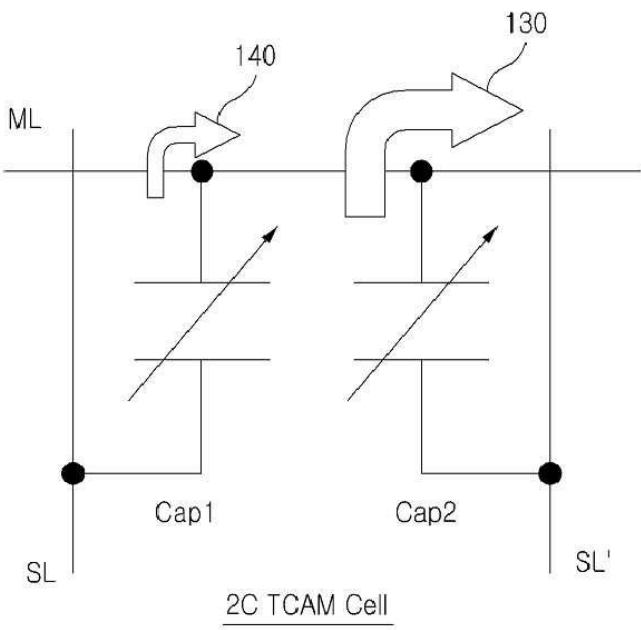
- [0063] 도 7은 본 발명의 일 실시예에 따른 6 비트 크기의 데이터 길이를 갖는 플래시 MOS 커패시터 기반 CAM 어레이의 실험적 동작 결과를 나타내는 도면이다.
- [0064] 도 7(a)는 총 6 비트 크기의 데이터 길이를 갖는 플래시 MOS 커패시터 어레이 기반 CAM 어레이의 실험적 동작 결과를 나타낸다.
- [0065] 도 7(b)는 총 6 비트 크기의 데이터 길이와 그것에 검색이 가능한 총 64 가지의 경우에 대해서, 검색 동작 동안 각각의 ML에 흐르는 총 전류를 적분한 결과인 총 전하량(Q)을 나타낸다.
- [0066] 도 7(a)를 참조하면, 전체 비트가 일치하는 경우부터 전체 비트가 불일치하는 경우까지 불일치 비트 수에 따라 전류가 선형적으로 증가하는 것을 보인다. 이는 각 커패시터 기반 CAM 셀들이 충전/방전을 통한 검색 동작이 독립적이고 병렬적으로 수행되었고, 그 전류들이 하나로 합산되어 출력되었음을 나타낸다.
- [0067] 도 7(b)를 참조하면, 앞서 기술한 것과 같이, 커패시터 소자는 충전/방전 동작에서 해당 전압 범위에서 소자가 갖는 커패시턴스만큼 전하가 전류로 흐르게 되어, 총 전류를 적분한 결과는 전압과 커패시턴스의 곱하기 연산인 총 전하량(Q)과 같다. 전체 모든 검색 결과에 대한 총 전하량(Q)을 확인하였을 때, 불일치 비트 수에 따라서 총 전하량(Q) 또한 선형적으로 증가하는 것을 확인하였으며, 이는 각각의 커패시터 소자가 독립적으로 동작하며 단일 CAM 셀이 갖는 전하들이 병렬적으로 누적 합산되었음을 의미한다. 그리고 이를 통해 반대로, 저장된 데이터가 검색 데이터에 대해 해밍 디스턴스 (hamming distance)를 얼마를 갖는지에 대한 여부도 확인 가능하게 한다.
- [0068] 이러한 본 발명의 실시예에 따른 터너리 내용 주소화 메모리의 동작은 상기 소자구조에 제한되지 않으며, 다양한 구조의 메모리 기능을 갖는 커패시터 기반 소자(예를 들어, ferroelectric capacitor 등) 어레이에 모두 적용될 수 있다.
- [0069] 본 발명의 실시예에 따른 응용 분야는 대용량 고속 검색 기능을 통해 네트워크 장치의 라우팅 테이블 작업, IP 주소 룩업(IP address lookup)등의 장치에 사용될 수 있으며, 뉴로모픽 시스템의 활용으로 패턴인식, 해밍 디스턴스 계산 커널 및 뉴럴 네트워크 가속기와 같은 빅데이터, 인공지능 산업 분야에서도 활용될 수 있다.
- [0071] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0072] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

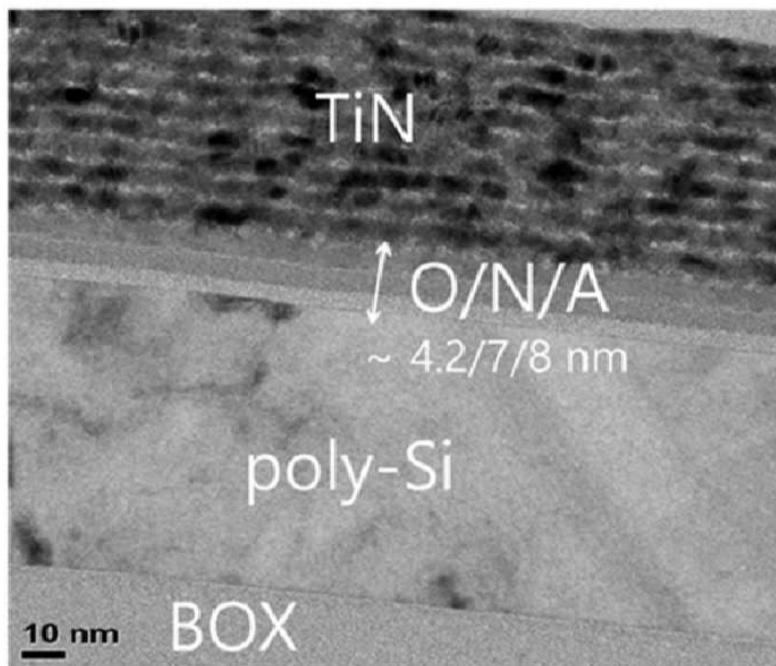
도면1a



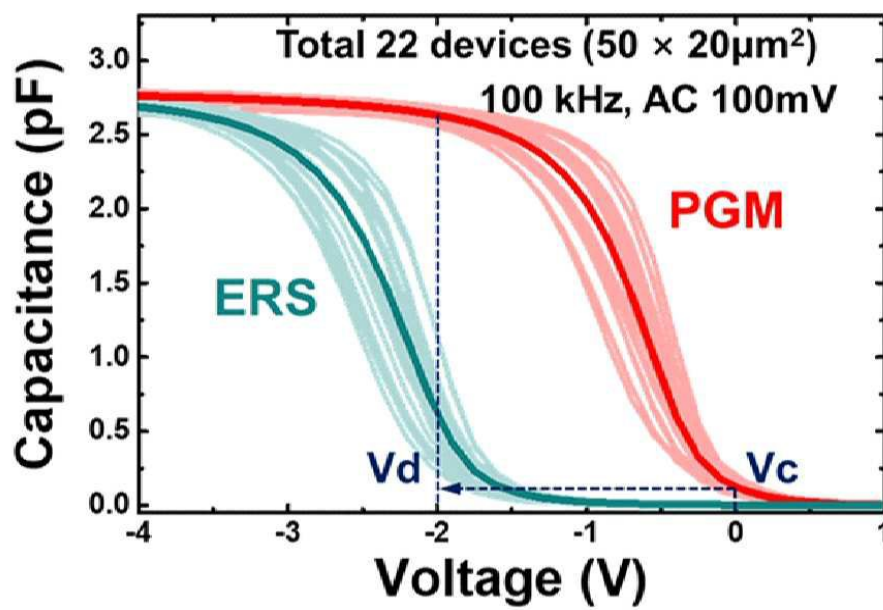
도면1b



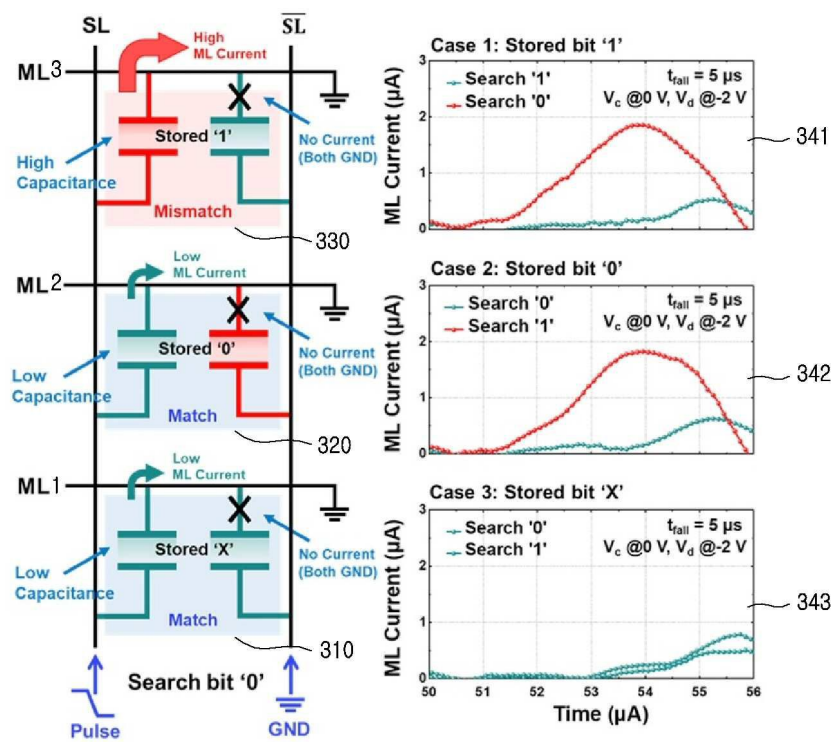
도면2a



도면2b



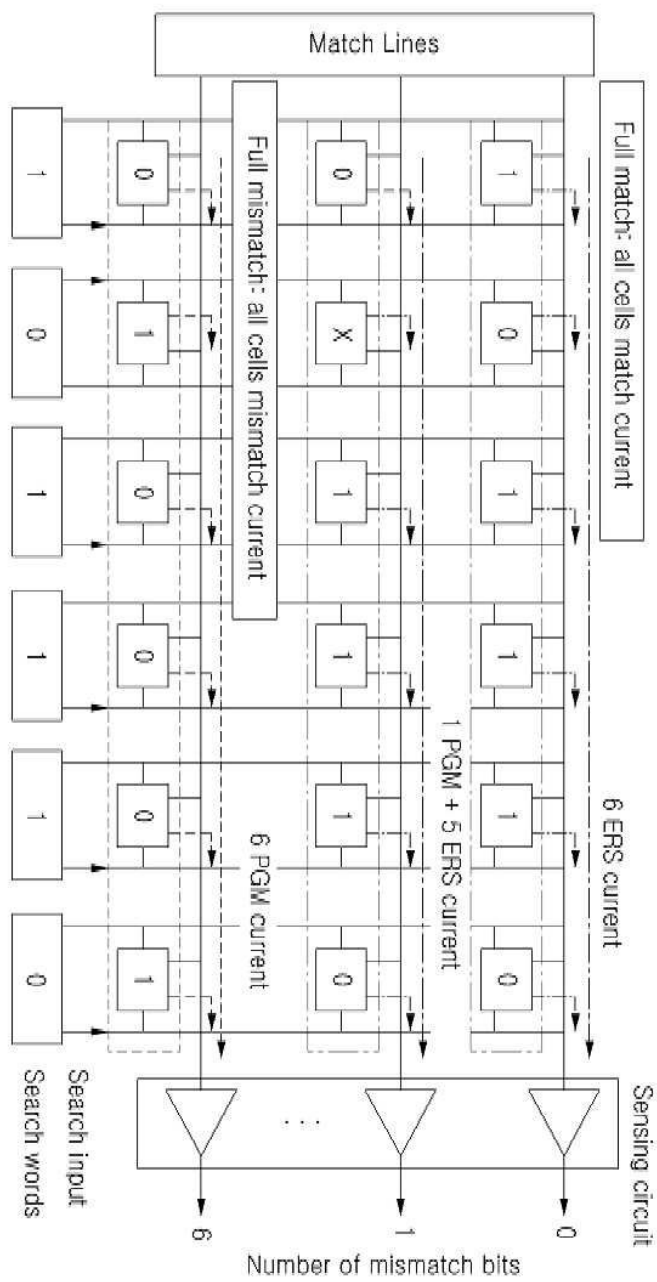
도면3



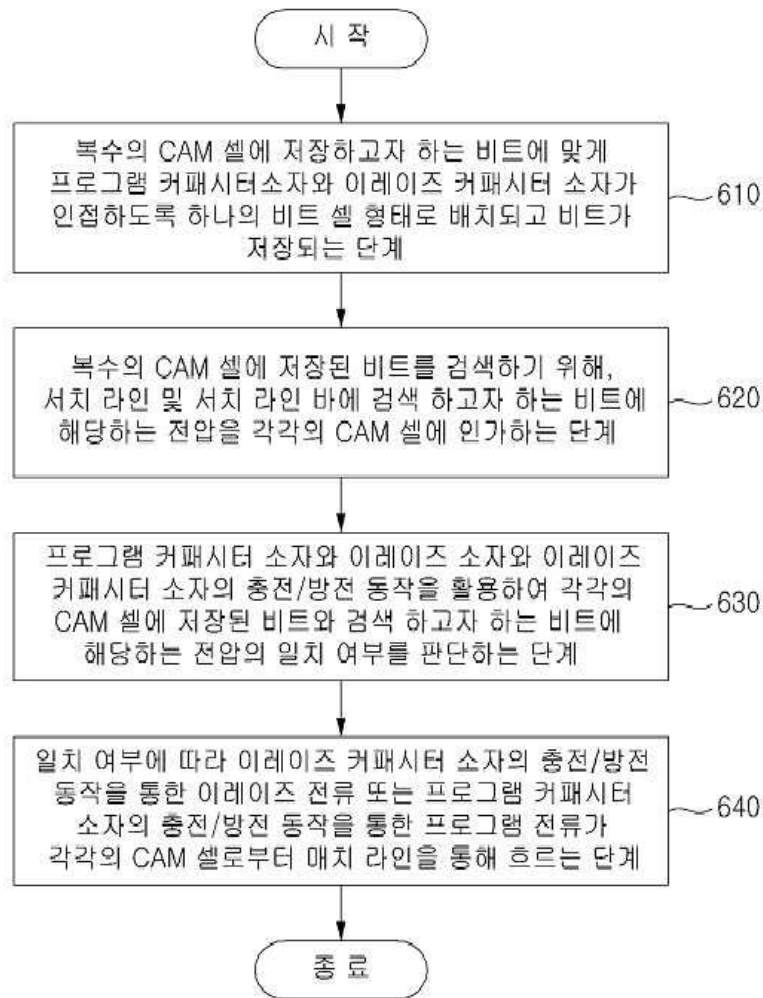
도면4

	Search '1'	Search '0'
SL / SL'		
Data '1'	PGM ERS MATCH Low Current	PGM ERS MISMATCH High Current
Data '0'	ERS PGM MISMATCH High Current	ERS PGM MATCH Low Current
Data 'X'	ERS ERS MATCH Low Current	ERS ERS MATCH Low Current

도면5



도면6



도면7

