(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4139105号
(P4139105)

(45)発行日　平成20年8月27日(2008.8.27)　(24)登録日　平成20年6月13日(2008.6.13)

(51)Int.Cl.		F I		
H01L 21/76	(2006.01)	H01L	21/76	S
H01L 21/762	(2006.01)	H01L	21/76	L
H01L 29/786	(2006.01)	H01L	21/76	D
H01L 27/08	(2006.01)	H01L	29/78	621
H01L 21/336	(2006.01)	H01L	27/08	331A

請求項の数 10　(全 54 頁)　最終頁に続く

(21)出願番号　特願2001-387522(P2001-387522)
(22)出願日　平成13年12月20日(2001.12.20)
(65)公開番号　特開2003-188250(P2003-188250A)
(43)公開日　平成15年7月4日(2003.7.4)
審査請求日　平成16年12月15日(2004.12.15)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　岩松　俊明
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　一法師　隆志
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板、埋め込み酸化膜、半導体層を順次に堆積して得られたＳＯＩ基板上に配設される半導体装置の製造方法であって、

(ａ)前記半導体層上に第１の酸化膜を形成する工程と、

(ｂ)前記第１の酸化膜上に第１の絶縁膜を形成する工程と、

(ｃ)エッチングによって前記半導体層上の前記第１の絶縁膜を開口する工程と、

(ｄ)前記第１の酸化膜を貫通し、前記第１の絶縁膜の開口部から前記半導体層内の所定深さに達するトレンチを形成する工程と、

(ｅ)前記トレンチの内壁に第２の絶縁膜の第１のサイドウォールスペーサを形成する工程と、

(ｆ)前記トレンチの底面下の前記半導体層内でプロファイルのピークが形成されるエネルギーで、第１の導電型の不純物のイオン注入を行う工程と、

(ｇ)前記第１のサイドウォールスペーサが残存した状態で、前記トレンチに第３の絶縁膜を埋め込んでトレンチ分離酸化膜を形成する工程と、

(ｈ)前記第１酸化膜を除去した後、第２の酸化膜を形成する工程と、

(ｉ)前記第２の酸化膜上にポリシリコン膜を形成する工程と、

(ｊ)前記第２の酸化膜および前記ポリシリコン膜をパターニングしてゲート酸化膜およびゲート電極を形成する工程と、

(ｋ)前記ゲート酸化膜とゲート電極のサイドウォールに第４の絶縁膜の第２のサイドウ

ォールスペーサを形成する工程と、
(ｌ)前記ゲート電極および前記第２のサイドウォールスペーサとを注入マスクとして用いて、ソース／ドレイン層に第２導電型の不純物のイオン注入を行う工程と、を備える半導体装置の製造方法。
【請求項２】
前記工程(ｅ)は、前記第１のサイドウォールスペーサを酸化膜で形成する工程を含み、
前記工程(ｆ)は、
(ｆ－１)前記第１のサイドウォールスペーサを形成した状態で、前記第１の導電型の不純物のイオン注入を行う工程を含む、請求項１記載の半導体装置の製造方法。
【請求項３】
前記工程(ｅ)は、
(ｅ－１)前記トレンチの内壁を熱酸化して内壁酸化膜を形成する工程と、
(ｅ－２)前記トレンチの内壁および前記第１の絶縁膜の主面全面に第３の酸化膜を形成する工程と、
(ｅ－３)前記第３の酸化膜の上に前記第１のサイドウォールスペーサを窒化膜で形成する工程とを含み、
前記工程(ｆ)は、
前記第１のサイドウォールスペーサを形成した状態で、前記不純物のイオン注入を行う工程を含む、請求項１記載の半導体装置の製造方法。
【請求項４】
前記半導体層は結晶性を有し、
前記工程(ｌ)は、
前記半導体層に対するイオン注入において、注入イオンがチャネリングを起こす角度で、前記ソース／ドレイン層に前記第２導電型の不純物のイオン注入を行う工程を含む、請求項１記載の半導体装置の製造方法。
【請求項５】
前記ゲート酸化膜、前記ゲート電極および前記ソース／ドレイン層を有したＭＯＳトランジスタの形成領域となる活性領域は、
比較的ゲート電圧の高い高電圧ＭＯＳトランジスタを形成する高電圧領域と、
比較的ゲート電圧の低い低電圧ＭＯＳトランジスタを形成する低電圧領域とに区分され、
前記低電圧ＭＯＳトランジスタのしきい値調整のための不純物のドーズ量は、前記高電圧ＭＯＳトランジスタのしきい値調整のための不純物のドーズ量よりも高く、
前記高電圧ＭＯＳトランジスタのしきい値調整のための前記不純物のイオン注入を行う第１のイオン注入工程と、
前記低電圧ＭＯＳトランジスタのしきい値調整のための前記不純物のイオン注入を行う第２のイオン注入工程とをさらに備え、
前記第１のイオン注入工程は、前記低電圧領域においても実行される、請求項１記載の半導体装置の製造方法。
【請求項６】
前記ゲート酸化膜、前記ゲート電極および前記ソース／ドレイン層を有したＭＯＳトランジスタの形成領域となる活性領域は、
比較的ゲート電圧の高い高電圧ＭＯＳトランジスタを形成する高電圧領域と、
比較的ゲート電圧の低い低電圧ＭＯＳトランジスタを形成する低電圧領域とを有し、
前記高電圧ＭＯＳトランジスタのしきい値調整のための不純物のドーズ量は、前記低電圧ＭＯＳトランジスタのしきい値調整のための不純物のドーズ量よりも高く、
前記低電圧ＭＯＳトランジスタのしきい値調整のための前記不純物のイオン注入を行う第１のイオン注入工程と、
前記高電圧ＭＯＳトランジスタのしきい値調整のための前記不純物のイオン注入を行う第２のイオン注入工程とをさらに備え、

前記第１のイオン注入工程は、前記高電圧領域においても実行される、請求項１記載の半導体装置の製造方法。

【請求項７】

前記トレンチ分離酸化膜は、Ｐ型不純物を含む、請求項１記載の半導体装置の製造方法。

【請求項８】

前記工程(ｆ－１)は、

前記第１のサイドウォールスペーサを形成した後、前記不純物のイオン注入を行う前に、前記トレンチの内壁に内壁酸化膜を形成する工程を含む、請求項２記載の半導体装置の製造方法。

【請求項９】

前記工程（ｄ）は、

前記トレンチの内壁を熱酸化して内壁酸化膜を形成する工程を含み、

前記第１のサイドウォールスペーサは内壁酸化膜の上に形成される、請求項２記載の半導体装置の製造方法。

【請求項１０】

半導体基板、埋め込み酸化膜、半導体層を順次に堆積して得られたＳＯＩ基板上に配設される半導体装置の製造方法であって、

(ａ)前記半導体層上に第１の酸化膜を形成する工程と、

(ｂ)前記第１の酸化膜上に第１の絶縁膜を形成する工程と、

(ｃ)エッチングによって前記半導体層上の前記第１の絶縁膜を開口する工程と、

(ｄ)前記第１の酸化膜を貫通し、前記第１の絶縁膜の開口部から前記半導体層内の所定深さに達するトレンチを形成する工程と、

(ｅ)前記トレンチの内壁に第２の絶縁膜として内壁窒化膜あるいは内壁酸窒化膜を形成する工程と、

(ｆ)前記内壁窒化膜あるいは前記内壁酸窒化膜を形成した状態で、前記トレンチの底面下の前記半導体層内でプロファイルのピークが形成されるエネルギーで、第１の導電型の不純物のイオン注入を行う工程と、

(ｇ)前記内壁窒化膜あるいは前記内壁酸窒化膜を形成した状態で、前記トレンチに第３の絶縁膜を埋め込んでトレンチ分離酸化膜を形成する工程と、

(ｈ)前記第１酸化膜を除去した後、第２の酸化膜を形成する工程と、

(ｉ)前記第２の酸化膜上にポリシリコン膜を形成する工程と、

(ｊ)前記第２の酸化膜および前記ポリシリコン膜をパターニングしてゲート酸化膜およびゲート電極を形成する工程と、

(ｋ)前記ゲート酸化膜とゲート電極のサイドウォールに第４の絶縁膜のサイドウォールスペーサを形成する工程と、

(ｌ)前記ゲート電極および前記サイドウォールスペーサとを注入マスクとして用いて、ソース／ドレイン層に第２導電型の不純物のイオン注入を行う工程と、を備える半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、トレンチ分離酸化膜を有する半導体装置の製造方法に関する。

【０００２】

【従来の技術】

シリコン基板上に埋め込み酸化膜およびＳＯＩ（Silicon On Insulator）層が配設されたＳＯＩ基板に形成されるＳＯＩ構造の半導体装置（以後、ＳＯＩデバイスと呼称）は、寄生容量を低減でき、高速動作および低消費電力という特徴を有し、携帯機器などに使用されている。

【０００３】
また、シリコン基板上に直接形成されるバルクデバイスも、微細化技術、高集積化技術の進捗は著しく、その開発の速度は加速する一方である。
【０００４】
デバイス技術の進捗に伴って、チャネル不純物やソース／ドレイン不純物の濃度は高くなり、しかも急峻な不純物プロファイルが要求される傾向にある。このため、不純物注入後の熱処理は低温で、短時間で行う傾向にある。
【０００５】
一方では、シリコン層内にトレンチを設け、該トレンチ内に絶縁物を埋め込むことで形成されたトレンチ分離構造を有するデバイスでは、その分離構造の形成に、高温で、長時間の熱処理が必須となっている。
【０００６】
ここで、ＳＯＩデバイスの一例として、図９２にトレンチ分離によりＭＯＳトランジスタ間を電気的に分離したＳＯＩデバイス７０の部分断面構成を示す。
【０００７】
図９２において、シリコン基板１０１上に埋め込み酸化膜１０２およびＳＯＩ層１０３が配設されたＳＯＩ基板において、ＳＯＩ層１０３上にはＮチャネル型ＭＯＳトランジスタ（ＮＭＯＳトランジスタ）ＮＭ１およびＰチャネル型ＭＯＳトランジスタ（ＰＭＯＳトランジスタ）ＰＭ１が配設され、両者の間は、分離酸化膜１０４によって電気的に完全に分離されている。なお、分離酸化膜１０４はＮＭＯＳトランジスタＮＭ１およびＰＭＯＳトランジスタＰＭ１を囲むように配設されている。
【０００８】
ＮＭＯＳトランジスタＮＭ１およびＰＭＯＳトランジスタＰＭ１は、ＳＯＩ層１０３中に形成されるソース・ドレイン領域ＳＤ、チャネル形成領域ＣＨ、チャネル形成領域ＣＨ上に形成されるゲート酸化膜ＧＯ、ゲート酸化膜ＧＯ上に形成されるゲート電極ＧＴおよび、ゲート電極ＧＴの側面を覆うサイドウォール酸化膜ＳＷで構成される。
【０００９】
このようにＳＯＩデバイス７０においては、ＮＭＯＳトランジスタＮＭ１およびＰＭＯＳトランジスタＰＭ１は、ＳＯＩ層１０３中で分離酸化膜１０４により互いに独立しているだけでなく、他の半導体素子等からも完全に分離されているため、両トランジスタにおいてはラッチアップが原理的に起こらない構造を呈している。
【００１０】
従って、ＣＭＯＳトランジスタを有するＳＯＩデバイスを製造する場合は、微細加工技術で決まる最小分離幅を使用できチップ面積を縮小できるメリットがあった。しかしながら、衝突電離現象によって発生するキャリア（ＮＭＯＳではホール）がチャネル形成領域に溜まり、これによりキンクが発生したり、動作耐圧が劣化したり、また、チャネル形成領域の電位が安定しないために遅延時間の周波数依存性が発生する等の基板浮遊効果により生ずる種々の問題点があった。
【００１１】
そこで考案されたのが、パーシャルトレンチ分離構造である。図９３に、パーシャルトレンチ分離構造（ＰＴＩ構造）を有するＳＯＩデバイス８０の部分断面構成を示す。
【００１２】
図９３において、ＳＯＩ層１０３上にＮＭＯＳトランジスタＮＭ１およびＰＭＯＳトランジスタＰＭ１が配設され、両者の間は、その下部にウエル領域ＷＲが配設された部分分離酸化膜１０５によって分離されている。なお、部分分離酸化膜１０５はＮＭＯＳトランジスタＮＭ１およびＰＭＯＳトランジスタＰＭ１を囲むように配設されている。
【００１３】
ここで、部分分離酸化膜１０５に対して、ＳＯＩデバイス８０における分離酸化膜１０４のように、埋め込み酸化膜１０２に達するトレンチ酸化膜で素子間を電気的に完全に分離する構造をフルトレンチ分離構造（ＦＴＩ構造）と呼称し、その酸化膜を完全分離酸化膜

と呼称する。

【００１４】

このように、ＮＭＯＳトランジスタＮＭ１およびＰＭＯＳトランジスタＰＭ１は部分分離酸化膜１０５によって分離されるが、部分分離酸化膜１０５の下部のウエル領域ＷＲを通じてキャリアの移動が可能であり、キャリアがチャネル形成領域に溜まるということを防止でき、またウエル領域ＷＲを通じてチャネル形成領域の電位を固定することができるので、基板浮遊効果による種々の問題が発生しないという利点があった。

【００１５】

また、ＭＯＳトランジスタの信頼性をさらに向上させたＰＴＩ構造のＳＯＩデバイスとして、以下に説明するＭＯＳトランジスタ９０が挙げられる。以下、図９４～図１０１を用いてＭＯＳトランジスタ９０の製造方法を説明する。なおＭＯＳトランジスタ９０の構成は、最終工程を説明する図１０１に示す。

【００１６】

まず、図９４に示すように、酸素イオン注入によって埋め込み酸化膜１０２を形成するＳＩＭＯＸ法や、貼り合わせ法などにより、シリコン基板１０１、埋め込み酸化膜１０２およびＳＯＩ層１０３で構成されるＳＯＩ基板を準備する。

【００１７】

そして、ＳＯＩ基板上に、ＣＶＤ法あるいは熱酸化により１０～３０ｎｍ（１００～３００Å）の酸化膜１０６を形成した後、その上に厚さ３０～２００ｎｍ（３００～２０００Å）の窒化膜１０７を形成する。続いて、窒化膜１０７上にパターニングによりレジストマスクＲＭ１を形成する。レジストマスクＲＭ１は、トレンチを形成するための開口部を有している。

【００１８】

続いて、レジストマスクＲＭ１をマスクとして窒化膜１０７、酸化膜１０６およびＳＯＩ層１０３をエッチングによりパターニングし、図９５に示すようにＳＯＩ層１０３に部分トレンチＴＲを形成する。このエッチングにおいては、ＳＯＩ層１０３を完全にエッチングして埋め込み酸化膜１０２を露出させるのではなく、トレンチの底部に所定厚さのＳＯＩ層１０３が残るようにエッチング条件を調整する。

【００１９】

なお、部分トレンチＴＲは、所定の幅でシリコン基板１０１に対してほぼ垂直方向に延びて形成されるため、集積度を損ねることなく微細化を維持した素子分離を行うことができる。

【００２０】

次に、図９６に示す工程において、厚さ５００ｎｍ（５０００Å）程度の酸化膜を堆積し、ＣＭＰ(Chemical Mechanical Polishing)処理により窒化膜１０７の途中まで研磨し、その後、窒化膜１０７および酸化膜１０６の除去を行うことにより、部分分離酸化膜１０５を形成する。ここで、図９６に向かって部分分離酸化膜１０５より左側の領域は、しきい値電圧の低いトランジスタを形成する第１の領域Ｒ１とし、部分分離酸化膜１０５より右側の領域は、一般的なしきい値電圧を有し、かつ信頼性の高いトランジスタを形成する第２の領域Ｒ２とする。

【００２１】

次に、図９７に示す工程においてＳＯＩ層１０３上に全域に渡って酸化膜ＯＸ１０１を形成する。酸化膜ＯＸ１０１の厚さは１～４ｎｍ（１０～４０Å）である。その後、第２の領域Ｒ２上を覆うようにレジストマスクＲＭ２を形成し、酸化膜ＯＸ１０１を介して第１の領域Ｒ１のＳＯＩ層１０３内に半導体不純物をイオン注入により導入する。この場合の注入条件はしきい値電圧の低いトランジスタを形成するための条件であり、例えばＮＭＯＳトランジスタを形成するのであれば、ボロン（Ｂ）イオンをエネルギー５～４０ｋｅＶ、ドーズ量1×10^{11}～3×10^{11}／cm^2で注入する。なお、これに先だって、ボロンイオンをエネルギー３０～１００ｋｅＶ、ドーズ量1×10^{12}～1×10^{14}／cm^2で注入することでウエル領域を形成する工程を有している。

【００２２】
次に、図９８に示す工程においては第１の領域Ｒ１上を覆うようにレジストマスクＲＭ３を形成し、酸化膜ＯＸ１０１を介して第２の領域Ｒ２のＳＯＩ層１０３内に半導体不純物をイオン注入により導入する。この場合の注入条件は一般的なしきい値電圧のトランジスタを形成するための条件であり、例えばＮＭＯＳトランジスタを形成するのであれば、ボロン（Ｂ）イオンをエネルギー５～４０ｋｅＶ、ドーズ量3×10^{11}～5×10^{11}／cm^2である。
【００２３】
次に、図９９に示す工程において、第２の領域Ｒ２上を覆うようにレジストマスクＲＭ４を形成し、第１の領域Ｒ１の酸化膜ＯＸ１０１を除去する。
【００２４】
レジストマスクＲＭ４を除去した後、図１００に示す工程において全域に渡って酸化膜を形成する。このとき、領域Ｒ１においては厚さは２～４ｎｍ（２０～４０Å）の酸化膜ＯＸ１０２が形成され、領域Ｒ２においては酸化膜ＯＸ１０１の厚さが増して酸化膜ＯＸ１０３となる。その後、全域に渡って、ゲート電極となる多結晶シリコン層（以下、ポリシリコン層と呼称）ＰＳ１を形成する。
【００２５】
続いて、図１０１に示す工程において、ポリシリコン層ＰＳ１、酸化膜ＯＸ１０２およびＯＸ１０３をパターニングして、ゲート電極ＧＴ１およびＧＴ２、ゲート酸化膜ＧＯ１およびＧＯ２を形成し、サイドウォール酸化膜ＳＷの形成、ソース・ドレイン層ＳＤの形成によりＮＭＯＳトランジスタＮＭ３およびＮＭ４を形成する。なお、部分分離酸化膜１０５の下部はウエル領域ＷＲとなっている。
【００２６】
なお、ＮＭＯＳトランジスタＮＭ３およびＮＭ４上には層間絶縁膜が形成され、層間絶縁膜を貫通してソース・ドレイン層ＳＤに達する複数のコンタクトホールが形成されてＳＯＩデバイス９０を構成するが、それらについては図示を省略する。
【００２７】
【発明が解決しようとする課題】
以上説明したように、ＰＴＩ構造のＳＯＩデバイスは、基板浮遊効果による種々の問題を解消できるデバイスとして広く利用されつつあるが、部分分離酸化膜下部のウエル領域は、酸化膜形成時の偏析現象により不純物濃度が低下し導電型が反転する場合がある。これを防止するために、ウエル領域と同じ導電型の不純物を注入する、チャネルストップ注入を行う。しかし、先に説明したように、トレンチ分離構造の形成に際しては、高温で、長時間の熱処理が必須となるので、トレンチ分離構造の形成前にチャネルストップ注入を行っても、その後の熱処理によって不純物が拡散してプロファイルが乱れ、所期の効果が得られない可能性がある。
【００２８】
これを解消する方法としては、トレンチ分離構造形成後に不純物を注入する方法が挙げられるが、その場合には、トレンチ分離酸化膜の下部のみに高濃度の不純物を注入することが難しいという問題が生じる。
【００２９】
すなわち、図１０２に示すように、ＳＯＩ層１０３の表面内に部分分離酸化膜１０５を形成した後、部分分離酸化膜１０５の上部からイオン注入を行い、部分分離酸化膜１０５の下部に不純物を注入する場合、ＭＯＳトランジスタ等の半導体素子を形成する活性領域ＡＲにも高濃度の不純物が導入されて、不純物層ＸＬが形成される。
【００３０】
これは、部分分離酸化膜１０５の、ＳＯＩ層１０３の主面から突出する部分の高さＬで規定される分離段差が低い（例えば２０ｎｍ）ためで、部分分離酸化膜１０５を通過して、その下部のウエル領域に不純物プロファイルのピークが形成されるエネルギーで注入を行うと、活性領域ＡＲ中においても高濃度の不純物層ＸＬが形成されることになる。この不

純物層ＸＬの導電型はソース・ドレイン層とは反対である。

【００３１】

この結果、ＭＯＳトランジスタのしきい値調整が難しくなったり、ＭＯＳトランジスタのソース・ドレイン層あるいはソース・ドレイン層のＰＮ接合部の周囲に形成される空乏層を埋め込み酸化膜１０２にまで到達させることが困難になる。

【００３２】

図１０３には、活性領域ＡＲにＭＯＳトランジスタを形成した構成を示しており、ソース・ドレイン領域ＳＤは不純物層ＸＬの存在により、ソース・ドレイン不純物が相殺され、埋め込み酸化膜１０２にまで到達していない。また、ソース・ドレイン層のＰＮ接合の周囲に形成される空乏層も不純物層ＸＬの存在により埋め込み酸化膜１０２にまで到達できない。

【００３３】

一方、部分分離酸化膜１０５の分離段差を大きくすれば、活性領域ＡＲに高濃度の不純物層ＸＬが形成されないようにできるが、半導体装置の微細化の観点からは、分離段差は２０ｎｍ以下にすることが望ましい。

【００３４】

本発明は上記のような問題点を解消するためになされたもので、チャネルストップ注入層が活性領域に形成されることを防止して、トランジスタ特性の低下を防止した半導体装置の製造方法を提供することを目的とする。

【００３５】

【課題を解決するための手段】

本発明に係る請求項１記載の半導体装置の製造方法は、半導体基板、埋め込み酸化膜、半導体層を順次に堆積して得られたＳＯＩ基板上に配設される半導体装置の製造方法であって、前記半導体層上に第１の酸化膜を形成する工程(ａ)と、前記第１の酸化膜上に第１の絶縁膜を形成する工程(ｂ)と、エッチングによって前記半導体層上の前記第１の絶縁膜を開口する工程(ｃ)と、前記第１の酸化膜を貫通し、前記第１の絶縁膜の開口部から前記半導体層内の所定深さに達するトレンチを形成する工程(ｄ)と、前記トレンチの内壁に第２の絶縁膜の第１のサイドウォールスペーサを形成する工程(ｅ)と、前記トレンチの底面下の前記半導体層内でプロファイルのピークが形成されるエネルギーで、第１の導電型の不純物のイオン注入を行う工程(ｆ)と、前記第１のサイドウォールスペーサが残存した状態で、前記トレンチに第３の絶縁膜を埋め込んでトレンチ分離酸化膜を形成する工程(ｇ)と、前記第１酸化膜を除去した後、第２の酸化膜を形成する工程(ｈ)と、前記第２の酸化膜上にポリシリコン膜を形成する工程(ｉ)と、前記第２の酸化膜および前記ポリシリコン膜をパターニングしてゲート酸化膜およびゲート電極を形成する工程(ｊ)と、前記ゲート酸化膜とゲート電極のサイドウォールに第４の絶縁膜の第２のサイドウォールスペーサを形成する工程(ｋ)と、前記ゲート電極および前記第２のサイドウォールスペーサとを注入マスクとして用いて、ソース／ドレイン層に第２導電型の不純物のイオン注入を行う工程(ｌ)と、を備えている。

【００３６】

本発明に係る請求項２記載の半導体装置の製造方法は、前記工程(ｅ)が、前記第１のサイドウォールスペーサを酸化膜で形成する工程を含み、前記工程(ｆ)が、前記第１のサイドウォールスペーサを形成した状態で、前記第１の導電型の不純物のイオン注入を行う工程(ｆ－１)を含んでいる。

【００３７】

本発明に係る請求項３記載の半導体装置の製造方法は、前記工程(ｅ)が、前記トレンチの内壁を熱酸化して内壁酸化膜を形成する工程(ｅ－１)と、前記トレンチの内壁および前記第１の絶縁膜の主面全面に第３の酸化膜を形成する工程(ｅ－２)と、前記第３の酸化膜の上に前記第１のサイドウォールスペーサを窒化膜で形成する工程(ｅ－３)とを含み、前記工程(ｆ)は、前記第１のサイドウォールスペーサを形成した状態で、前記不純物のイオン注入を行う工程を含んでいる。

【００３８】
本発明に係る請求項４記載の半導体装置の製造方法は、前記半導体層が結晶性を有し、前記工程(ｌ)が、前記半導体層に対するイオン注入において、注入イオンがチャネリングを起こす角度で、前記ソース／ドレイン層に前記第２導電型の不純物のイオン注入を行う工程を含んでいる。
【００３９】
本発明に係る請求項５記載の半導体装置の製造方法は、前記ゲート酸化膜、前記ゲート電極および前記ソース／ドレイン層を有したＭＯＳトランジスタの形成領域となる活性領域は、比較的ゲート電圧の高い高電圧ＭＯＳトランジスタを形成する高電圧領域と、比較的ゲート電圧の低い低電圧ＭＯＳトランジスタを形成する低電圧領域とに区分され、前記低電圧ＭＯＳトランジスタのしきい値調整のための不純物のドーズ量は、前記高電圧ＭＯＳトランジスタのしきい値調整のための不純物のドーズ量よりも高く、前記高電圧ＭＯＳトランジスタのしきい値調整のための前記不純物のイオン注入を行う第１のイオン注入工程と、前記低電圧ＭＯＳトランジスタのしきい値調整のための前記不純物のイオン注入を行う第２のイオン注入工程とをさらに備え、前記第１のイオン注入工程は、前記低電圧領域においても実行される。
【００４０】
本発明に係る請求項６記載の半導体装置の製造方法は、前記ゲート酸化膜、前記ゲート電極および前記ソース／ドレイン層を有したＭＯＳトランジスタの形成領域となる活性領域は、比較的ゲート電圧の高い高電圧ＭＯＳトランジスタを形成する高電圧領域と、比較的ゲート電圧の低い低電圧ＭＯＳトランジスタを形成する低電圧領域とを有し、前記高電圧ＭＯＳトランジスタのしきい値調整のための不純物のドーズ量は、前記低電圧ＭＯＳトランジスタのしきい値調整のための不純物のドーズ量よりも高く、前記低電圧ＭＯＳトランジスタのしきい値調整のための前記不純物のイオン注入を行う第１のイオン注入工程と、前記高電圧ＭＯＳトランジスタのしきい値調整のための前記不純物のイオン注入を行う第２のイオン注入工程とをさらに備え、前記第１のイオン注入工程は、前記高電圧領域においても実行される、
【００４１】
本発明に係る請求項７記載の半導体装置の製造方法は、前記トレンチ分離酸化膜が、Ｐ型不純物を含んでいる。
【００４２】
本発明に係る請求項８記載の半導体装置の製造方法は、前記工程(ｆ－１)が、前記第１のサイドウォールスペーサを形成した後、前記不純物のイオン注入を行う前に、前記トレンチの内壁に内壁酸化膜を形成する工程を含んでいる。
【００４３】
本発明に係る請求項９記載の半導体装置の製造方法は、前記工程（ｄ）が、前記トレンチの内壁を熱酸化して内壁酸化膜を形成する工程を含み、前記第１のサイドウォールスペーサは内壁酸化膜の上に形成される。
【００４４】
本発明に係る請求項１０記載の半導体装置の製造方法は、半導体基板、埋め込み酸化膜、半導体層を順次に堆積して得られたＳＯＩ基板上に配設される半導体装置の製造方法であって、前記半導体層上に第１の酸化膜を形成する工程(ａ)と、前記第１の酸化膜上に第１の絶縁膜を形成する工程(ｂ)と、エッチングによって前記半導体層上の前記第１の絶縁膜を開口する工程(ｃ)と、前記第１の酸化膜を貫通し、前記第１の絶縁膜の開口部から前記半導体層内の所定深さに達するトレンチを形成する工程(ｄ)と、前記トレンチの内壁に第２の絶縁膜として内壁窒化膜あるいは内壁酸窒化膜を形成する工程(ｅ)と、前記内壁窒化膜あるいは前記内壁酸窒化膜を形成した状態で、前記トレンチの底面下の前記半導体層内でプロファイルのピークが形成されるエネルギーで、第１の導電型の不純物のイオン注入を行う工程(ｆ)と、前記内壁窒化膜あるいは前記内壁酸窒化膜を形成した状態で、前記トレンチに第３の絶縁膜を埋め込んでトレンチ分離酸化膜を形成する工程(ｇ)と、前記第

１酸化膜を除去した後、第２の酸化膜を形成する工程(ｈ)と、 前記第２の酸化膜上にポリシリコン膜を形成する工程(ｉ)と、前記第２の酸化膜および前記ポリシリコン膜をパターニングしてゲート酸化膜およびゲート電極を形成する工程(ｊ)と、前記ゲート酸化膜とゲート電極のサイドウォールに第４の絶縁膜のサイドウォールスペーサを形成する工程(ｋ)と、前記ゲート電極および前記サイドウォールスペーサとを注入マスクとして用いて、ソース／ドレイン層に第２導電型の不純物のイオン注入を行う工程(ｌ)と、を備えている。

【００７１】

【発明の実施の形態】

＜Ａ．実施の形態１＞

＜Ａ－１．製造方法＞

製造工程を順に示す断面図である図１～図１３を用いて、本発明に係る実施の形態１の製造方法について説明する。

【００７２】

まず、図１に示すように、酸素イオン注入によって埋め込み酸化膜２を形成するＳＩＭＯＸ法や、貼り合わせ法などにより、シリコン基板１、埋め込み酸化膜２およびＳＯＩ層３で構成されるＳＯＩ基板を準備する。なお、ＳＯＩ基板は上記以外の方法で形成されたものであっても良い。

【００７３】

通常、ＳＯＩ層３の膜厚は５０～２００ｎｍ、埋め込み酸化膜２の膜厚は１００～５００ｎｍである。そして、ＳＯＩ基板上に、ＣＶＤ法（８００℃程度の温度条件）あるいは熱酸化（８００～１０００℃の温度条件）により厚さ１０～３０ｎｍ（１００～３００Å）のシリコン酸化膜（以後、酸化膜と呼称）４を形成する。

【００７４】

その後、酸化膜４上にＣＶＤ法により、厚さ１０～１００ｎｍ（１００～１０００Å）の多結晶シリコン膜（以後。ポリシリコン膜と呼称）５を形成する。

【００７５】

そして、ポリシリコン膜５上に、ＣＶＤ法あるいは熱酸化により厚さ１０～２００ｎｍ（１００～２０００Å）の酸化膜６を形成し、酸化膜６上にＣＶＤ法により、厚さ１０～３００ｎｍ（１００～３０００Å）のポリシリコン膜７を形成する。

【００７６】

さらに、ポリシリコン膜７上に、ＣＶＤ法（７００℃程度の温度条件）により厚さ３０～２００ｎｍ（３００～２０００Å）のシリコン窒化膜（以後、窒化膜と呼称）８を形成する。なお、酸化膜４、ポリシリコン膜５、酸化膜６、ポリシリコン膜７および窒化膜８は後に形成されるトレンチ分離酸化膜形成のために補助的に機能するので補助膜と呼称することもある。

【００７７】

その後、窒化膜８上に、トレンチ分離酸化膜の形成位置に対応する部分が開口部となったレジストマスクをパターニングし、窒化膜８およびポリシリコン膜７をドライエッチングあるいはウエットエッチングにより選択的に除去する。

【００７８】

その後、図２に示すように、パターニングされた窒化膜８をエッチングマスクとして、酸化膜６、ポリシリコン膜５、酸化膜４を貫通するとともに、ＳＯＩ層３を所定深さまでエッチングしてトレンチＴＲ１を形成する。このエッチングにおいては、ＳＯＩ層３を完全にエッチングして埋め込み酸化膜２を露出させるのではなく、トレンチの底部に所定厚さのＳＯＩ層３が残るようにエッチング条件を調整する。

【００７９】

なお、部分トレンチＴＲ１は、所定の幅でシリコン基板１に対してほぼ垂直方向に延びて形成されるため、集積度を損ねることなく微細化を維持した素子分離を行うことができる。

【００８０】
次に、図３に示す工程において、トレンチＴＲ１の内壁を酸化して酸化膜ＯＸ１を形成し、図４に示す工程においてトレンチＴＲ１内に酸化膜ＯＸ２を埋め込む。
【００８１】
この酸化膜ＯＸ２は、例えばＨＤＰ(High-Density-Plasma)－ＣＶＤ法で形成すれば良い。ＨＤＰ－ＣＶＤ法は一般的なプラズマＣＶＤよりも１桁～２桁高い密度のプラズマを使用し、スパッタリングとデポジションを同時に行いながら酸化膜を堆積するものであり、膜質の良好な酸化膜を得ることができる。
【００８２】
その後、酸化膜ＯＸ２上に、ＭＯＳトランジスタ等の半導体素子を形成する活性領域に対応する部分が開口部となったレジストマスクＲＭ１１をパターニングし、レジストマスクＲＭ１１の開口パターンに合わせて酸化膜ＯＸ２を所定深さまでエッチングした後、レジストマスクＲＭ１１を除去する。このような処理を行う理由は、後に行うＣＭＰ（Chemical Mechanical Polishing）処理で酸化膜ＯＸ１１を除去するが、その際に、酸化膜ＯＸ２が均一に除去されるようにするためである。
【００８３】
そして、ＣＭＰにより酸化膜ＯＸ２を除去して、トレンチＴＲ１内にのみ酸化膜ＯＸ２を残した後、熱リン酸で窒化膜８を除去し、さらにポリシリコン膜７を除去することで、図５に示す部分分離酸化膜ＰＴ１１を得る。ここで、ポリシリコン膜７の除去は、アルカリ液、例えばＫＯＨ（水酸化カリウム）溶液あるいはアンモニアと過酸化水素水との混合溶液を用いたウエットエッチングを用いても良いし、酸化膜との選択性のあるドライエッチングを用いても良い。
【００８４】
部分分離酸化膜ＰＴ１１は、酸化膜６の主面から突出し、全体の厚さは６００ｎｍ（６０００Å）程度である。なお、ＳＯＩ層３内での厚さを１００ｎｍ程度とすれば、いわゆる分離段差は５００ｎｍ程度となる。
【００８５】
次に、図６に示す工程において、ＰＭＯＳトランジスタが形成される領域ＰＲの上部が開口部となるようにレジストマスクＲＭ１２を形成する。そして、部分分離酸化膜ＰＴ１１を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ１１の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｎ１を形成する。
【００８６】
ここで、注入される不純物はＮ型の不純物であり、リン（Ｐ）を用いるならば、その注入エネルギーは、例えば６０～１２０ｋｅＶとし、チャネルストップ層Ｎ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。
【００８７】
このとき、活性領域ＡＲに対応するＳＯＩ層３内では、チャネルストップ注入の不純物は停止せず、埋め込み酸化膜２やその下部のシリコン基板１内に注入されることになる。図６においては、シリコン基板１内に不純物層Ｎ１１が形成された例を示している。
【００８８】
次に、図７に示す工程において、ＮＭＯＳトランジスタが形成される領域ＮＲの上部が開口部となるようにレジストマスクＲＭ１３を形成する。そして、部分分離酸化膜ＰＴ１１を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ１１の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｐ１を形成する。
【００８９】
ここで、注入される不純物はＰ型の不純物であり、ボロン（Ｂ）を用いるならば、その注入エネルギーは、例えば３０～６０ｋｅＶとし、チャネルストップ層Ｐ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。

【００９０】
このとき、活性領域ＡＲに対応するＳＯＩ層３内では、チャネルストップ注入の不純物は停止せず、埋め込み酸化膜２やその下部のシリコン基板１内に注入されることになる。図７においては、シリコン基板１内に不純物層Ｐ１１が形成された例を示している。
【００９１】
このように、分離段差を利用してチャネルストップ注入を行うことにより、分離領域に自己整合的に高濃度のチャネルストップ層Ｎ１およびＰ１を形成することができる。
【００９２】
次に、図８に示す工程において、フッ酸（ＨＦ）処理により部分分離酸化膜ＰＴ１１および内壁酸化膜ＯＸ１をエッチングして、分離段差を低減した部分分離酸化膜ＰＴ１を形成する。
【００９３】
次に、図９に示す工程において、ウエットエッチングあるいは酸化膜との選択性のあるドライエッチングにより、酸化膜４上のポリシリコン膜５を除去する。
【００９４】
次に、図１０に示す工程において、ＰＭＯＳトランジスタが形成される領域ＰＲの上部が開口部となるようにレジストマスクＲＭ１４を形成する。そして、チャネル注入としてＮ型不純物、例えばＰ（リン）、Ａｓ（ヒ素）、Ｓｂ（アンチモン）の何れかを注入して、トランジスタのしきい値電圧を設定する。
【００９５】
このときの注入条件の一例としては、リンを用いる場合には、注入エネルギー２０～１００ｋｅＶで、ドーズ量1×10^{10}～1×10^{14}／cm^2とする。
【００９６】
次に、図１１に示す工程において、ＮＭＯＳトランジスタが形成される領域ＮＲの上部が開口部となるようにレジストマスクＲＭ１５を形成する。そして、チャネル注入としてＰ型不純物、例えばＢ（ボロン）あるいはＩｎ（インジウム）を注入して、トランジスタのしきい値電圧を設定する。
【００９７】
このときの注入条件の一例としては、ボロンを用いる場合には、注入エネルギー５～４０ｋｅＶで、ドース量1×10^{10}～1×10^{14}／cm^2とする。なお、しきい値電圧をより低くするのであればドーズ量を減らせば良い。
チャネル注入後、注入ダメージ回復を目的に短時間の熱処理を行う。
【００９８】
その後、酸化膜４をウエットエッチングにより除去し、代わりに、図１２に示すように、ＳＯＩ層３上に１～４ｎｍ（１０～４０Å）の厚さの絶縁膜１１を形成する。これには、熱酸化法、Rapid Thermal Oxidation法、ＣＶＤ法などが使用できる。さらに、絶縁膜１１上に１００～４００ｎｍ（１０００～４０００Å）の厚さのポリシリコン膜１２をＣＶＤ法により堆積する。
【００９９】
そして、図１３に示すように、領域ＰＲおよびＮＲにおいて、絶縁膜１１およびポリシリコン膜１２をパターニングしてゲート絶縁膜１１およびゲート電極１２とし、ゲート電極１２を注入マスクとして不純物注入（ＬＤＤ注入）を行うことで低ドープドレイン層（あるいはソース・ドレインエクステンション層）１４を形成する。
【０１００】
その後、ゲート絶縁膜１１およびゲート電極１２の側壁に絶縁膜のスペーサ（サイドウォールスペーサ）１３を形成し、ゲート電極１２およびサイドウォールスペーサ１３を注入マスクとして、ソース・ドレイン層形成のための不純物注入（ソース・ドレイン注入）を行うことでソース・ドレイン層１５を形成する。
【０１０１】
さらに、注入ダメージ回復および注入イオン活性化のために短時間の熱処理を行う。

【０１０２】
その後、全面に渡ってＣｏ（コバルト）などの高融点金属層をスパッタリング法で形成し、熱処理によりシリコンとのシリサイド反応を起こさせてシリサイド層を形成する。なお、当該シリサイド反応により、ゲート電極１２の上部およびソース・ドレイン層１５の上部に、それぞれシリサイド層１６および１７が形成され、未反応の高融点金属層を除去する。
【０１０３】
その後、全面に渡って層間膜ＺＬを形成し、層間絶縁膜ＺＬを貫通してシリサイド層１７に達するコンタクトプラグＣＰを設け、コンタクトプラグＣＰに配線層ＷＬを接続することで、図１３に示すＳＯＩデバイス１００が形成される。
【０１０４】
＜Ａ－２．作用効果＞
以上説明した実施の形態１の製造方法によれば、分離段差の大きな部分分離酸化膜ＰＴ１１を形成し、部分分離酸化膜ＰＴ１１を通してチャネルストップ注入を行うことにより、分離領域に自己整合的に高濃度のチャネルストップ層Ｎ１およびＰ１を形成することができる。そして、この場合には、活性領域ＡＲに対応するＳＯＩ層３内には、チャネルストップ層は形成されないので、ＭＯＳトランジスタのしきい値調整を支障なく行うことができ、また、ＭＯＳトランジスタのソース・ドレイン層あるいはソース・ドレイン層のＰＮ接合部の周囲に形成される空乏層を埋め込み酸化膜２にまで到達させることが可能となり、トランジスタ特性の低下を防止した半導体装置を得ることができる。
【０１０５】
なお、部分分離酸化膜ＰＴ１１は、チャネルストップ注入後に分離段差を小さくするようにエッチングして、最終的には分離段差が２０ｎｍ以下の部分分離酸化膜ＰＴ１とするので、半導体装置の微細化に伴う不具合が生じることがない。
【０１０６】
また、ＳＯＩ層３上に、酸化膜４、ポリシリコン膜５、酸化膜６、ポリシリコン膜７および窒化膜８の５層膜を形成し、これらを貫通するトレンチＴＲ１を用いて部分分離酸化膜ＰＴ１１を形成するので、分離段差を大きくすることができる。さらに、窒化膜８はトレンチＴＲ１のエッチングマスクとして機能し、ポリシリコン膜７は大きな分離段差を形成するための膜であり、酸化膜６はポリシリコン膜７の除去に際してのエッチングストッパとして機能し、ポリシリコン膜５は、エッチングにより部分分離酸化膜ＰＴ１１の分離段差を小さくする際に、活性領域の保護膜として機能する。酸化膜４はパッド酸化膜とも呼称され、ＳＯＩ層３への不純物注入に際してのダメージ低減や、上層の膜の除去に際してＳＯＩ層３の保護膜として機能する。
【０１０７】
＜Ｂ．実施の形態２＞
実施の形態１においては、分離段差の大きな部分分離酸化膜を通してチャネルストップ注入を行う構成を示したが、以下に説明する方法によりチャネルストップ注入を行っても良い。
【０１０８】
＜Ｂ－１．製造方法＞
製造工程を順に示す断面図である図１４～図２０を用いて、本発明に係る実施の形態２の製造方法について説明する。なお、図１～図１３を用いて説明した実施の形態１と同一の構成については同一の符号を付し、重複する説明は省略する。
【０１０９】
まず、図１４に示すようにＳＯＩ基板を準備し、ＳＯＩ基板上に酸化膜４を形成する。
【０１１０】
次に、酸化膜４上にＣＶＤ法により、厚さ５～３００ｎｍ（５０～３０００Å）のポリシリコン膜２１を形成し、ポリシリコン膜２１上に、ＣＶＤ法により厚さ１００～２００ｎｍ（１０００～２０００Å）の窒化膜２２を形成する。なお、酸化膜４、ポリシリコン膜

２１および窒化膜２２は分離酸化膜形成のために補助的に機能するので補助膜と呼称することもある。

【０１１１】

その後、レジストマスクを用いて窒化膜２２およびポリシリコン膜２１をドライエッチングあるいはウエットエッチングにより選択的に除去する。

【０１１２】

そして、図１５に示すように、パターニングされた窒化膜２２をエッチングマスクとして、酸化膜４を貫通するとともに、ＳＯＩ層３を所定深さまでエッチングしてトレンチＴＲ２を形成する。このエッチングにおいては、ＳＯＩ層３を完全にエッチングして埋め込み酸化膜２を露出させるのではなく、トレンチの底部に所定厚さのＳＯＩ層３が残るようにエッチング条件を調整する。

【０１１３】

次に、図１６に示す工程においてトレンチＴＲ２の内壁を酸化して内壁酸化膜ＯＸ１を形成し、図１７に示す工程においてトレンチＴＲ２内に酸化膜ＯＸ２を埋め込む。

【０１１４】

その後、酸化膜ＯＸ２上に、ＭＯＳトランジスタ等の半導体素子を形成する活性領域に対応する部分が開口部となったレジストマスクＲＭ２１をパターニングし、レジストマスクＲＭ２１の開口パターンに合わせて酸化膜ＯＸ２を所定深さまでエッチングした後、レジストマスクＲＭ２１を除去する。

【０１１５】

そして、ＣＭＰにより窒化膜２２上の酸化膜ＯＸ２を除去して、トレンチＴＲ２内にのみ酸化膜ＯＸ２を残すことで、図１８に示す部分分離酸化膜ＰＴ２１を得る。

【０１１６】

次に、図１９に示す工程において、フッ酸（ＨＦ）処理により部分分離酸化膜ＰＴ２１および内壁酸化膜ＯＸ１をエッチングして、分離段差を低減した部分分離酸化膜ＰＴ２を形成する。このとき、分離酸化膜ＰＴ２の厚みは１００～１５０ｎｍ（１０００～１５００Å）とし、分離段差は２０ｎｍ程度とする。

【０１１７】

その後、ＰＭＯＳトランジスタが形成される領域ＰＲの上部が開口部となるようにレジストマスクＲＭ２２を形成する。そして、部分分離酸化膜ＰＴ２を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ２の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｎ１を形成する。

【０１１８】

ここで、注入される不純物はＮ型の不純物であり、リン（Ｐ）を用いるならば、その注入エネルギーは、例えば１００～３００ｋｅＶとし、チャネルストップ層Ｎ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。

【０１１９】

このとき、活性領域ＡＲに対応するＳＯＩ層３上にはポリシリコン膜２１および窒化膜２２が残っており、その厚さは約４００ｎｍ（４０００Å）であるので、上述したエネルギーではポリシリコン膜２１および窒化膜２２を通過できず、活性領域ＡＲに対応するＳＯＩ層３内にはチャネルストップ注入の不純物は注入されない。

【０１２０】

次に、図２０に示す工程において、ＮＭＯＳトランジスタが形成される領域ＮＲの上部が開口部となるようにレジストマスクＲＭ２３を形成する。そして、部分分離酸化膜ＰＴ２を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ２の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｐ１を形成する。

【０１２１】

ここで、注入される不純物はＰ型の不純物であり、ボロン（Ｂ）を用いるならば、その注

入エネルギーは、例えば３０～１００ｋｅＶとし、チャネルストップ層Ｐ１の濃度は１×１０^{17}～１×１０^{19}／ｃｍ^{3}とする。

【０１２２】

このとき、活性領域ＡＲに対応するＳＯＩ層３内にはチャネルストップ注入の不純物は注入されない。

【０１２３】

その後、熱リン酸で窒化膜２２除去し、ウエットエッチングあるいは酸化膜との選択性のあるドライエッチングにより、ポリシリコン膜２１を除去する。以後、図１０～図１３を用いて説明した工程を経ることで、図１３に示すＳＯＩデバイス１００を得る。

【０１２４】

＜Ｂ－２．作用効果＞

以上説明した実施の形態２の製造方法によれば、活性領域ＡＲ上にはポリシリコン膜２１および窒化膜２２を残し、分離段差の小さな部分分離酸化膜ＰＴ２を通過してＳＯＩ層３内でチャネルストップ層が形成されるエネルギーでチャネルストップ注入を行うことにより、分離領域に自己整合的に高濃度のチャネルストップ層Ｎ１およびＰ１を形成することができる。そして、この場合には、活性領域ＡＲに対応するＳＯＩ層３内には、チャネルストップ層は形成されないので、ＭＯＳトランジスタのしきい値調整を支障なく行うことができ、また、ＭＯＳトランジスタのソース・ドレイン層あるいはソース・ドレイン層のＰＮ接合部の周囲に形成される空乏層を埋め込み酸化膜２にまで到達させることが可能となり、トランジスタ特性の低下を防止した半導体装置を得ることができる。

【０１２５】

また、活性領域ＡＲに対応するＳＯＩ層３上にはポリシリコン膜２１および窒化膜２２を残すことで、チャネルストップ注入に際しての不純物イオンは、ポリシリコン膜２１および窒化膜２２の一方または両方の内部に止まり、ＳＯＩ層３に到達する可能性は小さいので、不純物イオンがＳＯＩ層３を通過することによるダメージを受けにくく、後にＳＯＩ層３上に形成されるゲート絶縁膜の信頼性を向上できる。

【０１２６】

＜Ｂ－３．変形例＞

以上の説明においては、フッ酸（ＨＦ）処理により分離段差を低減した部分分離酸化膜ＰＴ２を形成する構成を示したが、ウエットエッチングでは正確な膜厚制御が難しい場合もある。

【０１２７】

そこで、図１８を用いて説明したように、ＣＭＰにより窒化膜２２上の酸化膜ＯＸ２を除去してトレンチＴＲ２内に部分分離酸化膜ＰＴ２１を形成した状態において、部分分離酸化膜ＰＴ２にＢやＡｓ等の不純物をイオン注入する。このときの注入エネルギーは、飛程が１００～２００ｎｍとなるように比較的低エネルギーで行い、ドーズ量は４×１０^{14}／ｃｍ^{2}以上とする。図２１には、このイオン注入を行う工程を示しており、部分分離酸化膜ＰＴ２の上部側に不純物が注入されるとともに、窒化膜２２にも不純物が注入される状態が示されている。

【０１２８】

このように、部分分離酸化膜ＰＴ２に不純物を注入することで、酸化膜のＨＦに対するエッチングレートが変化し、分離段差を設定するためのＨＦ処理において、分離酸化膜の膜厚制御性を向上させることが可能となる。

【０１２９】

なお、イオン注入後に、９００～１２００℃で、５秒から６０分程度の熱処理を行って、不純物を拡散させるようにしても良い。

【０１３０】

＜Ｃ．実施の形態３＞

実施の形態２においては、活性領域ＡＲ上にポリシリコン膜２１および窒化膜２２を残した状態でチャネルストップ注入を行う構成を示したが、以下に説明する方法によりチャネ

ルストップ注入を行っても良い。

【０１３１】

＜Ｃ－１．製造方法＞

製造工程を順に示す断面図である図２２～図２７を用いて、本発明に係る実施の形態３の製造方法について説明する。なお、図１～図１３および図１４～図２０を用いて説明した実施の形態１および２と同一の構成については同一の符号を付し、重複する説明は省略する。

【０１３２】

まず、図１４～図１７を用いて説明した工程を経て、トレンチＴＲ２内に酸化膜ＯＸ２を埋め込み、ＣＭＰにより窒化膜２２上の酸化膜ＯＸ２および窒化膜２２を除去することで、図２２に示すように、ポリシリコン膜２１の主面を露出させる。

【０１３３】

その後、図２３に示す工程においてポリシリコン膜２１の厚さが５～２０ｎｍとなるようにエッチングを行う。これにより、ポリシリコン膜２１の主面が部分分離酸化膜ＰＴ２の上面よりも低くなり、分離段差が生じる。

【０１３４】

この状態で、図２４に示す工程において、ＰＭＯＳトランジスタが形成される領域ＰＲの上部が開口部となるようにレジストマスクＲＭ３１を形成する。そして、部分分離酸化膜ＰＴ２１を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ２１の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｎ１を形成する。

【０１３５】

ここで、注入される不純物はＮ型の不純物であり、リン（Ｐ）を用いるならば、その注入エネルギーは、例えば１００～３００ｋｅＶとし、チャネルストップ層Ｎ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。

【０１３６】

このとき、活性領域ＡＲに対応するＳＯＩ層３内では、チャネルストップ注入の不純物は停止せず、埋め込み酸化膜２内に注入されるようにポリシリコン膜２１の厚さが設定されており、図２４においては、ＳＯＩ層３との接合部近傍の埋め込み酸化膜２内に不純物層Ｎ１１が形成された例を示している。

【０１３７】

次に、図２５に示す工程において、ＮＭＯＳトランジスタが形成される領域ＮＲの上部が開口部となるようにレジストマスクＲＭ３２を形成する。そして、部分分離酸化膜ＰＴ２１を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ２１の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｐ１を形成する。

【０１３８】

ここで、注入される不純物はＰ型の不純物であり、ボロン（Ｂ）を用いるならば、その注入エネルギーは、例えば３０～１００ｋｅＶとし、チャネルストップ層Ｐ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。

【０１３９】

このとき、活性領域ＡＲに対応するＳＯＩ層３内では、チャネルストップ注入の不純物は停止せず、埋め込み酸化膜２内に注入されるようにポリシリコン膜２１の厚さが設定されており、図２５においては、ＳＯＩ層３との接合部近傍の埋め込み酸化膜２内に不純物層Ｐ１１が形成された例を示している。

【０１４０】

次に、図２６に示す工程において、フッ酸（ＨＦ）処理により部分分離酸化膜ＰＴ２１および内壁酸化膜ＯＸ１をエッチングして、分離段差を低減した部分分離酸化膜ＰＴ２形成した後、ウエットエッチングあるいは酸化膜との選択性のあるドライエッチングにより、酸化膜４上のポリシリコン膜２１を除去する。

【０１４１】
以後、図１０～図１３を用いて説明した工程を経ることで、図２７に示すＳＯＩデバイス２００を得る。
【０１４２】
＜Ｃ－２．作用効果＞
以上説明した実施の形態３の製造方法によれば、活性領域ＡＲ上にはポリシリコン膜２１を薄く残し、分離段差の比較的小さな部分分離酸化膜ＰＴ２１を通過してＳＯＩ層３内でチャネルストップ層が形成されるエネルギーでチャネルストップ注入を行うことにより、分離領域に自己整合的に高濃度のチャネルストップ層Ｎ１およびＰ１を形成することができる。そして、この場合には、活性領域ＡＲに対応するＳＯＩ層３内には、チャネルストップ層は形成されないので、ＭＯＳトランジスタのしきい値調整を支障なく行うことができ、また、ＭＯＳトランジスタのソース・ドレイン層あるいはソース・ドレイン層のＰＮ接合部の周囲に形成される空乏層を埋め込み酸化膜２にまで到達させることが可能となり、トランジスタ特性の低下を防止した半導体装置を得ることができる。
【０１４３】
なお、ＳＯＩ層３を通過した不純物は、領域ＰＲおよびＮＲの埋め込み酸化膜２内において、それぞれ不純物層Ｎ１１およびＰ１１を形成する。そして、不純物層Ｎ１１およびＰ１１は、何れもＳＯＩ層３との接合部近傍の埋め込み酸化膜２内に形成されており、それぞれの端縁部は、チャネルストップ層Ｎ１およびＰ１の端縁部の近傍に存在することになる。
【０１４４】
この結果、図２７に示すチャネルストップ層Ｎ１の端縁部であるＡ部およびチャネルストップ層Ｐ１の端縁部であるＢ部においては、ウェハプロセスにおける種々の熱処理によって、チャネルストップ不純物が埋め込み酸化膜２に吸収されることを防止でき、また、チャネルストップ不純物が部分分離酸化膜ＰＴ２に吸収されたとしても、不純物層Ｎ１１およびＰ１１の不純物が拡散することで補充される。従って、チャネルストップ層Ｎ１およびＰ１の不純物濃度を高濃度に維持することができ、この部分での寄生トランジスタの発生を抑制できる。
【０１４５】
＜Ｄ．実施の形態４＞
実施の形態１～３においては、チャネルストップ注入をＳＯＩ基板の主面に対してほぼ垂直な方向から行う構成を示したが、斜め注入あるいは斜め回転注入によるチャネルストップ注入を行うようにしても良い。
【０１４６】
＜Ｄ－１．製造方法＞
製造工程を順に示す断面図である図２８～図３０を用いて、本発明に係る実施の形態４の製造方法について説明する。なお、図２２～図２７を用いて説明した実施の形態３と同一の構成については同一の符号を付し、重複する説明は省略する。
【０１４７】
まず、図２２および図２３を用いて説明した工程を経て、ポリシリコン膜２１の主面が部分分離酸化膜ＰＴ２の上面よりも低くなり、分離段差が生じた構成を得る。
【０１４８】
この状態で、図２８に示す工程において、ＰＭＯＳトランジスタが形成される領域ＰＲの上部が開口部となるようにレジストマスクＲＭ３３を形成する。そして、ＳＯＩ基板の主面に対してほぼ垂直な方向から、部分分離酸化膜ＰＴ２１を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ２１の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層を形成する。ここで、注入される不純物はＮ型の不純物であり、リン（Ｐ）を用いるならば、その注入エネルギーは、例えば１００～３００ｋｅＶとし、チャネルストップ層Ｎ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。

【０１４９】
続いて、ＳＯＩ基板を傾けた状態で不純物をイオン注入することで、部分分離酸化膜ＰＴ２１の下部だけでなく活性領域ＡＲのＳＯＩ層３内にまで延在するチャネルストップ層Ｎ１を形成することができる。この場合の注入条件は上記条件とほぼ同じで良い。また、この注入はＳＯＩ基板を傾けた状態で、回転させながら行っても良い。
【０１５０】
なお、チャネルストップ層Ｎ１の、活性領域ＡＲのＳＯＩ層３内に延在する部分は僅かで良く、活性領域ＡＲのＳＯＩ層３内内全域にチャネルストップ層Ｎ１が延在する状態とならないように注入角度を設定する。
【０１５１】
次に、図２９に示す工程において、ＮＭＯＳトランジスタが形成される領域ＮＲの上部が開口部となるようにレジストマスクＲＭ３４を形成する。そして、ＳＯＩ基板の主面に対してほぼ垂直な方向から、部分分離酸化膜ＰＴ２１を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ２１の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層を形成する。
【０１５２】
ここで、注入される不純物はＰ型の不純物であり、ボロン（Ｂ）を用いるならば、その注入エネルギーは、例えば３０～１００ｋｅＶとし、チャネルストップ層Ｐ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。
【０１５３】
続いて、ＳＯＩ基板を傾けた状態で不純物をイオン注入することで、部分分離酸化膜ＰＴ２１の下部だけでなく活性領域ＡＲのＳＯＩ層３内にまで延在するチャネルストップ層Ｐ１を形成することができる。この場合の注入条件は上記条件とほぼ同じで良い。また、この注入はＳＯＩ基板を傾けた状態で、回転させながら行っても良い。
【０１５４】
なお、チャネルストップ層Ｐ１の、活性領域ＡＲのＳＯＩ層３内に延在する部分は僅かで良く、活性領域ＡＲのＳＯＩ層３内全域にチャネルストップ層Ｐ１が延在する状態とならないように注入角度を設定する。
【０１５５】
以後、図２６および図２７を用いて説明した工程を経ることで、図３０に示すＳＯＩデバイス３００を得る。
【０１５６】
図３０においては、領域ＰＲおよびＮＲにおけるＭＯＳトランジスタの、それぞれのソース・ドレイン層１５と、チャネルストップ層Ｎ１およびＰ１との接合部分には、チャネルストップ層Ｎ１およびＰ１が接合されるソース・ドレイン層１５と同じ導電型で、ソース・ドレイン層１５よりも不純物濃度が低い、Ｐ型低濃度不純物層Ｐ３およびＮ型低濃度不純物層Ｎ３が形成されている。
【０１５７】
これは、チャネルストップ層Ｎ１およびＰ１の、活性領域ＡＲのＳＯＩ層３内への延在部分の不純物が、ソース・ドレイン注入による不純物によって補償されて形成された領域である。
【０１５８】
＜Ｄ－２．作用効果＞
このような低濃度不純物層Ｐ３およびＮ３を備えることで、導電型が異なり、互いに高濃度に不純物有するソース・ドレイン層１５とチャネルストップ層Ｎ１およびＰ１とが直接に接触することが防止されるので、ＰＮ接合部でのリーク電流が軽減され、より良好な接合特性を得ることができる。
【０１５９】
なお、チャネルストップ層Ｎ１およびＰ１の不純物濃度が、それぞれが接合されるソース・ドレイン層１５の不純物濃度よりも高い場合には、低濃度不純物層の導電型が逆転し、

領域ＰＲにおいてはＮ型の低濃度不純物層が形成され、領域ＮＲにおいてはＰ型の低濃度不純物層が形成されることになる。

【０１６０】

なお、以上説明した実施の形態４においては、ＳＯＩ基板の主面に対してほぼ垂直な方向からのチャネルストップ注入と、ＳＯＩ基板を傾けた状態での斜め注入あるいは、斜め回転注入とを組み合わせた構成を示したが、ＳＯＩ基板を傾けた状態での斜め注入あるいは、斜め回転注入のみでチャネルストップ注入を行っても良い。

【０１６１】

＜Ｅ．実施の形態５＞

実施の形態３においては、活性領域ＡＲ上にはポリシリコン膜２１を薄く残し、分離段差の比較的小さな部分分離酸化膜ＰＴ２１を通過してチャネルストップ注入を行う構成を示したが、以下に説明する方法によりチャネルストップ注入を行っても良い。

【０１６２】

＜Ｅ－１．製造方法＞

製造工程を順に示す断面図である図３１および図３２を用いて、本発明に係る実施の形態５の製造方法について説明する。なお、図１４～図２０を用いて説明した実施の形態２と同一の構成については同一の符号を付し、重複する説明は省略する。また、以下に説明する実施の形態５～９においては、簡単化のためＰＭＯＳトランジスタが形成される領域ＰＲのみを対象として説明する。

【０１６３】

まず、図１４～図１７を用いて説明した工程を経て、トレンチＴＲ２内に酸化膜ＯＸ２を埋め込み、ＣＭＰにより窒化膜２２上の酸化膜ＯＸ２を除去することで、図３１に示すように、窒化膜２２の主面を露出させる。

【０１６４】

次に、図３２に示す工程において、窒化膜２２を熱リン酸で除去し、ポリシリコン膜２１の主面から部分分離酸化膜ＰＴ２１が突出した構成を得る。これにより、窒化膜２２の厚さにほぼ等しい分離段差が生じる。

【０１６５】

この状態で、部分分離酸化膜ＰＴ２１を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ２１の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｎ１を形成する。

【０１６６】

ここで、注入される不純物はＮ型の不純物であり、リン（Ｐ）を用いる（ＰＭＯＳトランジスタを形成する場合）ならば、その注入エネルギーは、例えば１５０～５００ｋｅＶとし、ボロン（Ｂ）を用いる（ＮＭＯＳトランジスタを形成する場合）ならば、その注入エネルギーは、例えば６０～２５０ｋｅＶとし、チャネルストップ層Ｎ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。

【０１６７】

このとき、活性領域ＡＲに対応するＳＯＩ層３内では、チャネルストップ注入の不純物は停止せず、埋め込み酸化膜２内やその下部のシリコン基板１内に注入されるように、ポリシリコン膜２１の厚さが設定されている。

【０１６８】

＜Ｅ－２．作用効果＞

以上説明した実施の形態５の製造方法によれば、分離段差の大きな部分分離酸化膜ＰＴ２１を形成し、部分分離酸化膜ＰＴ２１を通してチャネルストップ注入を行うことにより、分離領域に自己整合的に高濃度のチャネルストップ層Ｎ１を形成することができる。そして、この場合には、活性領域ＡＲに対応するＳＯＩ層３内には、チャネルストップ層は形成されないので、ＭＯＳトランジスタのしきい値調整を支障なく行うことができ、また、ＭＯＳトランジスタのソース・ドレイン層あるいはソース・ドレイン層のＰＮ接合部の周囲に形成される空乏層を埋め込み酸化膜２にまで到達させることが可能となり、トランジ

スタ特性の低下を防止した半導体装置を得ることができる。

【０１６９】

＜Ｅ－３．変形例１＞

以上説明した実施の形態５の製造方法においては、図３２を用いて説明したように、ポリシリコン膜２１の主面から部分分離酸化膜ＰＴ２１が突出した構成となるが、この場合、ポリシリコン膜２１、内壁酸化膜ＯＸ１および部分分離酸化膜ＰＴ２１の境界部分（図３２にＣ部として示す）が、部分分離酸化膜ＰＴ２１の除去のためのドライエッチングの影響を受けることになり、場合によっては、当該部分の内壁酸化膜ＯＸ１および部分分離酸化膜ＰＴ２１が過剰に除去されて、最終的に得られる部分分離酸化膜ＰＴ２の端縁部が落ち窪むことになる。これは部分分離酸化膜ＰＴ２１の側壁が垂直に近ければ近いほど顕著になり、逆に、部分分離酸化膜ＰＴ２１の側壁が上方に向かって広がるようなテーパー形状であれば落ち窪みは発生しにくくなる。しかし、部分分離酸化膜ＰＴ２１を、意図的に、再現性良く、上記のようなテーパー形状にすることは困難である。

【０１７０】

代わりに、図３３に示すように、ポリシリコン膜２１の全面を覆うように、厚さ２０ｎｍ程度の酸化膜ＯＸ３を形成し、部分分離酸化膜ＰＴ２１のポリシリコン膜２１の主面から突出する部分を被覆することで、図３２のＣ部における過剰エッチングを防止するようにしても良い。ここで、酸化膜ＯＸ３は、例えば、ＣＶＤ法においてＴＥＯＳ（tetra ethyl orthosilicate）を用いることで形成すれば良い。

【０１７１】

図３４～図３７には、酸化膜ＯＸ３で被覆された部分分離酸化膜ＰＴ２１の突出部がドライエッチングにより除去される経過を順に示しており、部分分離酸化膜ＰＴ２１の突出部分に形成された酸化膜ＯＸ３の存在により、ポリシリコン膜２１、内壁酸化膜ＯＸ１および部分分離酸化膜ＰＴ２１の境界部分が保護され、当該部分が過剰にエッチングされることが防止される仕組みが明確に示されている。

【０１７２】

この結果、最終的に得られる部分分離酸化膜ＰＴ２の端縁部が落ち窪むことが防止される。

【０１７３】

部分分離酸化膜ＰＴ２の端縁部が落ち窪むと、後に、部分分離酸化膜ＰＴ２に係合するようにゲート電極およびゲート絶縁膜を形成した際に、この部分にゲート電極およびゲート絶縁膜が絡みついて複雑な断面形状となり、狭チャネル効果によりトランジスタのしきい値が低下する。また、部分分離酸化膜ＰＴ４の端縁部でのゲート絶縁膜の厚さが薄くなって、ゲート電極の耐圧特性が低下するなどの問題が生じる。

【０１７４】

しかし、上述した変形例１の製造方法によれば、部分分離酸化膜ＰＴ２の端縁部が落ち窪むことが防止されるので、上記のような諸問題の発生を防止でき、半導体装置の製造歩留まりを向上できる。

【０１７５】

＜Ｅ－４．変形例２＞

図３２に示すＣ部の過剰エッチングを防止するための構成としては、図３８に示すような構成を採っても良い。

【０１７６】

すなわち、図３８に示すように、ポリシリコン膜２１の全面に部分分離酸化膜ＰＴ２１の突出部の高さと同程度の厚さの酸化膜ＯＸ４を形成することで、部分分離酸化膜ＰＴ２１を完全に覆うようにする。なお、部分分離酸化膜ＰＴ２１の突出部の高さは、図３２に示す工程で除去した窒化膜２２の厚さにほぼ等しく、１００～２００ｎｍである。また、酸化膜ＯＸ４はＣＶＤ法においてＴＥＯＳを用いることで形成すれば良い。

【０１７７】

図３９～図４１には、酸化膜ＯＸ４と、酸化膜ＯＸ４で覆われた部分分離酸化膜ＰＴ２１

の突出部とがウエットエッチングにより除去される経過を順に示しており、酸化膜ＯＸ４の存在により、ポリシリコン膜２１、内壁酸化膜ＯＸ１および部分分離酸化膜ＰＴ２１の境界部分が保護され、当該部分が過剰にエッチングされることが防止される仕組みが明確に示されている。

【０１７８】

なお、図４１においては部分分離酸化膜ＰＴ２１の中央部がなだらかに盛り上がり、端縁部がなだらかに落ち窪んだ形状になっているが、この程度であれば、以下に続くエッチング工程で解消される場合もあるし、例え最終的に得られる部分分離酸化膜ＰＴ２の端縁部に若干の窪みが生じても、その輪郭がなだらかであるので、不具合は生じない。

【０１７９】

＜Ｅ－５．変形例３＞

図３８に示したように、ポリシリコン膜２１の全面に部分分離酸化膜ＰＴ２１の突出部の高さと同程度の厚さの酸化膜ＯＸ４を形成して部分分離酸化膜ＰＴ２１を完全に覆った後、一旦、ドライエッチングを行って酸化膜ＯＸ４の輪郭形状を整えた後、ウエットエッチングにより酸化膜ＯＸ４および部分分離酸化膜ＰＴ２１の突出部を除去するようにしても良い。

【０１８０】

図４２は、ポリシリコン膜２１の全面を覆う酸化膜ＯＸ４にドライエッチングを施し、部分分離酸化膜ＰＴ２１の上面を露出させた状態を示している。この構造は、部分分離酸化膜ＰＴ２１の側面に酸化膜ＯＸ４のサイドウォールスペーサを形成した構造（サイドウォール構造）に相当する。この状態でウエットエッチングを行うと、均等にエッチングが進むことになる。

【０１８１】

図４３～図４５には、酸化膜ＯＸ４と、酸化膜ＯＸ４で覆われた部分分離酸化膜ＰＴ２１の突出部とがウエットエッチングにより除去される経過を順に示しており、酸化膜ＯＸ４の存在により、ポリシリコン膜２１、内壁酸化膜ＯＸ１および部分分離酸化膜ＰＴ２１の境界部分が保護され、当該部分が過剰にエッチングされることが防止される仕組みが明確に示されている。

【０１８２】

また、サイドウォール構造を採ることで、エッチングが均等に進み、部分分離酸化膜ＰＴ２１の端縁部が若干でも落ち窪むようなことが防止される。

【０１８３】

＜Ｅ－６．変形例４＞

図３２に示すＣ部の過剰エッチングを防止するための構成としては、図４６に示すような構成を採っても良い。

【０１８４】

すなわち、図４６に示すように、部分分離酸化膜ＰＴ２１の側面に窒化膜のサイドウォールスペーサＮＷ１を形成し、この状態で部分分離酸化膜ＰＴ２１のウエットエッチングを行うようにしても良い。

【０１８５】

図４７および図４８には、サイドウォールスペーサＮＷ１で囲まれた部分分離酸化膜ＰＴ２１がフッ酸等を用いたウエットエッチングにより除去される経過を順に示しており、サイドウォールスペーサＮＷ１の存在により、ポリシリコン膜２１、内壁酸化膜ＯＸ１および部分分離酸化膜ＰＴ２１の境界部分が保護され、当該部分が過剰にエッチングされることが防止される仕組みが明確に示されている。

【０１８６】

なお、図４８に示すように部分分離酸化膜ＰＴ２１のポリシリコン膜２１からの突出部が全て除去された時点でエッチングを停止し、続いて、熱リン酸でサイドウォールスペーサＮＷ１を除去する。

【０１８７】

このような構成と採ることで、部分分離酸化膜ＰＴ２１に対するエッチングが均等に進み、部分分離酸化膜ＰＴ２１の端縁部が若干でも落ち窪むようなことが防止される。

【０１８８】

なお、図３２に示すＣ部の過剰エッチングによる落ち窪みを防止するためには、ＣＭＰにより部分分離酸化膜ＰＴ２１の突出部分を削除する方法を採用しても良い。

【０１８９】

＜Ｆ．実施の形態６＞

＜Ｆ－１．製造方法＞

製造工程を順に示す断面図である図４９～図５４を用いて、本発明に係る実施の形態６の製造方法について説明する。なお、図１～図１３を用いて説明した実施の形態１と同一の構成については同一の符号を付し、重複する説明は省略する。

【０１９０】

まず、図４９に示すようにＳＯＩ基板を準備し、ＳＯＩ基板上に酸化膜４を形成する。そして、酸化膜４上にＣＶＤ法により、厚さ１０～１００ｎｍ（１００～１０００Å）のポリシリコン膜４１を形成し、ポリシリコン膜４１上に、ＣＶＤ法あるいは熱酸化により厚さ１０～１００ｎｍ（１００～１０００Å）の酸化膜４２を形成する。そして、酸化膜４２上にＣＶＤ法により厚さ１００～２００ｎｍ（１０００～２０００Å）の窒化膜４３を形成する。なお、酸化膜４、ポリシリコン膜４１、酸化膜４２および窒化膜４３は分離酸化膜形成のために補助的に機能するので補助膜と呼称することもある。

【０１９１】

次に、窒化膜４３上に、分離酸化膜の形成位置に対応する部分が開口部となったレジストマスクをパターニングし、窒化膜４３をドライエッチングあるいはウエットエッチングにより選択的に除去する。

【０１９２】

その後、図５０に示すように、パターニングされた窒化膜４３をエッチングマスクとして、酸化膜４２、ポリシリコン膜４１および酸化膜４を貫通するとともに、ＳＯＩ層３を所定深さまでエッチングしてトレンチＴＲ４を形成する。このエッチングにおいては、ＳＯＩ層３を完全にエッチングして埋め込み酸化膜２を露出させるのではなく、トレンチの底部に所定厚さのＳＯＩ層３が残るようにエッチング条件を調整する。その後、トレンチＴＲ４の内壁を酸化して酸化膜ＯＸ１を形成する。なお、ＳＯＩ層３のエッチング深さは５０～１５０ｎｍに設定する。

【０１９３】

次に、トレンチＴＲ４を埋め込むように窒化膜４３の全面に渡ってＨＤＰ－ＣＶＤ法で酸化膜を形成し、ＣＭＰにより窒化膜４３上の余分な酸化膜を除去することで、図５１に示すように、トレンチＴＲ４内のみに酸化膜を残して部分分離酸化膜ＰＴ４１を形成する。

【０１９４】

次に、図５２に示す工程において、窒化膜４３を熱リン酸で除去し、酸化膜４２の主面から部分分離酸化膜ＰＴ４１が突出した構成を得る。これにより、窒化膜４３の厚さにほぼ等しい分離段差が生じる。

【０１９５】

この状態で、部分分離酸化膜ＰＴ４１を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、部分分離酸化膜ＰＴ４１の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｎ１を形成する。

【０１９６】

ここで、注入される不純物はＮ型の不純物であり、リン（Ｐ）を用いる（ＰＭＯＳトランジスタを形成する場合）ならば、その注入エネルギーは、例えば１５０～５００ｋｅＶとし、ボロン（Ｂ）を用いる（ＮＭＯＳトランジスタを形成する場合）ならば、その注入エネルギーは、例えば６０～２５０ｋｅＶとし、チャネルストップ層Ｎ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。

【０１９７】

このとき、活性領域ＡＲに対応するＳＯＩ層３内では、チャネルストップ注入の不純物は停止せず、埋め込み酸化膜２内やその下部のシリコン基板１内に注入されるように、酸化膜４２およびポリシリコン膜４１の厚さが設定されている。

【０１９８】

次に、図５３に示す工程において、ポリシリコン膜４１との選択性を有するドライエッチングにより部分分離酸化膜ＰＴ４１、内壁酸化膜ＯＸ１および酸化膜４２をエッチングして、分離段差を低減した部分分離酸化膜ＰＴ４形成する。

【０１９９】

次に、図５４に示す工程において、ウエットエッチングあるいは酸化膜との選択性のあるドライエッチングにより、酸化膜４上のポリシリコン膜４１を除去する。

【０２００】

以後、図１０～図１３を用いて説明した工程を経ることで、各活性領域にＭＯＳトランジスタを形成することで、図１３に示すようなＳＯＩデバイス１００を得る。

【０２０１】

＜Ｆ－２．作用効果＞

以上説明した実施の形態６の製造方法によれば、分離段差の大きな部分分離酸化膜ＰＴ４１を形成し、部分分離酸化膜ＰＴ４１を通してチャネルストップ注入を行うことにより、分離領域に自己整合的に高濃度のチャネルストップ層Ｎ１を形成することができる。そして、この場合には、活性領域ＡＲに対応するＳＯＩ層３内には、チャネルストップ層は形成されないので、ＭＯＳトランジスタのしきい値調整を支障なく行うことができ、また、ＭＯＳトランジスタのソース・ドレイン層あるいはソース・ドレイン層のＰＮ接合部の周囲に形成される空乏層を埋め込み酸化膜２にまで到達させることが可能となり、トランジスタ特性の低下を防止した半導体装置を得ることができる。

【０２０２】

また、ポリシリコン膜４１上に酸化膜４２を備え、酸化膜４２とともに部分分離酸化膜ＰＴ４１を除去するようにするので、ポリシリコン膜４１、内壁酸化膜ＯＸ１および部分分離酸化膜ＰＴ４１の境界部分（図５２にＤ部として示す）が、部分分離酸化膜ＰＴ４１の除去のためのドライエッチングの影響を受けることが抑制され、当該部分の内壁酸化膜ＯＸ１および部分分離酸化膜ＰＴ４１が過剰に除去されて、最終的に得られる部分分離酸化膜ＰＴ４の端縁部が落ち窪むことが防止され、この部分にゲート電極およびゲート絶縁膜が絡みつくことによるトランジスタのしきい値の低下や、ゲート電極の耐圧特性の低下などを防止できる。

【０２０３】

＜Ｇ．実施の形態７＞

以上説明した実施の形態１～６の半導体装置の製造方法においては、分離段差の大きな部分分離酸化膜を通してチャネルストップ注入を行う方法、あるいは活性領域上に厚いポリシリコン膜や窒化膜を残した状態で、分離段差の小さな部分分離酸化膜を通してチャネルストップ注入を行う方法を示したが、何れの方法を採用しても、完成したＭＯＳトランジスタにおいては、ソース・ドレイン層とチャネルストップ層とが近接して存在する結果となっていた。

【０２０４】

図５５に、完成したＭＯＳトランジスタの一例を示す。図５５には、部分分離酸化膜ＰＴ２で規定される活性領域ＡＲに形成されたＰＭＯＳトランジスタを示しており、ゲート絶縁膜１１およびゲート電極１２の側壁には絶縁膜のスペーサ（サイドウォールスペーサ）１３が形成され、ＳＯＩ層３の表面内には低ドープドレイン層（あるいはソース・ドレインエクステンション層）１４、ソース・ドレイン層１５が形成されている。

【０２０５】

ここで、ソース・ドレイン層１５は部分分離酸化膜ＰＴ２の側面に接触するように形成され、また、部分分離酸化膜ＰＴ２のＳＯＩ層３中にはＮ型不純物でチャネルストップ層Ｎ１が形成されている。

【０２０６】
従って、図中にＥ部で示されるように、部分分離酸化膜ＰＴ２の端縁部近傍においてはソース・ドレイン層１４とチャネルストップ層Ｎ１とは接近することになり、空乏層ＤＬが薄くなって接合容量が増加したり、電界の集中により接合リークが増加するという問題がある。
【０２０７】
そこで、本発明に係る実施の形態７として、チャネルストップ層の形成位置の制御方法を説明する。なお、以下の説明においては図１４～図２０を用いて説明した実施の形態２の製造方法を一例として説明する。また、簡単化のためＰＭＯＳトランジスタが形成される領域ＰＲのみを対象として説明する。
【０２０８】
＜Ｇ－１．製造方法＞
図１４～図１７を用いて説明した工程を経て、トレンチＴＲ２内に酸化膜ＯＸ２を埋め込み、ＣＭＰにより窒化膜２２上の酸化膜ＯＸ２および窒化膜２２を除去し、図１８に示すようにトレンチＴＲ２内に部分分離酸化膜ＰＴ２１が埋め込まれた構成を得る。
【０２０９】
その後、図５６に示す工程においてトレンチＴＲ２の窒化膜２２内に対応する部分の部分分離酸化膜ＰＴ２１を、例えばフッ酸（ＨＦ）処理によりエッチングして、部分分離酸化膜ＰＴ２１の分離段差を低減する。そして、部分分離酸化膜ＰＴ２１が除去されて露出したトレンチＴＲ２の窒化膜２２部分の内壁面に窒化膜のサイドウォールスペーサＮＷ２を形成する。
【０２１０】
サイドウォールスペーサＮＷ２を設けた状態で、部分分離酸化膜ＰＴ２１を通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでＮ型の不純物を注入し、部分分離酸化膜ＰＴ２１の下部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｎ１を形成する。
【０２１１】
このとき、サイドウォールスペーサＮＷ２の存在により、チャネルストップ層Ｎ１の平面方向の両端縁部は、部分分離酸化膜ＰＴ２１の両端縁部から、それぞれサイドウォールスペーサＮＷ２の厚さＴだけ離れて位置することになり、部分分離酸化膜ＰＴ２１の端縁部下部にはチャネルストップ層Ｎ１は形成されていない。
【０２１２】
なお、活性領域ＡＲに対応するＳＯＩ層３上には、ポリシリコン膜２１および窒化膜２２が残っているので、不純物はポリシリコン膜２１および窒化膜２２を通過できず、活性領域ＡＲに対応するＳＯＩ層３内にはチャネルストップ注入の不純物は注入されない。
【０２１３】
以後、窒化膜２２およびサイドウォールスペーサＮＷ２を熱リン酸で除去し、またフッ酸（ＨＦ）処理により部分分離酸化膜ＰＴ２１および内壁酸化膜ＯＸ１をエッチングして、分離段差を低減した部分分離酸化膜ＰＴ２を形成する。
【０２１４】
＜Ｇ－２．作用効果＞
このように、実施の形態７の製造方法によれば、部分分離酸化膜ＰＴ２１の下面の端縁部下部にはチャネルストップ層Ｎ１が形成されないので、ＭＯＳトランジスタを形成した状態で、部分分離酸化膜ＰＴ２の端縁部近傍においてはソース・ドレイン層１４とチャネルストップ層Ｎ１とが離れて存在することになり、空乏層を厚くして接合容量を低減できる。また、部分分離酸化膜ＰＴ２の端縁部近傍での電界を緩和して、接合リークを低減することができる。
【０２１５】
＜Ｇ－３．変形例＞
以上説明した実施の形態７においては、窒化膜２２をポリシリコン膜２１よりも厚くした

例を示したが、窒化膜２２をポリシリコン膜２１よりも薄くしても良い。
【０２１６】
図５７に窒化膜２２をポリシリコン膜２１よりも薄くした構成を示す。窒化膜２２はシリコン基板１やＳＯＩ層２と、熱膨張係数などの物性値が異なっているので、窒化膜２２が厚い場合には、シリコン基板１やＳＯＩ層２に対して与える機械的ストレスが大きくなる。機械的ストレスが大きい状態で、ＨＤＰ－ＣＶＤ法による酸化膜ＯＸ２を形成したり、酸化膜ＯＸ２の高密度化のための熱処理を行ったりすると、ストレスが加わった状態でデバイスの形状が固定されてしまい、後に窒化膜２２を除去しても、ストレスは解消されないということになる。
【０２１７】
そこで、窒化膜２２を薄くし、代わりにポリシリコン膜２１を厚くすることで、シリコン基板１やＳＯＩ層２に加わる機械的ストレスを低減することができる。
【０２１８】
また、ポリシリコン膜２１を厚くすることで、以下に説明するような効果も得られる。
【０２１９】
すなわち、ＳＯＩ層３の表面内に部分分離酸化膜を形成する技術の要は、部分分離酸化膜の下部に、いかにして一定の厚さのＳＯＩ層３を残すかという点にある。
【０２２０】
しかしながら、窒化膜のエッチングではポリシリコン膜とのエッチング選択比が小さいので、ポリシリコン膜２１上に窒化膜２２を形成した構成においてポリシリコン膜２１が薄い場合には、トレンチ形成のための窒化膜２２のパターニングに際してポリシリコン膜２１でエッチングを停止させることが難しい。
【０２２１】
また、窒化膜のエッチングでは酸化膜とのエッチング選択比も小さいので、ポリシリコン膜２１でエッチングが停止しないと、パッド酸化膜である薄い酸化膜４でも停止させることが難しい。その結果、図らずもＳＯＩ層３がエッチングされることになる。
【０２２２】
この場合、ＳＯＩ層３のエッチング量は、上層のポリシリコン膜２１や窒化膜２２の厚さのばらつきの影響を受けて大きくばらつくことになる。これにより、トレンチ底部のＳＯＩ層３の厚さがばらついて、最終的には部分分離酸化膜の下部のＳＯＩ層３の厚さがばらつくことになる。
【０２２３】
一方、窒化膜２２の下部に厚いポリシリコン膜２１が存在すると、窒化膜２２のエッチングをポリシリコン膜２１で停止させることができ、以後は、ポリシリコン膜２１、酸化膜４およびＳＯＩ層３を、それぞれ選択性の高いエッチングで除去するという４段階エッチングが可能となり、トレンチ底部のＳＯＩ層３の厚さを一定にすることができる。
【０２２４】
なお、窒化膜２２による機械的ストレスを低減するためには、窒化膜２２の厚さは３０～２００ｎｍとし、また、４段階エッチングを可能とするにはポリシリコン膜２１の厚さを５０～４００ｎｍとすれば良い。
【０２２５】
＜Ｈ．実施の形態８＞
以上説明した実施の形態１～７の半導体装置の製造方法においては、分離段差の大きな部分分離酸化膜を通してチャネルストップ注入を行う方法、あるいは活性領域上に厚いポリシリコン膜や窒化膜を残した状態で、分離段差の小さな部分分離酸化膜を通してチャネルストップ注入を行う方法を示したが、以下に示す方法を用いても良い。
【０２２６】
＜Ｈ－１．製造方法＞
図１４および図１５を用いて説明した工程を経て、図５８に示すように窒化膜２２、ポリシリコン膜２１および酸化膜４を貫通するとともに、ＳＯＩ層３が所定深さまでエッチン

グされたトレンチＴＲ２を形成する。
【０２２７】
ここで、図５８においてはポリシリコン膜２１の厚さを５０ｎｍ程度とし、窒化膜２２の厚さを２００ｎｍ程度とするが、これは、窒化膜２２による機械的ストレスを考慮しない場合の設定であり、窒化膜２２による機械的ストレスを低減するために、窒化膜２２の厚さを極力薄くし、代わりに、ポリシリコン膜２１の厚さを厚くすることで、実施の形態７において説明した４段階エッチングを行ってトレンチＴＲ２を形成しても良いことは言うまでもない。
【０２２８】
この状態で、ＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、トレンチＴＲ２底部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｎ１を形成する。
【０２２９】
ここで、注入される不純物はＮ型の不純物であり、リン（Ｐ）を用いるならば、その注入エネルギーは、例えば１０～１００ｋｅＶとし、チャネルストップ層Ｎ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。
【０２３０】
また、Ｐ型の不純物を注入する場合には、例えばボロン（Ｂ）を用いるならば、その注入エネルギーは、例えば５～４０ｋｅＶとし、チャネルストップ層Ｎ１の濃度は1×10^{17}～1×10^{19}／cm^3とする。
【０２３１】
このとき、活性領域ＡＲに対応するＳＯＩ層３上にはポリシリコン膜２１および窒化膜２２が残っており、その厚さは約４００ｎｍ（４０００Å）であるので、上述したエネルギーではポリシリコン膜２１および窒化膜２２を通過できず、活性領域ＡＲに対応するＳＯＩ層３内にはチャネルストップ注入の不純物は注入されない。
【０２３２】
以後、図１６～図１８を用いて説明した工程を経て、トレンチＴＲ２内にＨＤＰ－ＣＶＤ法で形成した酸化膜を埋め込んで部分分離酸化膜ＰＴ２１を形成し、窒化膜２２およびポリシリコン膜２１の除去とともに、部分分離酸化膜ＰＴ２１の分離段差を低減して部分分離酸化膜ＰＴ２を形成する。その後、図１０～図１３を用いて説明した工程を経ることで、図１３に示すＳＯＩデバイス１００を得ることができる。
【０２３３】
なお、部分分離酸化膜ＰＴ２１の形成においては、ＨＤＰ－ＣＶＤ法で形成した酸化膜の密度を高めるために熱処理を行うが、本実施の形態の製造方法では既にチャネルストップ注入が行われているので、上記熱処理は処理温度を抑制することが望ましい。
【０２３４】
＜Ｈ－２．作用効果＞
以上説明した実施の形態８の製造方法によれば、部分分離酸化膜形成用のトレンチを形成した段階でチャネルストップ注入を行うので、注入エネルギーは小さくて済み、このエネルギーでは活性領域ＡＲに対応するＳＯＩ層３上のポリシリコン膜２１および窒化膜２２を通過することはできないので、活性領域ＡＲに対応するＳＯＩ層３内にチャネルストップ注入の不純物が注入されることを確実に防止できる。
【０２３５】
＜Ｈ－３．変形例１＞
以上説明した実施の形態８の製造方法においては、トレンチＴＲ２を形成した後、内壁酸化膜ＯＸ１を形成する前にチャネルストップ注入を行う構成を示したが、図５９に示すように内壁酸化膜ＯＸ１を形成した後にチャネルストップ注入を行うようにしても良い。ここで、内壁酸化膜ＯＸ１の厚さは１０～５０ｎｍとすれば良い。
【０２３６】
この場合、内壁酸化膜ＯＸ１の存在により、チャネルストップ層Ｎ１の平面方向の両端縁

部は、トレンチＴＲ２の両端縁部から、それぞれ内壁酸化膜ＯＸ１の厚さＳだけ離れて位置することになり、最終的に形成される部分分離酸化膜の端縁部下部にはチャネルストップ層Ｎ１は形成されないことになる。

【０２３７】

この結果、ＭＯＳトランジスタを形成した状態で、部分分離酸化膜の端縁部近傍においてはソース・ドレイン層とチャネルストップ層とが離れて存在することになり、空乏層を厚くして接合容量を低減できる。また、部分分離酸化膜の端縁部近傍での電界を緩和して、接合リークを低減することができる。

【０２３８】

なお、チャネルストップ層の形成領域を制限するという観点に立てば、トレンチＴＲ２内に形成するスペーサは酸化膜に限定されるものではなく、窒化膜や酸窒化膜（ＳｉＯｘＮｙ）を用いても良い。これらの膜は、ＮＯガスを混合したO_2による酸化や、N_2Oガスを用いた酸化により形成できる。

【０２３９】

また、窒化膜や酸窒化膜でトレンチ内壁を覆う場合、最終的に得られるＳＯＩデバイスにおいて、コンタクトプラグがソース・ドレイン層の接合部および空乏層部に接触することを防止できるという利点も有することになる。

【０２４０】

図６０に、トレンチ内壁を酸窒化膜ＯＮで覆って得られた部分分離酸化膜ＰＴ３を有するＳＯＩデバイス３００の構成を示す。なお、図６０において図１３を用いて説明したＳＯＩデバイス１００と同一の構成については同一の符号を付し、重複する説明は省略する。

【０２４１】

図６０において、コンタクトプラグＣＰはソース・ドレイン層１５上のシリサイド層１７に接続されるだけでなく、部分分離酸化膜ＰＴ３にも係合している。そして、部分分離酸化膜ＰＴ３においてはコンタクトプラグＣＰが部分分離酸化膜ＰＴ３の内部にまで延在している。これは、コンタクトプラグＣＰの形成のために、層間絶縁膜ＺＬを貫通するコンタクトホールを形成する際に、層間絶縁膜ＺＬと部分分離酸化膜ＰＴ３とではエッチングレートが同等であるため、エッチング選択性が得られず、部分分離酸化膜ＰＴ３においてオーバーエッチングとなったためである。

【０２４２】

このように、部分分離酸化膜に係合するように形成されるコンタクトは、ボーダレスコンタクトと呼称されている。

【０２４３】

ボーダレスコンタクトが形成される場合、部分分離酸化膜が酸化膜だけで形成されていると、場合によってはボーダレスコンタクトが部分分離酸化膜を貫通して、下部のＳＯＩ層に到達する可能性もあるが、部分分離酸化膜ＰＴ３のように、その外周部が酸窒化膜ＯＮで覆われていると、酸窒化膜ＯＮは酸化膜とのエッチングレートが異なるので、層間絶縁膜ＺＬのエッチングに際してエッチング選択性が得られ、酸窒化膜ＯＮがエッチングストッパとして機能するので、図６０に示すようにコンタクトプラグＣＰが部分分離酸化膜ＰＴ３を貫通することが防止される。

【０２４４】

＜Ｈ－４．変形例２＞

チャネルストップ層の形成領域を制限するために、トレンチＴＲ２内に専用のスペーサを形成するようにしても良い。

【０２４５】

すなわち、図６１に示すようにトレンチＴＲ２の側壁面に酸化膜でサイドウォールスペーサＮＷ３を形成した後にチャネルストップ注入を行うようにしても良い。

【０２４６】

このとき、サイドウォールスペーサＮＷ３の存在により、チャネルストップ層Ｎ１の平面方向の両端縁部は、トレンチＴＲ２の両端縁部から、それぞれサイドウォールスペーサ

ＮＷ３の厚さＴだけ離れて位置することになり、最終的に形成される部分分離酸化膜の端縁部下部にはチャネルストップ層Ｎ１は形成されないことになる。ここで、サイドウォールスペーサＮＷ３の厚さＴは１０～５０ｎｍとすれば良い。

【０２４７】

なお、チャネルストップ注入後、トレンチＴＲ２内を内壁酸化して、トレンチ底部に内壁酸化膜ＯＸ１を形成した後は、図１６～図１８を用いて説明した工程を経て、トレンチＴＲ２内にＨＤＰ－ＣＶＤ法で形成した酸化膜を埋め込んで部分分離酸化膜ＰＴ２１を形成し、窒化膜２２およびポリシリコン膜２１の除去とともに、部分分離酸化膜ＰＴ２１の分離段差を低減して部分分離酸化膜ＰＴ２を形成するようにすれば良い。

【０２４８】

なお、サイドウォールスペーサＮＷ３の形成に際しては、トレンチＴＲ２の内壁全面に酸化膜を形成した後、異方性エッチングを行ってトレンチＴＲ２の側壁面だけに酸化膜を残すようにするので、トレンチＴＲ２の底面には酸化膜が存在しなくなる。

【０２４９】

この状態でチャネルストップ注入を行うと、トレンチ底部のＳＯＩ層３にダメージが加わる可能性がある。そこで、図６２に示すように、サイドウォールスペーサＮＷ３を形成した後に内壁酸化を行い、トレンチ底部に内壁酸化膜ＯＸ１を形成した後にチャネルストップ注入を行うようにしても良い。

【０２５０】

また、図６３に示すように、まずトレンチＴＲ２内に内壁酸化膜ＯＸ１を形成し、その後サイドウォールスペーサＮＷ３を形成してから、チャネルストップ注入を行うようにしても良い。

【０２５１】

また、酸化膜の代わりに、窒化膜あるいは酸窒化膜を用いてサイドウォールスペーサを形成しても良い。この場合、チャネルストップ層の形成領域を制限することができるだけでなく、ボーダレスコンタクトによる不具合の発生を防止できるという効果も奏することになる。

【０２５２】

以下、窒化膜のサイドウォールスペーサを用いる場合のさらなる効果について図６４～図６７を用いて説明する。

【０２５３】

図６４は、トレンチＴＲ２内に内壁酸化膜ＯＸ１を形成した後、窒化膜のサイドウォールスペーサＮＷ３を形成し、チャネルストップ注入を行った後の状態を示している。サイドウォールスペーサＮＷ３を有するトレンチＴＲ２内にはＨＤＰ－ＣＶＤ法で形成された酸化膜ＯＸ２が充填されている。

【０２５４】

図６５は、酸化膜ＯＸ２をウエットエッチングにより除去して、分離段差を低減した状態を示しており、酸化膜ＯＸ２の上面がポリシリコン膜２１内に達するまでエッチングが行われる。

【０２５５】

次に、図６６に示す工程において、窒化膜２２およびサイドウォールスペーサＮＷ３を熱リン酸により除去する。

【０２５６】

その後、ポリシリコン膜２１をドライエッチングあるいはウエットエッチングで除去することで、図６７に示すように、側面がサイドウォールスペーサＮＷ３で構成された部分分離酸化膜ＰＴ４を得る。

【０２５７】

図６８に、部分分離酸化膜ＰＴ４を有するＳＯＩデバイス４００の構成を示す。なお、図６８において図１３を用いて説明したＳＯＩデバイス１００と同一の構成については同一の符号を付し、重複する説明は省略する。

【０２５８】
図６８において、コンタクトプラグＣＰはソース・ドレイン層１５上のシリサイド層１７に接続されるだけでなく、部分分離酸化膜ＰＴ４にも係合している。部分分離酸化膜ＰＴ４においてはコンタクトプラグＣＰは、部分分離酸化膜ＰＴ４の内部深くまでは達していない。
【０２５９】
これは、コンタクトプラグＣＰの形成のために、層間絶縁膜ＺＬを貫通するコンタクトホールを形成する際に、層間絶縁膜ＺＬとサイドウォールスペーサＮＷ３を構成する窒化膜とではエッチングレートが異なるので、エッチング選択性が得られ、サイドウォールスペーサＮＷ３においてエッチングが停止するからである。
【０２６０】
このように、部分分離酸化膜ＰＴ４の側面が窒化膜で構成されているので、コンタクトプラグＣＰが部分分離酸化膜ＰＴ４を貫通することが防止される。なお、サイドウォールスペーサＮＷ３は酸窒化膜で構成しても良いことは言うまでもない。
【０２６１】
ここで、トレンチＴＲ２内に窒化膜のサイドウォールスペーサを形成する場合、トレンチＴＲ２の内壁全面に窒化膜を形成した後、異方性エッチングを行ってトレンチＴＲ２の側壁面だけに窒化膜を残すようにする。この場合、窒化膜はトレンチＴＲ２の内壁だけでなく、窒化膜２２の主面上にも形成されるが、それは上記異方性エッチングにより除去される。
【０２６２】
しかし、この異方性エッチングでは、サイドウォールスペーサ形成用の窒化膜だけでなく窒化膜２２もエッチングされる可能性があり、活性領域ＡＲに対応する部分の窒化膜２２がエッチングされて、窒化膜２２の厚さがばらつく可能性がある。
【０２６３】
窒化膜２２の厚さがばらつくと、フッ酸（ＨＦ）処理によるエッチングを経て最終的に形成される部分分離酸化膜ＰＴ４の分離段差がばらつくことになる。
【０２６４】
そこで、図６９～図７２に示す製造方法を採用することで、分離段差のばらつきを抑制するようにしても良い。
【０２６５】
まず、図６９に示すように窒化膜２２、ポリシリコン膜２１および酸化膜４を貫通するとともに、ＳＯＩ層３が所定深さまでエッチングされたトレンチＴＲ２内の内壁酸化して、内壁酸化膜ＯＸ１を形成する。
【０２６６】
その後、ＣＶＤ法により、ＳＯＩ基板の全面に渡って厚さ５～２０ｎｍの保護酸化膜ＯＸ５を形成する。保護酸化膜ＯＸ５は、内壁酸化膜ＯＸ１上にも形成され、また窒化膜２２上にも形成される。
【０２６７】
さらに、ＣＶＤ法により、ＳＯＩ基板の全面に渡って厚さ１０～１００ｎｍの窒化膜ＳＮ２を形成する。
【０２６８】
次に、図７０に示す工程において、異方性エッチングにより不要な窒化膜ＳＮ２を除去し、トレンチＴＲ２の側壁面だけに残してサイドウォールスペーサＮＷ３を形成する。このときの異方性エッチングは窒化膜を除去対象としており、酸化膜に対しては選択性を有するので、窒化膜２２を覆う保護酸化膜ＯＸ５は除去されず、窒化膜２２がエッチングされることはなく、窒化膜２２の厚さがばらつくことがない。
【０２６９】
窒化膜２２の厚さが一定であれば、フッ酸（ＨＦ）処理によるエッチングを経て最終的に形成される部分分離酸化膜ＰＴ５の分離段差も一定になる。

【０２７０】
その後、サイドウォールスペーサＮＷ３を熱リン酸により除去するが、完全に除去するのではなく、図７１に示すように、トレンチＴＲ２のＳＯＩ層３内に対応する部分にはサイドウォールスペーサＮＷ３が残るようにする。
【０２７１】
この状態で、ＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーでチャネルストップ注入を行い、トレンチＴＲ２底部のＳＯＩ層３内、すなわち分離領域にチャネルストップ層Ｎ１を形成する。
【０２７２】
その後、サイドウォールスペーサＮＷ３を有するトレンチＴＲ２内にＨＤＰ－ＣＶＤ法で形成された酸化膜を充填し、窒化膜２２およびポリシリコン膜２１の除去とともに、上記酸化膜の分離段差を低減することで側面がサイドウォールスペーサＮＷ３で構成された部分分離酸化膜ＰＴ５を得る。
【０２７３】
さらに、図１０～図１３を用いて説明した工程を経ることで、図７２に示すＳＯＩデバイス５００を得ることができる。なお、図７２において図１３を用いて説明したＳＯＩデバイス１００と同一の構成については同一の符号を付し、重複する説明は省略する。
【０２７４】
図７２に示すように、コンタクトプラグＣＰはソース・ドレイン層１５上のシリサイド層１７に接続されるだけでなく、部分分離酸化膜ＰＴ５にも係合している。部分分離酸化膜ＰＴ５においてはコンタクトプラグＣＰは、サイドウォールスペーサＮＷ３に係合しているが、部分分離酸化膜ＰＴ５を貫通してはいない。
【０２７５】
＜Ｉ．実施の形態９＞
以上説明した実施の形態１～７の半導体装置の製造方法においては、分離段差の大きな部分分離酸化膜を通してチャネルストップ注入を行う方法、あるいは活性領域上に厚いポリシリコン膜や窒化膜を残した状態で、分離段差の小さな部分分離酸化膜を通してチャネルストップ注入を行う方法を示し、実施の形態８の製造方法においては、部分分離酸化膜形成用のトレンチを形成した段階でチャネルストップ注入を行う方法を示した。
【０２７６】
これらは、部分分離酸化膜の下部のＳＯＩ層にチャネルストップ注入を行うことを目的としていたが、これらに加えて、以下に説明する実施の形態９の製造方法を採用することで、ソース・ドレイン層を埋め込み酸化膜２の近傍まで延在させることが容易にできるようになる。
【０２７７】
図７３は、実施の形態１～８の何れかの方法で形成された部分分離酸化膜ＰＴＸにより規定される活性領域ＡＲに形成されたＰＭＯＳトランジスタのソース・ドレイン層１５の製造工程を示しており、ゲート絶縁膜１１およびゲート電極１２の側壁にはサイドウォールスペーサ１３が形成され、ＳＯＩ層３の表面内には低ドープドレイン層（あるいはソース・ドレインエクステンション層）１４が形成されている。
【０２７８】
ソース・ドレイン層１５は、ゲート電極１２およびサイドウォールスペーサ１３を注入マスクとしてイオン注入形成されるが、このイオン注入に際しては、ＳＯＩ基板の主面に対して垂直、換言すればＳＯＩ基板の主面の法線に対して０度をなす角度（０度注入）で注入を行うようにする。
【０２７９】
これにより、結晶軸方位が（１００）のＳＯＩ層３においては、結晶軸に沿った方向にイオン注入がなされ、いわゆるチャネリングが発生して、低いエネルギー（例えば、リンを注入するならば１０～５０ｋｅＶ、ボロンを注入するならば、５～３０ｋｅＶ）でも注入不純物がＳＯＩ層３の奥深くまで導入されることになり、ソース・ドレイン層１５を埋め

込み酸化膜２近傍の深い位置にまで延在させることができる。この結果、ソース・ドレイン不純物を深い位置に低濃度で注入してシリサイド層からの電流リークを防止したり、接合容量を低減することが容易となる。

【０２８０】

一方、部分分離酸化膜ＰＴＸは、結晶性を有さないアモルファス状態にあるので、ソース・ドレイン不純物は部分分離酸化膜ＰＴＸ下部のＳＯＩ層３には殆ど到達せず、チャネルストップ層Ｎ１の不純物濃度を低減させることがない。

【０２８１】

このため、部分分離酸化膜ＰＴＸ下部のＳＯＩ層３の抵抗値を低い状態に保つことができる。

【０２８２】

ここで、図７４にチャネリング注入を行った場合と、非チャネリング注入を行った場合の不純物の分布状態を示す。

【０２８３】

図７４においては、横軸にシリコン層の深さを、縦軸に不純物濃度を示し、チャネリング注入による不純物プロファイルを破線で、非チャネリング注入による不純物プロファイルを実線で示す。このように、チャネリング注入では、より深い位置まで不純物が分布することになる。

【０２８４】

なお、上記においてはＳＯＩ層３の結晶軸方位が（１００）として説明したが、この場合には０度注入だけでなく、ＳＯＩ基板の主面の法線に対して４５度をなす角度での注入（４５度注入）を行う場合にも、チャネリング注入となる。同様に、ＳＯＩ層３の結晶軸方位が（１１０）の場合でも、０度注入および４５度注入でチャネリング注入が可能となる。

【０２８５】

また、以上説明した実施の形態９においては、チャネリングを利用することでソース・ドレイン層１５を深い位置にまで延在させる構成を示したが、チャネリングを利用すれば、活性領域上に特別な厚い膜を形成せずとも、分離段差の小さな部分分離酸化膜の下部のＳＯＩ層のみにチャネルストップ注入を行うことが可能となる。

【０２８６】

図７５は、チャネリングを利用してチャネルストップ注入を行っている状態を示しており、従来的な方法で形成された部分分離酸化膜ＰＴにより規定される活性領域ＡＲ上には、注入保護膜となる酸化膜４のみが形成されている。

【０２８７】

このイオン注入に際しては、ＳＯＩ基板の主面の法線に対して０度をなす角度で注入を行うようにしており、部分分離酸化膜ＰＴを通過してＳＯＩ層３内で不純物プロファイルのピークが形成されるエネルギーに設定されている。

【０２８８】

従って、結晶軸方位が（１００）のＳＯＩ層３においては、結晶軸に沿った方向にイオン注入がなされ、チャネリングが発生している。このため、不純物イオンはＳＯＩ層３を通過して、埋め込み酸化膜２あるいはシリコン基板２まで到達することになり、ＳＯＩ層３中には高濃度のチャネルストップ層は形成されない。

【０２８９】

一方、部分分離酸化膜ＰＴの下部のＳＯＩ層３中には高濃度のチャネルストップ層Ｎ１が形成されることになる。

【０２９０】

このように、チャネリングを利用することで、分離段差の小さな部分分離酸化膜の下部のＳＯＩ層のみにチャネルストップ注入を行うことが容易となる。

【０２９１】

＜Ｊ．実施の形態１０＞

以上説明した実施の形態１～８の半導体装置の製造方法においては、チャネルストップ注入とは別に、チャネル注入を行うことになる。この方法では、２種類のＭＯＳトランジスタを形成するのに４種類のレジストマスクが必要であり（図１～図１４参照）、トランジスタの種類が増えれば、注入マスクの種類も多く必要となり、製造工程が煩雑になって、製造コストが増大することになる。

【０２９２】

＜Ｊ－１．製造方法＞

以下、本発明に係る実施の形態１０として、トランジスタの種類が増えた場合に、注入マスクの種類の増加を抑制できる製造方法について、製造工程を順に示す図７６～図８２を用いて説明する。

【０２９３】

なお、以下の説明においては、高電圧、すなわち比較的ゲート電圧の高いＰＭＯＳおよびＮＭＯＳトランジスタと、低電圧、すなわち比較的ゲート電圧の低いＰＭＯＳおよびＮＭＯＳトランジスタを形成する場合を例とし、図１４～図２０を用いて説明した実施の形態２と同一の構成については同一の符号を付し、重複する説明は省略する。

【０２９４】

図７６に示すように、ＳＯＩ基板は高電圧のＭＯＳトランジスタを形成する領域ＨＶと、低電圧のＭＯＳトランジスタを形成する領域ＬＶとに大別され、領域ＨＶはＰＭＯＳトランジスタを形成する領域ＨＰＲとＮＭＯＳトランジスタを形成する領域ＨＮＲとに分けられている。また、領域ＬＶはＰＭＯＳトランジスタを形成する領域ＬＰＲとＮＭＯＳトランジスタを形成する領域ＬＮＲとに分けられている。

【０２９５】

各領域においては、部分分離酸化膜ＰＴ２１によって活性領域ＡＲが規定され、活性領域ＡＲ上にはポリシリコン膜２１および窒化膜２２の多層膜が配設されている。

【０２９６】

図７６に示す工程では、領域ＨＰＲ上およびＬＰＲ上がレジストマスクＲＭ４１によって覆われ、開口部となった領域ＨＮＲおよびＬＮＲにおいて、Ｐ型不純物のチャネルストップ注入が行われ、該当領域の部分分離酸化膜ＰＴ２１の下部のＳＯＩ層３中には高濃度のチャネルストップ層Ｐ１が形成される。

【０２９７】

この場合に注入される不純物は、例えば、ボロン（Ｂ）を用いるならば、その注入エネルギーは、３０～１００ｋｅＶとし、ドーズ量は1×10^{12}～1×10^{14}／cm^2とする。

【０２９８】

次に、図７７に示す工程において、同じレジストマスクＲＭ４１を用いて、領域ＨＮＲおよびＬＮＲにおいて、Ｐ型不純物のチャネル注入が行われ、該当領域の活性領域ＡＲのＳＯＩ層３中にはチャネル注入層Ｐ２が形成される。

【０２９９】

この場合に注入される不純物は、例えば、ボロン（Ｂ）を用いるならば、その注入エネルギーは、５０～２００ｋｅＶとし、ドーズ量は1×10^{12}～1×10^{14}／cm^2とする。

【０３００】

次に、図７８に示す工程において、領域ＨＮＲ上およびＬＮＲ上がレジストマスクＲＭ４２によって覆われ、開口部となった領域ＨＰＲおよびＬＰＲにおいて、Ｎ型不純物のチャネルストップ注入が行われ、該当領域の部分分離酸化膜ＰＴ２１の下部のＳＯＩ層３中には高濃度のチャネルストップ層Ｎ１が形成される。

【０３０１】

この場合に注入される不純物は、例えば、リン（Ｐ）を用いるならば、その注入エネルギーは、１００～３００ｋｅＶとし、ドーズ量は1×10^{12}～1×10^{14}／cm^2とする。

【０３０２】

次に、図７９に示す工程において、同じレジストマスクＲＭ４２を用いて、領域ＨＰＲおよびＬＰＲにおいて、Ｎ型不純物のチャネル注入が行われ、該当領域の活性領域ＡＲのＳ

ＯＩ層３中にはチャネル注入層Ｎ２が形成される。
【０３０３】
この場合に注入される不純物は、例えば、ヒ素（Ａｓ）を用いるならば、その注入エネルギーは、３００～１０００ｋｅＶとし、ドーズ量は1×10^{12}～1×10^{14}／cm^2とする。
【０３０４】
次に、図８０に示す工程において、領域ＬＮＲ上のみ開口部となるレジストマスクＲＭ４３を形成し、開口部となった領域ＬＮＲにおいて、Ｐ型不純物のチャネル注入（追加注入）が行われ、該当領域の活性領域ＡＲのＳＯＩ層３中のチャネル注入層Ｐ２の濃度が高くなってチャネル注入層Ｐ２１が形成される。
【０３０５】
この場合に注入される不純物は、例えば、ボロン（Ｂ）を用いるならば、その注入エネルギーは、１０～４０ｋｅＶとし、ドーズ量は1×10^{11}～1×10^{13}／cm^2とする。
【０３０６】
次に、図８１に示す工程において、領域ＬＰＲ上のみ開口部となるレジストマスクＲＭ４４を形成し、開口部となった領域ＬＰＲにおいて、Ｎ型不純物のチャネル注入（追加注入）が行われ、該当領域の活性領域ＡＲのＳＯＩ層３中のチャネル注入層Ｎ２の濃度が高くなってチャネル注入層Ｎ２１が形成される。
【０３０７】
この場合に注入される不純物は、例えば、ヒ素（Ａｓ）を用いるならば、
その注入エネルギーは、３０～１５０ｋｅＶとし、ドーズ量は1×10^{11}～1×10^{13}／cm^2とする。
【０３０８】
図８２に、全てのチャネルストップ層およびチャネル注入層が形成された状態を示す。
【０３０９】
＜Ｊ－２．作用効果＞
以上説明した実施の形態１０の製造方法によれば、４種類のＭＯＳトランジスタを形成するのに、４回のレジストマスクの形成工程を行うだけで済むので、製造コストの増大を抑制できる。
【０３１０】
なお、以上の説明においては、低電圧のＭＯＳトランジスタのチャネル注入層の不純物濃度は、高電圧のＭＯＳトランジスタのチャネル注入層の不純物濃度よりも高いものとし、高電圧のＭＯＳトランジスタのチャネル注入を低電圧のＭＯＳトランジスタにおいても行い、低電圧のＭＯＳトランジスタにおいては追加注入を行うことで所望の不純物濃度に達するようにしたが、低電圧のＭＯＳトランジスタのチャネル注入層の不純物濃度が、高電圧のＭＯＳトランジスタのチャネル注入層の不純物濃度よりも低い場合には、工程を入れ替えれば良いことは言うまでもない。
【０３１１】
＜Ｊ－３．変形例＞
以上説明した実施の形態１０の製造方法においては、チャネル不純物の追加注入も含めて、分離段差の大きな部分分離酸化膜ＰＴ２１の状態で不純物注入を行う例を示したが、チャネルストップ層の形成が終了した後は、部分分離酸化膜ＰＴ２１の分離段差を低減して、部分分離酸化膜ＰＴ２を形成した状態で不純物注入を行っても良い。
【０３１２】
すなわち、図７９を用いて説明したように、領域ＨＰＲおよびＬＰＲにおいて、Ｎ型不純物のチャネル注入を行ってチャネル注入層Ｎ２を形成した後、レジストマスクＲＭ４２を除去し、例えば、フッ酸（ＨＦ）処理により部分分離酸化膜ＰＴ２１をエッチングして、分離段差を低減した部分分離酸化膜ＰＴ２形成する。
【０３１３】
その後、ウエットエッチングあるいは酸化膜との選択性のあるドライエッチングにより、

酸化膜４上のポリシリコン膜２１を除去することで、図８３に示すように部分分離酸化膜ＰＴ２を得る。

【０３１４】

図８３に示す工程においては、領域ＬＮＲ上のみ開口部となるレジストマスクＲＭ４３を形成し、開口部となった領域ＬＮＲにおいて、Ｐ型不純物のチャネル注入（追加注入）が行われ、該当領域の活性領域ＡＲのＳＯＩ層３中のチャネル注入層Ｐ２の濃度が高くなってチャネル注入層Ｐ２１が形成される。

【０３１５】

この場合に注入される不純物は、例えば、ボロン（Ｂ）を用いるならば、その注入エネルギーは、１０～４０ｋｅＶとし、ドーズ量は1×10^{11}～1×10^{13}／cm^2とする。

【０３１６】

次に、図８４に示す工程において、領域ＬＰＲ上のみ開口部となるレジストマスクＲＭ４４を形成し、開口部となった領域ＬＰＲにおいて、Ｎ型不純物のチャネル注入（追加注入）が行われ、該当領域の活性領域ＡＲのＳＯＩ層３中のチャネル注入層Ｎ２の濃度が高くなってチャネル注入層Ｎ２１が形成される。

【０３１７】

この場合に注入される不純物は、例えば、ヒ素（Ａｓ）を用いるならば、
その注入エネルギーは、３０～１５０ｋｅＶとし、ドーズ量は1×10^{11}～1×10^{13}／cm^2とする。

【０３１８】

図８５に、全てのチャネルストップ層およびチャネル注入層が形成された状態を示す。

【０３１９】

＜Ｋ．実施の形態１１＞

以上説明した実施の形態１～１０の半導体装置の製造方法においては、部分分離酸化膜の下部のＳＯＩ層に、ソース・ドレイン層とは異なる導電型の不純物を高濃度に注入して、チャネルストップ層を形成する例を示したが、この場合、同様に高濃度に不純物を有するソース・ドレイン層との接合部においては、接合容量が大きくなる可能性がある。

【０３２０】

この接合容量を低減するには接合面積を小さくすれば良く、以下、本発明に係る実施の形態１１として、接合面積を小さくすることが可能な製造方法について説明する。

【０３２１】

＜Ｋ－１．製造方法＞

図８６は本実施の形態に係るＭＯＳトランジスタを示す平面図であり、活性領域ＡＲ上におけるゲート電極１２の上部を窒化膜ＳＮ３で覆った構成を示しており、窒化膜ＳＮ３はゲート電極１２上だけでなく活性領域ＡＲ上も覆うように配設されている。

【０３２２】

図８６におけるＢ－Ｂ線での断面構成を図８７に示す。ＭＯＳトランジスタの構成は、例えば、図１３を用いて説明したＳＯＩデバイス１００のＰＭＯＳトランジスタと同様であり、同一の構成については同一の符号を付し、重複する説明は省略する。なお、図８７は、ＭＯＳトランジスタの製造途中の状態を示しており、層間絶縁膜等を形成する前の段階である。

【０３２３】

図８７に示すように、ゲート電極１２上から活性領域ＡＲ上にかけて、窒化膜ＳＮ３が配設されており、また活性領域ＡＲを規定する部分分離酸化膜ＰＴＸ（実施の形態１～８の何れかの方法で形成されたもの）の下部のＳＯＩ層３中にはＮ型不純物でチャネルストップ層Ｎ１が形成されている。

【０３２４】

この状態ではチャネルストップ層Ｎ１の厚さはＳ１であり、これは部分分離酸化膜ＰＴＸの形成に際して設けたトレンチの底部から、埋め込み酸化膜２までの距離にほぼ等しい厚さである。

【０３２５】
図８７においてはソース・ドレイン層１５はチャネルストップ層Ｎ１と接合するようには示していないが、ソース・ドレイン層１５とチャネルストップ層Ｎ１とが接合する場合、その接合面積はチャネルストップ層Ｎ１の厚さＳ１によって決まることになる。
【０３２６】
図８８は、チャネルストップ層Ｎ１の厚さＳ１を薄くするために、部分分離酸化膜ＰＴＸを熱酸化して、その断面積を大きくした状態を示しており、部分分離酸化膜ＰＴＸが大きくなった分だけチャネルストップ層Ｎ１の厚さが薄くなって、厚さＳ２となっている。なお、窒化膜ＳＮ３で覆われた部分は酸化されず、ゲート絶縁膜１１の厚さが変化することはない。窒化膜ＳＮ３は酸化防止膜として機能する。
【０３２７】
＜Ｋ－２．作用効果＞
以上説明した実施の形態１１の製造方法によれば、部分分離酸化膜の断面積を大きくすることでチャネルストップ層の厚さを薄くするので、接合面積を小さくでき、接合容量を小さくすることができる。
【０３２８】
＜Ｋ－３．変形例＞
以上の説明においては、酸化防止膜である窒化膜ＳＮ３で覆うのは活性領域ＡＲ上のゲート電極１２の上部であったが、図８９に示すように、活性領域ＡＲ上からボディ領域ＢＤ上にかけても覆うようにしても良い。
【０３２９】
ボディ領域ＢＤは、チャネル形成領域の電位固定のため電位を供給する領域であり、ここに与えられた電位は、部分分離酸化膜の下部のＳＯＩ層を通じてチャネル形成領域に与えられることになる。
【０３３０】
図８９におけるＢ－Ｂ線での断面構成を図９０に示す。図９０に示すように、ボディ領域ＢＤと活性領域ＡＲとは、部分分離酸化膜ＰＴＸの下部のＳＯＩ層３を通じて電気的に接続されており、この経路部となる部分分離酸化膜ＰＴＸ上にも窒化膜ＳＮ３が配設されている。
【０３３１】
図９１は、部分分離酸化膜ＰＴＸを熱酸化した状態を示しており、窒化膜ＳＮ３で覆われない領域の部分分離酸化膜ＰＴＸは、その断面積が大きくなり、先に説明したようにチャネルストップ層Ｎ１の厚さが薄くなって、厚さＳ２となっている。一方、窒化膜ＳＮ３で覆われた部分の部分分離酸化膜ＰＴＸは酸化されず、チャネルストップ層Ｎ１の厚さは厚さＳ１のままである。
【０３３２】
このように、ボディ領域ＢＤと活性領域ＡＲとの電気的接続経路となる部分分離酸化膜ＰＴＸの下部のチャネルストップ層Ｎ１の厚さを厚くしておくことで、経路部の電気抵抗（ボディ抵抗）を低減することができ、活性領域ＡＲの電位固定を容易に行うことができる。
【０３３３】
なお、上述したように、ボディ領域と活性領域との電気的接続経路となる部分分離酸化膜の下部のチャネルストップ層についてはボディ抵抗は低い方が望ましく、そのためにチャネルストップ層の不純物濃度は高く設定している。
【０３３４】
しかし、ＮＭＯＳトランジスタのチャネルストップ層を構成するＰ型のチャネルストップ層は、ＰＭＯＳトランジスタのチャネルストップ層を構成するＮ型のチャネルストップ層と同じ不純物濃度であっても、その物理的特性に起因してＮ型のチャネルストップ層よりも抵抗値が高くなる。
【０３３５】

そこで、Ｐ型のチャネルストップ層については、不純物濃度をＮ型のチャネルストップ層よりも高くなるように形成するか、部分分離酸化膜中に予めＰ型の不純物、例えばボロンを導入しておけば良い。

【０３３６】

すなわち、ＨＤＰ－ＣＶＤ法で部分分離酸化膜を形成する際に、ＣＶＤガスにBH_3ガスを添加するか、あるいは、部分分離酸化膜形成後にボロンをイオン注入により導入すれば良い。そのときのドーズ量は1×10^{13}～1×10^{15}／cm^2とする。

【０３３７】

これにより、後の熱処理工程で、部分分離酸化膜中のＰ型不純物がＰ型のチャネルストップ層中に拡散して、濃度を高めることができる。

【０３３８】

また、逆に、チャネルストップ層中のＰ型不純物が部分分離酸化膜中に拡散して、不純物濃度が低下することを防止できる。

【０３３９】

この場合、Ｐ型不純物を含む部分分離酸化膜はＰＭＯＳトランジスタを形成する領域にも形成されることになるが、Ｐ型不純物がＮ型のチャネルストップ層中に拡散することによる抵抗値の変化の影響は小さい。

【０３４０】

また、以上説明した実施の形態１～１１においては、ＳＯＩデバイスを例として説明したが、分離酸化膜の下部の半導体層中にチャネルストップ層を形成する半導体装置であれば適用可能であり、例えば、シリコン基板上に直接形成されるバルクデバイスであっても同様の効果を奏することになる。

【０３４１】

【発明の効果】

本発明に係る請求項１記載の半導体装置の製造方法によれば、トレンチを形成した段階で不純物のイオン注入を行うので、注入エネルギーは小さくて済み、このエネルギーでは第１の絶縁膜、第１の酸化膜を通過することはできないので、活性領域に対応する半導体層内に不純物が注入されることを確実に防止できる。

【０３４２】

本発明に係る請求項２記載の半導体装置の製造方法によれば、トレンチの内壁側面に酸化膜で第１のサイドウォールスペーサを形成した状態で、不純物のイオン注入を行うので、第１のサイドウォールスペーサの存在により、不純物層の平面方向の両端縁部は、トレンチの両端縁部から、それぞれ第１のサイドウォールスペーサの厚さだけ離れて位置することになり、最終的に形成されるトレンチ分離酸化膜の端縁部下部には不純物層は形成されない。

【０３４３】

本発明に係る請求項３記載の半導体装置の製造方法によれば、トレンチの内壁側面に窒化膜で第１のサイドウォールスペーサが形成されるので、不純物層の平面方向の両端縁部がトレンチの両端縁部から離れて位置することになる。また、窒化膜がトレンチ分離酸化膜の側面に残るので、後の工程でトレンチ分離酸化膜の端縁部にコンタクトプラグが係合するように配設される場合でも、酸化膜とのエッチングレートの差により、窒化膜が除去されることがなく、コンタクトプラグがトレンチ分離酸化膜を貫通することが防止できる。

【０３４４】

本発明に係る請求項４記載の半導体装置の製造方法によれば、ソース／ドレイン層の不純物のイオン注入に際してチャネリングを利用するので、注入不純物が半導体層の奥深くまで導入されることになり、ソース／ドレイン層を深い領域にまで延在させることができる。一方、トレンチ分離酸化膜は、結晶性を有さないアモルファス状態にあるので、ソース／ドレイン不純物はトレンチ分離酸化膜下部の半導体層には殆ど到達せず、不純物層の不純物濃度を低減させることがない。

【０３４５】
本発明に係る請求項５記載の半導体装置の製造方法によれば、高電圧ＭＯＳトランジスタのしきい値調整のための不純物の注入を、低電圧ＭＯＳトランジスタのしきい値調整のための不純物の注入にも利用するので、レジストマスクの必要数が低減して製造コストの増大を抑制できる。
【０３４６】
本発明に係る請求項６記載の半導体装置の製造方法によれば、低電圧ＭＯＳトランジスタのしきい値調整のための不純物の注入を、高電圧ＭＯＳトランジスタのしきい値調整のための不純物の注入にも利用するので、レジストマスクの必要数が低減して製造コストの増大を抑制できる。
【０３４７】
本発明に係る請求項７記載の半導体装置の製造方法によれば、トレンチ分離酸化膜がＰ型不純物を含むので、後の熱処理工程で、トレンチ分離酸化膜中のＰ型不純物がＰ型の不純物層中に拡散して、濃度を高めることができる。また、逆に、不純物層中のＰ型不純物がトレンチ分離酸化膜中に拡散して、不純物濃度が低下することを防止できる。
【０３４８】
本発明に係る請求項８記載の半導体装置の製造方法によれば、第１のサイドウォールスペーサで覆われないトレンチ底部に内壁酸化膜が形成されるので、不純物注入に際しての半導体層の保護膜となる。
【０３４９】
本発明に係る請求項９記載の半導体装置の製造方法によれば、第１のサイドウォールスペーサが内壁酸化膜の上に形成されるので、不純物層の平面方向の両端縁部がトレンチの両端縁部からさらに離れて位置することになる。
【０３５０】
本発明に係る請求項１０記載の半導体装置の製造方法によれば、トレンチの内壁に内壁窒化膜あるいは内壁酸窒化膜を形成した状態で、不純物注入を行うので、内壁窒化膜あるいは内壁酸窒化膜の存在により、不純物層の平面方向の両端縁部は、トレンチの両端縁部から、それぞれ内壁窒化膜あるいは内壁酸窒化膜の厚さだけ離れて位置することになり、最終的に形成されるトレンチ分離酸化膜の端縁部下部には不純物層は形成されない。また、内壁窒化膜あるいは内壁酸窒化膜がトレンチ分離酸化膜の外周に残るので、後の工程でトレンチ分離酸化膜の端縁部にコンタクトプラグが係合するように配設される場合でも、酸化膜とのエッチングレートの差により、内壁窒化膜あるいは内壁酸窒化膜が除去されることがなく、コンタクトプラグがトレンチ分離酸化膜を貫通することが防止できる。
【０３６９】
本発明に係る請求項２９記載の半導体装置の製造方法によれば、低電圧ＭＯＳトランジスタのしきい値調整のための不純物の注入を、高電圧ＭＯＳトランジスタのしきい値調整のための不純物の注入にも利用するので、レジストマスクの必要数が低減して製造コストの増大を抑制できる。
【図面の簡単な説明】
【図１】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図２】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図３】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図４】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図５】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図６】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図７】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図８】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図９】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図１０】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図１１】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。

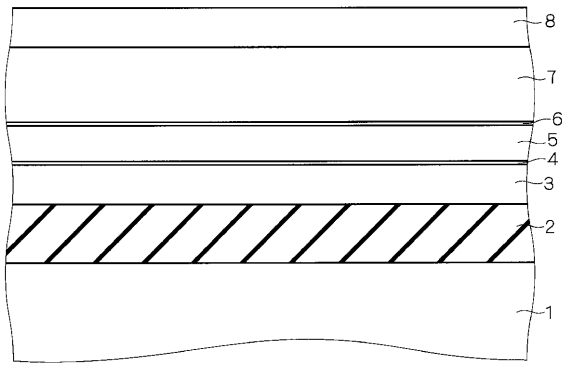
【図１２】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図１３】　本発明に係る実施の形態１の半導体装置の製造方法を示す断面図である。
【図１４】　本発明に係る実施の形態２の半導体装置の製造方法を示す断面図である。
【図１５】　本発明に係る実施の形態２の半導体装置の製造方法を示す断面図である。
【図１６】　本発明に係る実施の形態２の半導体装置の製造方法を示す断面図である。
【図１７】　本発明に係る実施の形態２の半導体装置の製造方法を示す断面図である。
【図１８】　本発明に係る実施の形態２の半導体装置の製造方法を示す断面図である。
【図１９】　本発明に係る実施の形態２の半導体装置の製造方法を示す断面図である。
【図２０】　本発明に係る実施の形態２の半導体装置の製造方法を示す断面図である。
【図２１】　本発明に係る実施の形態２の変形例の製造方法を示す断面図である。
【図２２】　本発明に係る実施の形態３の半導体装置の製造方法を示す断面図である。
【図２３】　本発明に係る実施の形態３の半導体装置の製造方法を示す断面図である。
【図２４】　本発明に係る実施の形態３の半導体装置の製造方法を示す断面図である。
【図２５】　本発明に係る実施の形態３の半導体装置の製造方法を示す断面図である。
【図２６】　本発明に係る実施の形態３の半導体装置の製造方法を示す断面図である。
【図２７】　本発明に係る実施の形態３の半導体装置の製造方法を示す断面図である。
【図２８】　本発明に係る実施の形態４の半導体装置の製造方法を示す断面図である。
【図２９】　本発明に係る実施の形態４の半導体装置の製造方法を示す断面図である。
【図３０】　本発明に係る実施の形態４の半導体装置の製造方法を示す断面図である。
【図３１】　本発明に係る実施の形態５の半導体装置の製造方法を示す断面図である。
【図３２】　本発明に係る実施の形態５の半導体装置の製造方法を示す断面図である。
【図３３】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図３４】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図３５】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図３６】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図３７】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図３８】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図３９】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４０】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４１】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４２】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４３】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４４】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４５】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４６】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４７】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４８】　本発明に係る実施の形態５の変形例の製造方法を示す断面図である。
【図４９】　本発明に係る実施の形態６の半導体装置の製造方法を示す断面図である。
【図５０】　本発明に係る実施の形態６の半導体装置の製造方法を示す断面図である。
【図５１】　本発明に係る実施の形態６の半導体装置の製造方法を示す断面図である。
【図５２】　本発明に係る実施の形態６の半導体装置の製造方法を示す断面図である。
【図５３】　本発明に係る実施の形態６の半導体装置の製造方法を示す断面図である。
【図５４】　本発明に係る実施の形態６の半導体装置の製造方法を示す断面図である。
【図５５】　本発明に係る実施の形態７の半導体装置の製造方法による効果を説明する断面図である。
【図５６】　本発明に係る実施の形態７の半導体装置の製造方法を示す断面図である。
【図５７】　本発明に係る実施の形態７の変形例の製造方法を示す断面図である。
【図５８】　本発明に係る実施の形態８の半導体装置の製造方法を示す断面図である。
【図５９】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図６０】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。

【図６１】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図６２】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図６３】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図６４】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図６５】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図６６】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図６７】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図６８】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図６９】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図７０】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図７１】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図７２】　本発明に係る実施の形態８の変形例の製造方法を示す断面図である。
【図７３】　本発明に係る実施の形態９の半導体装置の製造方法を示す断面図である。
【図７４】　チャネリング注入による不純物分布を示す図である。
【図７５】　本発明に係る実施の形態９の半導体装置の製造方法を示す断面図である。
【図７６】　本発明に係る実施の形態１０の半導体装置の製造方法を示す断面図である。
【図７７】　本発明に係る実施の形態１０の半導体装置の製造方法を示す断面図である。
【図７８】　本発明に係る実施の形態１０の半導体装置の製造方法を示す断面図である。
【図７９】　本発明に係る実施の形態１０の半導体装置の製造方法を示す断面図である。
【図８０】　本発明に係る実施の形態１０の半導体装置の製造方法を示す断面図である。
【図８１】　本発明に係る実施の形態１０の半導体装置の製造方法を示す断面図である。
【図８２】　本発明に係る実施の形態１０の半導体装置の製造方法を示す断面図である。
【図８３】　本発明に係る実施の形態１０の変形例の製造方法を示す断面図である。
【図８４】　本発明に係る実施の形態１０の変形例の製造方法を示す断面図である。
【図８５】　本発明に係る実施の形態１０の変形例の製造方法を示す断面図である。
【図８６】　本発明に係る実施の形態１１の半導体装置の製造方法を示す平面図である。
【図８７】　本発明に係る実施の形態１１の半導体装置の製造方法を示す断面図である。
【図８８】　本発明に係る実施の形態１１の半導体装置の製造方法を示す断面図である。
【図８９】　本発明に係る実施の形態１１の半導体装置の製造方法を示す平面図である。
【図９０】　本発明に係る実施の形態１１の半導体装置の製造方法を示す断面図である。
【図９１】　本発明に係る実施の形態１１の半導体装置の製造方法を示す断面図である。
【図９２】　従来の半導体装置の構成を説明する断面図である。
【図９３】　従来の半導体装置の構成を説明する断面図である。
【図９４】　従来の半導体装置の製造工程を説明する断面図である。
【図９５】　従来の半導体装置の製造工程を説明する断面図である。
【図９６】　従来の半導体装置の製造工程を説明する断面図である。
【図９７】　従来の半導体装置の製造工程を説明する断面図である。
【図９８】　従来の半導体装置の製造工程を説明する断面図である。
【図９９】　従来の半導体装置の製造工程を説明する断面図である。
【図１００】　従来の半導体装置の製造工程を説明する断面図である。
【図１０１】　従来の半導体装置の構成を説明する断面図である。
【図１０２】　従来の半導体装置の問題点を説明する断面図である。
【図１０３】　従来の半導体装置の問題点を説明する断面図である。

【符号の説明】

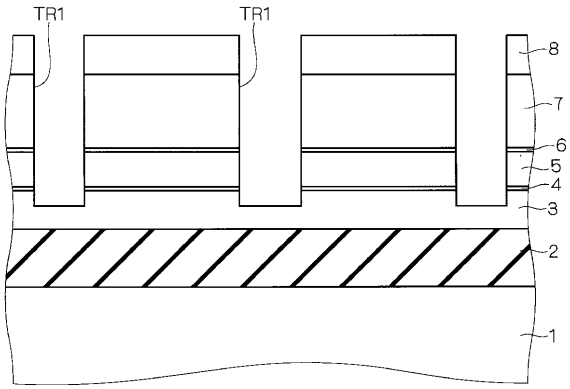
３　ＳＯＩ層、４，６，４２　酸化膜、５，７，２１，４１　ポリシリコン膜、８，２２，４３，ＳＮ３　窒化膜、ＴＲ１，ＴＲ２，ＴＲ４　トレンチ、Ｎ１，Ｐ１　チャネルストップ層、ＮＷ１，ＮＷ２，ＮＷ３　サイドウォールスペーサ、ＯＮ　酸窒化膜。

【図１】



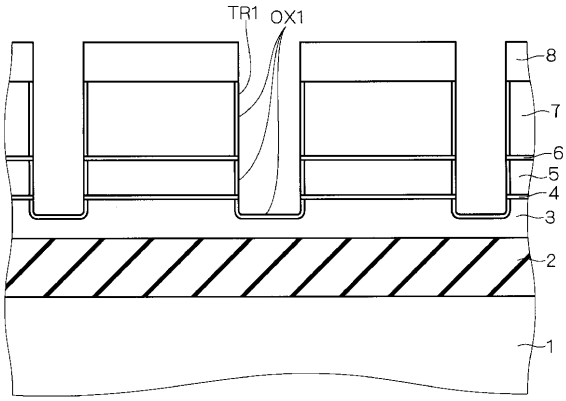
３：ＳＯＩ層
４，６：酸化膜
５，７：ポリシリコン膜
８：窒化膜

【図２】

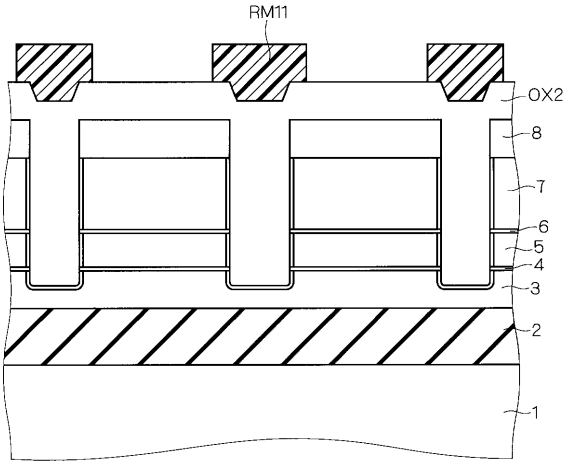


ＴＲ１：トレンチ

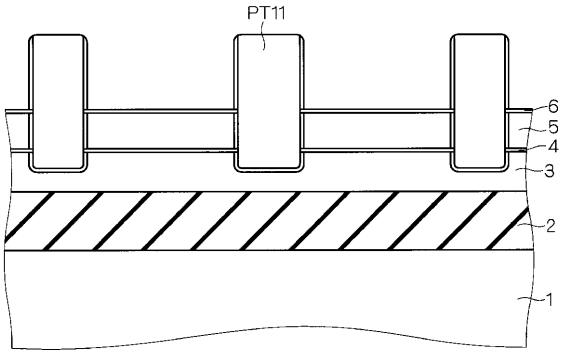
【図３】



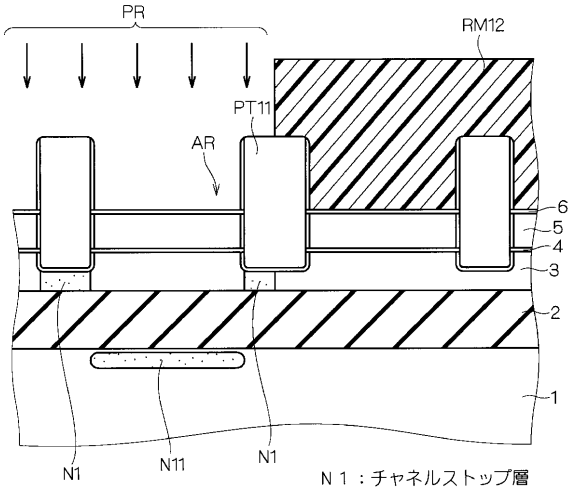
【図４】



【図５】

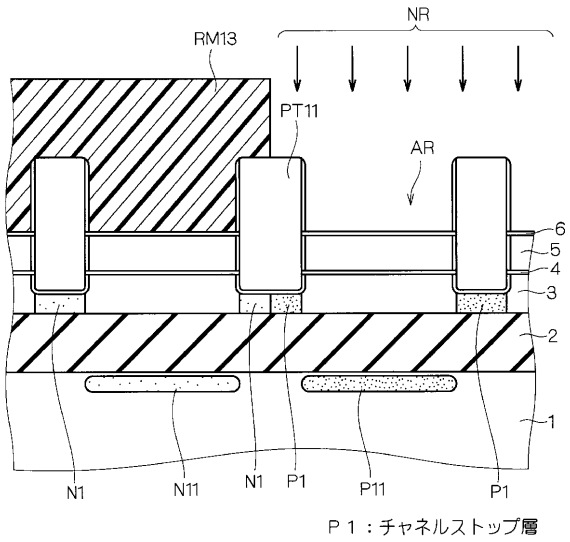


【図６】



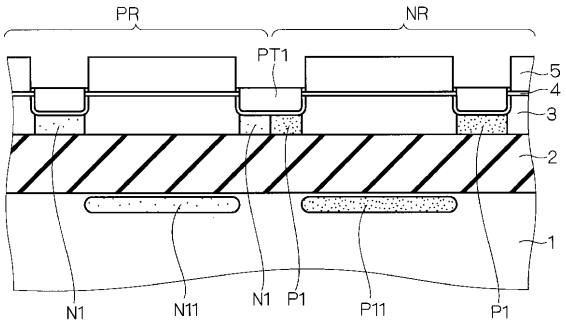
Ｎ１：チャネルストップ層

【図７】

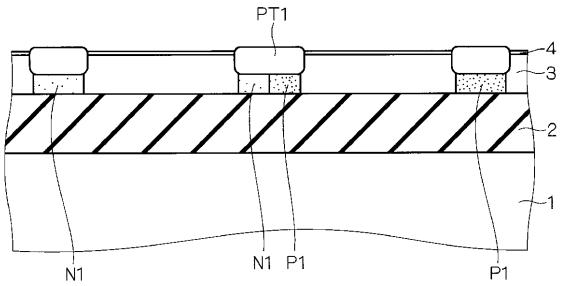


Ｐ１：チャネルストップ層

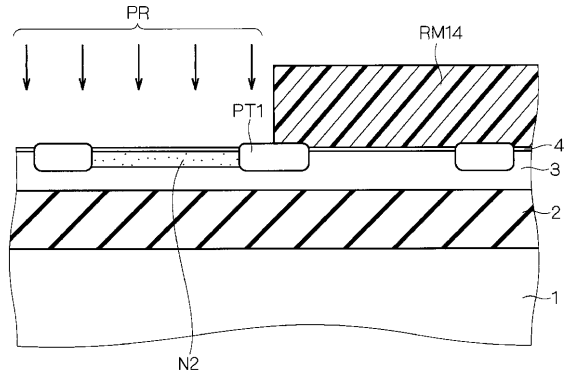
【図８】



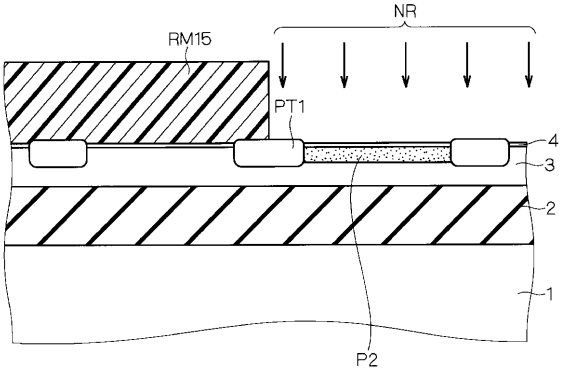
【図９】



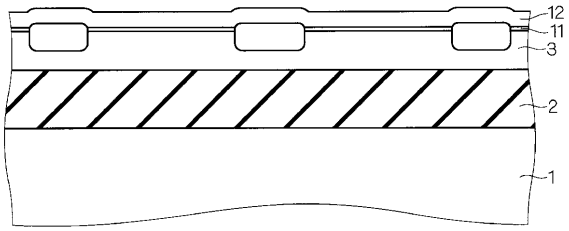
【図１０】



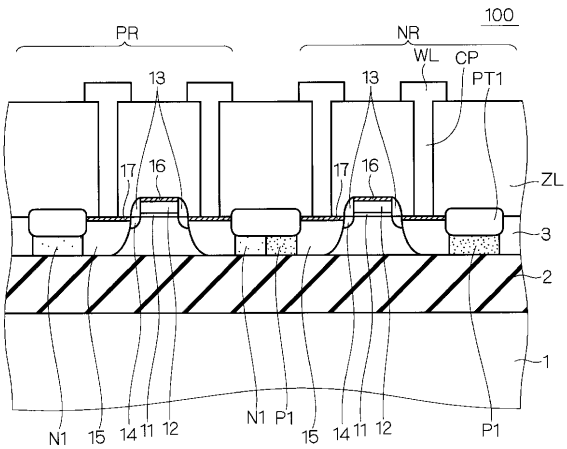
【図１１】



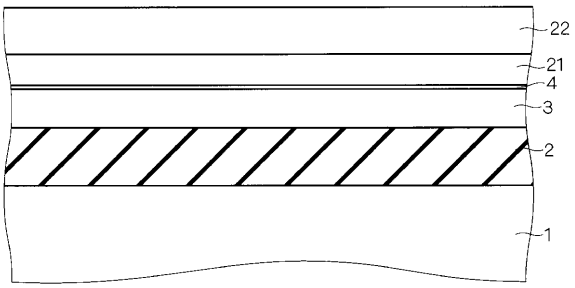
【図１２】



【図１３】

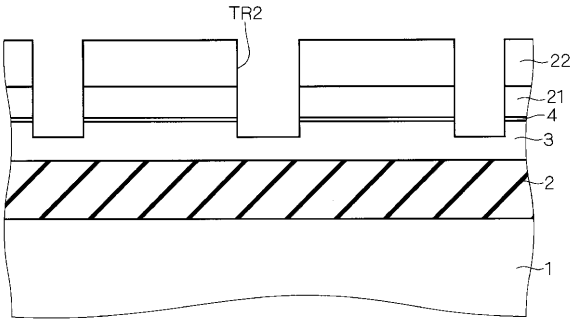


【図１４】



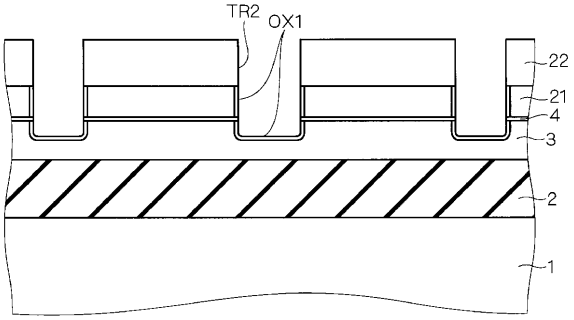
２１：ポリシリコン膜
２２：窒化膜

【図１５】

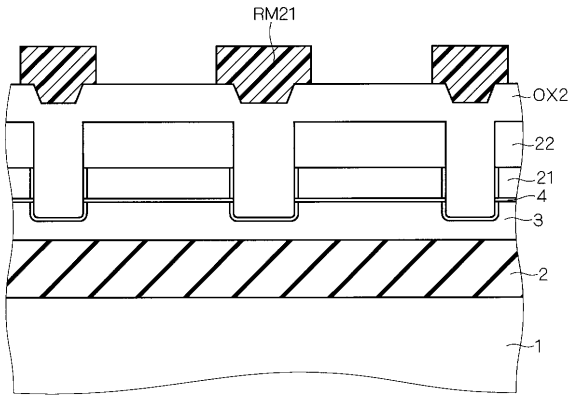


ＴＲ２：トレンチ

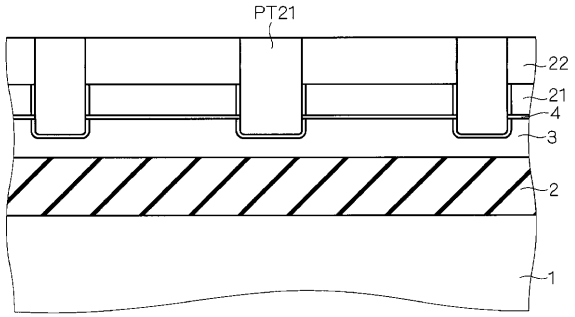
【図１６】



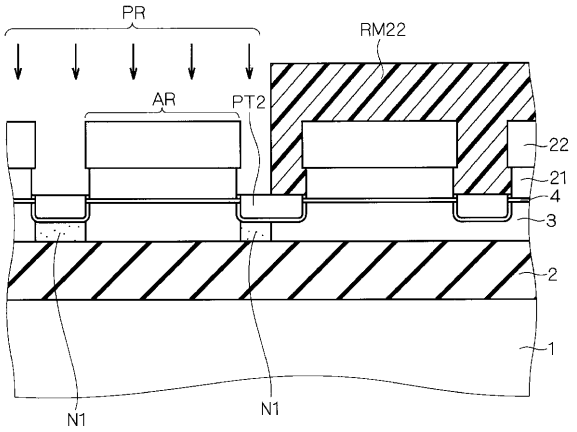
【図１７】



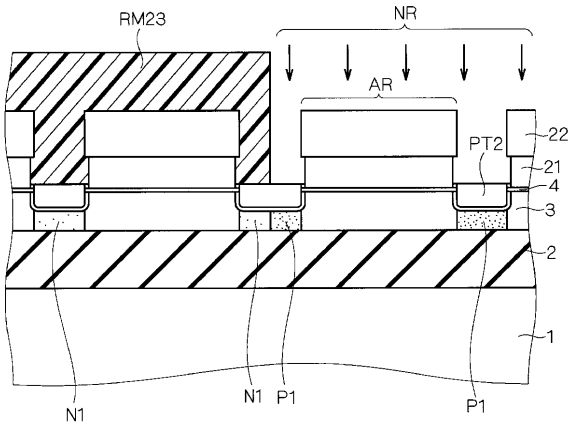
【図１８】



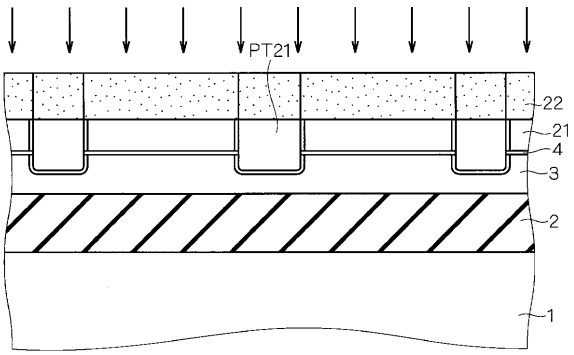
【図１９】



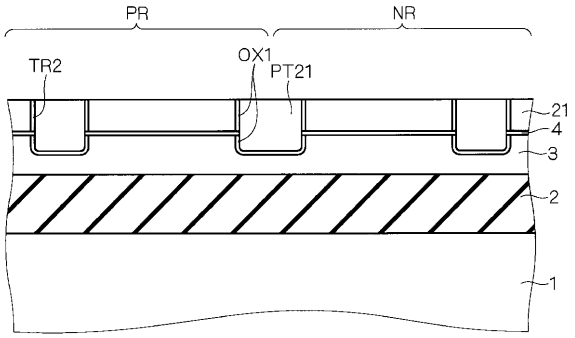
【図２０】



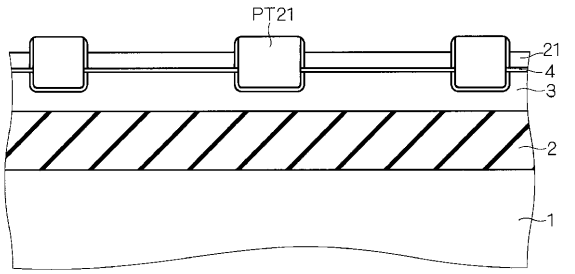
【図２１】



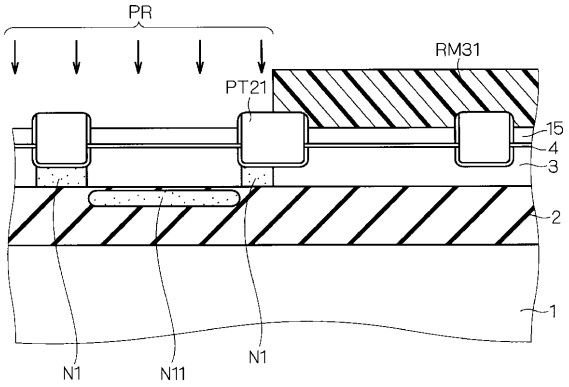
【図２２】



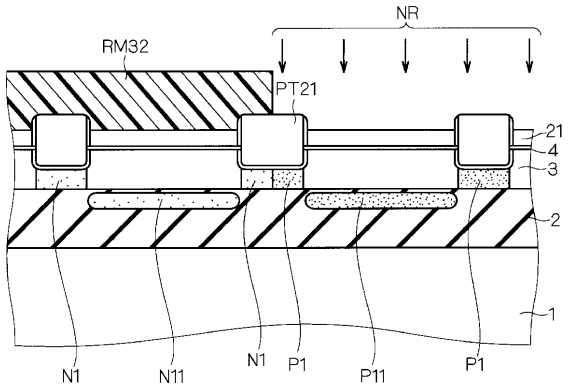
【図２３】



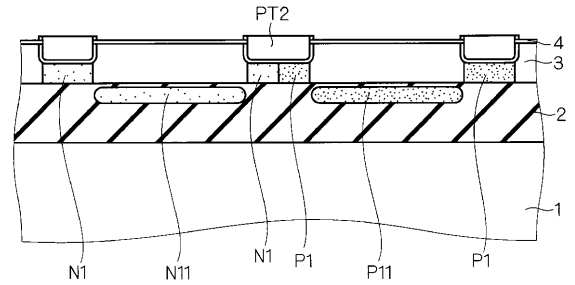
【図２４】



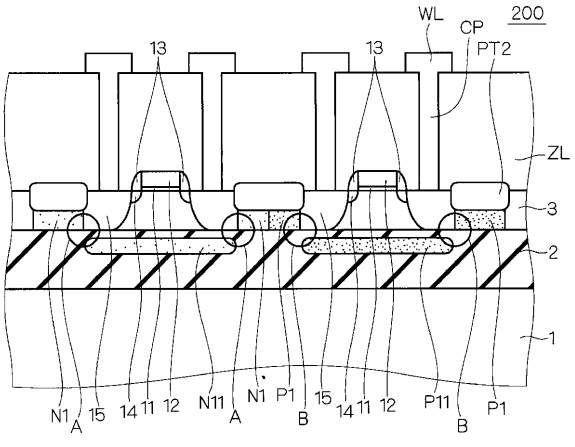
【図２５】



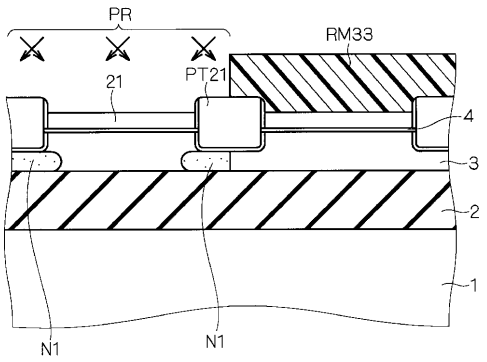
【図２６】



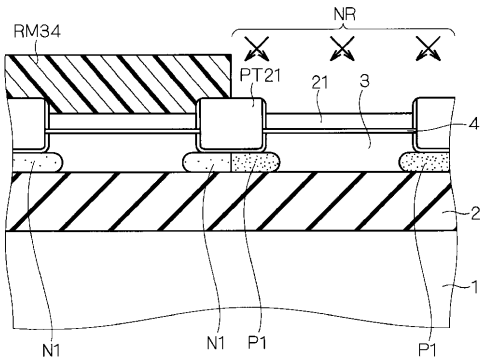
【図２７】



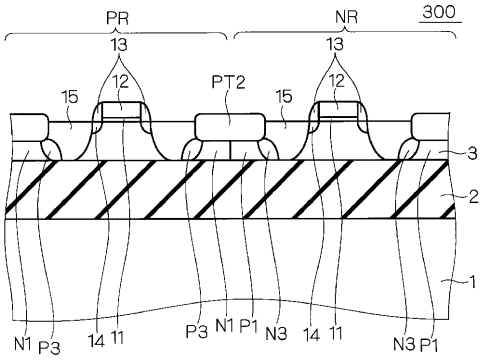
【図２８】



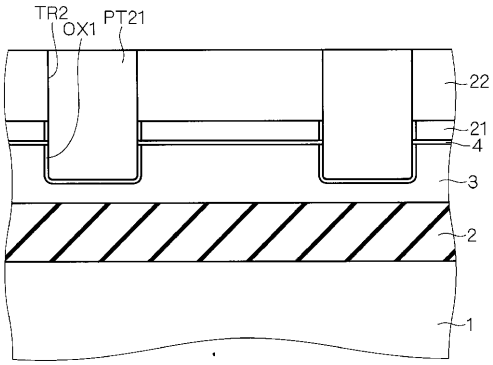
【図２９】



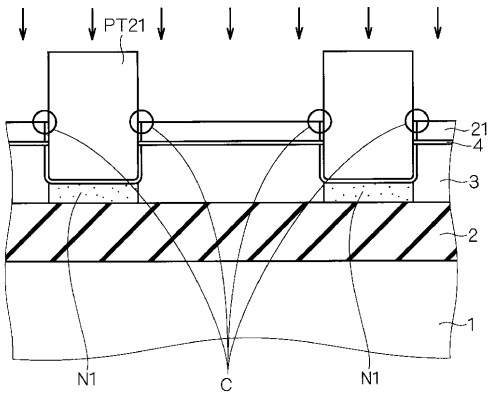
【図３０】



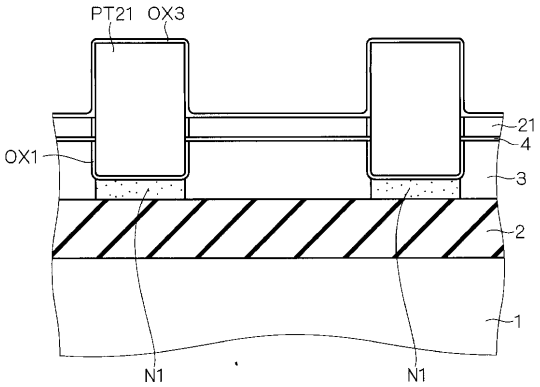
【図３１】



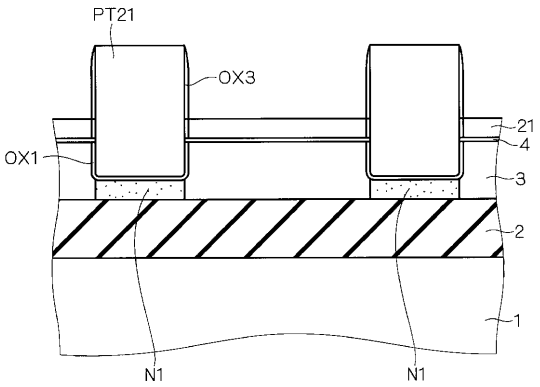
【図３２】



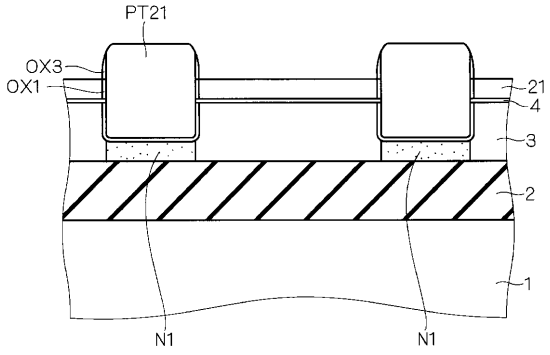
【図３３】



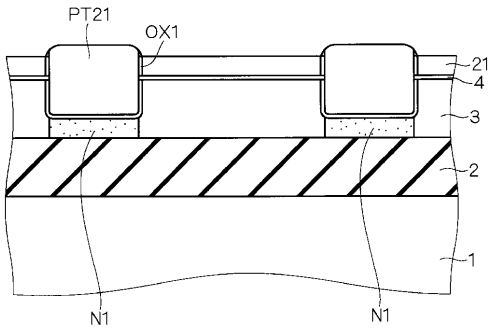
【図３４】



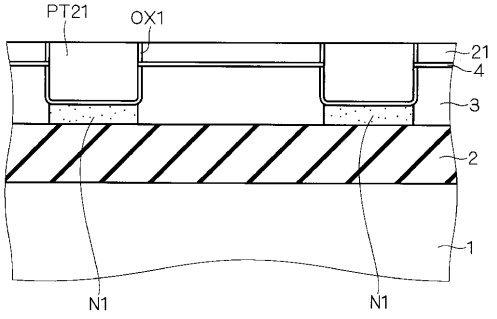
【図３５】



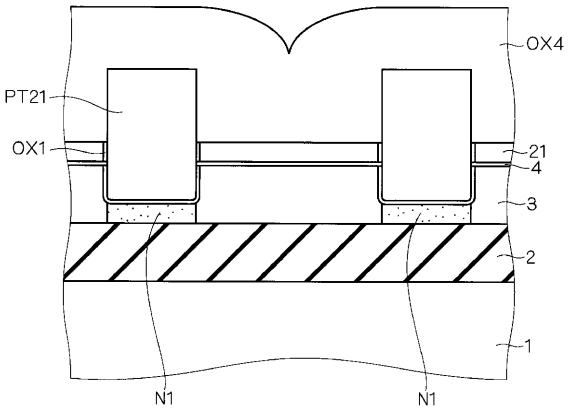
【図３６】



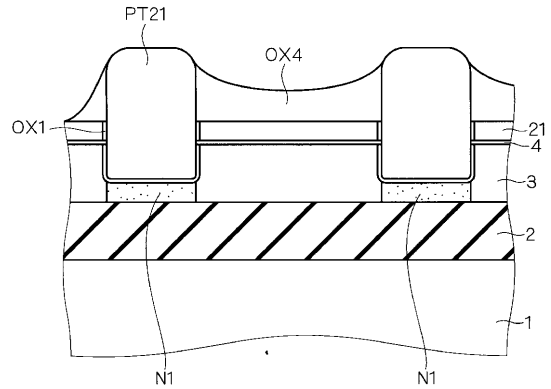
【図３７】



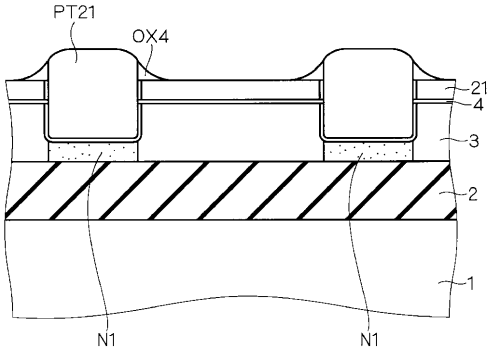
【図３８】



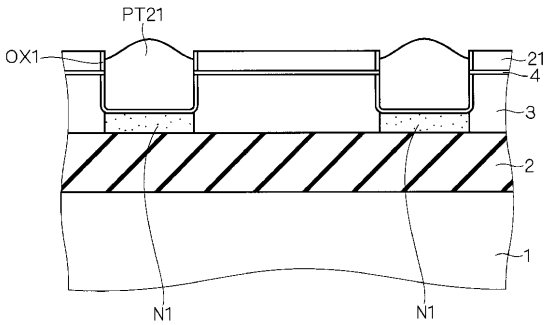
【図３９】



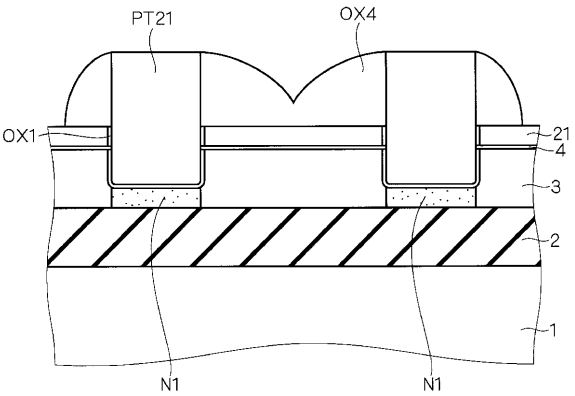
【図４０】



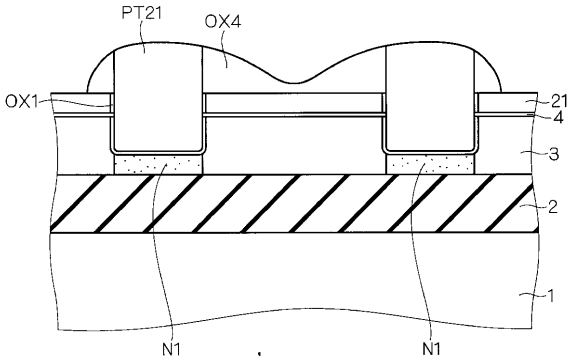
【図４１】



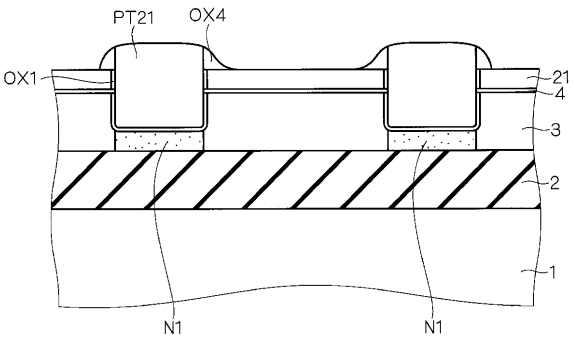
【図４２】



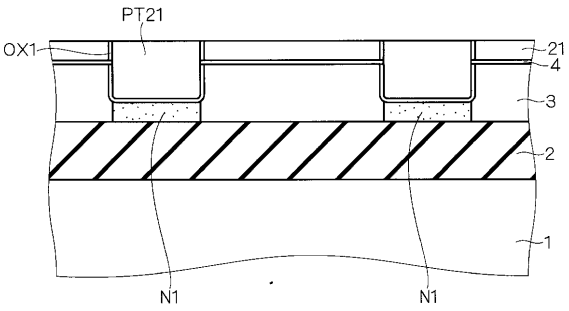
【図４３】



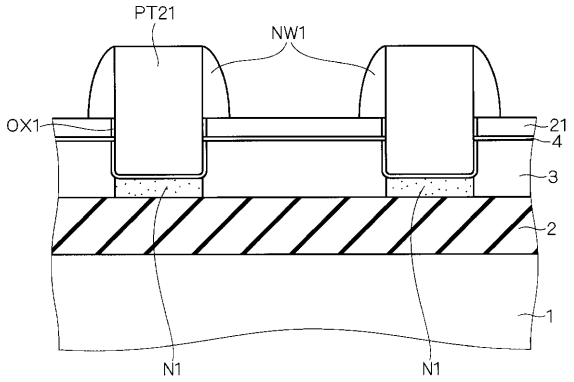
【図４４】



【図４５】

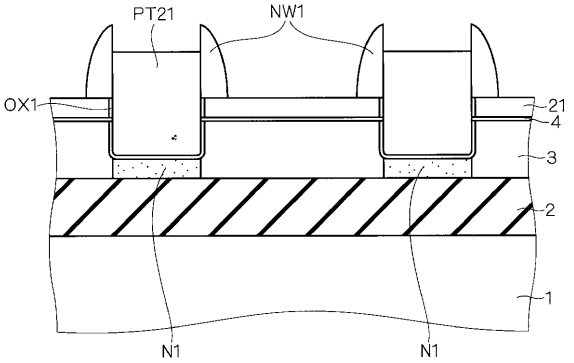


【図４６】

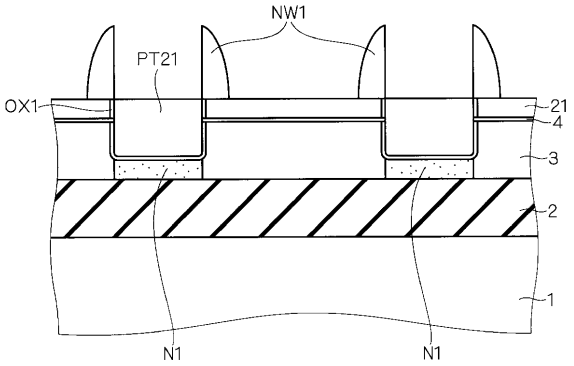


ＮＷ１：サイドウォールスペーサ

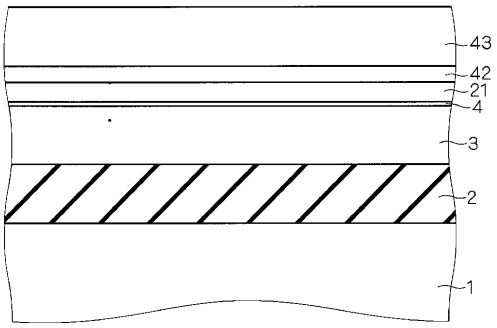
【図４７】



【図４８】

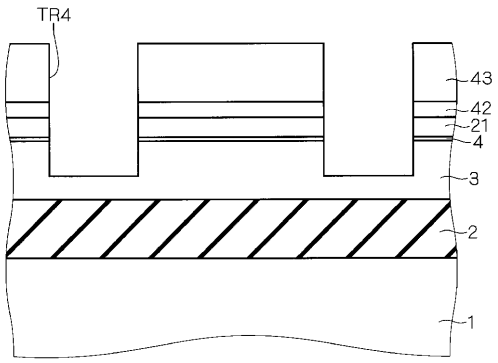


【図４９】



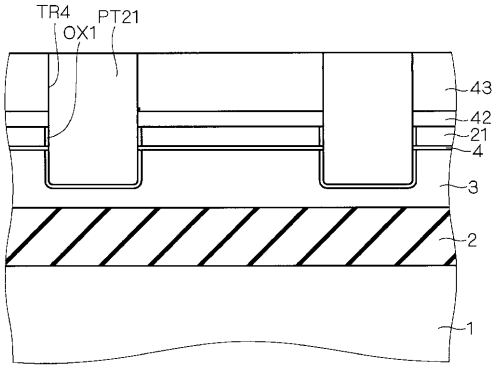
４１：ポリシリコン膜　４２：酸化膜　４３：窒化膜

【図５０】

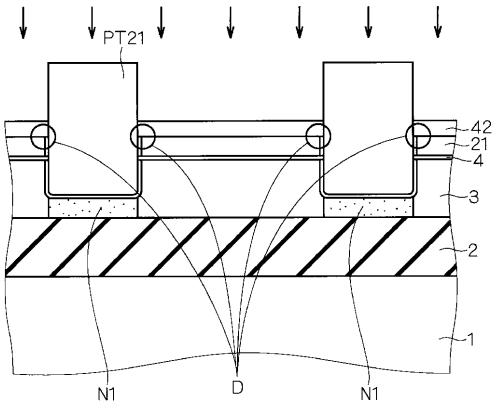


ＴＲ４：トレンチ

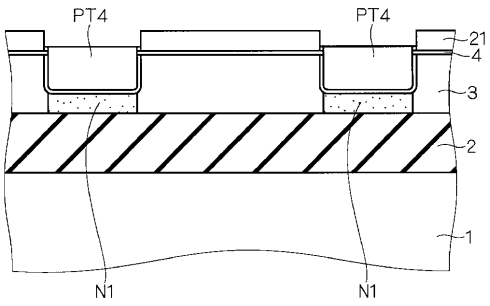
【図５１】



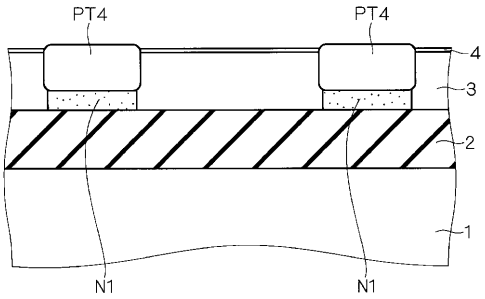
【図５２】



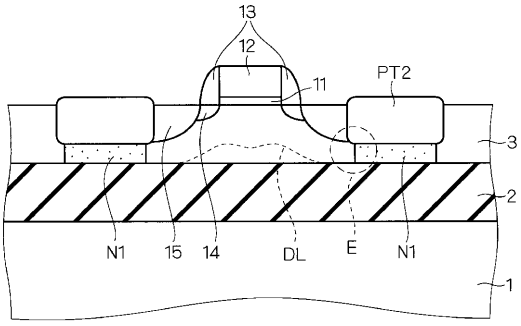
【図５３】



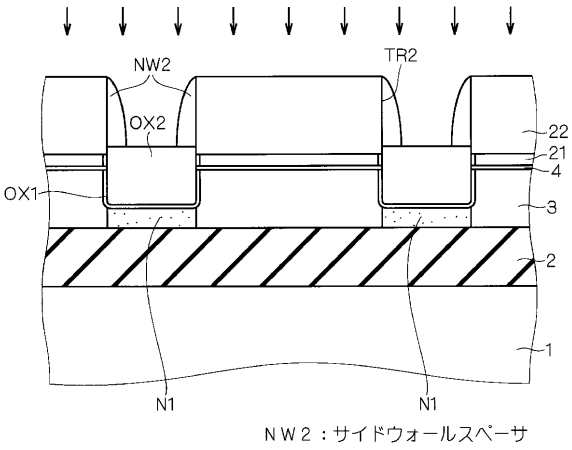
【図５４】



【図５５】

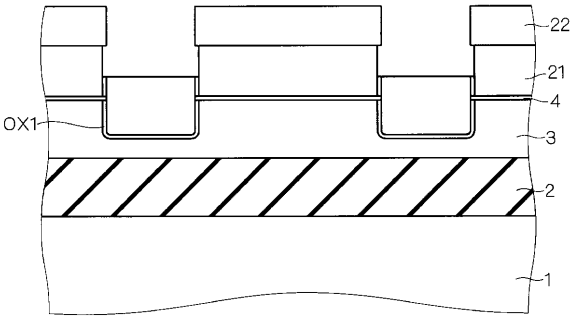


【図５６】

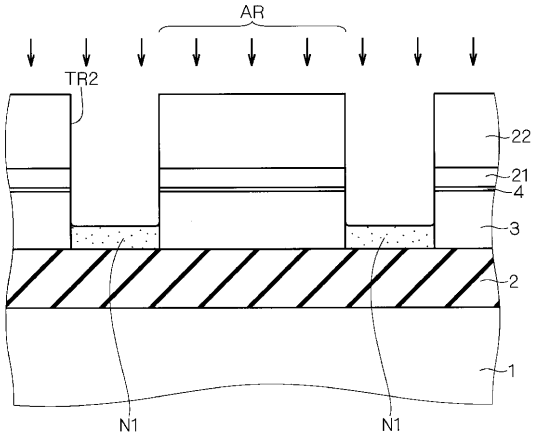


ＮＷ２：サイドウォールスペーサ

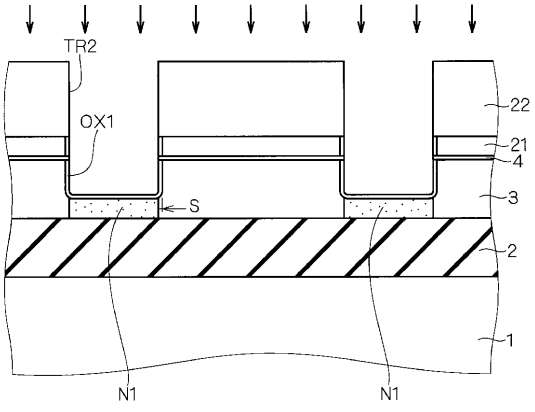
【図５７】



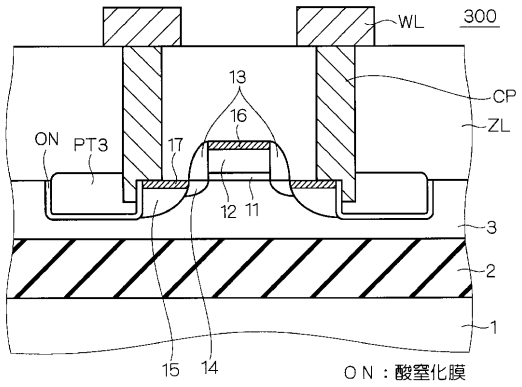
【図５８】



【図５９】

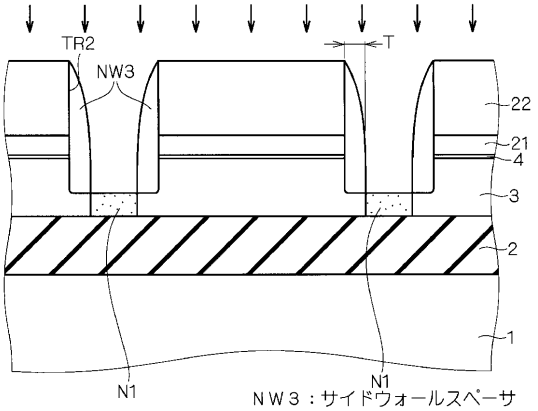


【図６０】



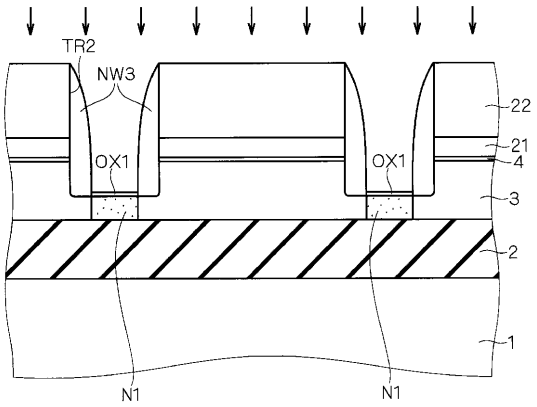
ＯＮ：酸窒化膜

【図６１】

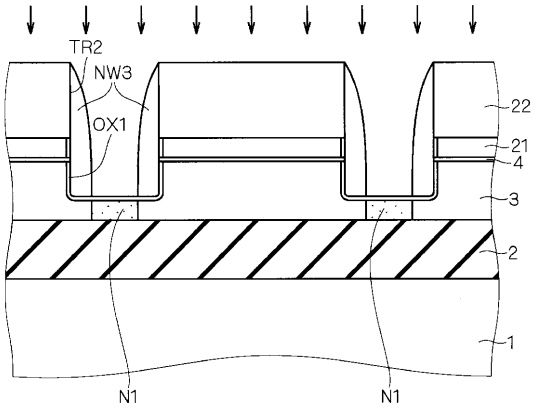


ＮＷ３：サイドウォールスペーサ

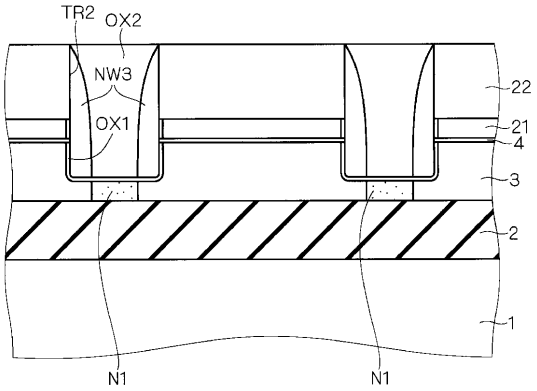
【図６２】



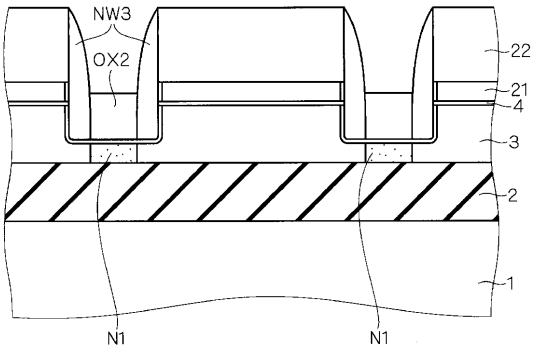
【図６３】



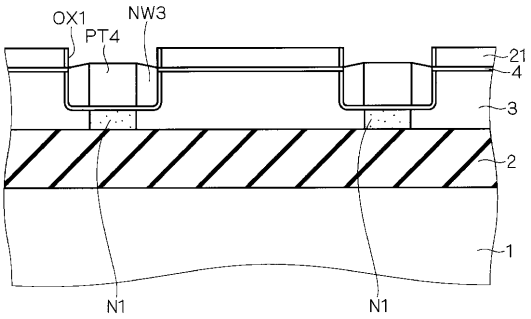
【図６４】



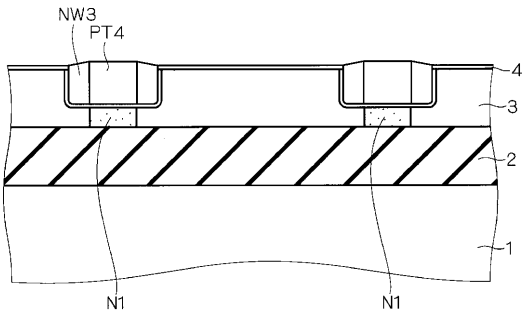
【図６５】



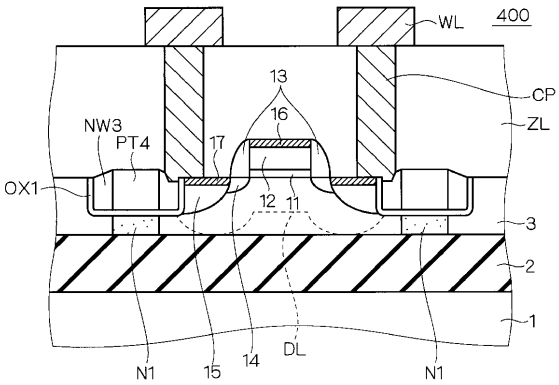
【図６６】



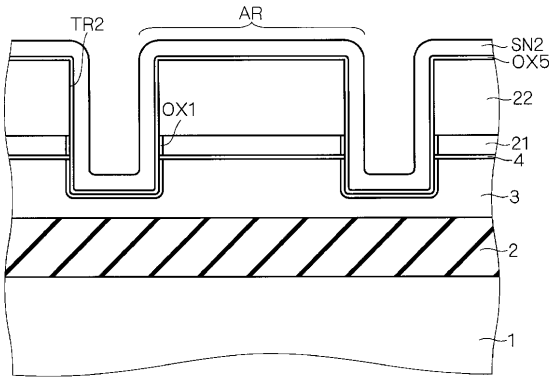
【図６７】



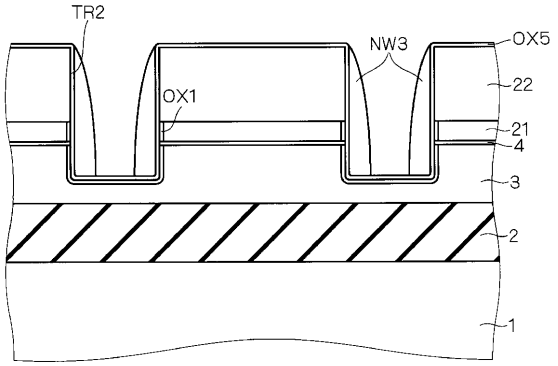
【図６８】



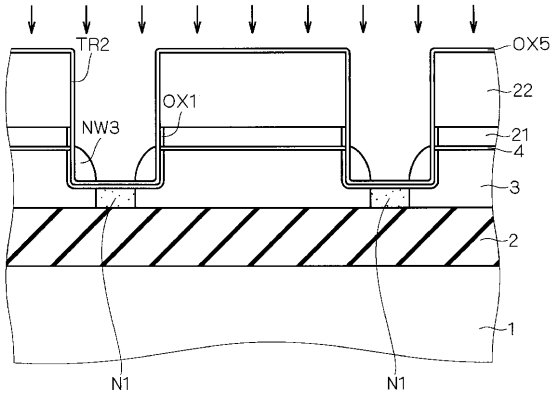
【図６９】



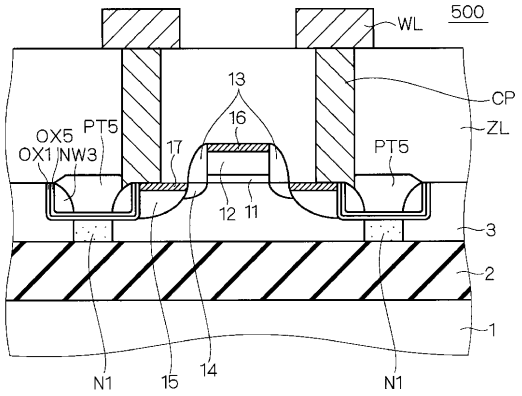
【図７０】



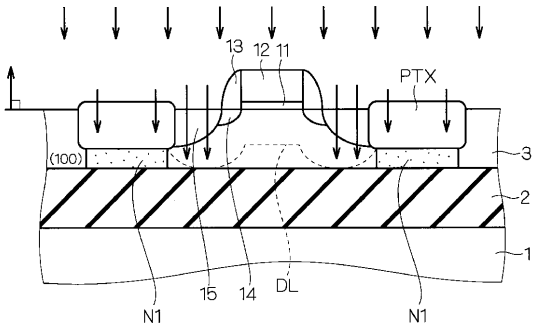
【図７１】



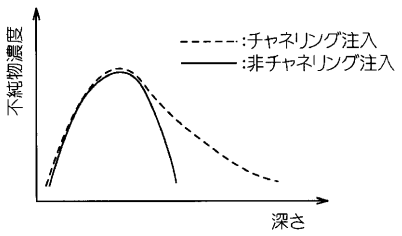
【図７２】



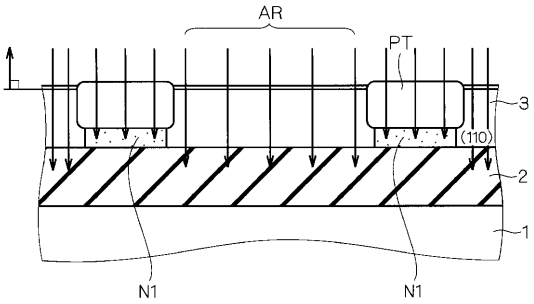
【図７３】



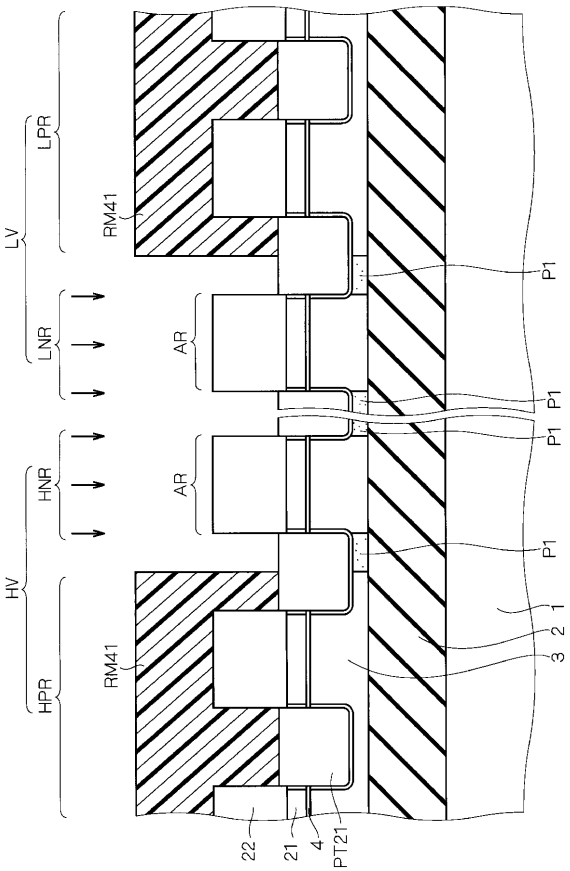
【図７４】



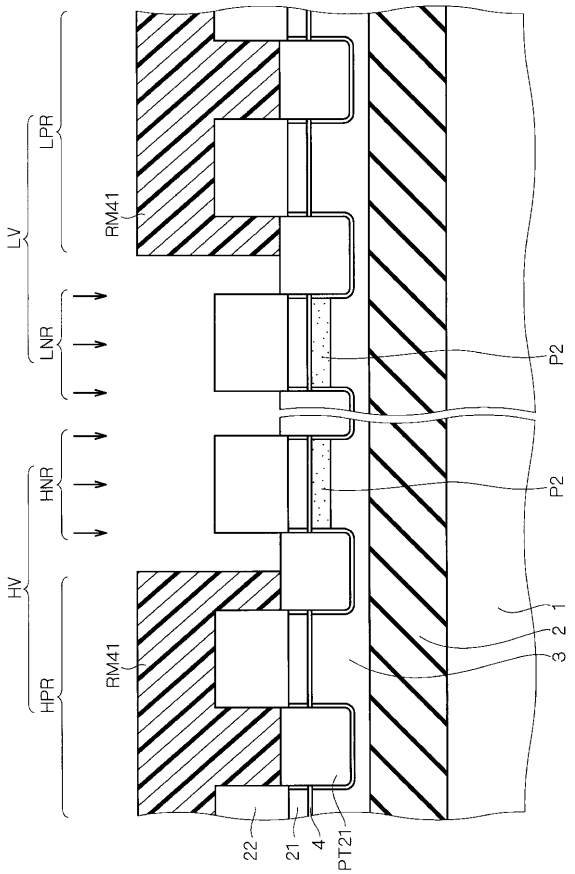
【図７５】



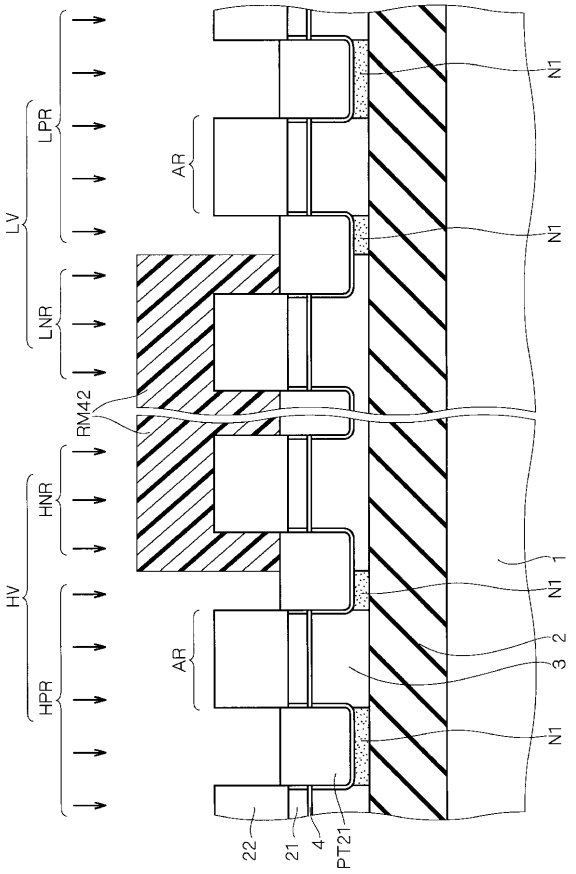
【図７６】



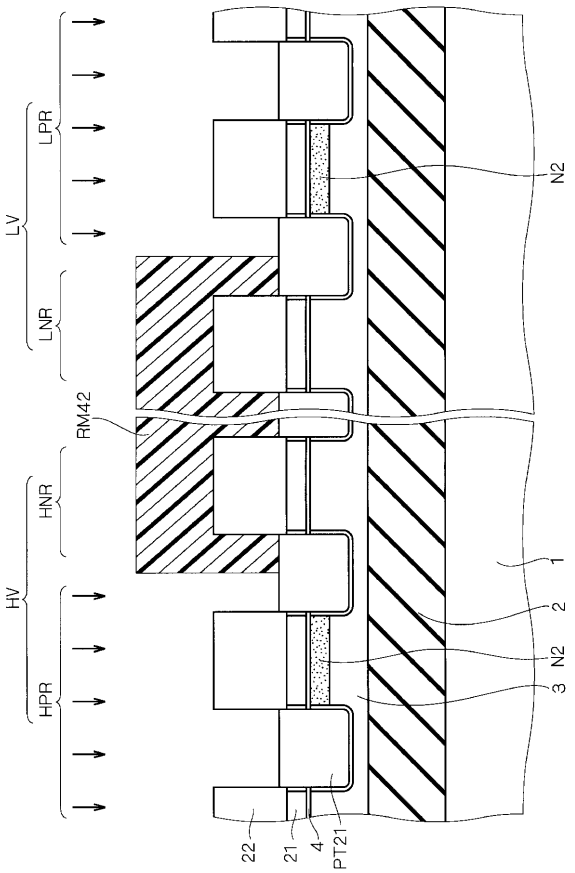
【図７７】



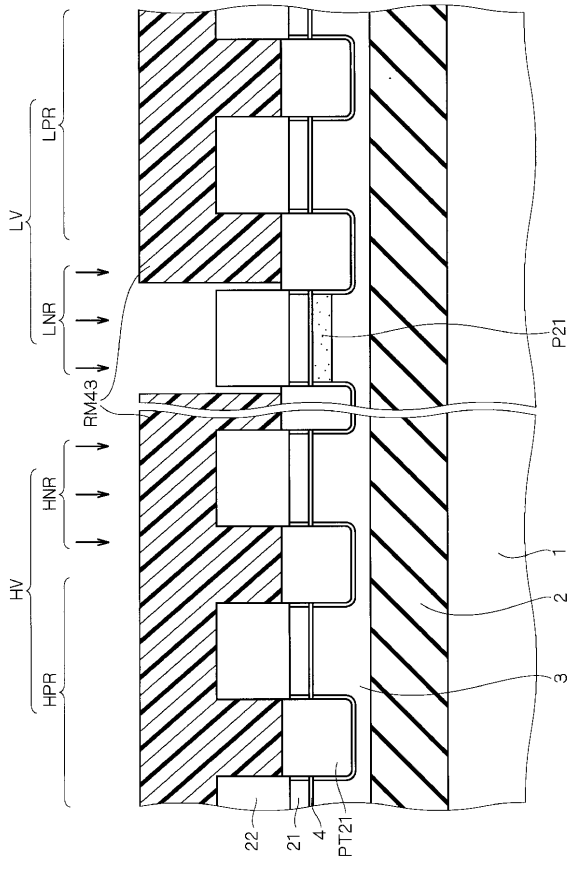
【図７８】



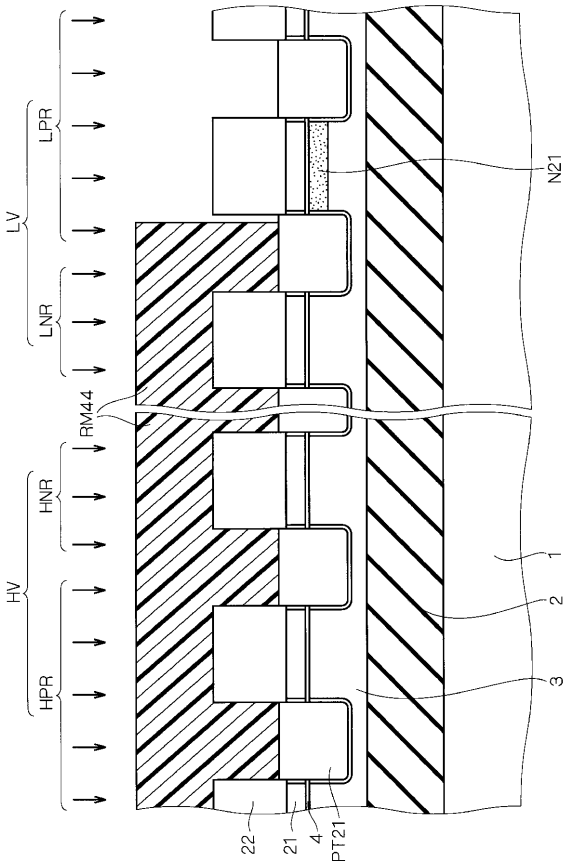
【図７９】



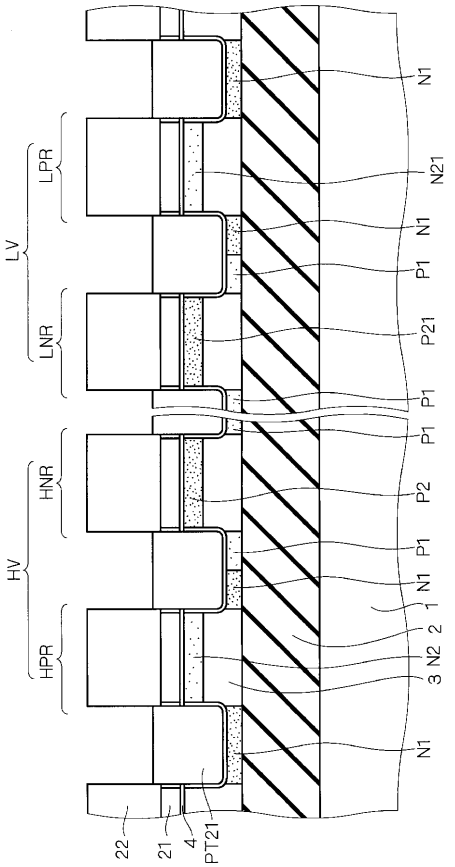
【図８０】



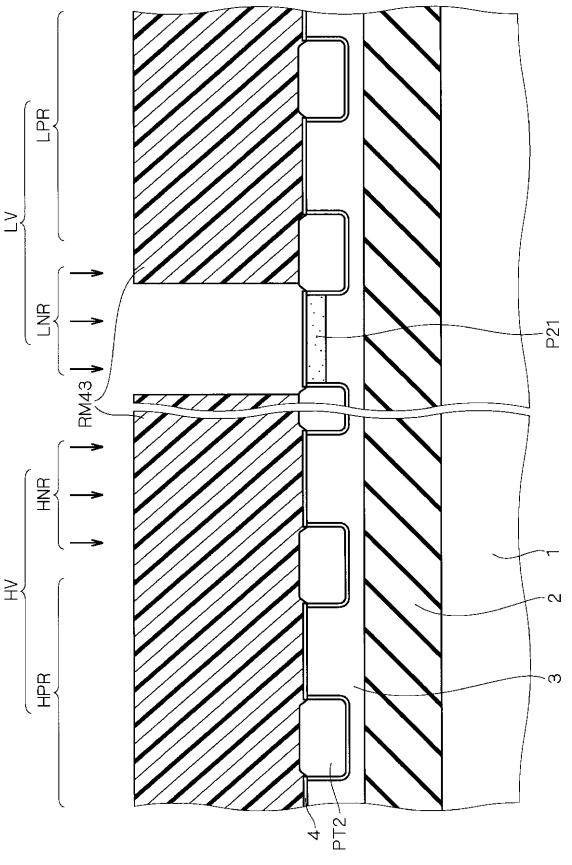
【図８１】



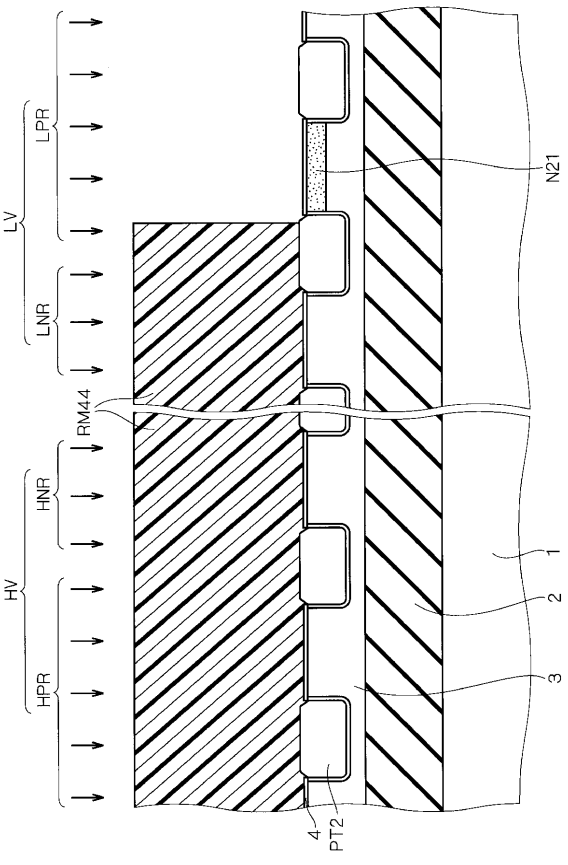
【図８２】



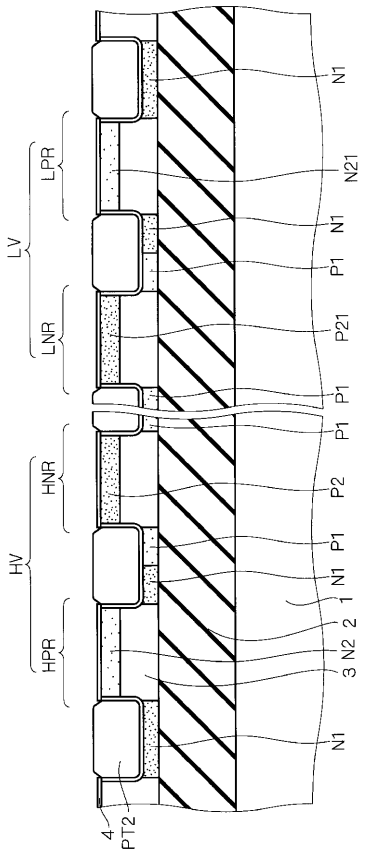
【図８３】



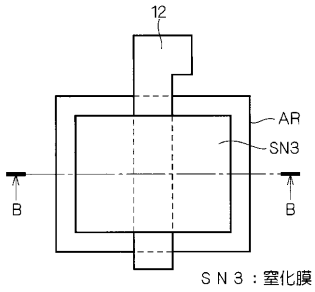
【図８４】



【図８５】

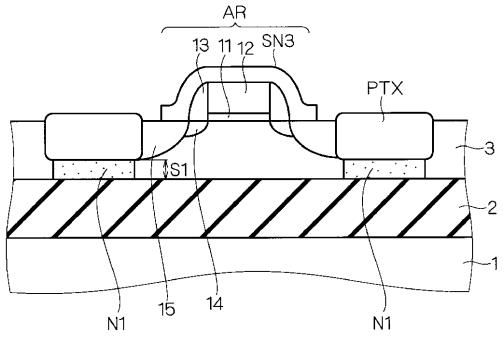


【図８６】

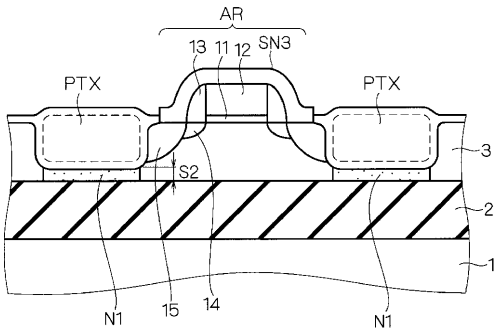


ＳＮ３：窒化膜

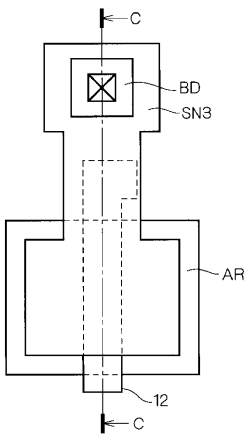
【図８７】



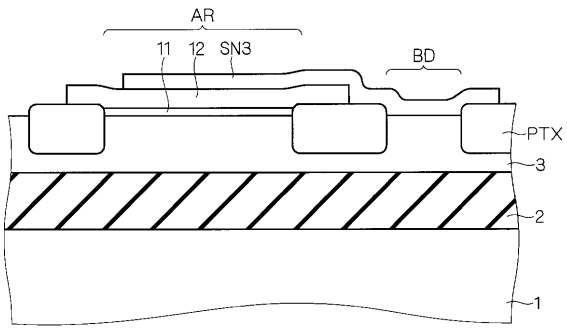
【図８８】



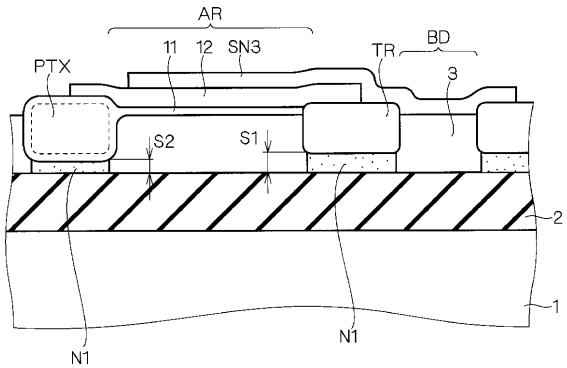
【図８９】



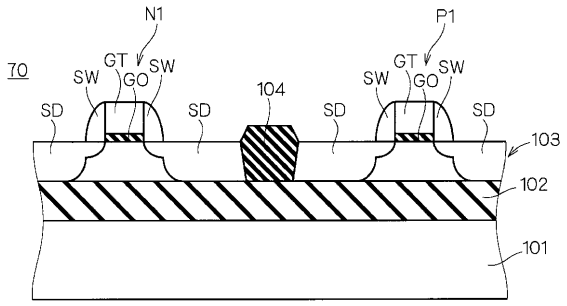
【図９０】



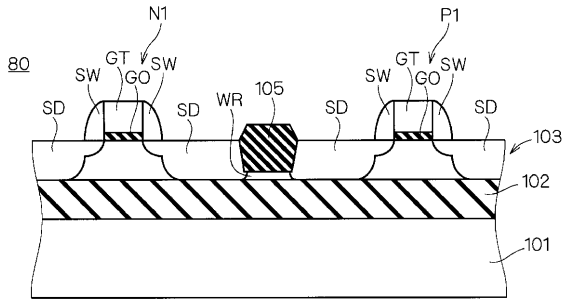
【図９１】



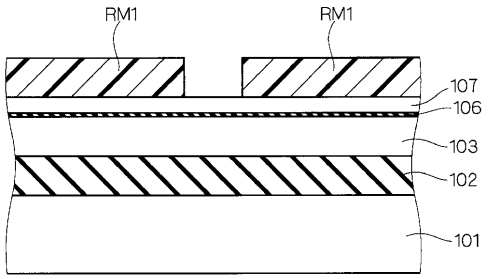
【図９２】



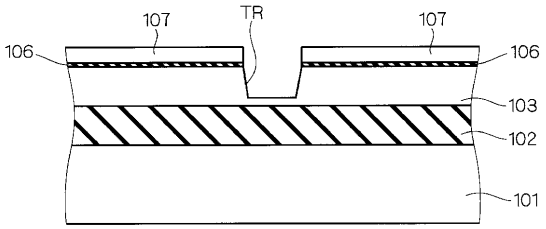
【図９３】



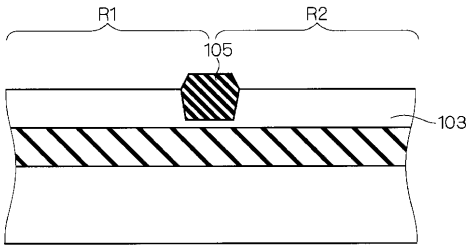
【図９４】



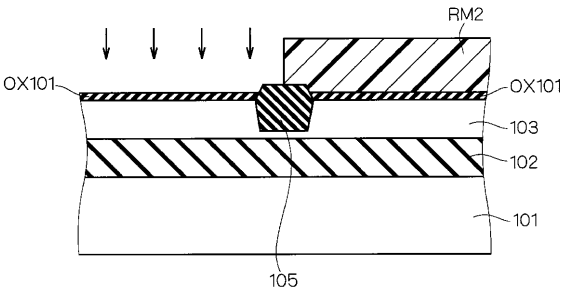
【図９５】



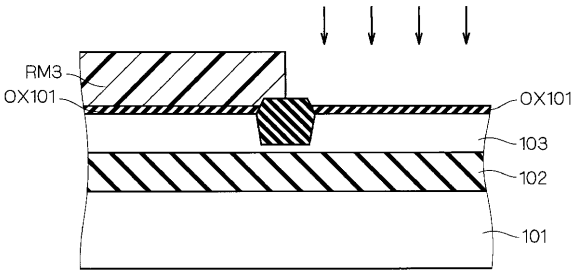
【図９６】



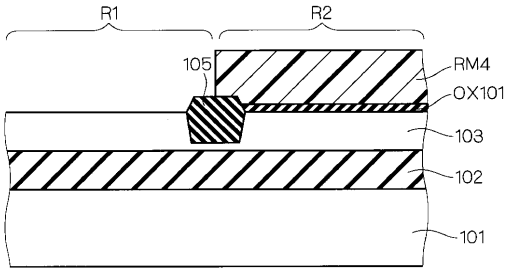
【図９７】



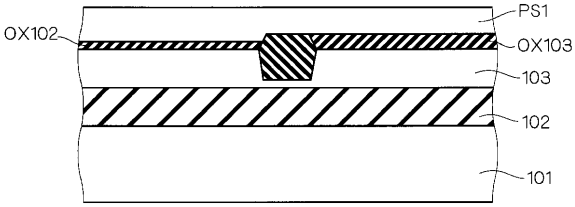
【図９８】



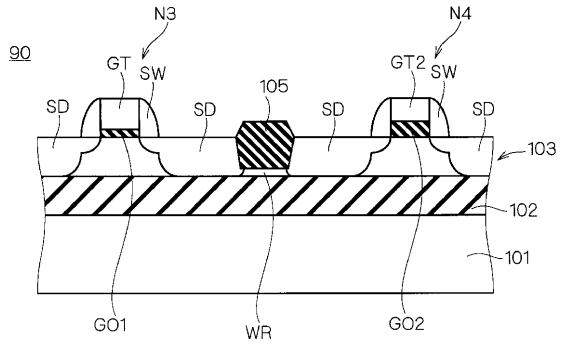
【図９９】



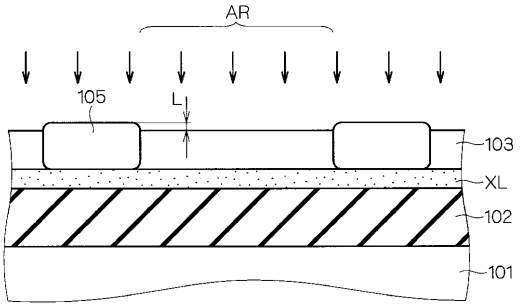
【図１００】



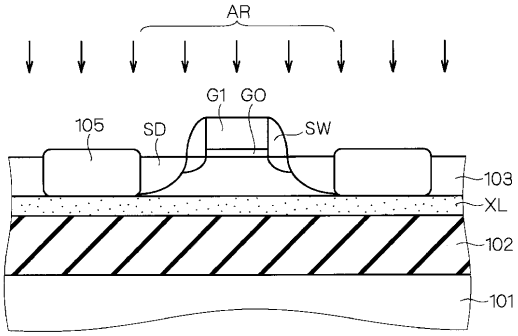
【図１０１】



【図１０２】



【図１０３】



フロントページの続き

(51)Int.Cl. FI
H01L 27/08 331E
H01L 29/78 616L

(72)発明者 松本 拓治
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内
(72)発明者 前田 茂伸
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内

審査官 加藤 浩一

(56)参考文献 特開平０５－１６０２５４（ＪＰ，Ａ）
特開平０５－０６３０７４（ＪＰ，Ａ）
特開２００１－０８５５１４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 21/76
H01L 21/336
H01L 21/762
H01L 27/08
H01L 29/786