

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 12 月 22 日(22.12.2011)

PCT

(10) 国際公開番号
WO 2011/158528 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 21/316 (2006.01)
H01L 21/302 (2006.01) H01L 29/12 (2006.01)
H01L 21/304 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2011/054010
- (22) 国際出願日: 2011 年 2 月 23 日(23.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-136866 2010 年 6 月 16 日(16.06.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 伊藤 里美 (ITO, Satomi) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式

会社 大阪製作所内 Osaka (JP). 塩見 弘(SHIOMI, Hiromu) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 並川 靖生 (NAMIKAWA, Yasuo) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目 1 番 1 号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP). 和田 圭司 (WADA, Keiji) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 嶋津 充(SHIMAZU, Mitsuru) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 日吉 透 (HIYOSHI, Toru) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

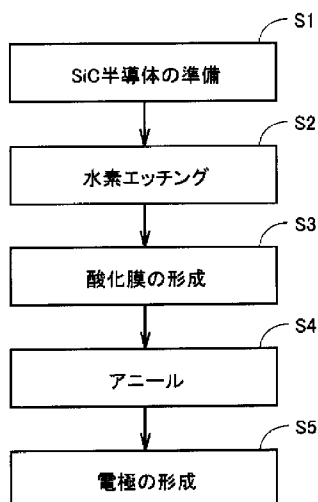
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SILICON CARBIDE SEMICONDUCTOR DEVICE AND APPARATUS FOR MANUFACTURING SILICON CARBIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 炭化珪素半導体装置の製造方法および炭化珪素半導体装置の製造装置

[図2]



- S1... PREPARE SiC SEMICONDUCTOR
S2... PERFORM HYDROGEN ETCHING
S3... FORM OXIDE FILM
S4... ANNEAL
S5... FORM ELECTRODE

(57) Abstract: Disclosed is a method for manufacturing a SiC semiconductor device (200), which is provided with: a step of preparing a silicon carbide semiconductor (100), which includes a first surface (100a) having an impurity implanted into at least a part thereof; a step of forming a second surface (100b) by dry-etching the first surface (100a) of the silicon carbide semiconductor (100) using a gas containing hydrogen gas; and a step of forming, on the second surface (100b), an oxide film (126) that constitutes the SiC semiconductor device (200).

(57) 要約: SiC半導体装置(200)を製造する方法は、少なくとも一部に不純物が注入された第1の表面(100a)を含む炭化珪素半導体(100)を準備する工程と、炭化珪素半導体(100)の第1の表面(100a)を、水素ガスを含むガスを用いてドライエッチングすることにより、第2の表面(100b)を形成する工程と、第2の表面(100b)上に、SiC半導体装置(200)を構成する酸化膜(126)を形成する工程とを備える。



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

炭化珪素半導体装置の製造方法および炭化珪素半導体装置の製造装置

技術分野

[0001] 本発明は、炭化珪素（S i C）半導体装置の製造方法およびS i C半導体装置の製造装置に関し、より特定的には酸化膜を有するS i C半導体装置の製造方法およびこの製造方法に用いられる製造装置に関する。

背景技術

[0002] 従来より、半導体装置を構成する材料として珪素（S i）が広く採用されている。S i半導体デバイス、たとえば、M O S F E T（Metal Oxide Semiconductor Field Effect Transistor：電界効果トランジスタ）は、以下のようにして製造することができる。

[0003] すなわち、まず、シリコン（S i）基板上にエピタキシャル層を形成して、S i半導体を作製する。次に、S i半導体に不純物（ドーパント）を導入する目的でイオン注入工程を行ない、次いで、導入された不純物を活性化させる目的で、当該S i半導体を加熱処理（活性化アニール処理）する。そして、加熱処理後のS i半導体の表面にゲート酸化膜を形成し、その上に電極を形成する。

[0004] 上記のような従来のS i半導体装置の製造においては、S i基板の表面に付着している、パーティクルや金属不純物などの不純物といった付着物を除去するための洗浄が行なわれている。このような洗浄方法として、R C A洗浄のような、薬液を用いた洗浄方法が広く採用されている。

[0005] R C A洗浄においては、まず、S i基板の表面を硫酸および過酸化水素を含む薬液で洗浄することによってS i基板の表面にS i酸化膜を形成する。このS i酸化膜の内部や表面にはパーティクルおよび金属不純物を取り込まれる。次に、このS i基板を希フッ酸水溶液で洗浄して、S i酸化膜をエッチング除去すると共にパーティクルおよび金属不純物を除去する。

[0006] また、他の洗浄方法として、たとえば、特開平 6－3 1 4 6 7 9 号公報（特許文献 1）、特開平 4－3 5 4 3 3 4 号公報（特許文献 2）には、オゾン水を用いて Si 基板の表面を酸化し、その後酸化膜を除去することによって Si 基板上のパーティクルおよび金属不純物を除去する方法が開発されている。

先行技術文献

特許文献

[0007] 特許文献 1：特開平 6－3 1 4 6 7 9 号公報

特許文献 2：特開平 4－3 5 4 3 3 4 号公報

発明の概要

発明が解決しようとする課題

[0008] SiC は、バンドギャップが大きく、また最大絶縁破壊電界および熱伝導率は Si と比較して大きい一方、キャリアの移動度は Si と同程度に大きく、電子の飽和ドリフト速度および耐圧も大きい。そのため、高効率化、高耐圧化、および大容量化を要求される半導体装置への適用が期待される。そこで、本発明者は SiC 半導体を半導体装置に用いることに着目した。そして、本発明者は、より品質の高い SiC 半導体装置を製造すべく、SiC 半導体において、SiC 半導体装置を構成する酸化膜を形成するための表面を清浄化することに着想した。

[0009] しかし、上記の従来の洗浄方法を SiC 半導体に適用すると、SiC は Si よりも熱的に安定な化合物であるので、SiC 半導体の表面が酸化されにくいことを本発明者は初めて明らかにした。つまり、上記洗浄方法は、Si の表面を酸化することはできるが、SiC の表面を十分に酸化できない。このため、SiC の表面から、パーティクルや不純物を除去することができず、SiC 表面を十分に清浄化することはできていない。SiC 半導体の表面が清浄化されないと、清浄化された SiC 半導体上に酸化膜を形成することができないため、結果的に、製造される SiC 半導体装置の品質が低下して

しまう。

[0010] したがって、本発明の目的は、高品質なS i C半導体装置を製造する方法およびこの方法に用いられる製造装置を提供することである。

課題を解決するための手段

[0011] 高品質なS i C半導体装置を製造するために、S i C半導体の表面を清浄化することに着目して鋭意研究したところ、本発明の完成に至った。すなわち、本発明は、S i C半導体装置を製造する方法であって、少なくとも一部に不純物（ドーパント）が注入された第1の表面を含むS i C半導体を準備する工程と、S i C半導体の第1の表面を、水素ガスを含むガスを用いてドライエッチングすることにより、第2の表面を形成する工程と、第2の表面上に、S i C半導体装置を構成する酸化膜を形成する工程とを備える、S i C半導体装置の製造方法である。

[0012] 本発明のS i C半導体装置の製造方法によれば、S i C半導体の少なくとも一部に不純物が注入された第1の表面を水素ガスを含むガスを用いてドライエッチング（以下、「水素エッチング」ともいう。）する。これにより、第1の表面に付着していた不純物、パーティクルなどを除去することができ、清浄化された第2の表面を形成することができる。そして、この清浄化された第2の表面上に、S i C半導体装置を構成する酸化膜を形成することにより、高品質なS i C半導体装置を製造することができる。また、S i C半導体は、安定な化合物であるので、水素エッチングを行なっても、S i C半導体へのダメージが少ない。よって、表面特性が良好になるように、S i C半導体を清浄化することができる。したがって、高品質なS i C半導体装置を製造することができる。

[0013] 上記S i C半導体装置の製造方法において好ましくは、第2の表面を形成する工程後に、液相を用いた洗浄をせずに、酸化膜を形成する工程を実施する。

[0014] これにより、液相を用いた洗浄に起因する不純物の付着を防ぐことができる。したがって、より高品質なS i C半導体装置を製造することができる。

- [0015] 上記S i C半導体装置の製造方法において好ましくは、第2の表面を形成する工程において、水素エッチングを1300℃以上1650℃以下の温度範囲で行なう。
- [0016] 水素エッチングを1300℃以上の温度で行なうことにより、エッチングレートを高めることができ、1650℃以下の温度で行なうことにより、エッチングレートが高くなりすぎることを抑制できるので、容易に制御できる。すなわち、水素エッチングを上記温度範囲内で行なうことにより、好適なエッチングレートに制御できるので、精度を高めて第1の表面をエッチングすることができるため、S i C半導体装置の品質をより高めることができる。
- [0017] 上記S i C半導体装置の製造方法において好ましくは、酸化膜を形成する工程は、第2の表面上に珪素（S i）を含む膜を形成し、該S iを含む膜を酸化することにより、酸化膜を形成する。
- [0018] 本発明者は、S i C半導体の少なくとも一部に不純物（ドーパント）が注入された第2の表面は、不純物（ドーパント）濃度および不純物（ドーパント）の種類が異なるため、深さ方向の酸化レートにばらつきが生じ、結果的に、不均一な酸化膜が形成されることに着目し、上記発明を完成させた。S iを含む膜は第2の表面上に形成されるので、S iを含む膜の品質について第2の表面状態の影響を低減できる。このため、S iを含む膜の品質の均一化を図ることができる。したがって、S i C半導体装置の品質をさらに高めることができる。
- [0019] 上記S i C半導体装置の製造方法において好ましくは、第2の表面を形成する工程において、ガスは塩化水素ガスをさらに含む。
- [0020] S i C半導体の第1の表面を水素エッチングする際に、水素ガスと共に塩化水素ガスを用いることによって、S i C半導体のエッチングレートを大きくすることができる。したがって、S i C半導体装置の製造タクトを短くすることができる。
- [0021] 上記S i C半導体装置の製造方法において好ましくは、第2の表面を形成

する工程において、ガスは炭化水素ガスをさらに含む。

[0022] S i C半導体の第1の表面を水素エッチングする際に、水素ガスと共に炭化水素ガスを用いることによって、S i C半導体の表面モフォロジーを良好にすることができる。したがって、S i C半導体装置の品質をより高めることができる。

[0023] 上記S i C半導体装置の製造方法において好ましくは、第2の表面を形成する工程と酸化膜を形成する工程との間では、S i C半導体は大気が遮断された雰囲気内に配置される。

[0024] これにより、清浄な第2の表面が形成されたS i C半導体を、大気にさらすことなく、次の工程のS i C半導体装置を構成する酸化膜を形成する工程に供することができる。このため、清浄化されたS i C半導体の表面が大気によって汚染されるのを防ぐことができ、S i C半導体装置の品質をさらに高めることができる。

[0025] また、本発明は、S i C半導体において、少なくとも一部に不純物（ドーパント）が注入された第1の表面を水素ガスを含むガスを用いたドライエッチングによって除去するための除去部と、S i C半導体において第1の表面が除去されることにより形成された第2の表面にS i C半導体装置を構成する酸化膜を形成するための形成部と、S i C半導体を搬送可能に除去部と形成部とを接続する接続部とを備え、接続部におけるS i C半導体を搬送させる領域は、大気の遮断が可能であるS i C半導体装置の製造装置である。

[0026] この製造装置によれば、S i C半導体において、少なくとも一部に不純物が注入された第1の表面を除去部で水素エッチングすることができる。そして、除去部で水素エッチングされた後のS i C半導体を、大気から遮断された雰囲気下の接続部を介して形成部へと搬送することができる。さらに、形成部において、第2の表面に、S i C半導体装置を構成する酸化膜を形成することができる。すなわち、水素エッチングによってS i C半導体を清浄化する工程から酸化膜を形成する工程までの一連の工程を大気から遮断された状態で行なうことができる。したがって、この製造装置によれば、高品質の

S i C半導体装置を製造することができる。

発明の効果

- [0027] 以上説明したように、本発明のS i C半導体装置の製造方法およびこれに用いる製造装置によれば、S i C半導体の清浄化を発現できるS i C半導体の洗浄方法を用いて、高品質なS i C半導体装置を製造することができる。

図面の簡単な説明

- [0028] [図1]本発明の実施の形態1におけるS i C半導体装置の製造装置の模式図である。
- [図2]本発明の実施の形態1におけるS i C半導体装置の製造方法を示すフローチャートである。
- [図3]本発明の実施の形態1において準備するS i C半導体を概略的に示す断面図である。
- [図4]本発明の実施の形態1において準備するS i C半導体の作製工程を説明するための図である。
- [図5]本発明の実施の形態1において酸化膜が形成されたS i C半導体を概略的に示す断面図である。
- [図6]本発明の実施の形態1においてソースコンタクト電極およびドレイン電極が形成されたS i C半導体を概略的に示す断面図である。
- [図7]本発明の実施の形態1において製造されるS i C半導体装置を概略的に示す断面図である。
- [図8]本発明の実施の形態2においてS i C半導体の主面上に半導体膜が形成されたS i C半導体を概略的に示す断面図である。
- [図9]実施例1、比較例1および比較例2で用いるエピタキシャルウエハを概略的に示す断面図である。
- [図10]比較例1のS i C半導体の表面をTXRFで測定した結果を示すスペクトルである。
- [図11]比較例2のS i C半導体の表面をTXRFで測定した結果を示すスペクトルである。

発明を実施するための形態

[0029] 以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には、同一の参照符号を付し、その説明は繰り返さない。

[0030] (実施の形態 1)

図 1 は、本発明の実施の形態 1 における S i C 半導体装置の製造装置の模式図である。図 1 を参照して、本発明の一実施の形態における S i C 半導体装置の製造装置を説明する。

[0031] 図 1 に示すように、S i C 半導体装置の製造装置 10 は、除去部 11 と、形成部 12 と、接続部 13 とを備えている。除去部 11 と形成部 12 とは、接続部 13 により接続されている。除去部 11、形成部 12 および接続部 13 の内部は大気から遮断されており、内部は互いに連通可能である。

[0032] 除去部 11 は、S i C 半導体における少なくとも一部に不純物が注入された第 1 の表面を水素エッチングすることで、第 2 の表面を形成する。除去部 11 には、水素エッチング装置が用いられる。除去部 11 で用いる水素エッチング装置は、特に限定されず、たとえば、高周波加熱炉などを用いることができる。

[0033] 形成部 12 は、第 2 の表面上に S i C 半導体装置を構成する酸化膜を形成する。形成部 12 には、酸化膜形成装置が用いられる。形成部 12 で用いる酸化膜形成装置は、特に限定されず、たとえば、ドライ酸化（熱酸化）装置、スパッタ装置、および C V D (Chemical Vapor Deposition: 化学蒸着) 装置、水蒸気を含む酸素雰囲気中で加熱するウェット酸化装置、パイロジェニック酸化装置を用いることができ、ドライ酸化装置を用いることが好ましい。

[0034] 接続部 13 は、S i C 半導体を搬送可能に除去部 11 と形成部 12 とを接続する。接続部 13 においてエピタキシャルウエハを搬送させる領域（内部空間）は、大気の遮断が可能である。

[0035] ここで、大気の遮断（大気を遮断した雰囲気）とは、大気が混入しない雰

囲気を意味し、たとえば窒素ガス、水素ガスおよび不活性ガスの少なくとも１種類のガスよりなる雰囲気、または真空である。具体的には、大気を遮断した雰囲気は、たとえば窒素（N）、水素（H）、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）、ラドン（Rn）、またはこれらの組み合わせからなるガスが充填された雰囲気、または真空である。

[0036] 接続部１３は、除去部１１の内部と形成部１２の内部とを連通させる。接続部１３は、除去部１１から搬出されるＳｉＣ半導体を形成部１２へ搬送するための空間を内部に有する。つまり、接続部１３は、ＳｉＣ半導体を大気に開放しないように、除去部１１から形成部１２へ搬送するために設置されている。

[0037] 接続部１３は、内部でＳｉＣ半導体が搬送可能であるような大きさを有する。また接続部１３は、ＳｉＣ半導体をサセプタに載置した状態で搬送可能である大きさを有していてもよい。接続部１３は、たとえば除去部１１の出口と、形成部１２の入口とを連結するロードロック室である。

[0038] また、製造装置１０は、接続部１３の内部に配置されるとともに、ＳｉＣ半導体を除去部１１から形成部１２へ搬送するための第１の搬送部をさらに備えていてもよい。製造装置１０は、形成部１２でゲート酸化膜１２６を形成したＳｉＣ半導体を、製造装置１０の外部へ取り出す、あるいは電極を形成する電極形成部へ大気を遮断した雰囲気で搬送するための第２の搬送部をさらに備えていてもよい。第１の搬送部と第２の搬送部とは、同一であっても異なってもよい。

[0039] また、製造装置１０は、除去部１１と接続部１３との間に配置され、かつ除去部１１の内部と接続部１３の内部とを遮断するための遮断部をさらに備えていてもよい。また、製造装置１０は、形成部１２と接続部１３との間に配置され、かつ形成部１２の内部と接続部１３の内部とを遮断するための遮断部をさらに備えていてもよい。遮断部は、たとえばそれぞれの連通部を塞ぐことが可能な弁や扉などを用いることができる。

[0040] また、製造装置 10 は、内部の雰囲気ガスを排出するための真空ポンプや、内部の雰囲気ガスを置換するための置換ガスポンペをさらに備えていてもよい。真空ポンプや置換ガスポンペは、除去部 11、形成部 12 および接続部 13 のそれぞれに接続されていてもよく、少なくともいずれか 1 つに接続されていてもよい。

[0041] なお、製造装置 10 は、上記以外の様々な要素、たとえば酸化膜上に電極を形成するための電極形成部を含んでいてもよいが、説明の便宜上、これらの要素の図示および説明は省略する。

[0042] また、図 1 では、接続部 13 として除去部 11 と形成部 12 との間のみを連結する形状を示したが、特にこれに限定されない。たとえば接続部 13 として、たとえば大気を遮断したチャンバを用い、このチャンバ内に除去部 11 および形成部 12 が配置されていてもよい。

[0043] 続いて、図 1 ～図 7 を参照して、本実施の形態における S i C 半導体装置の製造方法について説明する。図 2 は、本発明の実施の形態 1 における S i C 半導体装置の製造方法を示すフローチャートである。図 3 ～図 6 は、本発明の実施の形態 1 における S i C 半導体装置の製造方法の各工程で形成される S i C 半導体の構成を示す図である。具体的には、図 3 は、準備する S i C 半導体を概略的に示す断面図であり、図 4 は、準備する S i C 半導体の作製工程を説明するための図である。図 5 は、酸化膜が形成された S i C 半導体を概略的に示す断面図であり、図 6 は、ソースコンタクト電極およびドレイン電極が形成された S i C 半導体を概略的に示す断面図である。そして、図 7 は、本発明の実施の形態 1 において製造される S i C 半導体装置を概略的に示す断面図である。本実施の形態では、S i C 半導体として、図 7 に示す S i C 半導体装置 200 を製造する方法を説明する。また、本実施の形態では、図 1 に示す S i C 半導体装置の製造装置 10 を用いる。

[0044] 図 2 および図 3 に示すように、まず、少なくとも一部に不純物が注入された第 1 の表面 100 a を含む S i C 半導体としてのエピタキシャルウエハ 100 を準備する（ステップ S 1）。本工程では、S i C 半導体として、図 2

に示すように、S i C基板2の表面2 a上に、不純物が注入された領域を有するエピタキシャル層1 2 0が形成されたエピタキシャルウエハ1 0 0を準備する。上記S i C基板2は、特に限定されないが、たとえば以下の方法により準備することができる。

[0045] 具体的には、たとえば、昇華法、C V D法などの気相成長法、液相成長法などにより成長されたS i Cインゴットを準備する。その後、S i Cインゴットから表面を有するS i C基板を切り出す。切り出す方法は特に限定されず、S i CインゴットからスライスなどによりS i C基板を切り出す。

[0046] 次いで、切り出したS i C基板の表面を研磨する。研磨する面は、表面のみでもよく、表面と反対側の裏面をさらに研磨してもよい。研磨する方法は特に限定されないが、表面を平坦にするとともに、傷などのダメージを低減するために、たとえばCMP (Chemical Mechanical Polishing: 化学機械研磨)を行なう。CMPでは、研磨剤としてコロイダルシリカ、固定剤として接着剤、ワックスなどを用いる。なお、CMPと併せて、あるいは代わりに、電界研磨法、化学研磨法、機械研磨法などの他の研磨をさらに行なってもよい。また研磨を省略してもよい。以上の操作により、表面2 aを有するS i C基板2を準備することができる。このようなS i C基板2として、たとえば導電型がn型であり、抵抗が $0.02 \Omega \text{ cm}$ の基板を用いる。

[0047] また、上記S i C基板2上のエピタキシャル層1 2 0は、たとえば以下の方法により形成することができる。まず、図4に示すように、S i C基板2の表面2 a上に、バッファ層1 2 1を形成する。バッファ層1 2 1は、たとえば導電型がn型のS i Cからなり、たとえば厚さが $0.5 \mu \text{ m}$ のエピタキシャル層である。またバッファ層1 2 1におけるn型の導電性不純物の濃度は、たとえば $5 \times 10^{17} \text{ cm}^{-3}$ である。その後、バッファ層1 2 1上にドリフト層1 2 2を形成する。ドリフト層1 2 2として、気相成長法、液相成長法などにより、導電型がn型のS i Cからなる層を形成する。ドリフト層1 2 2の厚さは、たとえば $10 \mu \text{ m}$ である。またドリフト層1 2 2におけるn型の導電性不純物の濃度は、たとえば $5 \times 10^{15} \text{ cm}^{-3}$ である。

- [0048] 次に、エピタキシャル層に不純物を注入する。本実施の形態では、図3に示すように、pボディ領域123と、nソース領域124と、p⁺領域125とを、以下のように形成する。まず導電型がp型の不純物をドリフト層122の一部に選択的に注入することで、ボディ領域123を形成する。その後、n型の導電性不純物を所定の領域に選択的に注入することによってソース領域124を形成し、また導電型がp型の導電性不純物を所定の領域に選択的に注入することによってp⁺領域125を形成する。なお導電性不純物の選択的な注入は、たとえば酸化膜からなるマスクを用いて行なわれる。
- [0049] 上記の不純物の注入工程において、各注入プロファイルは、後述するステップS2における水素エッチングによって除去される厚みが考慮される。つまり、水素エッチングするステップS2においてエピタキシャル層の第1の表面100aを除去したときに、pボディ領域123、nソース領域124およびp⁺領域125とを含む不純物拡散領域が所望の配置になるように、イオン注入を制御する。
- [0050] このような注入工程の後、活性化アニール処理が行なわれてもよい。たとえば、アルゴン雰囲気中、加熱温度1700℃で30分間のアニールが行なわれる。
- [0051] これらの工程により、SiC基板2と、SiC基板2上に形成されたエピタキシャル層120とを備えたエピタキシャルウエハ100を準備することができる。
- [0052] 図2に戻り、次に、準備されたエピタキシャルウエハ100の第1の表面100aを水素エッチングすることにより、第2の表面100b（図5参照）を形成する（ステップS2）。本実施の形態のステップS2では、図1に示す製造装置10の除去部11で第1の表面100aを除去する。
- [0053] このステップS2を実施すると、エピタキシャル層120の第1の表面100aが水素エッチングされ、これにより、第1の表面100aに付着している不純物、パーティクルなどを第1の表面100aと共に除去することができる。そして、エピタキシャルウエハ100において、不純物、パーティ

クルなどが除去されることによって清浄な第2の表面100bが形成される(図5参照)。

[0054] ステップS2において、容易に制御されるエッチング量のため、エッチング深さ(第1の表面100aからSiC基板2に向けた方向のエッチング量)は、0.1 μ m以上が好ましく、0.5 μ m以上がより好ましい。

[0055] また、不純物、パーティクルなどの除去という観点からは、エッチング深さは1分子層以上10nm以下であることが好ましい。この範囲の厚みで第1の表面100aを水素エッチングすることによって、第1の表面100aに付着している不純物、パーティクルなどを確実に除去し、清浄化された第2の表面100bを形成することができる。

[0056] また、上述した注入工程によってSi半導体の表面領域がダメージを受けて荒れることがあるが、たとえば、エッチング深さを10nmより大きく500nm以下にすることによって、不純物、パーティクルなどを除去するとともに荒れた表面領域を除去することができる。したがって、この範囲の厚みで第1の表面100aを水素エッチングすることによって、ダメージ層を不純物、パーティクルなどと共に除去することができ、表面特性の良好な第2の表面100bを形成することができる。

[0057] また、水素エッチングを1300℃以上の温度で行なうことにより、エッチングレートを高めるができ、1650℃以下の温度で行なうことにより、エッチングレートが高くなりすぎることを抑制できるので、容易に制御できる。したがって、水素エッチングの温度条件を1300℃以上1650℃以下に調整することによって、好適なエッチングレートに制御できるので、精度を高めて第1の表面100aをエッチングすることができるため、SiC半導体装置の品質をより高めることができる。このような温度設定は、たとえば、エッチング装置(除去部11)内に配置されたエピタキシャルウエハ100を1300℃以上1650℃以下に加熱する、1300℃以上1650℃以下のエッチング用のガス(以下、「エッチングガス」という。)を装置内に導入する、または装置内を1300℃以上1650℃以下に保持する

ことで可能となる。なお、これらを組み合わせても良い。

[0058] また、水素エッチング時の水素ガスの流量は特に制限されないが、数百 s l m (standard liter per minute) 程度であることが好ましく、水素エッチング時の圧力は数十 h P a ~ 数百 h P a 程度であることが好ましい。この場合、好ましい速度でエッチングを行なうことが可能となる。

[0059] また、エッチングガスとして、水素ガスと他のガスとの混合ガスを用いてもよい。特に、水素ガスに塩化水素 (HCl) ガスを混合した混合ガスを用いることが好ましい。このような混合ガスを用いることによって、エッチングレートを大きくすることができる。混合ガス中の塩化水素ガスの含有率が高すぎると、エッチングレートが大きくなりすぎ、エッチングの制御が困難となるため、混合ガス中の塩化水素ガスの含有率は 10% 以下であることが好ましく、塩化水素ガスと水素ガスとからなる混合ガス中の塩化水素ガスの含有率 ($\text{塩化水素ガス} / (\text{塩化水素ガス} + \text{水素ガス}) \times 100$) が 10% 以下であることがより好ましい。

[0060] また、水素ガスに炭化水素ガスを混合した混合ガスを用いてもよい。このような混合ガスを用いることによって、エピタキシャルウエハ 100 の表面モフォロジーを良好にしながらエッチングすることができ、表面状態の良好な第 2 の表面 100 b を形成することができる。炭化水素としては、アルカン、アルケンなどの低級炭化水素を用いることができ、たとえば、アセチレン (C_2H_2) やプロパン (C_3H_8) などを用いることができる。このような炭化水素ガスは、 Si の液滴が生じるのを抑える効果を効果的に発揮するため、1000 ppm 以下で混合させることが好ましい。また、当然に、水素ガス、塩化水素ガス、炭化水素ガスそれぞれを混合した混合したガスをエッチングガスとしてもよい。

[0061] 次に、図 1 を参照して、除去部 11 で第 2 の表面 100 b を形成したエピタキシャルウエハ 100 を、形成部 12 へ搬送する。このとき、エピタキシャルウエハ 100 は大気が遮断された雰囲気である接続部 13 内で搬送される。言い換えると、第 2 の表面 100 b を形成するステップ S2 とゲート酸

化膜 126 を形成するステップ S3 との間では、エピタキシャルウエハ 100 は、大気が遮断された雰囲気内に配置される。これにより、清浄化された第 2 の表面 100b が形成された後に、該第 2 の表面 100b に大気に含まれる不純物が付着することを抑制できる。

[0062] また、図 1 に示す製造装置 10 を用いることにより、第 2 の表面 100b を形成する工程（ステップ S2）の後に、液相を用いた洗浄をせずに、後述する酸化膜を形成するステップ S3 を実施することができる。これにより、液相を用いた洗浄に起因する不純物（特に重金属イオン、アルカリイオン）の付着を抑制できる。なお、液相を用いた洗浄とは、SiC 半導体としてのエピタキシャルウエハ 100 を液相中で洗浄することを意味し、意図しない気相成分を含んでいてもよい。

[0063] 次に、図 2 および図 5 に示すように、第 2 の表面 100b 上に、SiC 半導体装置 200 を構成するゲート酸化膜 126 を形成する（ステップ S3）。

[0064] このステップ S3 では、酸化膜を形成する公知の方法を用いることができる。公知の方法としては、たとえば、ドライ酸化法、スパッタ法、CVD 法、ウエット酸化法、パイロジェニック酸化法などが挙げられる。

[0065] ステップ S3 において、第 2 の表面 100b は清浄化されているため、ゲート酸化膜 126 の絶縁特性を向上できるとともに、エピタキシャルウエハ 100 とゲート酸化膜 126 との界面やゲート酸化膜 126 中に存在する不純物、パーティクルなどを低減することができる。したがって、SiC 半導体装置 200 の逆方向電圧印加時の耐圧を向上できるとともに、順方向電圧印加時の動作の安定性および長期信頼性を向上することができる。

[0066] 次に、図 2 に示すように、ゲート酸化膜 126 をアニール処理する（ステップ S4）。このステップ S4 では、たとえば、ゲート酸化膜 126 に対して、窒化処理と、不活性ガスアニール処理とを行なうことができる。

[0067] 窒化処理は、窒素を含む雰囲気中で熱処理する。窒化処理として、たとえば、一酸化窒素（NO）雰囲気中または二酸化酸素（N₂O）雰囲気中、加熱温

度 1200℃で 120 分間のアニールを行なうことができる。これにより、エピタキシャル層 120 とゲート酸化膜 126 との界面を含む領域に、当該領域に隣接する領域に比べて窒素濃度の高い高窒素濃度領域（不図示）が形成される。

[0068] 不活性ガスアニール処理は、不活性ガスを含む雰囲気中で熱処理する。不活性ガスアニール処理として、たとえば、アルゴン（Ar）ガスなどの不活性ガス雰囲気中、加熱温度 1100℃で 60 分間のアニールを行なうことができる。

[0069] 上記窒化処理および不活性ガスアニール処理を行なった場合、SiC 半導体装置 200 において、高いチャネル移動度を再現性良く実現することができる傾向が大きくなる。なお、窒化処理および不活性ガスアニール処理のいずれかのみを行なってもよく、本工程（ステップ S4）が省略されてもよい。

[0070] 次に、図 2 および図 7 に示すように、ゲート酸化膜 126 が形成されたエピタキシャルウエハ 100 に対して、ゲート電極 110、ソース電極 127 およびドレイン電極 112 を形成する（ステップ S5）。

[0071] ゲート電極 110 およびソース電極 127 は、たとえば以下の方法により形成することができる。すなわち、フォトリソグラフィ法によりゲート酸化膜 126 上にパターンを有するレジスト膜を形成する。このレジスト膜をマスクとして用いて、ゲート酸化膜 126 を部分的に除去し、その後、公知の方法、たとえば蒸着法によって金属からなる導電膜を形成する。次に、上記レジスト膜を除去（リフトオフ）することにより、レジスト膜上の導電膜を除去してソースコンタクト電極 111 を形成する（図 6 参照）。その後、ソース電極 127 を公知の方法、たとえば蒸着法によってソースコンタクト電極 111 上に形成し、ゲート電極 110 を公知の方法、たとえば蒸着法によってゲート酸化膜 126 上に形成する。また、ドレイン電極 112 は、SiC 基板 2 の表面 2a と反対の面に、公知の方法、たとえば蒸着法によって形成することができる。以上の工程（ステップ S1～S5）を実施することによ

り、図 7 に示す S i C 半導体装置 2 0 0 が製造される。

[0072] ここで、本実施の形態では、ステップ S 2 とステップ S 3 との間では、ウエット洗浄など他の洗浄をしない方法を例に挙げて説明したが、特に限定されず、ウエット洗浄、ドライ洗浄などの他の洗浄をしてもよい。他の洗浄をする場合には、エピタキシャルウエハ 1 0 0 を搬送する際に、大気が遮断された雰囲気内に配置することが好ましい。

[0073] なお、ステップ S 1 後に必要に応じて、薬液での洗浄工程、純水リンス工程、乾燥工程などを追加して実施してもよい。薬液は、たとえば硫酸と過酸化水素水とを含む S P M が挙げられる。ステップ S 2 前に S P M で洗浄する場合には有機物を除去することもできる。また、ステップ S 2 前に R C A 洗浄などを行なってもよい。

[0074] 以上説明したように、本実施の形態における S i C 半導体装置の製造方法は、少なくとも一部に不純物が注入された第 1 の表面 1 0 0 a を含むエピタキシャルウエハ 1 0 0 を準備する工程（ステップ S 1）と、第 1 の表面 1 0 0 a を水素エッチングすることにより、第 2 の表面 1 0 0 b を形成する工程（ステップ S 2）と、第 2 の表面 1 0 0 b 上に S i C 半導体装置 2 0 0 を構成するゲート酸化膜 1 2 6 を形成する工程（ステップ S 3）とを備える。

[0075] 本発明者は、上記従来の洗浄方法をエピタキシャルウエハ 1 0 0 に適用すると、S i C が S i よりも安定な化合物であるために、エピタキシャルウエハ 1 0 0 の表面が酸化されにくく、そのため、エピタキシャルウエハ 1 0 0 の表面を十分に清浄化できないことを初めて明らかにした。

[0076] しかし、エピタキシャルウエハ 1 0 0 は化学的に安定していることに本発明者は着目して、S i ではダメージが生じる方法をエピタキシャルウエハ 1 0 0 に用いても、エピタキシャルウエハ 1 0 0 にはダメージが生じにくいことを見い出した。そこで、エピタキシャルウエハ 1 0 0 の表面を清浄化する条件を鋭意研究した結果、上述した本実施の形態におけるエピタキシャルウエハ 1 0 0 の製造方法を本発明者は見い出した。

[0077] したがって、本実施の形態では、ステップ S 2 においてエピタキシャルウ

エハ１００の第１の表面１００aを水素エッチングすることによって、第１の表面１００aに付着していた不純物、パーティクルなどを除去し、清浄化された第２の表面１００bを形成することができる。さらに、ステップＳ３によって、清浄化された第２の表面１００b上にゲート酸化膜１２６を形成することができるため、半導体デバイスにおけるゲート酸化膜１２６の絶縁特性を向上できるとともに、エピタキシャルウエハ１００とゲート酸化膜１２６との界面やゲート酸化膜１２６中に存在する不純物、パーティクルなどを低減することができる。したがって、ＳｉＣ半導体装置２００の逆方向電圧印加時の耐圧を向上できるとともに、順方向電圧印加時の動作の安定性および長期信頼性を向上することができる。このように、本実施の形態に係るＳｉＣ半導体装置の製造方法によれば、高品質のＳｉＣ半導体装置２００を製造することができる。さらに、水素エッチングによるエピタキシャルウエハ１００のダメージは少ないため、表面特性が良好な第２の表面１００bを形成することができる。したがって、結果的に、高品質のＳｉＣ半導体装置２００を製造することができる。

[0078] また、イオン注入工程や活性化アニール処理により第１の表面１００aがダメージを受けた場合、従来は、液相を用いた洗浄によって、犠牲酸化膜の形成および犠牲酸化膜の除去が行われていた。この液相を用いた洗浄によって第１の表面１００aに形成されたダメージ層を除去するには、１５時間程度の洗浄時間が必要とされていた。これに対し、液相を用いた洗浄を含まない水素エッチングでは、４時間程度で第１の表面１００aに形成されたダメージ層を、パーティクル、不純物などとともに除去することができる。したがって、本実施の形態に係るＳｉＣ半導体装置の製造方法において、ステップＳ２とステップＳ３との間に液相を用いた洗浄を行わないことによって、製造タクトを短縮することができる。

[0079] なお、「第２の表面１００bを形成する工程（ステップＳ２）の後に、液相を用いた洗浄をせずに、ゲート酸化膜１２６を形成する工程（ステップＳ３）を実施する」とは、ステップＳ２とステップＳ３との間に液相を用いた

洗浄工程を含まないことを意味し、ステップS 2とステップS 3との間とが断続的に行なわれても（時間が経過していても）よい。また、ステップS 2とステップS 3とを連続して行なってもよい。

[0080] また、本発明者は、鋭意検討を重ねたところ、エピタキシャルウエハ100を液相を用いて洗浄した場合、エピタキシャルウエハ100の洗浄が不十分であるだけでなく、かえって不純物を付着させてしまうことを明らかにした。

[0081] したがって、本実施の形態に係るSiC半導体装置の製造方法において、第2の表面100bを形成する工程（ステップS 2）の後に、液相を用いた洗浄をせずに、ゲート酸化膜126を形成する工程（ステップS 3）を実施することが好ましい。第2の表面100bを形成する工程後に、液相を用いた洗浄をせずに、ゲート酸化膜126を形成することによって、液相を用いた洗浄に起因する不純物の付着を防ぐことができる。これにより、より高品質なSiC半導体装置200を製造することができる。

[0082] 本実施の形態に係るSiC半導体装置の製造方法は、清浄化されたエピタキシャルウエハの表面に酸化膜を形成することで酸化膜の特性を向上できるので、酸化膜を有する半導体デバイスに好適に用いることができる。したがって、本実施の形態では、MOSFETを製造する場合について説明したが、他に、IGBT（Insulated Gate Bipolar Transistor：絶縁ゲートバイポーラトランジスタ）などの絶縁ゲート型電界効果部を有する半導体デバイスや、JFET（Junction Field-Effect Transistor：接合電界効果トランジスタ）などに好適に用いることができる。

[0083] （実施の形態2）

図8は、本発明の実施の形態2においてSiC半導体の主面上に半導体膜が形成されたSiC半導体を概略的に示す断面図である。図2～図8を参照して、実施の形態2のSiC半導体装置の製造方法を説明する。

[0084] まず、図2および図3に示すように、SiC基板2の表面2a上に、不純物（ドーパント）が注入された領域を有するエピタキシャル層120が形成

されたエピタキシャルウエハ100を準備する（ステップS1）。ステップS1は実施の形態1と同様であるため、その説明は繰り返さない。

[0085] 次に、図2に示すように、準備されたエピタキシャルウエハ100の第1の表面100aを水素エッチングすることにより、第2の表面100bを形成する（ステップS2）。ステップS2は実施の形態1と同様であるため、その説明は繰り返さない。

[0086] 次に、図2および図8に示すように、第2の表面100b上に珪素（Si）を含む半導体膜201を形成し、その後、図5に示すように、当該半導体膜201を酸化してゲート酸化膜126を形成する（ステップS3）。

[0087] 第2の表面100b上にSiを含む半導体膜201を形成する方法には、公知のエピタキシャル成長法、たとえば、CVD法を用いることができる。

[0088] 本工程において、Siからなる半導体膜201を形成してもよく、炭化珪素（SiC）からなる半導体膜201を形成してもよい。半導体膜201がSiからなる場合、エピタキシャルウエハ100とゲート酸化膜126との界面やゲート酸化膜126中に炭素が存在することを抑制できるので、製造する半導体装置の品質をより高めることができる。半導体膜201がSiCからなる場合、下地のエピタキシャル層120と形成する半導体膜201との結晶が同じであるため、半導体膜201を容易に形成することができる。

[0089] このステップS3では、ゲート酸化膜126の厚みを決定し、半導体膜201をすべて酸化したとき（半導体膜201下のエピタキシャルウエハ100を酸化させずに）に、決定したゲート酸化膜126の厚みになるように、半導体膜201の厚みを制御することが好ましい。つまり、半導体膜201をすべて酸化してなるゲート酸化膜126の厚みに応じて、半導体膜201の厚みを決定することが好ましい。これは、たとえば、半導体膜201が酸化されてゲート酸化膜126となる際に、酸素（O）を取り込むことによる膜厚の増加が生じることを考慮して、半導体膜201の厚みを計算などにより制御することで実現する。

[0090] たとえば、半導体膜201がSiからなる場合、所望の酸化膜の厚さのO

． 4 4 倍程度の厚さとなるように形成することが好ましい。このように半導体膜 2 0 1 の厚みを設計することによって、半導体膜 2 0 1 が酸化されてゲート酸化膜 1 2 6 となる場合に、酸素を取り込むことによる膜厚の増加が生じて、ゲート酸化膜 1 2 6 の厚みを設計の厚みとすることができる。また、このとき、イオン注入されたエピタキシャルウエハ 1 0 0 の不純物を含まないように、エピタキシャルウエハ 1 0 0 を酸化させずに、半導体膜 2 0 1 のみを酸化して、ゲート酸化膜 1 2 6 を形成することが好ましい。これにより、エピタキシャルウエハ 1 0 0 のイオン注入プロファイルへの影響を低減することができる。

[0091] 半導体膜 2 0 1 の酸化の方法は特に限定されず、たとえば、ドライ酸化法、ウェット酸化法、パイロジェニック酸化法などを用いることができる。

[0092] 次に、図 2 に示すように、ゲート酸化膜 1 2 6 をアニール処理する（ステップ S 4）。ステップ S 4 は、実施の形態 1 と同様であるため、その説明は繰り返さない。

[0093] 次に、図 2 および図 7 に示すように、ゲート酸化膜 1 2 6 が形成されたエピタキシャルウエハ 1 0 0 に対して、ゲート電極 1 1 0、ソース電極 1 2 7 およびドレイン電極 1 1 2 を形成する（ステップ S 5）。ステップ S 5 は、実施の形態 1 と同様であるため、その説明は繰り返さない。以上の工程（ステップ S 1 ～ S 5）を実施することにより、図 7 に示す S i C 半導体装置 2 0 0 が製造される。

[0094] 以上説明したように、本実施の形態における S i C 半導体装置の製造方法は、少なくとも一部に不純物が注入された第 1 の表面 1 0 0 a を含むエピタキシャルウエハ 1 0 0 を準備する工程（ステップ S 1）と、第 1 の表面 1 0 0 a を水素エッチングすることにより、第 2 の表面 1 0 0 b を形成する工程（ステップ S 2）と、第 2 の表面 1 0 0 b 上に S i C 半導体装置 2 0 0 を構成するゲート酸化膜 1 2 6 を形成する工程（ステップ S 3）とを備える。そして、ゲート酸化膜 1 2 6 を形成する工程（ステップ S 3）は、第 2 の表面 1 0 0 b 上に S i を含む半導体膜 2 0 1 を形成し、半導体膜 2 0 1 を酸化す

ることにより、ゲート酸化膜 126 を形成する。

[0095] 本発明者は、少なくとも一部に不純物が注入された第 2 の表面 100b を酸化してゲート酸化膜 126 を形成する際に、ゲート酸化膜 126 が均一に形成されない場合があることに着目した。具体的には、イオン注入領域を有する第 2 の表面 100b は、不純物が注入されている領域と不純物が注入されていない領域とがある。また、不純物が注入されている領域においても、注入される不純物が異なり、またその濃度も異なっている。不純物の濃度、不純物の種類によって SiC 半導体の酸化レートは異なるため、上記のような第 2 の表面 100b を有するエピタキシャルウエハ 100 を酸化する場合、面内の各位置において、深さ方向の酸化レートにばらつきが生じてしまう。

[0096] そこで、本発明者はゲート酸化膜 126 を均一に形成するために、さらに鋭意検討を重ねたところ、第 2 の表面 100b 上に Si を含む膜を形成し、これを酸化してゲート酸化膜 126 を形成することによって、均一なゲート酸化膜 126 が形成できることを見出した。

[0097] したがって、本実施の形態では、ステップ S2 においてエピタキシャルウエハ 100 の第 1 の表面 100a を水素エッチングして第 2 の表面 100b を形成した後、第 2 の表面 100b 上に Si を含む半導体膜 201 を形成する。そして、この半導体膜 201 を酸化してゲート酸化膜 126 にする。これにより、清浄化された第 2 の表面 100b に、第 2 の表面 100b の不純物の濃度や種類に依存せずに、半導体膜 201 を形成できる。また半導体膜 201 には不純物が注入されていないため、半導体膜 201 の品質は均一となり、半導体膜 201 の面内の各位置における深さ方向の酸化レートは均一となる。したがって、清浄な第 2 の表面 100b 上に、より均一な品質のゲート酸化膜 126 を形成することができ、SiC 半導体装置 200 の品質をより向上することができる。

[0098] このように、本実施の形態によれば、ゲート酸化膜 126 の絶縁特性を向上できるとともに、エピタキシャルウエハ 100 とゲート酸化膜 126 との

界面やゲート酸化膜 126 中に存在する不純物、パーティクルなどを低減することができる。さらに、ゲート酸化膜 126 の品質の均一性を向上することができる。したがって、SiC 半導体装置 200 の品質をより向上することができる。

[0099] 本実施の形態において、図 1 の製造装置 10 を用いる場合には、除去部 11 および形成部 12 のいずれかに、Si 元素を含む半導体膜 201 を形成する装置、好ましくは CVD 装置が含まれる。なお、当該半導体膜 201 を形成する装置を設ける位置は、除去部 11 内または形成部 12 に限られず、たとえば、除去部 11 と接続部 13 との間、または接続部 13 と形成部 12 との間に別途設けられてもよい。この場合、半導体膜 201 を形成する装置の内部と連結する他の部との間で、エピタキシャルウエハ 100 が大気に遮断された雰囲気内に配置されることが好ましい。

[0100] これにより、第 2 の表面 100b を大気にさらすことなく、半導体膜 201 を形成することができ、また、半導体膜 201 を大気にさらすことなく酸化することができる。したがって、より高品質な SiC 半導体装置 200 を製造することができる。

実施例

[0101] (実施例 1)

本実施例 1 では、SiC 半導体として、図 9 に示すエピタキシャルウエハ 130 を用い、該エピタキシャルウエハ 130 の第 1 の表面 130a を水素エッチングして清浄化することの効果について調べた。なお、図 9 は、実施例 1、比較例 1 および比較例 2 で用いるエピタキシャルウエハを概略的に示す断面図である。

[0102] 具体的には、まず、SiC 基板 2 として、表面 2a を有する 4H-SiC 基板を準備した。次に、エピタキシャル層 120 を構成する層として、10 μm の厚みを有し、 $1 \times 10^{16} \text{ cm}^{-3}$ の不純物濃度を有する n 型 SiC 層 131 を CVD 法により成長した。

[0103] 次に、SiO₂ をマスクとして用いて、アルミニウム (Al) を p 型不純物

として $2 \times 10^{16} \text{ cm}^{-3}$ のドーパント濃度を有する p ボディ領域 123 を形成し、さらに、リン (P) を n 型不純物として $1 \times 10^{19} \text{ cm}^{-3}$ の不純物濃度を有する n⁺ソース領域 124 を形成した。また、アルミニウム (Al) を p 型不純物として $1 \times 10^{19} \text{ cm}^{-3}$ の不純物濃度を有する p⁺領域 125 を形成した。

[0104] 次に、活性化アニール処理を行なった。この活性化アニール処理としては、Ar ガスを雰囲気ガスとして用いて、加熱温度 $1700 \sim 1800^{\circ}\text{C}$ 、加熱時間 30 分の条件とした。これにより、第 1 の表面 130a を有するエピタキシャルウエハ 130 を準備した (ステップ S1)。

[0105] 次に、準備されたエピタキシャルウエハ 100 の主面の第 1 の表面 130a を水素エッチングによって除去した (ステップ S2)。

[0106] 具体的には、エピタキシャルウエハ 130 を反応炉内に收容し、該エピタキシャルウエハ 130 を 1300°C 以上 1650°C 以下に制御された載置台で加熱しながら、第 1 の表面 130a を水素エッチングした。水素エッチングの条件は、反応炉内に導入される水素ガスの流量が $50 \sim 200 \text{ slm}$ であり、炉内圧力が $20 \sim 150 \text{ hPa}$ であり、反応時間は 1 時間とした。

[0107] (比較例 1)

比較例 1 は、基本的には実施例 1 と同様であったが、ステップ S2 の水素エッチングを行なわなかった点において異なっていた。すなわち、比較例 1 では、ステップ S1 で準備したエピタキシャルウエハ 130 に対しては、洗浄処理を行わなかった。

[0108] (比較例 2)

比較例 2 は基本的には実施例 1 と同様であったが、ステップ S2 において、水素エッチングのかわりに液相を用いた薬液洗浄によって SiC 半導体の表面を洗浄した点において異なっていた。液相として、硫酸 (H_2SO_4) : 過酸化水素水 (H_2O_2) を 5 : 1 の体積比で混合した混合溶液 1 と、アンモニア水 : 過酸化水素水 : 純水を 1 : 1 : 5 の体積比で混合した混合溶液 2 と、塩化水素 (HCl) : 過酸化水素 : 純水を 1 : 1 : 6 の体積比で混合した混合

溶液 3 と、10%のフッ化水素（HF）溶液を用いた。すなわち、比較例 2 では、準備したエピタキシャルウエハ 130 を混合溶液 1 に 0.5 時間浸漬した後、混合溶液 2 に 10 分間浸漬し、HF 溶液に 10 分間浸漬し、混合溶液 3 に 10 分間浸漬し、混合溶液 2 に 10 分間浸漬し、HF 溶液に 10 分間浸漬して、薬液洗浄を行なった。なお、薬液洗浄後のエピタキシャルウエハ 130 は、Ar ガンまたは N₂ ガンを用いて、アルゴンガスまたは N₂ ガスでブローすることによって乾燥させた。

[0109] （表面の不純物の測定）

実施例 1、比較例 1 および比較例 2 のエピタキシャルウエハ 130 の表面を、TXRF（全反射蛍光 X 線分析法）に供した。なお、TXRF において、励起源として W（タングステン）-L β 線を用いた。

[0110] TXRF によって実施例 1、比較例 1 および比較例 2 のエピタキシャルウエハ 130 の表面の不純物を測定した。実施例 1 における水素エッチング後のエピタキシャルウエハ 130 の表面は、水素エッチングを行わなかった比較例 1 の表面と比較して、不純物が低減されていた。したがって、水素エッチング後のエピタキシャルウエハ 130 にゲート酸化膜および電極を形成して SiC 半導体装置を製造することによって、高品質の SiC 半導体装置を製造できることがわかった。

[0111] また、比較例 2 における液相を用いて洗浄した後のエピタキシャルウエハ 130 の表面は、比較例 1 よりもさらに不純物が多くなっていることがわかった。この結果を図 10 および図 11 に示す。

[0112] 図 10 は、比較例 1 の SiC 半導体の表面を TXRF で測定した結果を示すスペクトルであり、図 11 は、比較例 2 の SiC 半導体の表面を TXRF で測定した結果を示すスペクトルである。各図において、横軸はエネルギー強度を、縦軸はスペクトル強度を示しており、ピークの高さが大きいほど、その元素が多く検出されたことになる。また、たとえば、図 10 中の縦に記載される「C L, Ka」とは、C L-K α 線が検出されたことを示し、他の記載も同様である。また、エネルギー強度が 9.67 eV 付近のピ

ークは励起線源であるW-L β 線のピークである。

[0113] 図10および図11を比較すると、比較例1において、塩素(Cl)のみが検出されているのに対し、比較例2では、塩素(Cl)、カルシウム(Ca)、ニッケル(Ni)および鉄(Fe)が検出された。これにより、エピタキシャルウエハ130の表面を従来の洗浄処理に供した場合、表面が清浄化されないだけでなく、逆に不純物が付着してしまうことが分かった。

[0114] したがって、実施例1における水素エッチング後のエピタキシャルウエハ130に対して液相を用いた洗浄をせずに、酸化膜および電極を形成してSiC半導体装置を製造することによって、比較例2のSiC半導体装置と比較して、より高品質のSiC半導体装置を製造できることがわかった。

[0115] 以上のように本発明の実施の形態および実施例について説明を行なったが、各実施の形態および実施例の特徴を適宜組み合わせることも当初から予定している。また、今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態および実施例ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0116] 2 SiC基板、2a 表面、10 製造装置、11 除去部、12 形成部、13 接続部、100, 130 エピタキシャルウエハ、100a, 130a 第1の表面、100b 第2の表面、110 ゲート電極、111 ソースコンタクト電極、112 ドレイン電極、120 エピタキシャル層、121 バッファ層、122 ドリフト層、123 ボディ領域、124 ソース領域、125 p⁺領域、126 ゲート酸化膜、127 ソース電極、200 SiC半導体装置、201 半導体膜。

請求の範囲

- [請求項1] 炭化珪素半導体装置（200）を製造する方法であって、
少なくとも一部に不純物が注入された第1の表面（100a）を含む炭化珪素半導体（100）を準備する工程と、
前記炭化珪素半導体（100）の前記第1の表面（100a）を、水素ガスを含むガスを用いてドライエッチングすることにより、第2の表面（100b）を形成する工程と、
前記第2の表面（100b）上に、前記炭化珪素半導体装置（200）を構成する酸化膜（126）を形成する工程とを備えた、炭化珪素半導体装置（200）の製造方法。
- [請求項2] 前記第2の表面（100b）を形成する工程後に、液相を用いた洗浄をせずに、前記酸化膜（126）を形成する工程を実施する、請求項1に記載の炭化珪素半導体装置（200）の製造方法。
- [請求項3] 前記第2の表面（100b）を形成する工程において、前記ドライエッチングを1300℃以上1650℃以下の温度範囲で行なう、請求項1に記載の炭化珪素半導体装置（200）の製造方法。
- [請求項4] 前記酸化膜（126）を形成する工程は、前記第2の表面（100b）上に珪素を含む膜（201）を形成し、前記珪素を含む膜（201）を酸化することにより、前記酸化膜（126）を形成する、請求項1に記載の炭化珪素半導体装置（200）の製造方法。
- [請求項5] 前記第2の表面（100b）を形成する工程において、前記ガスは塩化水素ガスをさらに含む、請求項1に記載の炭化珪素半導体装置（200）の製造方法。
- [請求項6] 前記第2の表面（100b）を形成する工程において、前記ガスは炭化水素ガスをさらに含む、請求項1に記載の炭化珪素半導体装置（200）の製造方法。
- [請求項7] 前記第2の表面（100b）を形成する工程と前記酸化膜（126）を形成する工程との間では、前記炭化珪素半導体（100）は大気

が遮断された雰囲気内に配置される、請求項 1 に記載の炭化珪素半導体装置（200）の製造方法。

[請求項8]

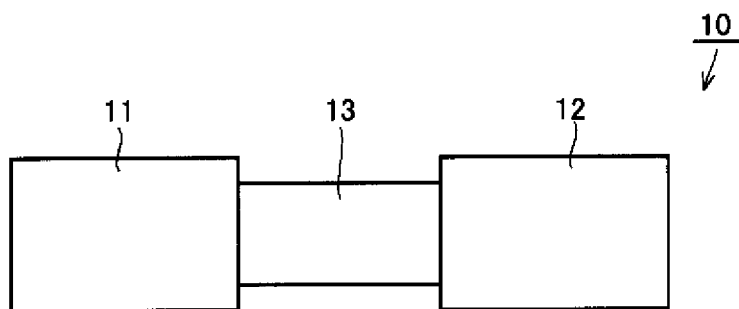
炭化珪素半導体（100）において、少なくとも一部に不純物が注入された第 1 の表面（100a）を水素ガスを含むガスを用いたドライエッチングによって除去するための除去部（11）と、

前記炭化珪素半導体（100）において前記第 1 の表面（100a）が除去されることにより形成された第 2 の表面（100b）に前記炭化珪素半導体装置（200）を構成する酸化膜（126）を形成するための形成部（12）と、

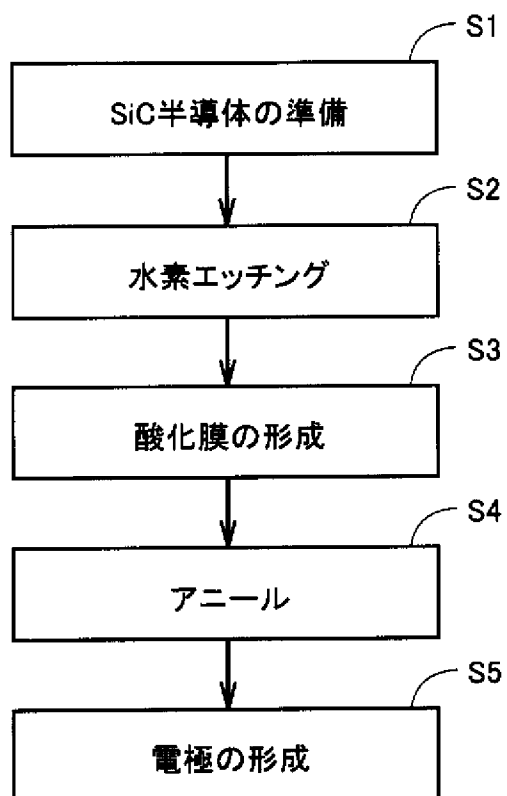
前記炭化珪素半導体（100）を搬送可能に前記除去部（11）と前記形成部（12）とを接続する接続部（13）とを備え、

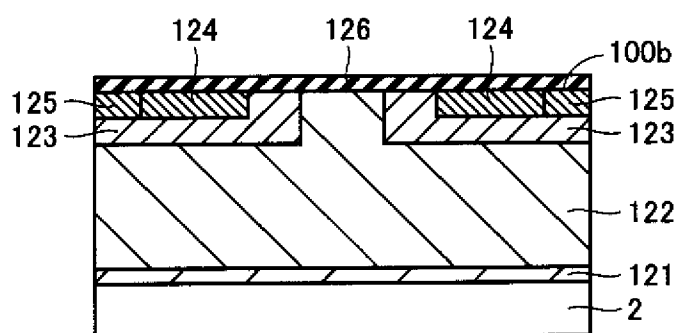
前記接続部（13）における前記炭化珪素半導体（100）を搬送させる領域は、大気の遮断が可能である、炭化珪素半導体装置（200）の製造装置（10）。

[図1]

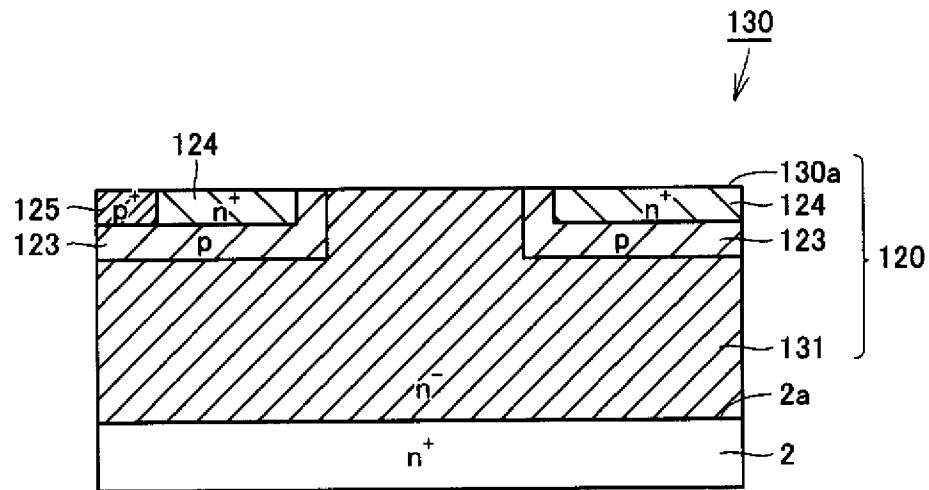


[図2]

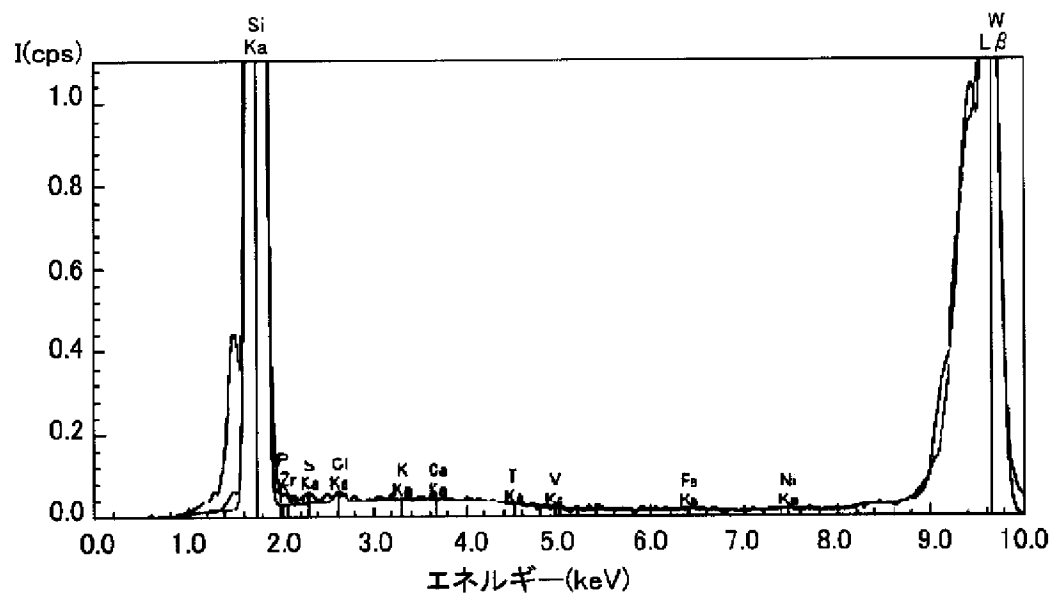




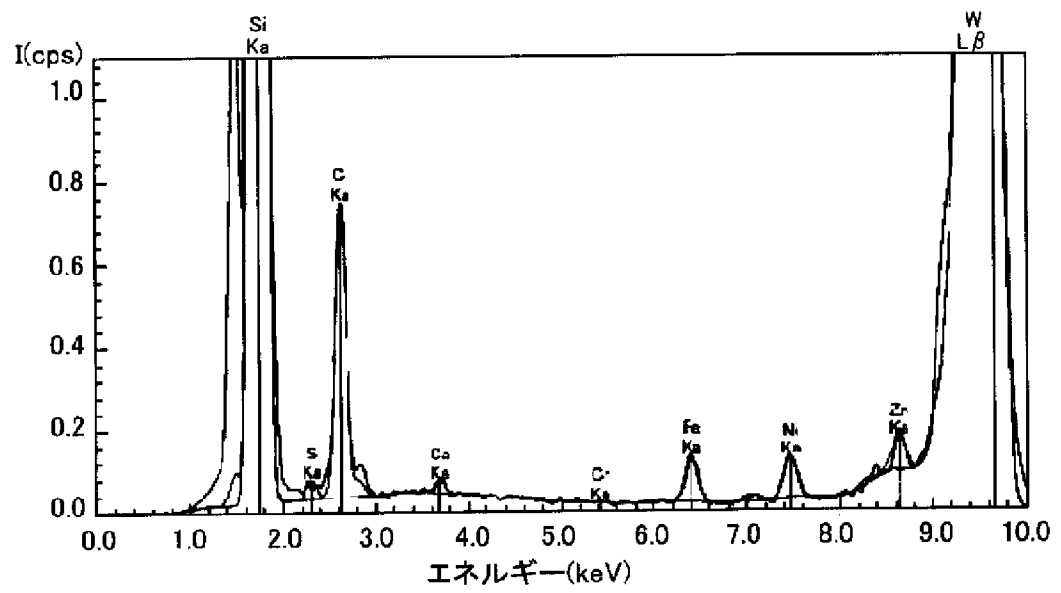
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054010

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/302(2006.01)i, H01L21/304(2006.01)i,
H01L21/316(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/302, H01L21/304, H01L21/316, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-351744 A (Fuji Electric Holdings Co., Ltd.), 28 December 2006 (28.12.2006), claims 1 to 3; paragraphs [0021], [0022], [0032], [0037]; fig. 2, 7, 8 & US 2007/0015333 A1 & DE 102006016327 A	1-6 7, 8
Y	JP 2007-53227 A (Matsushita Electric Industrial Co., Ltd.), 01 March 2007 (01.03.2007), paragraph [0051] (Family: none)	7, 8
Y	JP 2000-349081 A (Sony Corp.), 15 December 2000 (15.12.2000), paragraph [0071]; fig. 8 & US 6297172 B1	7, 8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 March, 2011 (22.03.11)

Date of mailing of the international search report
05 April, 2011 (05.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054010

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-51110 A (Matsushita Electric Industrial Co., Ltd.), 20 February 1996 (20.02.1996), paragraphs [0015] to [0018], [0025] (Family: none)	4
A	JP 10-261615 A (Fuji Electric Co., Ltd.), 29 September 1998 (29.09.1998), paragraphs [0008] to [0016] (Family: none)	1-8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054010

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The configuration set forth in claim 1 is described in the document 1 (JP 2006-351744 A (Fuji Electric Holdings Co., Ltd.), 28 December 2006 (28.12.2006), claims 1 - 3, [0021], [0022], [0032], [0037], fig. 2, 7, 8). Therefore, the invention in claim 1 cannot be considered to be novel in the light of the invention described in the document 1, and does not have a special technical feature. The main invention set forth in claims is as follows.
(Main invention) the inventions in claims 1 - 6

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/336(2006.01)i, H01L21/302(2006.01)i, H01L21/304(2006.01)i, H01L21/316(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/336, H01L21/302, H01L21/304, H01L21/316, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2006-351744 A (富士電機ホールディングス株式会社) 2006.12.28, 請求項 1-3, 【0021】, 【0022】, 【0032】, 【0037】, 図 2, 7, 8 & US 2007/0015333 A1 & DE 102006016327 A	1-6 7, 8
Y	JP 2007-53227 A (松下電器産業株式会社) 2007.03.01, 【0051】 (フ ァミリーなし)	7, 8
Y	JP 2000-349081 A (ソニー株式会社) 2000.12.15, 【0071】, 図 8 & US 6297172 B1	7, 8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 3 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

松嶋 秀忠

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 8 3 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 8-51110 A (松下電器産業株式会社) 1996. 02. 20, 【0015】-【0018】, 【0025】 (ファミリーなし)	4
A	JP 10-261615 A (富士電機株式会社) 1998. 09. 29, 【0008】 - 【0016】 (ファミリーなし)	1-8

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1（JP 2006-351744 A（富士電機ホールディングス株式会社）2006.12.28, 請求項1-3, 【0021】, 【0022】, 【0032】, 【0037】, 図2, 7, 8）には、請求項1に記載された構成が記載されている。したがって、請求項1に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。そして、請求の範囲に記載された主発明は、以下のとおりである。

（主発明）請求項1-6に係る発明

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。