(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 9 月 15 日(15.09.2011)

PCT

(10) 国際公開番号
WO 2011/111298 A1

(51) 国際特許分類:
H03F 3/217 (2006.01)

(21) 国際出願番号: PCT/JP2011/000670

(22) 国際出願日: 2011 年 2 月 7 日(07.02.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-054643 2010 年 3 月 11 日(11.03.2010) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (Panasonic Corporation) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP). ローランド株式会社 (Roland Corporation) [JP/JP]; 〒4311304 静岡県浜松市北区細江町中川２０３６－１ Shizuoka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 菅原 宙 (SUGAWARA, Hiroshi). 佐々木 寿幸 (SASAKI, Hisayuki). 庭山 茂樹 (NIWAYAMA, Shigeki). 前田 佳樹 (MAEDA, Yoshiki). ▲ 高 ▼ 野 智臣 (TAKANO, Toshimi).

(74) 代理人: 小栗 昌平, 外 (OGURI, Shohei et al.); 〒1050003 東京都港区西新橋一丁目７番１３号 虎ノ門イーストビルディング１０階 栄光特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

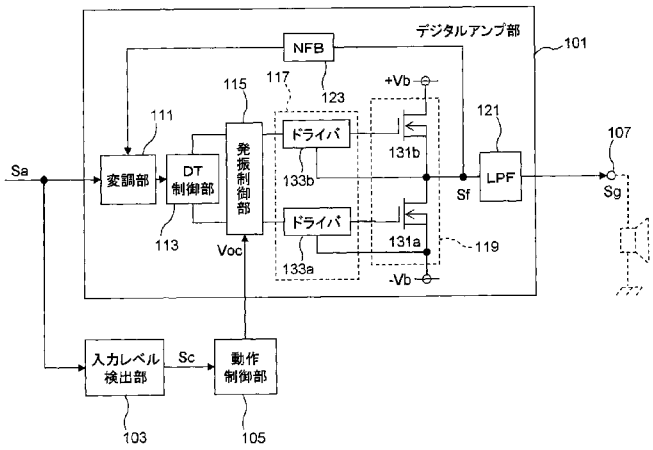
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: DIGITAL AMPLIFIER

(54) 発明の名称 : デジタルアンプ

[図1]



101 DIGITAL AMPLIFIER UNIT
103 INPUT LEVEL DETECTION UNIT
105 OPERATION CONTROL UNIT
111 MODULATOR UNIT
113 DT CONTROL UNIT
115 OSCILLATION CONTROL UNIT
133a, 133b DRIVER

(57) **Abstract**: Disclosed is a digital amplifier for amplifying a signal, which is provided with a switching unit for amplifying a signal input to the digital amplifier by performing a switching operation; a drive unit for performing on-off driving of the switching unit; an input signal detection unit for detecting the presence or absence of the input signal to the digital amplifier; and a first control unit for performing control so that if the digital amplifier enters a signal input state from a no-signal input state and the input signal detection unit detects an input signal to the digital amplifier, driving of the drive unit is started and the switching unit is caused to start the switching operation, and if the digital amplifier enters the no-signal input state from the signal input state and the input signal detection unit does not detect an input signal to the digital amplifier, driving of the drive unit is stopped and the switching unit is caused to stop the switching operation. Accordingly, it is possible to provide a digital amplifier capable of reducing power consumption at the time of no-signal input.

(57) 要約: 信号を増幅するデジタルアンプは、スイッチング動作を行うことによって当該デジタルアンプに入力された信号を増幅するスイッチング部と、スイッチング部をオンオフ駆動する駆動部と、当該デジタルアンプへの入力信号の有無を検出する入力信号検出部と、当該デジタルアンプが無信号入力状態から信号入力状態となり、入力信号検出部が当該デジタルアンプへの入力信号を検出すると、駆動部の駆動を開始してスイッチング部がスイッチング動作を開始するよう制御し、当該デジタルアンプが信号入力状態から無信号入力状態となり、入力信号検出部が当該デジタルアンプへの入力信号を検出しないと、駆動部の駆動を停止してスイッチング部がスイッチング動作を停止するよう制御する第１制御部とを備える。したがって、無信号入力時の消費電力を低減可能なデジタルアンプを提供できる。

WO 2011/111298 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： デジタルアンプ

技術分野

[0001] 本発明は、無信号入力時にスイッチング動作を行わないデジタルアンプに関する。

背景技術

[0002] 図２９に示すように、特許文献１の図７に示されているスイッチングアンプでは、高インピーダンス負荷又は無負荷時に、ローパスフィルタのカットオフ周波数近傍の高域にレスポンスのピークが発生する。これを抑えるため、図３０に示すように、コンデンサＣＤ及び抵抗ＲＤから成るダンパをローパスフィルタコンデンサＣと並列に設けることが考えられる。

[0003] また、スイッチング素子ＦＥＴ１，ＦＥＴ２としてＭＯＳＦＥＴが用いられる場合、当該ＭＯＳＦＥＴの内蔵ダイオード（ボディダイオード）のために、オンからオフへと遷移する逆回復が瞬時に行われない。その結果、スイッチング素子本体がオフでも、キャリア蓄積効果によって内蔵ダイオードに逆電流が流れ、オンしたスイッチング素子からオフしたはずのスイッチング素子に貫流電流が流れてしまう。この貫流電流を防止するため、図３１に示すように、スイッチング素子に直列に逆流阻止用の高速ダイオードＤ３，Ｄ４を設けると共に、スイッチング素子と並列に、逆起電力のバイパス用の高速ダイオードＤ５，Ｄ６を設けることが考えられる。

[0004] しかし、上述したダンパには電力ロスが生じ、逆流阻止用の高速ダイオードＤ３，Ｄ４にも電力ロスが生じる。その結果、効率が落ちるという課題があった。当該課題を解決するため、特許文献１の図１に示されているディジタル電力増幅器は、図３２に示す構成を有する。

[0005] 当該ディジタル電力増幅器では、ローパスフィルタを構成するコイルＬ及びコンデンサＣ間の接続点からアナログアンプＯＰへのフィードバック回路として、コンデンサＣｆ及び抵抗Ｒ２ｆの直列回路が構成されている。当該

直列回路をフィードバック回路として適用することにより、制動効果がループゲイン倍に増強され、制動抵抗には高い抵抗が使用できる。例えば、抵抗Ｒ２ｆとして数十ｋΩのものを適用し、コンデンサＣｆとして１００ｐＦのものを適用する。このように、当該直列回路は、図３０に示したダンパ（コンデンサＣＤ及び抵抗ＲＤ）の機能を兼ねている。また、当該直列回路をフィードバック回路として適用することにより、ローパスフィルタのカットオフ周波数近傍の高域の位相を９０度に抑え、ローパスフィルタで最大１８０度遅れる位相を９０度程度に抑え、発振を抑えることができる。この直列回路によれば、図３０の回路と比較して、電力ロスを大幅に削減することができる。

[0006] また、当該ディジタル電力増幅器のデジタルアンプブロック１０では、図３３に示すように、正負電源ライン＋Ｂ、－Ｂ間に、スイッチング素子ＳＷ１、コイルＬ１１、コイルＬ１２、スイッチング素子ＳＷ２がこの順序で接続されている。また、スイッチング素子ＳＷ１及びコイルＬ１１間の接続点は、高速ダイオードＤ１２のカソードに接続されており、高速ダイオードＤ１２のアノードは負側の電源ライン－Ｂに接続されている。また、コイルＬ１２及びスイッチング素子ＳＷ２間の接続点は、高速ダイオードＤ１１のアノードに接続されており、高速ダイオードＤ１１のカソードは正側の電源ライン＋Ｂに接続されている。さらに、コイルＬ１１，Ｌ１２間の接続点が、ローパスフィルタコイルＬの一端に接続されている。

[0007] 図３３に示すように、スイッチング素子ＳＷ１だけがオンしている状態では電源電流Ｉ１１が流れ、ローパスフィルタコイルＬだけでなくコイルＬ１１にもエネルギーが蓄積される。ここで、オン状態のスイッチング素子を切り替える際のデッドタイム制御によりスイッチング素子ＳＷ１をオフすると（スイッチング素子ＳＷ２のオフ状態は継続）、ローパスフィルタコイルＬ及びコイルＬ１１の逆起電力により、図３４に示す電流Ｉ１２が流れる。すなわち、コイルＬ１１が、その逆起電力により電流を流そうとし、ローパスフィルタコイルＬの逆起電力による電流を自コイルＬ１１の方に引き込む。

このように、コイルＬ１１は、ローパスフィルタコイルＬの逆起電力による電流がスイッチング素子ＳＷ２側に（スイッチング素子ＳＷ２の内蔵ダイオード側に）流れることを阻止している。すなわち、コイルＬ１１は、図２９に示した逆流阻止用のダイオードＤ４と同様な逆流阻止機能を発揮している。

[0008] このように、コイルＬ１１は、図２９に示した逆流阻止用のダイオードＤ４と同様な逆流阻止機能を発揮している。上述したように、逆流阻止用のダイオードＤ４には電力ロスが生じるが、コイルＬ１１には電力ロスが生じない。

先行技術文献

特許文献

[0009] 特許文献1：日本国特開２００４－８８５７８号公報

発明の概要

発明が解決しようとする課題

[0010] 上記説明した特許文献１に記載のディジタル電力増幅器によれば、信号が入力されているときの回路動作における電力ロスの改善はなされている。しかし、当該ディジタル電力増幅器は、信号が入力されていないため負荷（スピーカ）を駆動する必要がないときにもスイッチング動作を行っている。すなわち、無信号入力時には、スイッチング動作による無駄な電力ロスが発生していた。

[0011] 本発明の目的は、無信号入力時の消費電力を低減可能なデジタルアンプを提供することである。

課題を解決するための手段

[0012] 本発明のデジタルアンプは、信号を増幅するデジタルアンプであって、スイッチング動作を行うことによって当該デジタルアンプに入力された信号を増幅するスイッチング部と、前記スイッチング部をオンオフ駆動する駆動部と、当該デジタルアンプへの入力信号の有無を検出する入力信号検出部と、

当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記駆動部の駆動を開始して前記スイッチング部がスイッチング動作を開始するよう制御し、当該デジタルアンプが信号入力状態から無信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出しないと、前記駆動部の駆動を停止して前記スイッチング部がスイッチング動作を停止するよう制御する第１制御部と、を備えた構成を有している。

この構成により、無信号入力時の消費電力を低減できる。

[0013] また、本発明のデジタルアンプにおいて、当該デジタルアンプへの入力信号を所定時間遅らせて前記スイッチング部に伝送する遅延部を備え、前記スイッチング部は、前記遅延部を介して送られた当該デジタルアンプへの入力信号を増幅することを特徴とする。

この構成により、スイッチング部がスイッチング動作を開始した際に、音欠けが発生しない。

[0014] また、本発明のデジタルアンプにおいて、前記スイッチング部から出力された増幅信号が当該デジタルアンプから出力される経路を開閉するスイッチ部を備え、前記第１制御部は、当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記経路が閉じるよう前記スイッチ部を制御し、当該デジタルアンプが信号入力状態から無信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出しないと、前記経路が開くよう前記スイッチ部を制御する構成を有している。

この構成により、ポップノイズの発生しうる時間には経路が開くようスイッチ部が開閉制御されるため、ポップノイズは出力されない。

[0015] また、本発明のデジタルアンプにおいて、前記スイッチング部から出力された増幅信号が当該デジタルアンプから出力される経路を開閉するスイッチ部と、当該デジタルアンプへの入力信号に前記遅延部の出力信号を重畳した論理和信号を出力する論理演算部と、を備え、前記入力信号検出部は、前記

論理演算部から出力される前記論理和信号の有無を検出し、前記第１制御部は、当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が前記論理和信号を検出すると、前記駆動部の駆動を開始して前記スイッチング部がスイッチング動作を開始するよう制御し、かつ、前記経路が閉じるよう前記スイッチ部を制御し、当該デジタルアンプが信号入力状態から無信号入力状態となり、前記入力信号検出部が前記論理和信号を検出しないと、前記駆動部の駆動を停止して前記スイッチング部がスイッチング動作を停止するよう制御し、かつ、前記経路が開くよう前記スイッチ部を制御する構成を有している。

この構成により、無信号入力状態になったときでも、デジタルアンプへの入力信号が無くなってから少なくとも遅延時間が経過するまではスイッチ部は開状態にはならないため、音切れは生じない。

[0016] また、本発明のデジタルアンプにおいて、前記第１制御部の制御に応じて前記経路が閉じるタイミングは、前記遅延部による信号の遅延時間以内であって、前記第１制御部の制御に応じて前記スイッチング部がスイッチング動作を開始するタイミングよりも後であり、前記第１制御部の制御に応じて前記経路が開くタイミングは、前記第１制御部の制御に応じて前記スイッチング部がスイッチング動作を停止するタイミングよりも前である構成を有していることが望ましい。

[0017] また、本発明のデジタルアンプにおいて、前記スイッチング動作は、前記スイッチング部が有する直列接続された２つのスイッチング素子を交互にオンオフする動作であって、当該デジタルアンプは、前記スイッチング部がスイッチング動作を行う際に前記２つのスイッチング素子の両方がオフ状態となるように前記駆動部を制御するデッドタイム制御部と、前記デッドタイム制御部による前記２つのスイッチング素子の両方がオフ状態になる時間を設定するデッドタイム設定部と、を備え、当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記デットタイム設定部が、所定時間の間は通常よ

りも長い、前記２つのスイッチング素子の両方がオフ状態になる時間を設定する構成を有している。

この構成により、スイッチング部がスイッチング動作を行う際に発生するポップノイズを低減できる。

[0018] また、本発明のデジタルアンプにおいて、当該デジタルアンプへの入力信号を所定時間遅らせて前記スイッチング部に伝送する遅延部を備え、前記スイッチング部は、前記遅延部を介して送られた当該デジタルアンプへの入力信号を増幅する構成を有している。

この構成により、スイッチング部がスイッチング動作を開始した際に、音欠けが発生しない。

[0019] また、本発明のデジタルアンプにおいて、当該デジタルアンプへの入力信号を補正する入力信号補正部と、第２制御部と、を備え、前記第２制御部は、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、所定時間は入力信号と逆相の信号を当該デジタルアンプへの入力信号に印加するよう前記入力信号補正部を制御する構成を有している。

この構成により、スイッチング部がスイッチング動作を行う際に発生するポップノイズを低減できる。

[0020] また、本発明のデジタルアンプにおいて、前記スイッチング部の基準電位とは異なる基準電位で駆動され、当該デジタルアンプへの入力信号をパルス変調する変調部と、前記スイッチング部の出力電圧を検出する出力電圧検出部と、前記出力電圧検出部の検出結果に応じて前記変調部の出力電圧を調整する初期電圧調整部と、第５制御部と、を備え、前記第５制御部は、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記変調部に所定のバイアス電圧を印加するよう前記初期電圧調整部を制御する構成を有している。

この構成により、スイッチング部がスイッチング動作を行う際に発生するポップノイズを低減できる。

[0021] また、本発明のデジタルアンプにおいて、前記スイッチング部から出力さ

れた増幅信号の電力が０であることを検出する信号検出部を備え、前記第１制御部は、前記スイッチング部のスイッチング動作を停止するよう制御する際、前記信号検出部によって検出された結果に応じて前記スイッチング動作が停止するよう、前記駆動部の駆動を停止する構成を有している。

この構成により、スイッチング部がスイッチング動作を停止する際にポップノイズの発生を防止できる。

[0022] また、本発明のデジタルアンプにおいて、前記スイッチング部のゲインを上げる補正を行う第１ゲイン補正部を備え、当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記第１ゲイン補正部が駆動するよう制御する第３制御部と、を備えた構成を有している。

この構成により、スイッチング動作開始直後における信号の再現性の低下を補償できる。

[0023] また、本発明のデジタルアンプにおいて、前記スイッチング部に供給される電源電圧を検出する電源電圧検出部を備え、前記第１ゲイン補正部は、前記電源電圧検出部が検出した電源電圧に応じて、前記スイッチング部のゲインを補正する構成を有している。

この構成により、電源電圧の変化に応じた波形の補正が可能であるため、より精度の高いゲイン補正が可能である。

[0024] また、本発明のデジタルアンプにおいて、当該デジタルアンプへの入力信号をパルス変調する変調部と、前記スイッチング部の出力信号を前記変調部に帰還する帰還部と、前記帰還部の帰還量を変更する帰還量変更部と、を備えた構成を有している。

この構成により、スイッチング動作開始直後における信号の再現性の低下を補償できる。

[0025] また、本発明のデジタルアンプにおいて、当該デジタルアンプへの入力信号をパルス変調する、前記入力信号に対して並列に設けられた複数種類の変調部と、前記スイッチング部の出力信号を前記複数種類の変調部の少なくと

も一つに帰還する帰還部と、前記複数種類の変調部の出力信号の少なくとも一つを前記駆動部に出力する出力切替部と、当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記複数種類の変調部の出力信号の少なくとも一つを出力するよう前記出力切替部を制御する第４制御部と、を備えた構成を有している。

この構成により、スイッチング動作開始直後における信号の再現性の低下を補償できる。

[0026] また、本発明のデジタルアンプにおいて、前記複数種類の変調部は、前記帰還部からの帰還信号に応じて当該デジタルアンプへの入力信号をパルス変調する第１変調部と、前記帰還部からの帰還信号は用いずに当該デジタルアンプへの入力信号をパルス変調する第２変調部と、を含み、前記第４制御部は、当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記第２変調部の出力信号を出力するよう前記出力切替部を制御する構成を有している。

この構成により、スイッチング動作開始直後における信号の再現性の低下を補償できる。

[0027] また、本発明のデジタルアンプにおいて、前記複数種類の変調部は、前記帰還部からの帰還信号に応じて当該デジタルアンプへの入力信号をパルス変調する高次数の変調部と、前記帰還部からの帰還信号に応じて当該デジタルアンプへの入力信号をパルス変調する低次数の変調部と、を含み、前記第４制御部は、当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記低次数の変調部の出力信号を出力するよう前記出力切替部を制御する構成を有している。

この構成により、スイッチング動作開始直後における信号の再現性の低下を補償できる。

発明の効果

[0028] 本発明に係るデジタルアンプによれば、無信号入力時の消費電力を低減できる。

図面の簡単な説明

[0029] [図1]第１の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図2]第１の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図

[図3]第１の実施形態のデジタルアンプにおいてスイッチング動作が停止される際の信号波形を示す図

[図4]第２の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図5]第２の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図

[図6]第２の実施形態のデジタルアンプにおいてスイッチング動作が停止される際の信号波形を示す図

[図7]第３の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図8]第３の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図

[図9]第３の実施形態のデジタルアンプにおいてスイッチング動作が停止される際の信号波形を示す図

[図10]第４の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図11]第４の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図

[図12]第４の実施形態のデジタルアンプにおいてスイッチング動作が停止される際の信号波形を示す図

[図13]第５の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図14]第６の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図15]第７の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図16]第８の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図17]第９の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図18]第１０の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図19]第１１の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図20]第１２の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図21]第１２の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図

[図22]第１３の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図23]第１３の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図

[図24]第１４の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図25]第１５の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図26]デジタルアンプ部のスイッチング部の出力電圧及び出力電流の波形を示す図

[図27]第１６の実施形態のデジタルアンプの出力段の構成を示すブロック図

[図28]デジタルアンプ部がスイッチング動作を開始した際の変調部の出力電圧Ｓｄの波形及びスイッチング部の出力電圧Ｓｆの波形を示す図であって、（ａ）は変調部にバイアス電圧が印加されていない場合の波形、（ｂ）は変調部にバイアス電圧が印加されている場合の波形

[図29]特許文献１の図７に示されているスイッチングアンプの一部を示す説明図

[図30]ローパスフィルタの周波数特性の一例を示す説明図

[図31]スイッチング素子の内蔵ダイオードによる貫通電流の弊害の除去構成を示す説明図

[図32]特許文献１の図１に示されているディジタル電力増幅器の全体構成を示す説明図

[図33]デジタルアンプブロックの一部を構成するスイッチング部において、一方のスイッチング素子だけがオンしている状態での電源電流経路の説明図

[図34]オンしていたスイッチング素子をオフした直後のローパスフィルタコ

イルの逆起電圧による電流経路の説明図

発明を実施するための形態

[0030] 以下、本発明の実施形態について、図面を参照して説明する。

[0031] （第１の実施形態）

図１は、第１の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図１に示すように、第１の実施形態のデジタルアンプは、デジタルアンプ部１０１と、入力レベル検出部１０３と、動作制御部１０５とを備える。なお、デジタルアンプ部１０１の後段に設けられた出力端１０７には、スピーカ等の負荷が接続される。

[0032] デジタルアンプ部１０１は、入力された信号を増幅する。デジタルアンプ部１０１に入力される信号は、例えばオーディオ信号であって、その形式はアナログでもデジタルでも良い。図１に示すように、デジタルアンプ部１０１は、変調部１１１と、デッドタイム制御部（ＤＴ制御部）１１３と、発振制御部１１５と、駆動部１１７と、スイッチング部１１９と、ＬＰＦ（Low Pass Filter）１２１と、ＮＦＢ（Negative FeedBack）１２３とを有する。

[0033] 以下、デジタルアンプ部１０１の各構成要素について説明する。変調部１１１は、例えばＰＷＭ（Pulse Width Modulation）回路であって、デジタルアンプ部１０１に入力された信号をデジタルパルス信号に変換する。変調部１１１は、ＮＦＢ１２３からの帰還信号に応じて補正したデジタルパルス信号を出力する。

[0034] スイッチング部１１９は、上下２段に直列接続されたスイッチング素子１３１ａ，１３１ｂを有し、スイッチングによる信号の増幅を行う。スイッチング素子１３１ａ，１３１ｂは、パワートランジスタ、ＭＯＳＦＥＴ又はＩＧＢＴである。駆動部１１７は、上下２段に構成されたドライバ１３３ａ，１３３ｂを有する。ドライバ１３３ａはスイッチング素子１３１ａをスイッチング駆動し、ドライバ１３３ｂはスイッチング素子１３１ｂをスイッチング駆動する。

[0035] 駆動部１１７の各ドライバは、スイッチング素子１３１ａ，１３１ｂが理

想的には互いが逆論理で動作するよう各スイッチング素子を駆動する。しかし、実際のトランジスタ素子のオンオフ状態が切り替わる際には、ターンオン時間又はターンオフ時間が存在する。このため、スイッチング素子１３１ａ，１３１ｂの両方がオン状態となる上下短絡が発生してしまう。この状態を防ぐためには、いずれか一方のスイッチング素子がオフ状態からオン状態に切り替わるタイミングで、双方のスイッチング素子がオフ状態となる時間、すなわち「デッドタイム」を設定すれば良い。

[0036] デッドタイム制御部（ＤＴ制御部）１１３は、スイッチング部１１９がスイッチングを行う際にデッドタイムを設けるよう、駆動部１１７を制御する。なお、デッドタイムが長いとスイッチング素子１３１ａ，１３１ｂにそれぞれ入力される信号のデューティ比は小さくなるため、別途デューティ比調整回路を設ける必要はない。発振制御部１１５は、発振の開始及び停止を選択できる。具体的には、デットタイム制御部１１３から印加されるデジタルパルス信号をドライバへ伝達させるか伝達させないかを選択する。発振制御部１１５は、動作制御部１０５の出力信号の電位に応じて発振動作し、前記経路の開閉を行う。

[0037] ＬＰＦ１２１は、ＬＣ回路で構成された復調手段である。ＬＰＦ１２１が中高周波帯域をフィルタリングすることにより、スイッチング部１１９によって増幅されたデジタルパルス信号が復調される。復調された信号は出力端１０７から出力される。ＮＦＢ１２３は、負帰還増幅回路であり、スイッチング部１１９の出力信号を変調部１１１に帰還する。

[0038] 入力レベル検出部１０３は、入力信号のレベルを検出することによって入力信号の有無を検出する。入力レベル検出部１０３は、入力信号を両波整流した信号を出力する。なお、上述したように、入力信号は例えばオーディオ信号であって、その形式はアナログでもデジタルでも良い。また、入力レベル検出部１０３は、両波整流の代わりに、片波整流、ＡＣ－ＤＣ変換、サンプルホールド又はＡＣレベル検出等を行っても良い。

[0039] 動作制御部１０５は、入力レベル検出部１０３から入力された信号に応じ

て、デジタルアンプ部１０１の発振制御部１１５による発振動作を制御する。当該制御によって、スイッチング部１１９が行うスイッチング動作の開始又は停止が制御される。なお、実際にスイッチング動作が開始又は停止される入力信号のレベルは、本実施形態のデジタルアンプの残留ノイズ以上であり、－６０ｄＢｍ～－４０ｄＢｍ程度である。

[0040] 図２は、第１の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図である。また、図３は、第１の実施形態のデジタルアンプにおいてスイッチング動作が停止される際の信号波形を示す図である。図２及び図３に示される信号Ｓａは、当該デジタルアンプの入力信号である。信号Ｓｃは、入力レベル検出部１０３の出力信号であって、入力信号Ｓａを両波整流した信号である。電位Ｖｏｃは、動作制御部１０５の出力信号の電位であって、信号Ｓｃを平滑化した信号である。信号Ｓｆは、デジタルアンプ部１０１のスイッチング部１１９が行うスイッチング動作を示す信号である。信号Ｓｇは、入力信号Ｓａを増幅した信号であって、当該デジタルアンプの出力信号である。信号Ｓｇは、出力端１０７から出力される。

[0041] 図２に示すように、入力信号Ｓａが略０Ｖ電位の状態、すなわち、入力信号Ｓａが無い状態（無信号入力状態）から、何らかのレベルを有する状態、すなわち、入力信号Ｓａが有る状態（信号入力状態）に変わると、動作制御部１０５の出力信号の電位Ｖｏｃが上がる。電位Ｖｏｃが上がることによって、発振制御部１１５が、デットタイム制御部１１３から印加されるデジタルパルス信号を駆動部１１７に伝達する。なお、発振制御部１１５はフォトカプラと電子スイッチを内蔵する。発振制御部１１５は、フォトカプラの入力に流れ込む電流をトランジスタなどの電子スイッチで開閉する構成を有し、電子スイッチを閉じて電流を流れ込ませることでデジタルパルス信号の伝達を行う。このため、駆動部１１７は、入力信号Ｓａに応じたスイッチング部１１９の駆動制御を開始する。このようにしてスイッチング動作が開始され、出力端１０７から信号Ｓｇが出力される。但し、出力端１０７からは、

スイッチング動作が開始されるまでの信号Ｓａに該当する信号が出力されない。すなわち、図２に一点鎖線で示される「音欠け」が生じる。さらに、スイッチング動作が開始されるときにはＬＰＦ１２１の共振現象によるポップノイズ（Pop Noise）が生じる。

[0042] 図３に示すように、入力信号Ｓａが何らかのレベルを有する状態（信号入力状態）から略０Ｖ電位の状態（無信号入力状態）に変わると、動作制御部１０５の出力信号の電位Ｖｏｃが下がる。電位Ｖｏｃが下がることによって発振制御部１１５の発振動作が停止する（Drv. OFF）と、入力信号Ｓａが駆動部１１７に入力される経路が開く。このため、駆動部１１７は、スイッチング部１１９の駆動制御を停止する。このようにしてスイッチング動作が停止される。

[0043] 但し、スイッチング動作が停止されるタイミングは、入力信号Ｓａとの相関はなく、スイッチング部１１９から出力される信号Ｓｆのどの位置か分からない。場合によっては、信号Ｓｆの正負の変化分の面積が一致しないため、ＬＰＦ１２１にてポップノイズ成分が生成され、スピーカから不要なポップノイズが出力されてしまう。

[0044] 以上説明したように、本実施形態によれば、デジタルアンプに入力される信号Ｓａの有無に応じて、デジタルアンプ部１０１におけるスイッチング動作が開始又は停止される。すなわち、信号入力状態ではスイッチング動作が行われ、無信号入力状態ではスイッチング動作は行われない。したがって、無信号入力時のデジタルアンプ部１０１での消費電力を低減できる。

[0045] （第２の実施形態）

図４は、第２の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図４に示すように、第２の実施形態のデジタルアンプは、第１の実施形態のデジタルアンプの構成要素に加え、デジタルアンプ部１０１の前段に遅延部２１１をさらに備える。この点以外は第１の実施形態と同様であり、図４において、図１と共通する構成要素には同じ参照符号が付されている。

[0046] 遅延部２１１は、デジタルアンプに入力された信号を後段の構成要素に伝送する際に、当該信号の伝送を所定時間遅らせる。したがって、デジタルアンプに入力された信号は、この時間だけ遅れてデジタルアンプ部１０１に入力される。なお、遅延部２１１に設定される遅延時間は任意に設定可能である。また、入力レベル検出部１０３に入力される信号は、第１の実施形態と同様、入力信号Ｓａである。

[0047] 図５は、第２の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図である。また、図６は、第２の実施形態のデジタルアンプにおいてスイッチング動作が停止される際の信号波形を示す図である。図５及び図６に示される信号Ｓａは、当該デジタルアンプの入力信号である。信号Ｓｂは、遅延部２１１の出力信号（遅延信号）であり、デジタルアンプ部１０１に入力される。図５及び図６に示す例では、入力信号Ｓａと遅延信号Ｓｂの間には時間軸上、遅延時間ｔｄ［ｍ秒］の差がある。信号Ｓｃは、入力レベル検出部１０３の出力信号であって、入力信号Ｓａを両波整流した信号である。電位Ｖｏｃは、動作制御部１０５の出力信号の電位であって、信号Ｓｃを平滑化した信号である。信号Ｓｆは、デジタルアンプ部１０１のスイッチング部１１９が行うスイッチング動作を示す信号である。信号Ｓｇは、信号Ｓｂを増幅した信号であって、当該デジタルアンプの出力信号である。信号Ｓｇは、出力端１０７から出力される。

[0048] 図５に示すように、入力信号Ｓａが無い状態（無信号入力状態）から有る状態（信号入力状態）に変わると、動作制御部１０５の出力信号の電位Ｖｏｃが上がる。電位Ｖｏｃが上がることによって発振制御部１１５が発振する（Drv. ON）と、遅延信号Ｓｂが駆動部１１７に入力される経路が閉じる。このため、駆動部１１７は、遅延信号Ｓｂに応じたスイッチング部１１９の駆動制御を開始する。このようにしてスイッチング動作が開始され、出力端１０７から信号Ｓｇが出力される。但し、図５に示されているように、スイッチング動作が開始されるときにはポップノイズが生じる。

[0049] 図６に示すように、入力信号Ｓａが有る状態（信号入力状態）から無い状

態（無信号入力状態）に変わると、動作制御部１０５の出力信号の電位Ｖｏｃが下がる。電位Ｖｏｃが下がることによって発振制御部１１５の発振動作が停止する（Drv. OFF）と、遅延信号Ｓｂが駆動部１１７に入力される経路が開く。このため、駆動部１１７は、スイッチング部１１９の駆動制御を停止する。このようにしてスイッチング動作が停止される。但し、図６に示すように、デッドタイム以外のタイミングでスイッチング動作が停止されたときにはポップノイズが発生し、出力端１０７から出力される。また、本実施形態では、出力端１０７から信号Ｓｇが出力中にスイッチング動作が停止するため、図６に一点鎖線で示される「音切れ」が生じる。

[0050] 以上説明したように、本実施形態によれば、デジタルアンプに入力される信号Ｓａの有無に応じて、デジタルアンプ部１０１におけるスイッチング動作が開始又は停止されるため、無信号入力時のデジタルアンプ部１０１での消費電力を低減できる。さらに、デジタルアンプ部１０１に入力される信号Ｓｂは遅延されているため、デジタルアンプ部１０１がスイッチング動作を開始した際に、音欠けが発生しない。

[0051] （第３の実施形態）

図７は、第３の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図７に示すように、第３の実施形態のデジタルアンプは、第２の実施形態のデジタルアンプの構成要素に加え、デジタルアンプ部１０１の後段にスイッチ３１１をさらに備える。また、本実施形態の動作制御部３０５は、さらにスイッチ３１１をオンオフ制御する点が、第２の実施形態の動作制御部１０５とは異なる。これらの点以外は第２の実施形態と同様であり、図７において、図４と共通する構成要素には同じ参照符号が付されている。

[0052] スイッチ３１１は、デジタルアンプ部１０１の出力信号が出力端１０７から出力される経路上に設けられたリレーであり、前記経路を開閉する。スイッチ３１１は、機械式リレー又はフォトＭＯＳリレー等の電子リレーであり、動作制御部３０５によって制御される。本実施形態の動作制御部３０５は、入力レベル検出部１０３から出力された信号に応じて、発振制御部１１５

の発振動作を制御するだけでなく、スイッチ３１１の開閉も制御する。なお、動作制御部３０５は、発振制御部１１５に出力する信号の電位の立ち上がり時及び立ち下がり時の各時定数、及びスイッチ３１１に出力する信号の電位の立ち上がり時及び立ち下がり時の各時定数を設定する時定数回路を含む。

[0053] 本実施形態では、動作制御部３０５からスイッチ３１１に出力される信号の電位の立ち上がり時の時定数は、動作制御部３０５から発振制御部１１５に出力される信号の電位の立ち上がり時の時定数よりも大きい。したがって、デジタルアンプに信号が入力された際の、動作制御部３０５の制御によるスイッチ３１１が開状態から閉状態となるタイミングは、動作制御部３０５の制御によるデジタルアンプ部１０１におけるスイッチング動作の開始タイミングよりも後である。但し、スイッチ３１１が閉状態となるタイミングは、遅延時間ｔｄ未満である。

[0054] また、動作制御部３０５からスイッチ３１１に出力される信号の電位の立ち下がり時の時定数は、動作制御部３０５から発振制御部１１５に出力される信号の電位の立ち下がり時の時定数よりも小さい。したがって、デジタルアンプが無信号入力時の、動作制御部３０５の制御によるスイッチ３１１が閉状態から開状態となるタイミングは、動作制御部３０５の制御によるデジタルアンプ部１０１におけるスイッチング動作の停止タイミングよりも前である。

[0055] 図８は、第３の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図である。また、図９は、第３の実施形態のデジタルアンプにおいてスイッチング動作が停止される際の信号波形を示す図である。図８及び図９に示される信号Ｓａは、当該デジタルアンプの入力信号である。信号Ｓｂは、遅延部２１１の出力信号（遅延信号）であり、デジタルアンプ部１０１に入力される。図８及び図９に示す例では、入力信号Ｓａと遅延信号Ｓｂの間には時間軸上、遅延時間ｔｄ［ｍ秒］の差がある。信号Ｓｃは、入力レベル検出部１０３の出力信号であって、入力信号Ｓａを両

波整流した信号である。電位Ｖｏｃは、動作制御部３０５から出力された発振制御部１１５への信号の電位であって、信号Ｓｃを平滑化した信号である。電位Ｖｒｓは、動作制御部３０５から出力されたスイッチ３１１への信号の電位であり、信号Ｓｃを平滑化した信号である。信号Ｓｆは、デジタルアンプ部１０１のスイッチング部１１９が行うスイッチング動作を示す信号である。信号Ｓｇは、信号Ｓｂを増幅した信号であって、当該デジタルアンプの出力信号である。信号Ｓｇは、出力端１０７から出力される。

[0056] 図８に示すように、入力信号Ｓａが無い状態（無信号入力状態）から有る状態（信号入力状態）に変わると、動作制御部３０５から発振制御部１１５への出力信号の電位Ｖｏｃが時定数τ１で上がり、動作制御部３０５からスイッチ３１１への出力信号の電位Ｖｒｓが時定数τ１よりも大きい時定数τ２で上がる。電位Ｖｏｃが上がることによって発振制御部１１５が発振する（Drv. ON）と、遅延信号Ｓｂが駆動部１１７に入力される経路が閉じる。このため、駆動部１１７は、遅延信号Ｓｂに応じたスイッチング部１１９の駆動制御を開始する。このようにしてスイッチング動作が開始される。一方、電位Ｖｒｓが上がることによってスイッチ３１１が開状態から閉状態となる（SW ON）。上述したように、時定数τ２は時定数τ１よりも大きい。このため、スイッチ３１１が閉状態となるタイミングは、図８に示すように、遅延時間ｔｄ以内であるが、スイッチング動作が開始されるタイミングよりも後である。スイッチ３１１が閉状態になると、出力端１０７から信号Ｓｇが出力される。

[0057] 図９に示すように、入力信号Ｓａが有る状態（信号入力状態）から無い状態（無信号入力状態）に変わると、動作制御部３０５から発振制御部１１５への出力信号の電位Ｖｏｃが時定数τ３で下がり、動作制御部３０５からスイッチ３１１への出力信号の電位Ｖｒｓが時定数τ３よりも小さい時定数τ４で下がる。電位Ｖｒｓが下がることによってスイッチ３１１が閉状態から開状態となる（SW OFF）。一方、電位Ｖｏｃが下がることによって発振制御部１１５の発振動作が停止する（Drv. OFF）と、遅延信号Ｓｂが駆動部１１

７に入力される経路が開く。このため、駆動部１１７は、スイッチング部１１９の駆動制御を停止する。このようにしてスイッチング動作が停止される。上述したように、時定数τ４は時定数τ３よりも小さい。このため、スイッチ３１１が開状態となるタイミングは、図９に示すように、スイッチング動作が停止されるタイミングよりも前である。但し、図９に示すように、出力端１０７から信号Ｓｇが出力中にスイッチ３１１が開状態となるため、図９に一点鎖線で示される「音切れ」が生じる。

[0058] 以上説明したように、本実施形態によれば、デジタルアンプに入力される信号Ｓａの有無に応じて、デジタルアンプ部１０１におけるスイッチング動作が開始又は停止されるため、無信号入力時のデジタルアンプ部１０１での消費電力を低減できる。また、デジタルアンプ部１０１に入力される信号Ｓｂは遅延されているため、デジタルアンプ部１０１がスイッチング動作を開始した際に、音欠けが発生しない。さらに、ポップノイズの発生しうる時間にはスイッチ３１１が開状態であるようスイッチ３１１が開閉制御されるため、出力端１０７からポップノイズは出力されない。

[0059] （第４の実施形態）

図１０は、第４の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図１０に示すように、第４の実施形態のデジタルアンプは、第３の実施形態のデジタルアンプの構成要素に加え、入力レベル検出部１０３の前段にＯＲ回路４１１をさらに備える。また、本実施形態の入力レベル検出部４０３は、ＯＲ回路４１１からの出力信号が入力される点が、第３の実施形態の入力レベル検出部１０３とは異なる。これらの点以外は第３の実施形態と同様であり、図１０において、図７と共通する構成要素には同じ参照符号が付されている。

[0060] ＯＲ回路４１１には、デジタルアンプに入力された信号Ｓａ及び遅延部２１１の出力信号Ｓｂが入力される。ＯＲ回路４１１は、デジタルアンプに入力された信号Ｓａと遅延部２１１の出力信号Ｓｂの論理和信号を出力する。なお、当該論理和信号は、デジタルアンプに入力された信号Ｓａに遅延部２

１１の出力信号Ｓｂを重畳した信号である。入力レベル検出部４０３は、ＯＲ回路４１１から出力された論理和信号に応じて、デジタルアンプ部１０１の発振制御部１１５による発振動作を制御する。

[0061] 図１１は、第４の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図である。また、図１２は、第４の実施形態のデジタルアンプにおいてスイッチング動作が停止される際の信号波形を示す図である。図１１及び図１２に示される信号Ｓａは、当該デジタルアンプの入力信号である。信号Ｓｂは、遅延部２１１の出力信号（遅延信号）であり、デジタルアンプ部１０１に入力される。図１１及び図１２に示す例では、入力信号Ｓａと遅延信号Ｓｂの間には時間軸上、遅延時間ｔｄ［ｍ秒］の差がある。信号Ｓｃは、入力レベル検出部４０３の出力信号であって、入力信号Ｓａを両波整流した信号に遅延信号Ｓｂを両波整流した信号を重畳した信号である。電位Ｖｏｃは、動作制御部１０５から出力された発振制御部１１５への信号の電位であって、信号Ｓｃを平滑化した信号である。電位Ｖｒｓは、動作制御部１０５から出力されたスイッチ３１１への信号の電位であり、信号Ｓｃを平滑化した信号である。信号Ｓｆは、デジタルアンプ部１０１のスイッチング部１１９が行うスイッチング動作を示す信号である。信号Ｓｇは、信号Ｓｂを増幅した信号であって、当該デジタルアンプの出力信号である。信号Ｓｇは、出力端１０７から出力される。

[0062] 図１１に示すように、入力信号Ｓａが無い状態（無信号入力状態）から有る状態（信号入力状態）に変わると、動作制御部１０５から発振制御部１１５への出力信号の電位Ｖｏｃが時定数τ１で上がり、動作制御部１０５からスイッチ３１１への出力信号の電位Ｖｒｓが時定数τ１よりも大きい時定数τ２で上がる。電位Ｖｏｃが上がることによって発振制御部１１５が発振する（Drv. ON）と、遅延信号Ｓｂが駆動部１１７に入力される経路が閉じる。このため、駆動部１１７は、遅延信号Ｓｂに応じたスイッチング部１１９の駆動制御を開始する。このようにしてスイッチング動作が開始される。一方、電位Ｖｒｓが上がることによってスイッチ３１１が開状態から閉状態とな

る（SW ON）。上述したように、時定数τ２は時定数τ１よりも大きい。このため、スイッチ３１１が閉状態となるタイミングは、図１１に示すように、遅延時間ｔｄ以内であるが、スイッチング動作が開始されるタイミングよりも後である。スイッチ３１１が閉状態になると、出力端１０７から信号Ｓｇが出力される。

[0063] 図１２に示すように、入力信号Ｓａが有る状態（信号入力状態）から無い状態（無信号入力状態）に変わると、動作制御部１０５から発振制御部１１５への出力信号の電位Ｖｏｃが下がり、動作制御部１０５からスイッチ３１１への出力信号の電位Ｖｒｓが下がる。さらに、入力信号Ｓａが無くなった状態から遅延時間Ｔｄが経過すると、電位Ｖｏｃが時定数τ３で下がり、電位Ｖｒｓが時定数τ３よりも小さい時定数τ４で下がる。電位Ｖｒｓが所定電圧まで下がることによってスイッチ３１１が閉状態から開状態となる（SW OFF）。一方、電位Ｖｏｃが所定電圧まで下がることによって発振制御部１１５の発振動作が停止する（Drv. OFF）と、遅延信号Ｓｂが駆動部１１７に入力される経路が開く。このため、駆動部１１７は、スイッチング部１１９の駆動制御を停止する。このようにしてスイッチング動作が停止される。上述したように、時定数τ４は時定数τ３よりも小さい。このため、スイッチ３１１が開状態となるタイミングは、図９に示すように、スイッチング動作が停止されるタイミングよりも前である。

[0064] 以上説明したように、本実施形態によれば、デジタルアンプに入力される信号Ｓａの有無に応じて、デジタルアンプ部１０１におけるスイッチング動作が開始又は停止されるため、無信号入力時のデジタルアンプ部１０１での消費電力を低減できる。また、デジタルアンプ部１０１に入力される信号Ｓｂは遅延されているため、デジタルアンプ部１０１がスイッチング動作を開始した際に、音欠けが発生しない。また、ポップノイズの発生しうる時間にはスイッチ３１１が開状態であるようスイッチ３１１が開閉制御されるため、出力端１０７からポップノイズは出力されない。さらに、無信号入力状態になったときでも、入力信号Ｓａが無くなってから少なくとも遅延時間が経

過するまではスイッチ３１１は開状態にはならないため、音切れは生じない。

[0065] （第５の実施形態）

図１３は、第５の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図１３に示すように、第５の実施形態のデジタルアンプは、第１の実施形態のデジタルアンプの構成要素に加え、動作シーケンス設定部１２５をさらに備える。なお、動作シーケンス設定部１２５には、入力レベル検出部１０３から出力された信号Ｓｃが入力される。また、本実施形態のデジタルアンプ部１０１は、変調部１１１とＤＴ制御部１１３の間にゲイン補正部５１１をさらに有する。これらの点以外は第１の実施形態と同様であり、図１３において、図１と共通する構成要素には同じ参照符号が付されている。

[0066] 発振制御部１１５の発振開始直後からスイッチング部１１９の出力がＮＦＢ１２３を介して変調部１１１へ到達するまでの時間は、ＮＦＢ１２３による負帰還がかからないため、デジタルアンプとしての再現性が低下する。再現性の低下とは、具体的には、デジタルアンプに供給する電源電圧の低下等に起因するデジタルアンプの出力信号の歪みである。ゲイン補正部５１１は、再現性の低下を補償するため、デジタルアンプ部１０１のゲインを上げる補正を行う。なお、ゲイン補正部５１１によるゲインの補正量は可変であって、動作シーケンス設定部１２５によって設定可能である。動作シーケンス設定部１２５は、デジタルアンプに信号が入力されると、当該信号入力直後から所定時間の間、ゲイン補正部５１１を駆動する。

[0067] 本実施形態によれば、デジタルアンプに信号が入力された直後から所定時間の間は、ゲイン補正部５１１がデジタルアンプ部１０１のゲインを補正する。このため、発振制御部１１５の発振開始直後における信号の再現性の低下を補償できる。なお、本実施形態では、ゲイン補正部５１１が変調部１１１の後段側に配置されているが、変調部１１１の前段に配置しても良い。この場合であっても、再現性の低下を補償できる。

[0068] （第６の実施形態）

図１４は、第６の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図１４に示すように、第６の実施形態のデジタルアンプは、第５の実施形態のデジタルアンプの構成要素に加え、デジタルアンプ部１０１内に電源電圧検出部６１１をさらに有する。また、本実施形態のゲイン補正部６１３は、電源電圧検出部６１１からの出力信号が入力される点が、第５の実施形態のゲイン補正部５１１とは異なる。これらの点以外は第５の実施形態と同様であり、図１４において、図１３と共通する構成要素には同じ参照符号が付されている。

[0069] 電源電圧検出部６１１は、電源電圧Ｖｂを検出し、その検出結果を示す信号をゲイン補正部６１３に送る。本実施形態のゲイン補正部６１３は、電源電圧検出部６１１から送られた信号が示す電源電圧Ｖｂに応じて、デジタルアンプ部１０１のゲインを補正する。例えば、電源電圧Ｖｂの実値が規定値よりも低い場合、デジタルアンプ部１０１のゲインは低下する。したがって、ゲイン補正部６１３は、電源電圧Ｖｂの所望値からの低下分に対応した分のゲイン補正を行う。

[0070] 本実施形態によれば、動作シーケンス設定部１２５によるゲインの補正量の設定に加えて、電源電圧Ｖｂの変化に応じたゲインの補正が可能であるため、第５の実施形態よりも精度の高いゲイン補正が可能である。

[0071] （第７の実施形態）

図１５は、第７の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図１５に示すように、第７の実施形態のデジタルアンプは、第１の実施形態のデジタルアンプの構成要素に加え、入力レベル検出部１０３の後段にＮＦＢ量制御部１５１をさらに備える。なお、ＮＦＢ量制御部１５１には、入力レベル検出部１０３から出力された信号Ｓｃが入力される。この点以外は第１の実施形態と同様であり、図１５において、図１と共通する構成要素には同じ参照符号が付されている。

[0072] ＮＦＢ量制御部１５１は、ＮＦＢ１２３による変調部１１１への帰還量を

制御する。なお、ＮＦＢ１２３の次数は可変であり、デジタルアンプ部１０１に入力される２０ｋＨｚ付近の高周波信号の再現性を担保するために、通常は、減衰特性の良い２次以上のローパスフィルタを形成している。なお、ＮＦＢ１２３の次数が高いほど、ＮＦＢ量は多い。

[0073] ２次以上のＮＦＢは、ＮＦＢ量が少ない１次のＮＦＢと比較して、入力される信号Ｓｆのスイッチング波形に対する追従速度が遅い。このため、スイッチング部１１９がスイッチング動作を開始した直後は、ＮＦＢがかからずデジタルアンプとしての再現性が低い。したがって、ＮＦＢ量制御部１５１は、デジタルアンプに信号が入力されると、当該信号入力直後から所定時間の間はＮＦＢ１２３の次数を１次に下げるようＮＦＢ１２３を制御する。したがって、発振制御部１１５の発振開始直後における信号の再現性の低下を回避できる。

[0074] （第８の実施形態）

図１６は、第８の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図１６に示すように、第８の実施形態のデジタルアンプは、第１の実施形態のデジタルアンプの構成要素に加え、動作シーケンス設定部１２７をさらに備える。なお、動作シーケンス設定部１２７には、入力レベル検出部１０３から出力された信号Ｓｃが入力される。また、本実施形態のデジタルアンプ部１０１は、変調部１１１とＤＴ制御部１１３の間に出力切替部７１１をさらに有し、変調部１１１と並列に無帰還変調部７１３を有する。これらの点以外は第１の実施形態と同様であり、図１６において、図１と共通する構成要素には同じ参照符号が付されている。

[0075] 無帰還変調部７１３は、例えばＰＷＭ（Pulse Width Modulation）回路であって、デジタルアンプ部１０１に入力された信号をデジタルパルス信号に変換する。なお、変調部１１１とは異なり、無帰還変調部７１３にはＮＦＢ１２３からの帰還信号は入力されない。したがって、無帰還変調部７１３は、当該帰還信号に応じた補正を行わない。出力切替部７１１は、ＤＴ制御部１１３に出力する信号として、変調部１１１によって変換されたデジタルパ

ルス信号及び無帰還変調部７１３によって変換されたデジタルパルス信号のいずれかに切り替える。動作シーケンス設定部１２７は、デジタルアンプに信号が入力されると、当該信号入力直後から所定時間の間は出力切替部７１１が無帰還変調部７１３からの信号を出力するよう、出力切替部７１１を制御する。

[0076] 第１の実施形態にて、変調部１１１を低スリューレイトのオペアンプで構成する場合、スイッチング部１１９から出力されるＰＷＭキャリア（およそ２００ｋＨｚ～５００ｋＨｚ）を変調部１１１に直接印加すると、このＰＷＭキャリアに対しオペアンプのリニアリティが低下し、再現性が低下する。この場合、ＮＦＢ１２３にローパスフィルタを内蔵させ、ＰＷＭキャリアを減衰させることで、オペアンプのリニアリティの低下を防ぎ、再現性の低下を回避することができる。但し、ＮＦＢ１２３にローパスフィルタを内蔵すると、入力される信号Ｓｆのスイッチング波形に対する追従速度が遅い。このため、スイッチング部１１９がスイッチング動作を開始した直後は、ＮＦＢがかからずデジタルアンプに入力された信号の再現性が低下する。

[0077] 本実施形態によれば、デジタルアンプに信号が入力された直後から所定時間の間は、無帰還変調部７１３からの信号が用いられる。無帰還変調部７１３は、帰還信号を用いた補正を元来行わないため、ＮＦＢ１２３からの帰還信号の有無に影響を受けない。したがって、発振制御部１１５の発振開始直後における信号の再現性の低下を回避できる。

[0078] なお、上記説明では、出力切替部７１１は、変調部１１１からの信号及び無帰還変調部７１３からの信号のいずれかに切り替えているが、これら２つの信号の割合を徐々に変えて合成した信号を出力しても良い。

[0079] （第９の実施形態）

図１７は、第９の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図１７に示すように、第９の実施形態のデジタルアンプは、第８の実施形態のデジタルアンプの構成要素に加え、デジタルアンプ部１０１内の無帰還変調部７１３と出力切替部７１１の間にゲイン補正部８１１をさ

らに有する。この点以外は第８の実施形態と同様であり、図１７において、図１６と共通する構成要素には同じ参照符号が付されている。

[0080] 動作シーケンス設定部１２７は、デジタルアンプに信号が入力されると、当該信号入力直後から所定時間の間、ゲイン補正部８１１を駆動する。ゲイン補正部８１１には、無帰還変調部７１３からのデジタルパルス信号が出力される。ゲイン補正部８１１は、再現性の低下を補償するため、デジタルアンプ部１０１のゲインを補正する。

[0081] 本実施形態によれば、デジタルアンプに信号が入力された直後から所定時間の間は、無帰還変調部７１３からの信号が用いられ、かつ、ゲイン補正部８１１がデジタルアンプ部１０１のゲインを補正する。このため、無帰還変調部７１３の利用により発振制御部１１５の発振開始直後における信号の再現性の低下を完全に回避できなくても、ゲイン補正部８１１がデジタルアンプ部１０１のゲインを補正する。このため、発振制御部１１５の発振開始直後における信号の再現性の低下をより良く補償できる。

[0082] （第１０の実施形態）

図１８は、第１０の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図１８に示すように、第１０の実施形態のデジタルアンプは、第９の実施形態のデジタルアンプの構成要素に加え、デジタルアンプ部１０１内に電源電圧検出部９１１をさらに有する。この点以外は第９の実施形態と同様であり、図１８において、図１７と共通する構成要素には同じ参照符号が付されている。

[0083] 電源電圧検出部９１１は、電源電圧Ｖｂを検出し、その検出結果を示す信号をゲイン補正部８１１に送る。動作シーケンス設定部１２７は、デジタルアンプに信号が入力されると、当該信号入力直後から所定時間の間、ゲイン補正部８１１を駆動する。本実施形態のゲイン補正部８１１は、電源電圧検出部９１１から送られた信号が示す電源電圧Ｖｂに応じて、デジタルアンプ部１０１のゲインを補正する。例えば、電源電圧Ｖｂの実値が規定値よりも低い場合、デジタルアンプ部１０１のゲインは低下する。したがって、ゲイ

ン補正部８１１は、電源電圧Ｖｂの所望値からの低下分に対応した分のゲイン補正を行う。

[0084] 本実施形態によれば、電源電圧Ｖｂの変化に応じたゲインの補正が可能である。

[0085] （第１１の実施形態）

図１９は、第１１の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図１９に示すように、第１１の実施形態のデジタルアンプは、第１の実施形態のデジタルアンプの構成要素に加え、動作シーケンス設定部１５３をさらに備える。なお、動作シーケンス設定部１５３には、入力レベル検出部１０３から出力された信号Ｓｃが入力される。また、本実施形態のデジタルアンプ部１０１は、変調部１１１の代わりに、２次ΔΣ変調部１６１、１次ΔΣ変調部１６３及び出力切替部１６５を有し、ＮＦＢ１２３の経路は２次ΔΣ変調部１６１及び１次ΔΣ変調部１６３の両方に接続されている。これらの点以外は第１の実施形態と同様であり、図１９において、図１と共通する構成要素には同じ参照符号が付されている。

[0086] ２次ΔΣ変調部１６１及び１次ΔΣ変調部１６３にはそれぞれ信号Ｓａが入力される。２次ΔΣ変調部１６１及び１次ΔΣ変調部１６３の各出力信号は、出力切替部１６５に入力される。出力切替部１６５は、ＤＴ制御部１１３に出力する信号として、２次ΔΣ変調部１６１からの出力信号及び１次ΔΣ変調部１６３からの出力信号のいずれかに切り替える。

[0087] １次ΔΣ変調部１６３及び２次ΔΣ変調部１６１には、ＮＦＢ１２３を介し、スイッチング部１１９の出力信号Ｓｆが印加される。１次ΔΣ変調部１６３は、２次ΔΣ変調部１６１に比べ、信号Ｓｆに対する追従性は良いため、発振制御部１１５の発振開始直後の再現性が良い。再現性の低下とは、デジタルアンプに供給する電源電圧の低下等に起因するオーディオ信号の歪みである。また、２次ΔΣ変調部１６１は、１次ΔΣ変調部１６３に比べ、ＮＦＢ量を多くでき、発振制御部１１５の発振から十分時間が経過するまで再現性が良くない。出力切替部１６５は、発振制御部１１５の発振直後から所

定時間の間は１次ΔΣ変調部１６３からの信号を出力し、前記所定時間が経過した以降は２次ΔΣ変調部１６１からの信号を出力する。

[0088] 本実施形態では、発振制御部１１５の発振開始直後は、再現性が良い１次ΔΣ変調部１６３からの出力信号が用いられ、十分時間が経過した後に２次ΔΣ変調部１６１の出力信号が用いられる。このため、発振制御部１１５の発振開始直後における信号の再現性の低下を回避できる。なお、ΔΣ変調部の次数は、発振開始直後の次数に対して、十分時間が経過した後の次数が高ければ同じ効果が得られる。また、ΔΣ変調部は、Δ変調器などの１ビットデジタルパルス変換器であれば、同じ効果が得られる。

[0089] なお、上記説明では、出力切替部１６５は、２次ΔΣ変調部１６１からの信号及び１次ΔΣ変調部１６３からの信号のいずれかに切り替えているが、これら２つの信号の割合を徐々に変えて合成した信号を出力しても良い。

[0090] （第１２の実施形態）

図２０は、第１２の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図２０に示すように、第１２の実施形態のデジタルアンプは、第１の実施形態のデジタルアンプの構成要素に加え、動作シーケンス設定部１７１をさらに備える。なお、動作シーケンス設定部１７１は、入力レベル検出部１０３から出力された信号Ｓｃが入力される。この点以外は第１の実施形態と同様であり、図２０において、図１と共通する構成要素には同じ参照符号が付されている。

[0091] 動作シーケンス設定部１７１は、デジタルアンプ部１０１のスイッチング部１１９がスイッチング動作を開始してから所定時間の間、スイッチング部１１９が通常よりも長いデッドタイムでスイッチング動作を行うようＤＴ制御部１１３を制御する。

[0092] 図２１は、第１２の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図である。図２１に示される信号Ｓａは、当該デジタルアンプの入力信号である。信号Ｓｃは、入力レベル検出部１０３の出力信号であって、入力信号Ｓａを両波整流した信号である。電位Ｖｏ

ｃは、動作制御部１０５の出力信号の電位であって、信号Ｓｃを平滑化した信号である。信号Ｓｆは、デジタルアンプ部１０１のスイッチング部１１９が行うスイッチング動作を示す信号である。信号Ｓｇは、信号Ｓａを増幅した信号であって、当該デジタルアンプの出力信号である。信号Ｓｇは、出力端１０７から出力される。

[0093] 図２１に示すように、入力信号Ｓａが無い状態（無信号入力状態）から有る状態（信号入力状態）に変わると、動作制御部１０５の出力信号の電位Ｖｏｃが上がる。電位Ｖｏｃが上がることによって発振制御部１１５が発振する（Drv. ON）と、入力信号Ｓａが駆動部１１７に入力される経路が閉じる。経路を閉じるとは、例えば駆動部１１７は、フォトカプラを内蔵し信号伝達を前記フォトカプラで行い、前記フォトカプラの入力に流れ込む電流をトランジスタなどの電子スイッチで開閉する構成になっており、前記電子スイッチを閉じ、信号を伝達することを示す。このため、駆動部１１７は、入力信号Ｓａに応じたスイッチング部１１９の駆動制御を開始する。このとき、動作シーケンス設定部１７１は、スイッチング部１１９がスイッチング動作を開始して所定時間Ｔｉｄ［ｍ秒］の間、通常よりも長いデッドタイムでスイッチング動作を行うようＤＴ制御部１１３を制御する。

[0094] なお、デッドタイムを長くするとドライバ１３３ａ，１３３ｂにそれぞれ入力される信号のデューティ比は短くなる。デューティ比が短いと変調部１１１にて変調された信号内の入力信号Ｓａの情報量が少なくなり、ＬＰＦ１２１にて復調した際に出力信号Ｓｇの歪み等が発生するため、信号の再現性が悪化する。したがって、ＤＴ制御部１１３が通常よりも長いデッドタイムで制御を行う所定時間Ｔｉｄは短い方が好ましい。

[0095] デッドタイム中に発生したノイズは、出力端１０７から出力されない。本実施形態によれば、発振開始直後にデッドタイムを長く制御することで、スイッチング素子１３１ａ，１３１ｂのオン時間を短くし、ＬＰＦ１２１に流れる平均電流値を抑制し、ＬＰＦ１２１の共振現象から起因するポップノイズを低減できる。例えば、本実施形態の制御を行わないと図２１中に一点鎖

線で示すポップノイズが発生するが、本実施形態では、実線で示されるようにポップノイズは小さい。

[0096] （第１３の実施形態）

図２２は、第１３の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図２２に示すように、第１３の実施形態のデジタルアンプは、第２の実施形態のデジタルアンプの構成要素に加え、動作シーケンス設定部１７１をさらに備える。なお、動作シーケンス設定部１７１は、入力レベル検出部１０３から出力された信号Ｓｃが入力される。この点以外は第２の実施形態と同様であり、図２２において、図４と共通する構成要素には同じ参照符号が付されている。

[0097] 動作シーケンス設定部１７１は、デジタルアンプ部１０１のスイッチング部１１９がスイッチング動作を開始してから所定時間の間、スイッチング部１１９が通常よりも長いデッドタイムでスイッチング動作を行うようＤＴ制御部１１３を制御する。

[0098] 図２３は、第１３の実施形態のデジタルアンプにおいてスイッチング動作が開始される際の信号波形を示す図である。図２３に示される信号Ｓａは、当該デジタルアンプの入力信号である。信号Ｓｂは、遅延部２１１の出力信号（遅延信号）であり、デジタルアンプ部１０１に入力される。図２３に示す例では、入力信号Ｓａと遅延信号Ｓｂの間には時間軸上、遅延時間ｔｄ［ｍ秒］の差がある。信号Ｓｃは、入力レベル検出部１０３の出力信号であって、入力信号Ｓａを両波整流した信号である。電位Ｖｏｃは、動作制御部１０５の出力信号の電位であって、信号Ｓｃを平滑化した信号である。信号Ｓｆは、デジタルアンプ部１０１のスイッチング部１１９が行うスイッチング動作を示す信号である。信号Ｓｇは、遅延信号Ｓｂを増幅した信号であって、当該デジタルアンプの出力信号である。信号Ｓｇは、出力端１０７から出力される。

[0099] 図２３に示すように、入力信号Ｓａが無い状態（無信号入力状態）から有る状態（信号入力状態）に変わると、動作制御部１０５の出力信号の電位Ｖ

ｏｃが上がる。電位Ｖｃｏが上がることによって発振制御部１１５が発振する（Drv. ON）と、遅延信号Ｓｂが駆動部１１７に入力される経路が閉じる。経路を閉じるとは、例えば駆動部１１７は、フォトカプラを内蔵し信号伝達を前記フォトカプラで行い、前記フォトカプラの入力に流れ込む電流をトランジスタなどの電子スイッチで開閉する構成になっており、前記電子スイッチを閉じ、信号を伝達することを示す。このため、駆動部１１７は、遅延信号Ｓｂに応じたスイッチング部１１９の駆動制御を開始する。このとき、動作シーケンス設定部１７１は、スイッチング部１１９がスイッチング動作を開始して所定時間Ｔｉｄ［ｍ秒］の間、通常よりも長いデッドタイムでスイッチング動作を行うようＤＴ制御部１１３を制御する。

[0100] なお、デッドタイムを長くするとドライバ１３３ａ，１３３ｂにそれぞれ入力される信号のデューティ比は短くなる。デューティ比が短いと変調部１１１にて変調された信号内の入力信号Ｓａの情報量が少なくなり、ＬＰＦ１２１にて復調した際に出力信号Ｓｇの歪み等が発生するため、信号の再現性が悪化する。したがって、ＤＴ制御部１１３が通常よりも長いデッドタイムで制御を行う所定時間Ｔｉｄは短い方が好ましい。

[0101] デッドタイム中に発生したノイズは、出力端１０７から出力されない。本実施形態によれば、発振開始直後にデッドタイムを長く制御することで、スイッチング素子１３３ａ，１３３ｂのオン時間を短くし、ＬＰＦ１２１に流れる平均電流値を抑制し、ＬＰＦ１２１の共振現象から起因するポップノイズを低減できる。例えば、本実施形態の制御を行わないと図２３中に一点鎖線で示すポップノイズが発生するが、本実施形態では、実線で示されるようにポップノイズは小さい。

[0102] なお、第１２の実施形態では、図２１に示すように、出力信号Ｓｇに音欠けが発生していた。しかし、本実施形態では、デジタルアンプ部１０１に入力される信号Ｓｂは遅延されているため、デジタルアンプ部１０１がスイッチング動作を開始した際に、音欠けが発生しない。

[0103] （第１４の実施形態）

図２４は、第１４の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図２４に示すように、第１４の実施形態のデジタルアンプは、第１の実施形態のデジタルアンプの構成要素に加え、デジタルアンプ部１０１内の変調部１１１の前段に初期波形加算部１１１１及び初期波形加算部１１１１を制御する動作シーケンス設定部１２５をさらに有する。この点以外は第１の実施形態と同様であり、図２４において、図１と共通する構成要素には同じ参照符号が付されている。

[0104] 動作シーケンス設定部１２５は、入力レベル検出部１０３にて無信号状態から信号入力状態になったことを検出した信号を受けて、初期波形加算部１１１１をポップノイズの抑制に十分な一定期間制御する。初期波形加算部１１１１は、スイッチング動作が開始される際に発生するポップノイズと同振幅かつ逆位相の信号を、デジタルアンプ部１０１に入力された信号に加算する。なお、初期波形加算部１１１１を変調部１１１の後段に設けても良い。この場合、初期波形加算部１１１１は、ポップノイズの変調信号と同振幅かつ逆位相の信号を、変調部１１１から出力されたデジタルパルス信号に加算する。

[0105] 本実施形態によれば、デジタルアンプ部１０１がスイッチング動作を開始した際にポップノイズが発生しても、初期波形加算部１１１１によって加算された信号によって増幅前にキャンセルされるため、出力端１０７からポップノイズは出力されない。ポップノイズとは、例えばＬＰＦ１２１の共振現象から起因するポップノイズや後記する変調部１１１の動作基準点とスイッチング部１１９の動作基準点の違いから起因するポップノイズなどである。

[0106] （第１５の実施形態）

図２５は、第１５の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図２５に示すように、第１５の実施形態のデジタルアンプは、第１の実施形態のデジタルアンプの構成要素に加え、停止位置検出部１２１１をさらに備える。また、本実施形態の動作制御部１２０５は、デジタルアンプ部１０１がスイッチング動作を停止するタイミングが第１の実施形態

の動作制御部１０５とは異なる。これらの点以外は第１の実施形態と同様であり、図２５において、図１と共通する構成要素には同じ参照符号が付されている。

[0107] デジタルアンプが信号入力状態から無信号入力状態になったとき、図２６に示すように、スイッチング部１１９の出力電圧又は出力電流の値が０になる位置でスイッチング動作を停止しないとポップノイズが発生する。停止位置検出部１２１１は、スイッチング部１１９の出力電圧又は出力電流の値が０になる位置を検出し、その検出結果を示す信号を動作制御部１２０５に送り、発振制御部１１５による発振動作を制御する。これにより、出力電圧又は出力電流の値が０になる位置でスイッチング動作を停止することができる。前記出力電流の検出手段としては、例えば電流経路に低抵抗を入れ電圧に換算し値を検出する。

[0108] なお、出力電圧が０のときは、或いは出力電流が０のときは、出力のＬＰＦ１２１により位置がずれているが、どちらの点も電力換算すると０であり、出力電圧又は出力電流の値が０の位置は、すなわち電力が０の位置と言い換えることもできる。

[0109] 本実施形態によれば、デジタルアンプが信号入力状態から無信号入力状態になったとき、スイッチング部１１９の出力電圧又は出力電流の値が０になる位置（電力が０となる位置）でスイッチング動作が停止される。このため、デジタルアンプが無信号入力状態になったときに発生するポップノイズを低減できる。

[0110] （第１６の実施形態）

図２７は、第１６の実施形態のデジタルアンプの出力段の構成を示すブロック図である。図２７に示すように、第１６の実施形態のデジタルアンプは、第１の実施形態のデジタルアンプの構成要素に加え、動作シーケンス設定部１３３をさらに備え、デジタルアンプ部１０１内に出力電圧検出部１３１１及び初期電圧調整部１３１３を有する。これらの点以外は第１の実施形態と同様であり、図２７において、図１と共通する構成要素には同じ参照符号

が付されている。

[0111] デジタルアンプを構成する変調部１１１の入力側には、例えば高速オペアンプＩＣなどの積分器（図示せず）が構成されている。当該積分器は、電源電圧が＋５［Ｖ］などの単電源で駆動される。一方、スイッチング部１１９は、電源電圧が±２０［Ｖ］などの両電源で駆動される。本実施形態のデジタルアンプがパワーアンプとしての基本機能を有するためには、入力信号及び出力信号が共に交流である必要がある。したがって、積分器に対しては＋５［Ｖ］の半分の＋２．５［Ｖ］を動作基準点として駆動し、スイッチング部１１９に対しては±２０［Ｖ］の中間値である０［Ｖ］を動作基準点として駆動する。このように、デジタルアンプの入力側における動作基準点と出力側における動作基準点に開きがあるため、ダイナミックレンジを大きく取る必要がある。そのため、駆動部１１７にフォトカプラなどのレベルシフト回路を内蔵し、動作基準点を合わせる構成にする。

[0112] 無信号入力状態のデジタルアンプの出力電圧は、スイッチング部１１９がハイインピーダンスであり、負荷のインピーダンスは４～８［Ω］であるため、ほぼ０［Ｖ］である。上述したように、変調部１１１の積分器は、当該積分器を構成するオペアンプのマイナス端子のバイアス電圧により、＋２．５［Ｖ］の動作基準点で駆動する。しかし、無信号入力状態の積分器の入力電圧は０［Ｖ］であり、出力電圧は動作基準点である＋２．５［Ｖ］である。すなわち、無信号入力状態の積分器は、積分器を構成するコンデンサに＋２．５［Ｖ］が印加された状態で待機している。

[0113] 出力電圧検出部１３１１は、スイッチング部１１９の出力側の電圧を検出し、その検出結果を示す信号を初期電圧調整部１３１３に送る。初期電圧調整部１３１３は、変調部１１１の出力側の電圧が出力電圧検出部１３１１から送られた信号が示す電圧に等しくなるよう調整する。すなわち、初期電圧調整部１３１３は、変調部１１１の積分器に所定のバイアス電圧を印加する。動作シーケンス設定部１３３は、デジタルアンプに信号が入力されると、当該信号入力直後から所定時間の間、初期電圧調整部１３１３を駆動する。

[0114] 図２８は、デジタルアンプ部がスイッチング動作を開始した際の変調部の出力電圧Ｓｄの波形及びスイッチング部の出力電圧Ｓｆの波形を示す図であって、（ａ）は変調部にバイアス電圧が印加されていない場合の波形を示し、（ｂ）は変調部にバイアス電圧が印加されている場合の波形を示す。図２８（ａ）に示すように、第１６の実施形態の構成ではない場合、無信号入力状態から信号入力状態になり、スイッチング動作が開始されたとき、変調部１１１の積分器における＋２．５［Ｖ］の電位差分がスイッチング周期に影響して、スイッチング部１１９の出力電圧Ｓｆのデューティ比は５０%にならない。その結果、ポップノイズが発生する。

[0115] 一方、初期電圧調整部１３１３によって変調部１１１の積分器に所定のバイアス電圧が印加された状態であれば、無信号入力状態から信号入力状態になり、スイッチング動作が開始されたときであっても、図２８（ｂ）に示すように、スイッチング部１１９の出力電圧Ｓｆのデューティ比は５０%になる。このため、ポップノイズは発生しない。

[0116] 本実施形態によれば、デジタルアンプに信号が入力されたとき、変調部１１１の出力側の電圧がスイッチング部１１９の出力側の電圧に一致するよう変調部１１１の積分器にバイアス電圧が印加されるため、デジタルアンプ部１０１がスイッチング動作を開始した際にポップノイズが発生しない。

[0117] なお、上記説明した実施形態のデジタルアンプ部１０１が有するスイッチング部１１９はスイッチング素子を２つ有するが、１つであっても４つであっても良い。なお、駆動部１１７に含まれるドライバの数は、スイッチング部１１９が有するスイッチング素子の数に対応する。

[0118] また、上記第１～第４の実施形態のいずれかに第５～第１６の実施形態の少なくとも一つを組み合わせても良い。

[0119] 本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

[0120] 本出願は、2010年3月11日出願の日本特許出願（特願2010-054643）に基づ

くものであり、その内容はここに参照として取り込まれる。

産業上の利用可能性

[0121] 本発明は、無信号入力時にスイッチング動作を行わないデジタルアンプ等として有用である。

符号の説明

[0122] １０１　デジタルアンプ部

１０３，４０３　入力レベル検出部（入力信号検出部）

１０５，３０５，１２０５　動作制御部（第１制御部）

１０７　出力端

１１１　変調部（第1変調部）

１１３　デッドタイム制御部（ＤＴ制御部）

１１５　発振制御部

１１７　駆動部

１１９　スイッチング部

１２１　ＬＰＦ

１２３　ＮＦＢ（帰還部）

１２５，１２７，１３３，１５３，１７１　動作シーケンス設定部（第３制御部、第４制御部、デッドタイム設定部、第２制御部、第５制御部）

１３１ａ，１３１ｂ　スイッチング素子

１３３ａ，１３３ｂ　ドライバ

２１１　遅延部

３１１　スイッチ（スイッチ部）

４１１　ＯＲ回路（論理演算部）

５１１，６１３，８１１　ゲイン補正部（第１ゲイン補正部）

６１１，９１１　電源電圧検出部

１５１　ＮＦＢ量制御部（帰還量変更部）

７１１，１６５　出力切替部

１６１　２次ΔΣ変調部（高次数の変調部）

１６３　１次ΔΣ変調部（低次数の変調部）

７１３　無帰還変調部（第２変調部）

１１１１　初期波形加算部（入力信号補正部）

１２１１　停止位置検出部（信号検出部）

１３１１　出力電圧検出部

１３１３　初期電圧調整部

請求の範囲

[請求項1] 信号を増幅するデジタルアンプであって、

スイッチング動作を行うことによって当該デジタルアンプに入力された信号を増幅するスイッチング部と、

前記スイッチング部をオンオフ駆動する駆動部と、

当該デジタルアンプへの入力信号の有無を検出する入力信号検出部と、

当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記駆動部の駆動を開始して前記スイッチング部がスイッチング動作を開始するよう制御し、当該デジタルアンプが信号入力状態から無信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出しないと、前記駆動部の駆動を停止して前記スイッチング部がスイッチング動作を停止するよう制御する第１制御部と、

を備えたことを特徴とするデジタルアンプ。

[請求項2] 請求項１に記載のデジタルアンプであって、

当該デジタルアンプへの入力信号を所定時間遅らせて前記スイッチング部に伝送する遅延部を備え、

前記スイッチング部は、前記遅延部を介して送られた当該デジタルアンプへの入力信号を増幅することを特徴とするデジタルアンプ。

[請求項3] 請求項２に記載のデジタルアンプであって、

前記スイッチング部から出力された増幅信号が当該デジタルアンプから出力される経路を開閉するスイッチ部を備え、

前記第１制御部は、

当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記経路が閉じるよう前記スイッチ部を制御し、

当該デジタルアンプが信号入力状態から無信号入力状態となり、前

記入力信号検出部が当該デジタルアンプへの入力信号を検出しないと、前記経路が開くよう前記スイッチ部を制御することを特徴とするデジタルアンプ。

[請求項4] 請求項２に記載のデジタルアンプであって、

前記スイッチング部から出力された増幅信号が当該デジタルアンプから出力される経路を開閉するスイッチ部と、

当該デジタルアンプへの入力信号に前記遅延部の出力信号を重畳した論理和信号を出力する論理演算部と、を備え、

前記入力信号検出部は、前記論理演算部から出力される前記論理和信号の有無を検出し、

前記第１制御部は、

当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が前記論理和信号を検出すると、前記駆動部の駆動を開始して前記スイッチング部がスイッチング動作を開始するよう制御し、かつ、前記経路が閉じるよう前記スイッチ部を制御し、

当該デジタルアンプが信号入力状態から無信号入力状態となり、前記入力信号検出部が前記論理和信号を検出しないと、前記駆動部の駆動を停止して前記スイッチング部がスイッチング動作を停止するよう制御し、かつ、前記経路が開くよう前記スイッチ部を制御することを特徴とするデジタルアンプ。

[請求項5] 請求項３又は４に記載のデジタルアンプであって、

前記第１制御部の制御に応じて前記経路が閉じるタイミングは、前記遅延部による信号の遅延時間以内であって、前記第１制御部の制御に応じて前記スイッチング部がスイッチング動作を開始するタイミングよりも後であり、

前記第１制御部の制御に応じて前記経路が開くタイミングは、前記第１制御部の制御に応じて前記スイッチング部がスイッチング動作を停止するタイミングよりも前であることを特徴とするデジタルアンプ

。

[請求項6] 請求項１に記載のデジタルアンプであって、

前記スイッチング動作は、前記スイッチング部が有する直列接続された２つのスイッチング素子を交互にオンオフする動作であって、

当該デジタルアンプは、

前記スイッチング部がスイッチング動作を行う際に前記２つのスイッチング素子の両方がオフ状態となるように前記駆動部を制御するデッドタイム制御部と、

前記デッドタイム制御部による前記２つのスイッチング素子の両方がオフ状態になる時間を設定するデッドタイム設定部と、を備え、

当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記デットタイム設定部が、所定時間の間は通常よりも長い、前記２つのスイッチング素子の両方がオフ状態になる時間を設定することを特徴とするデジタルアンプ。

[請求項7] 請求項６に記載のデジタルアンプであって、

当該デジタルアンプへの入力信号を所定時間遅らせて前記スイッチング部に伝送する遅延部を備え、

前記スイッチング部は、前記遅延部を介して送られた当該デジタルアンプへの入力信号を増幅することを特徴とするデジタルアンプ。

[請求項8] 請求項１に記載のデジタルアンプであって、

当該デジタルアンプへの入力信号を補正する入力信号補正部と、

第２制御部と、を備え、

前記第２制御部は、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、所定時間は入力信号と逆相の信号を当該デジタルアンプへの入力信号に印加するよう前記入力信号補正部を制御することを特徴とするデジタルアンプ。

[請求項9] 請求項１に記載のデジタルアンプであって、

前記スイッチング部の基準電位とは異なる基準電位で駆動され、当該デジタルアンプへの入力信号をパルス変調する変調部と、

前記スイッチング部の出力電圧を検出する出力電圧検出部と、

前記出力電圧検出部の検出結果に応じて前記変調部の出力電圧を調整する初期電圧調整部と、

第５制御部と、を備え、

前記第５制御部は、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記変調部に所定のバイアス電圧を印加するよう前記初期電圧調整部を制御することを特徴とするデジタルアンプ。

[請求項10] 請求項１に記載のデジタルアンプであって、

前記スイッチング部から出力された増幅信号の電力が０であることを検出する信号検出部を備え、

前記第１制御部は、前記スイッチング部のスイッチング動作を停止するよう制御する際、前記信号検出部によって検出された結果に応じて前記スイッチング動作が停止するよう、前記駆動部の駆動を停止することを特徴とするデジタルアンプ。

[請求項11] 請求項１に記載のデジタルアンプであって、

前記スイッチング部のゲインを上げる補正を行う第１ゲイン補正部を備え、

当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記第１ゲイン補正部が駆動するよう制御する第３制御部と、

を備えたことを特徴とするデジタルアンプ。

[請求項12] 請求項１１に記載のデジタルアンプであって、

前記スイッチング部に供給される電源電圧を検出する電源電圧検出部を備え、

前記第１ゲイン補正部は、前記電源電圧検出部が検出した電源電圧

に応じて、前記スイッチング部のゲインを補正することを特徴とするデジタルアンプ。

[請求項13] 請求項１に記載のデジタルアンプであって、

当該デジタルアンプへの入力信号をパルス変調する変調部と、

前記スイッチング部の出力信号を前記変調部に帰還する帰還部と、

前記帰還部の帰還量を変更する帰還量変更部と、

を備えたことを特徴とするデジタルアンプ。

[請求項14] 請求項１に記載のデジタルアンプであって、

当該デジタルアンプへの入力信号をパルス変調する、前記入力信号に対して並列に設けられた複数種類の変調部と、

前記スイッチング部の出力信号を前記複数種類の変調部の少なくとも一つに帰還する帰還部と、

前記複数種類の変調部の出力信号の少なくとも一つを前記駆動部に出力する出力切替部と、

当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記複数種類の変調部の出力信号の少なくとも一つを出力するよう前記出力切替部を制御する第４制御部と、

を備えたことを特徴とするデジタルアンプ。

[請求項15] 請求項１４に記載のデジタルアンプであって、

前記複数種類の変調部は、

前記帰還部からの帰還信号に応じて当該デジタルアンプへの入力信号をパルス変調する第１変調部と、

前記帰還部からの帰還信号は用いずに当該デジタルアンプへの入力信号をパルス変調する第２変調部と、を含み、

前記第４制御部は、当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記第２変調部の出力信号を出力するよう前記出

力切替部を制御することを特徴とするデジタルアンプ。

[請求項16] 請求項１４に記載のデジタルアンプであって、

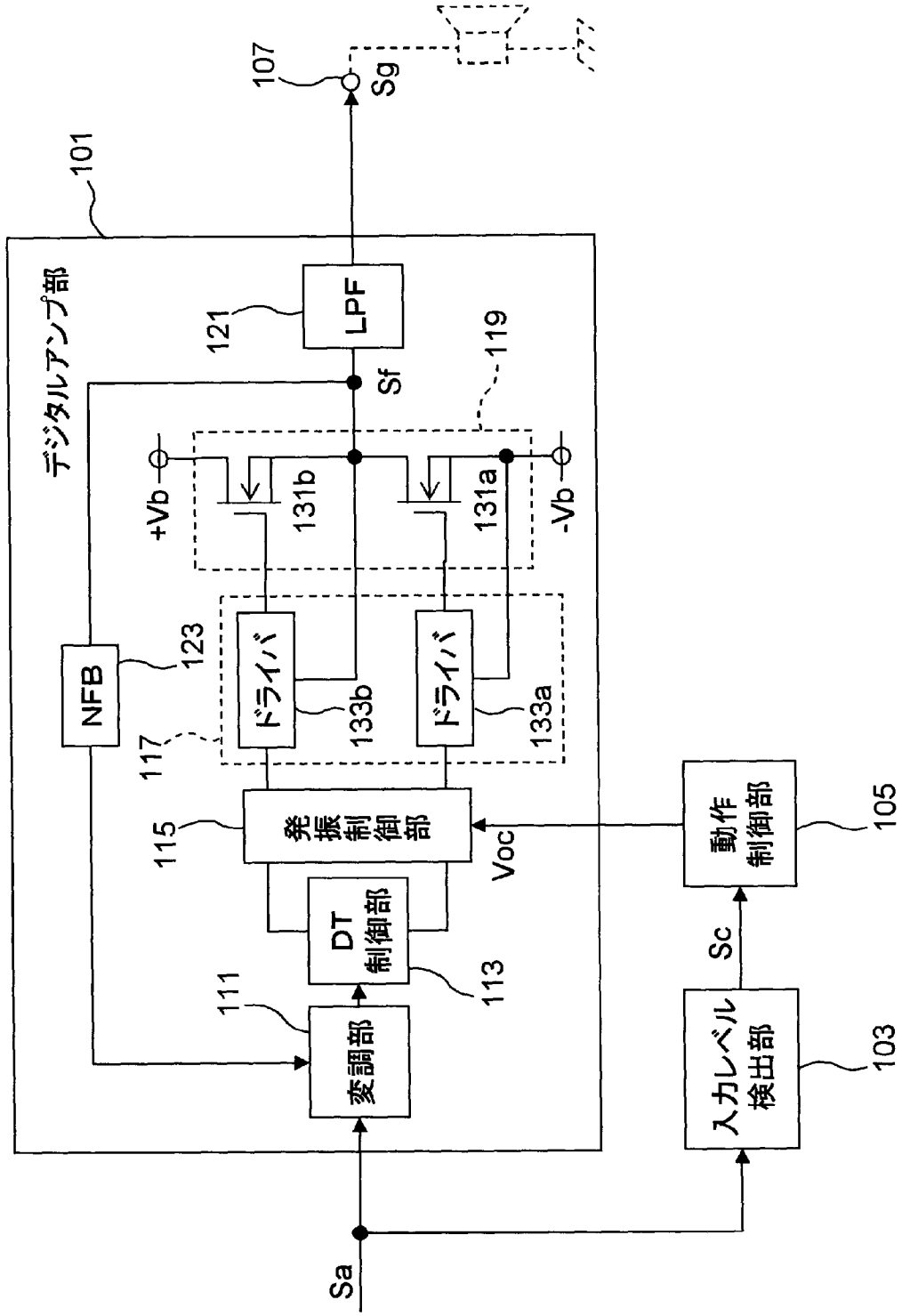
前記複数種類の変調部は、

前記帰還部からの帰還信号に応じて当該デジタルアンプへの入力信号をパルス変調する高次数の変調部と、

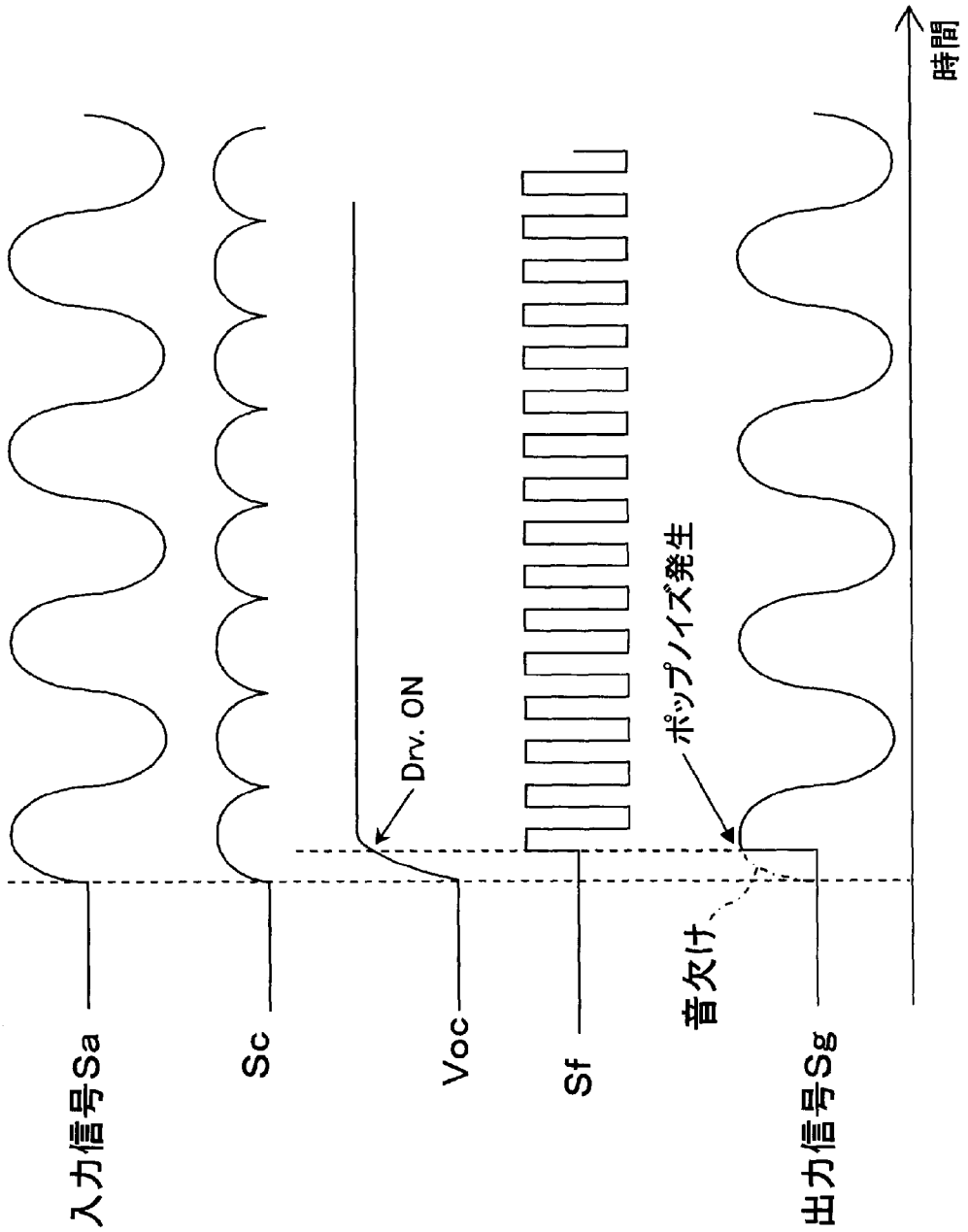
前記帰還部からの帰還信号に応じて当該デジタルアンプへの入力信号をパルス変調する低次数の変調部と、を含み、

前記第４制御部は、当該デジタルアンプが無信号入力状態から信号入力状態となり、前記入力信号検出部が当該デジタルアンプへの入力信号を検出すると、前記低次数の変調部の出力信号を出力するよう前記出力切替部を制御することを特徴とするデジタルアンプ。

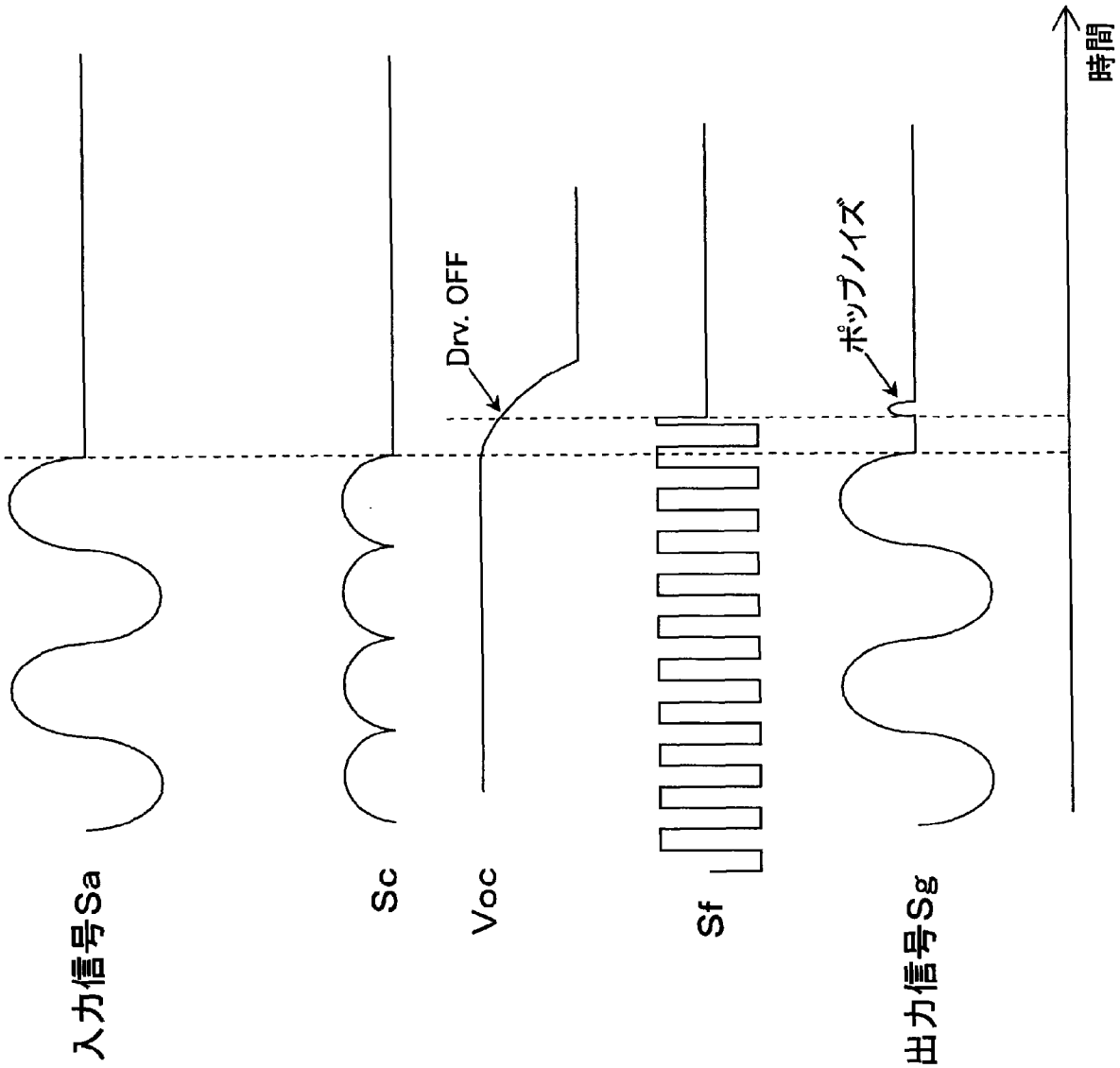
[図1]


107
Sg
101
デジタルアンプ部
121
LPF
Sf
119
+Vb
131b
131a
-Vb
123
NFB
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
動作制御部
105
DT制御部
113
111
変調部
Sc
入力レベル検出部
103
Sa

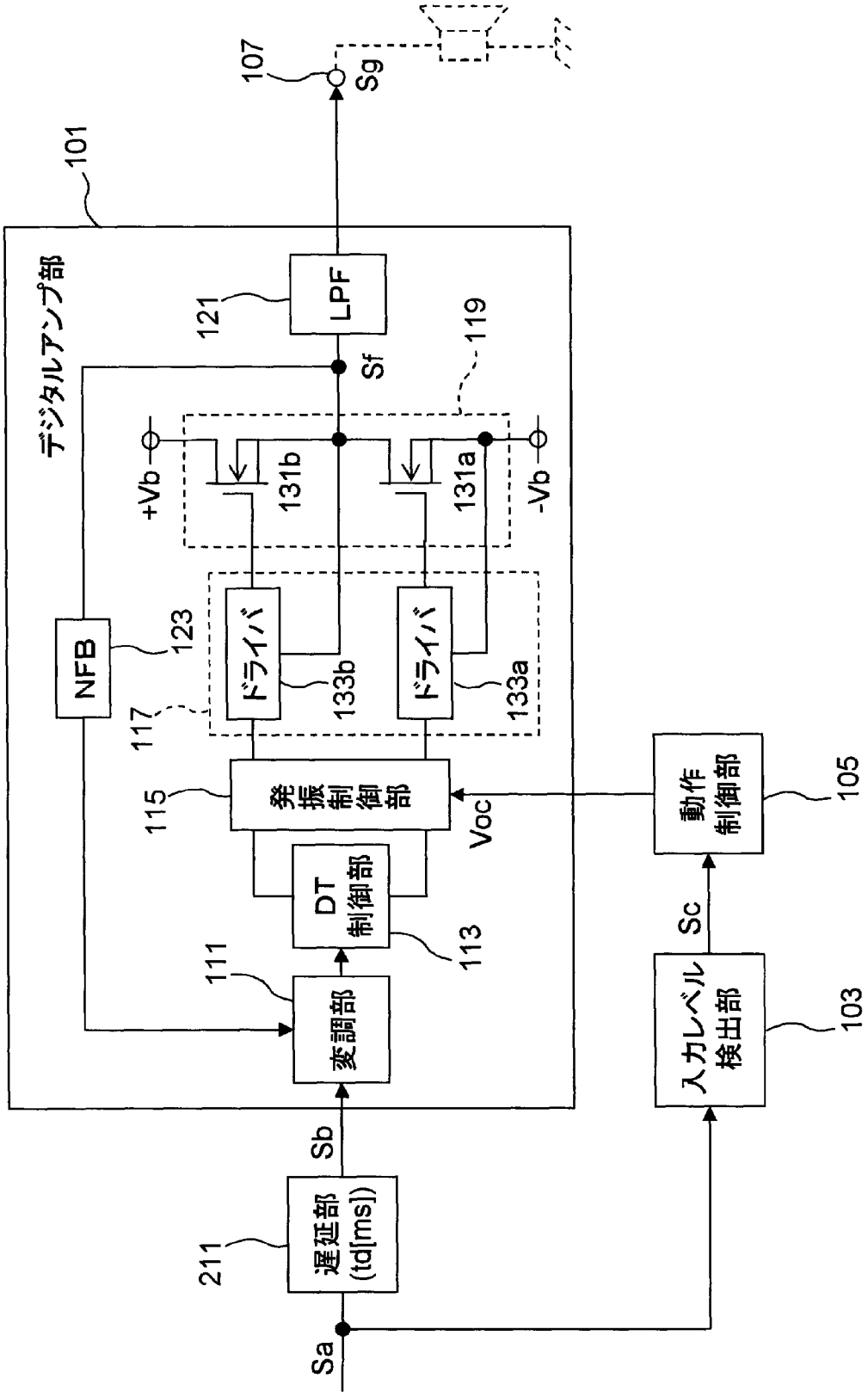
[図2]



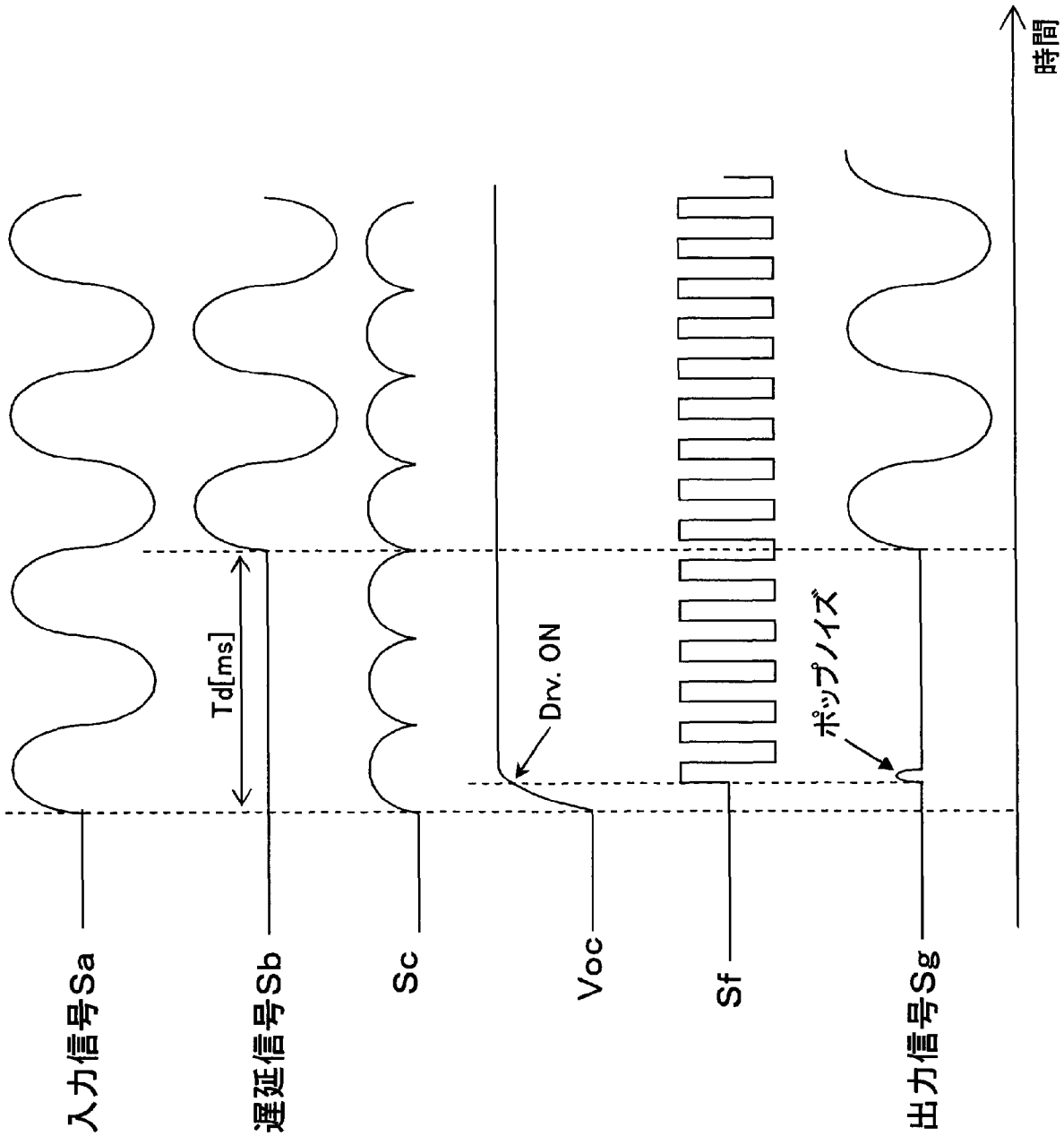
[図3]



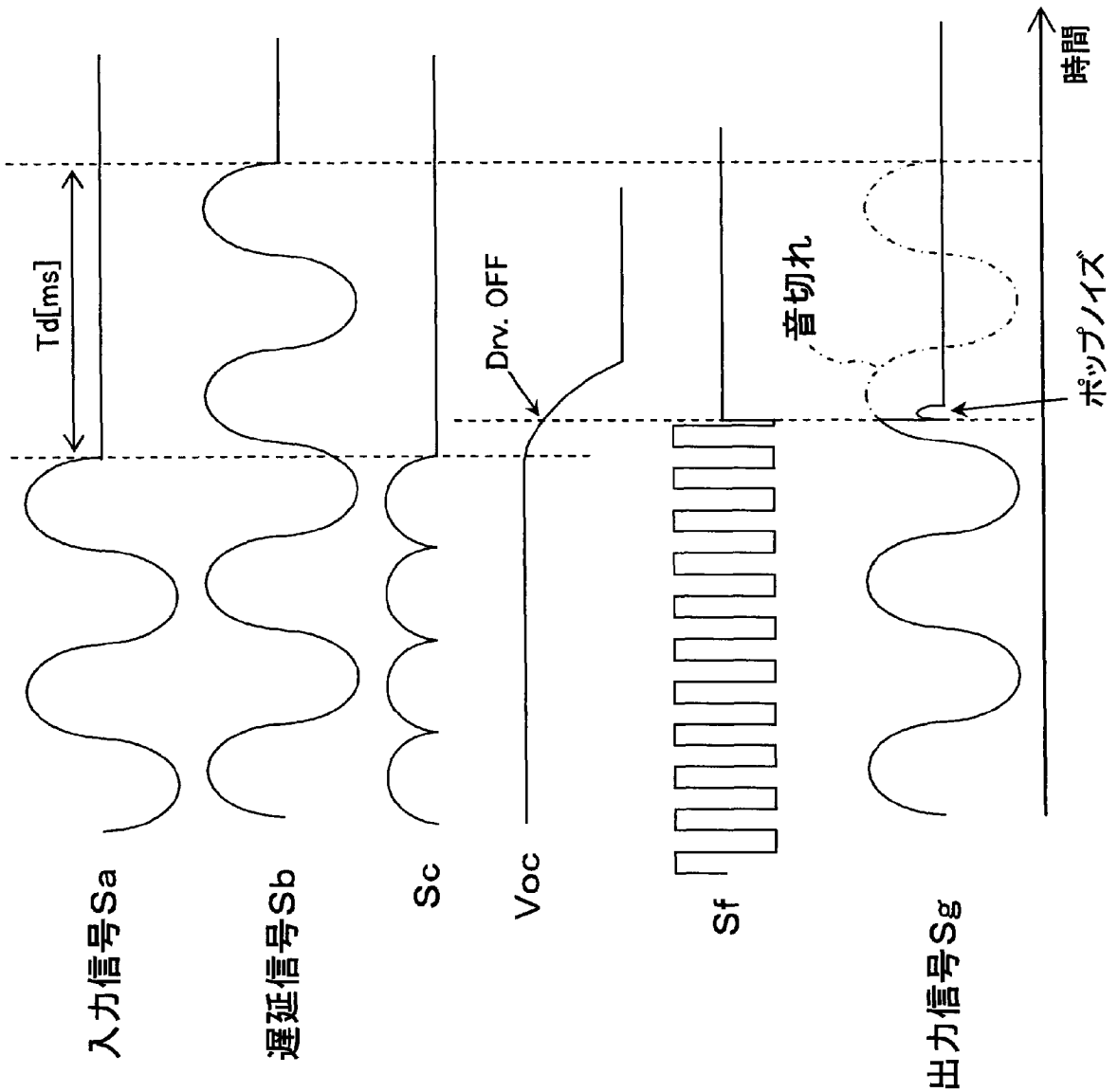
[図4]


107
Sg
101
デジタルアンプ部
121
LPF
Sf
119
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
動作制御部
105
DT制御部
113
111
変調部
Sc
入力レベル検出部
103
Sb
211
遅延部(td[ms])
Sa

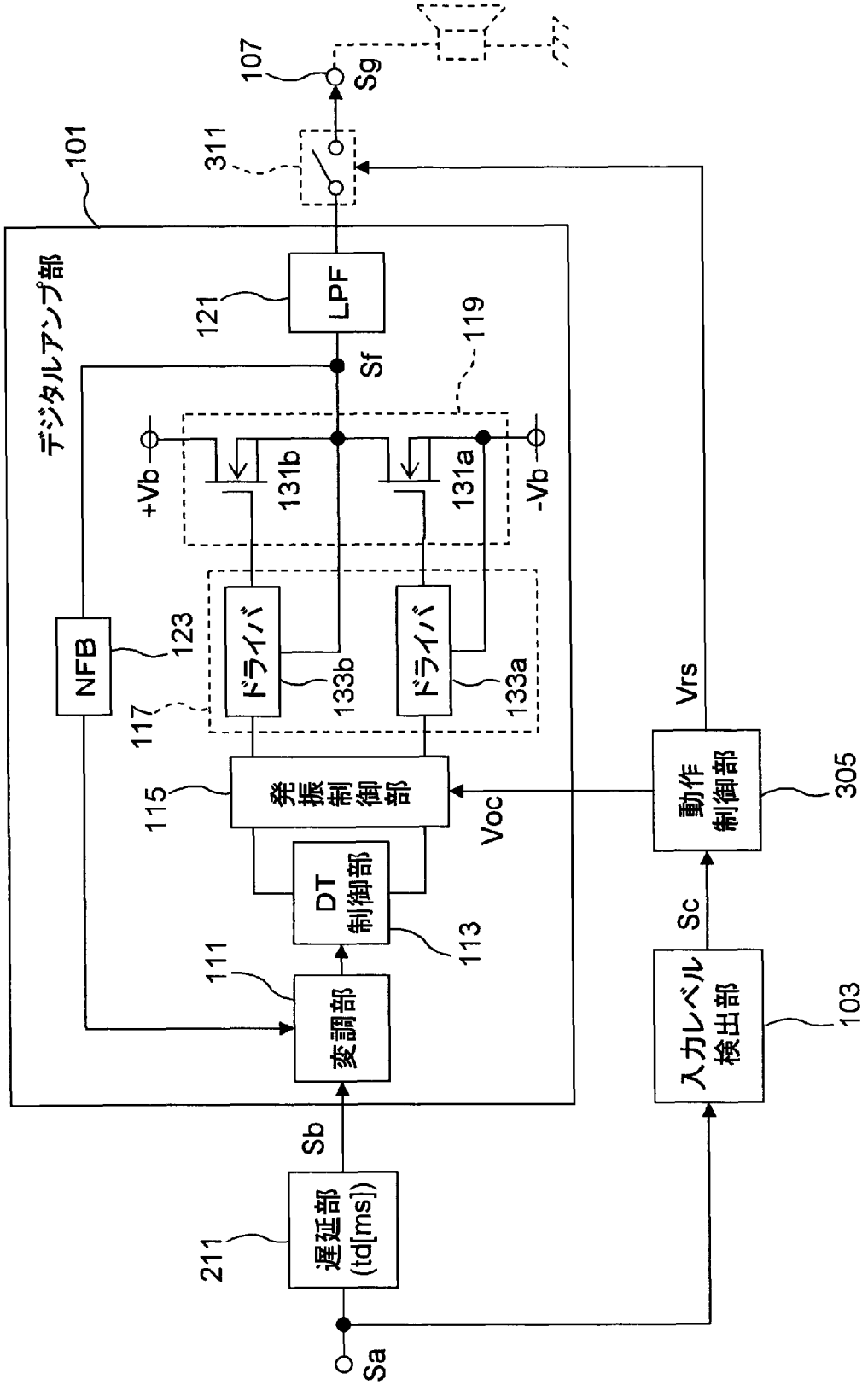
[図5]



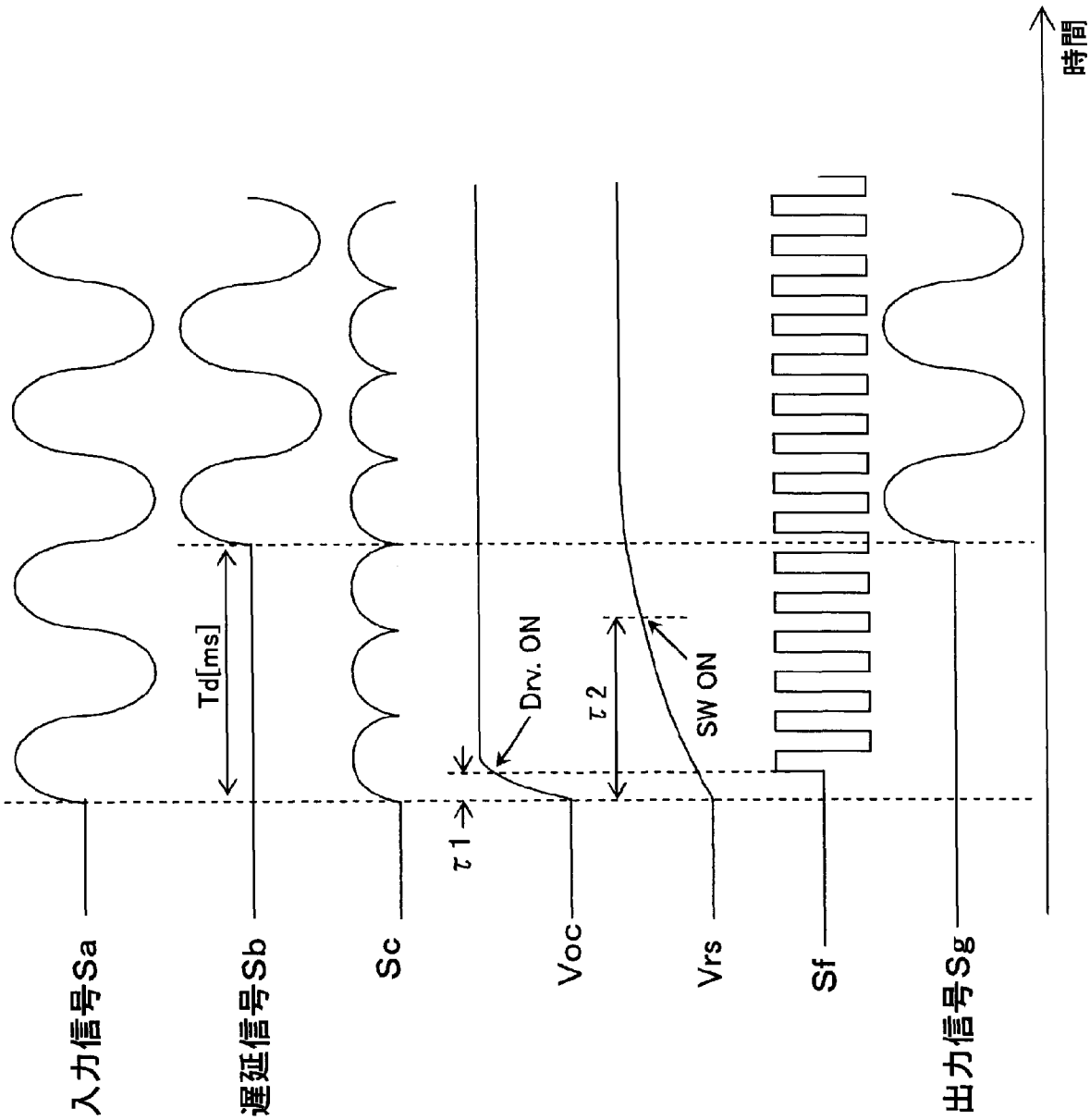
[図6]



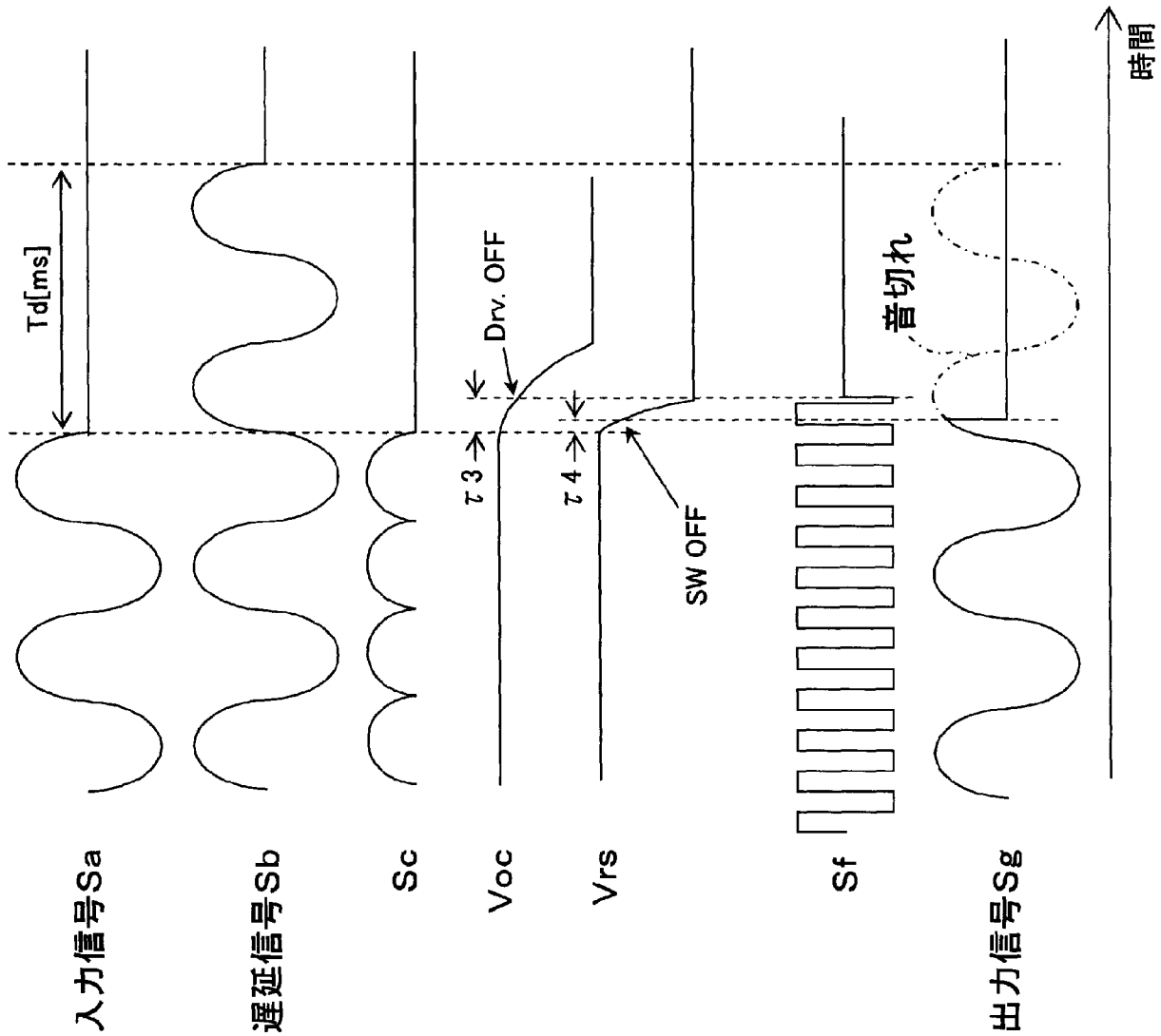
[図7]


107
Sg
311
101
デジタルアンプ部
LPF
121
Sf
119
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
DT制御部
113
111
変調部
Sb
遅延部(td[ms])
211
Sa
Vrs
動作制御部
305
Sc
入力レベル検出部
103

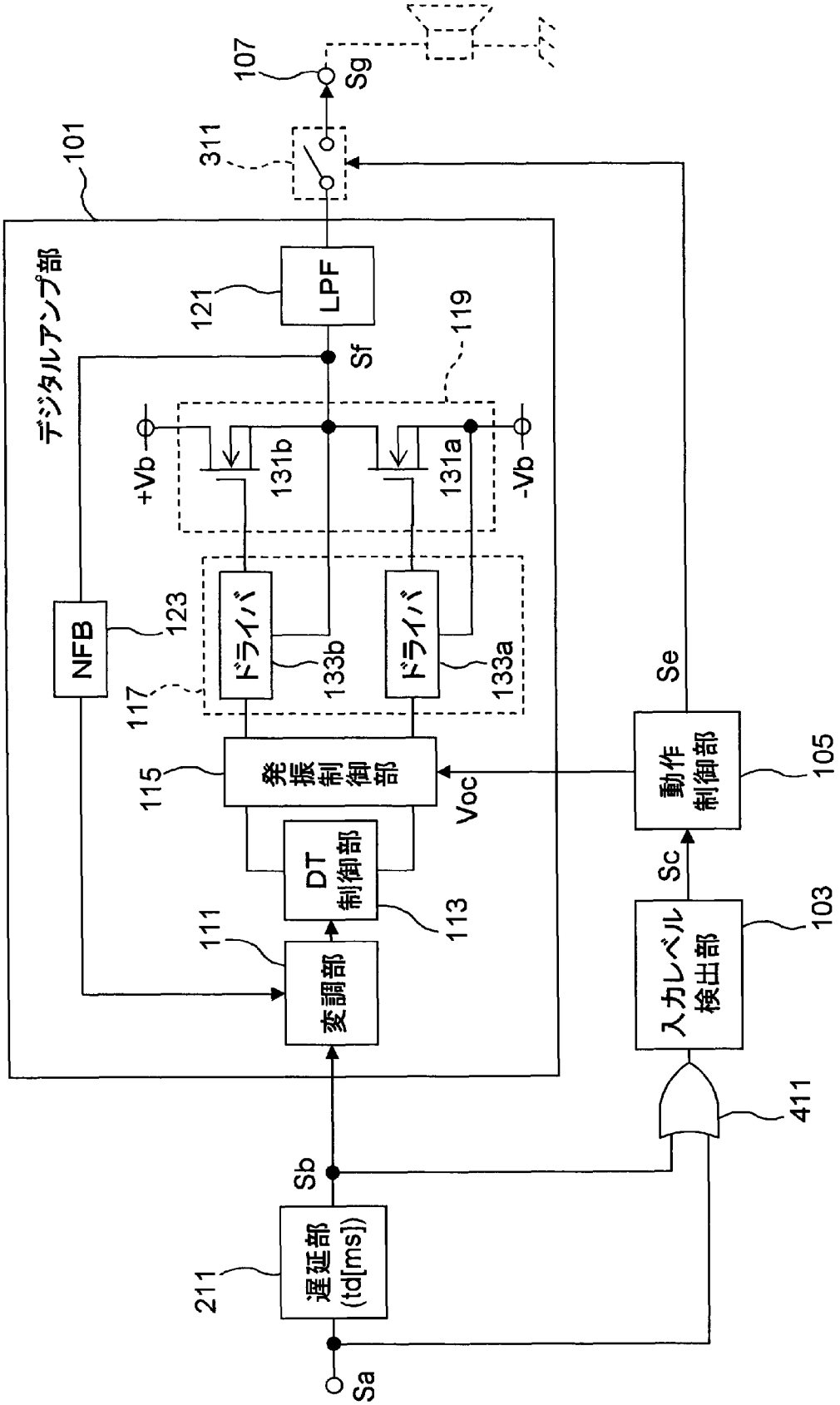
[図8]



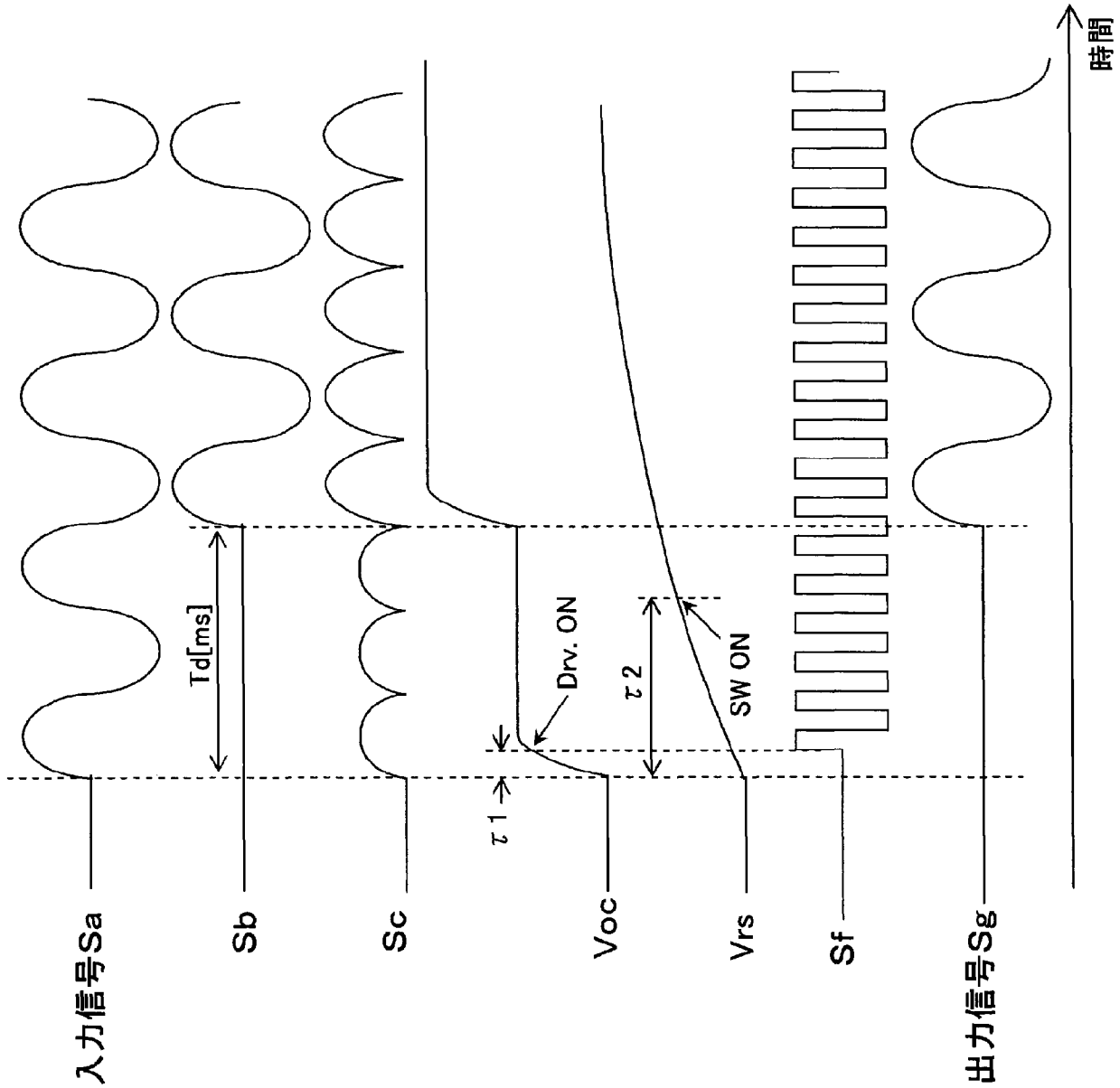
[図9]


Td[ms]
Drv. OFF
τ3
τ4
SW OFF
音切れ
時間
入力信号Sa
遅延信号Sb
Sc
Voc
Vrs
Sf
出力信号Sg

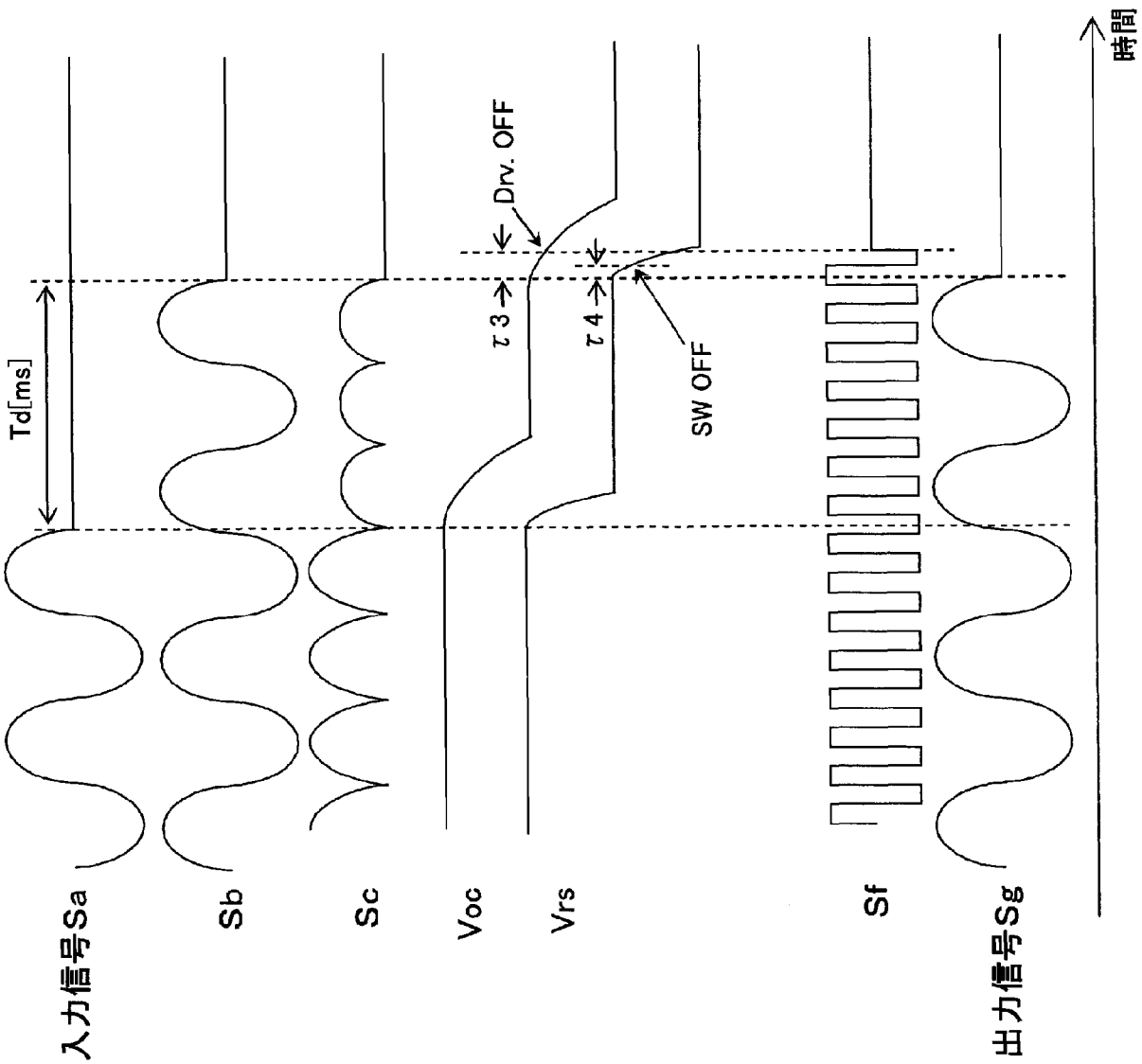
[図10]


107
Sg
311
101
デジタルアンプ部
121
LPF
Sf
119
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
DT制御部
113
111
変調部
Se
動作制御部
105
Sc
入力レベル検出部
103
411
Sb
211
遅延部(td[ms])
Sa

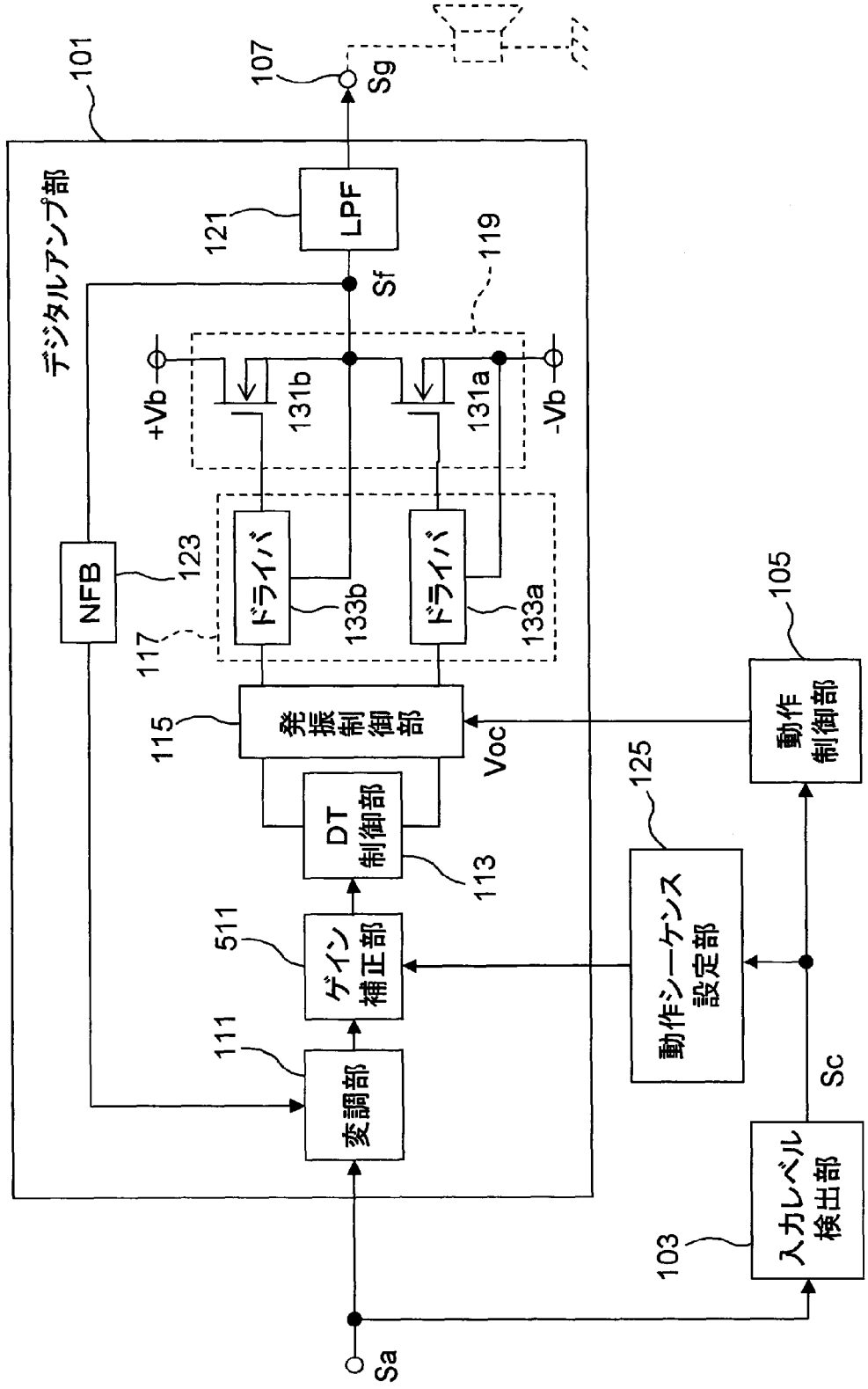
[図11]



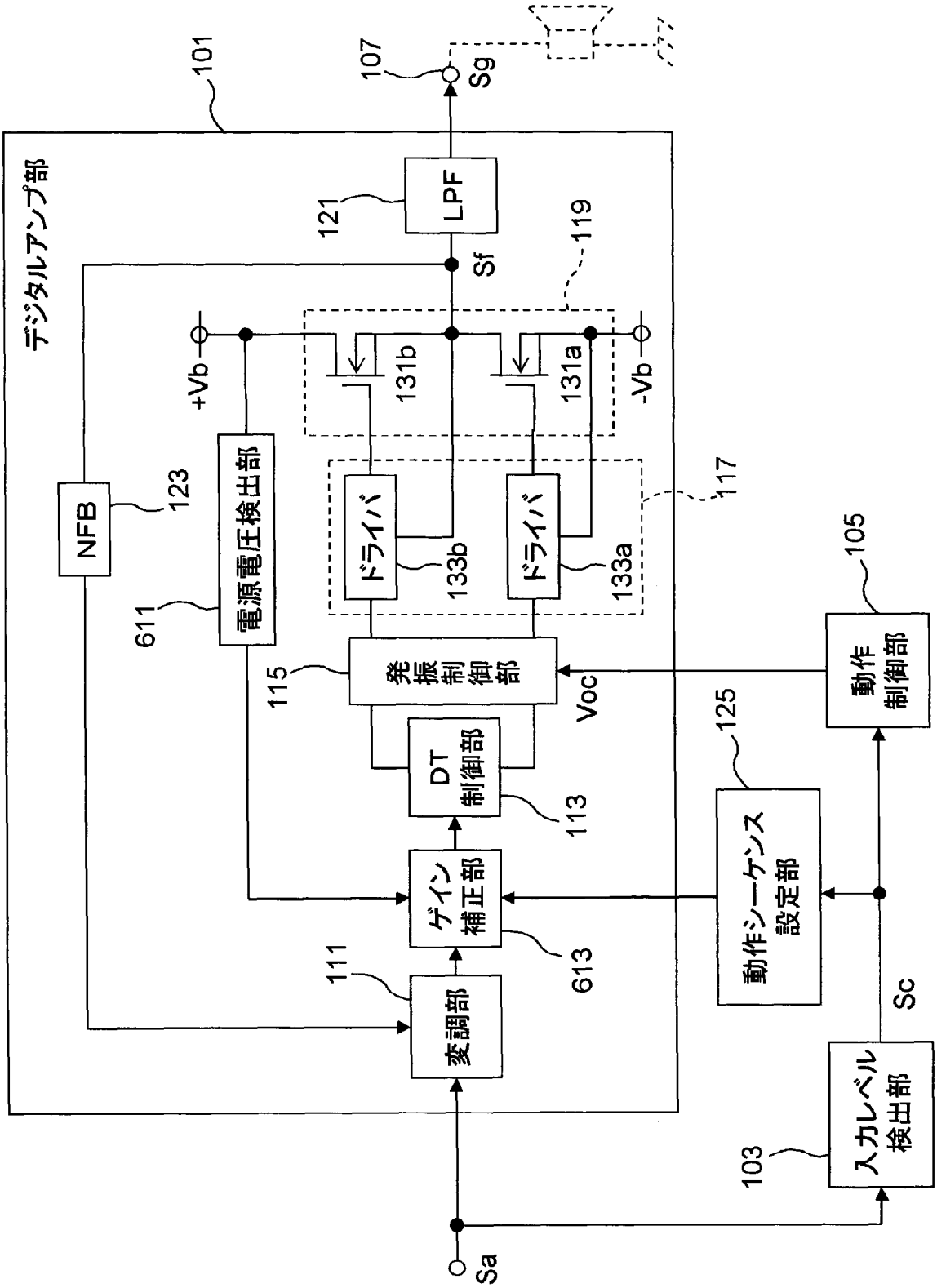
[図12]



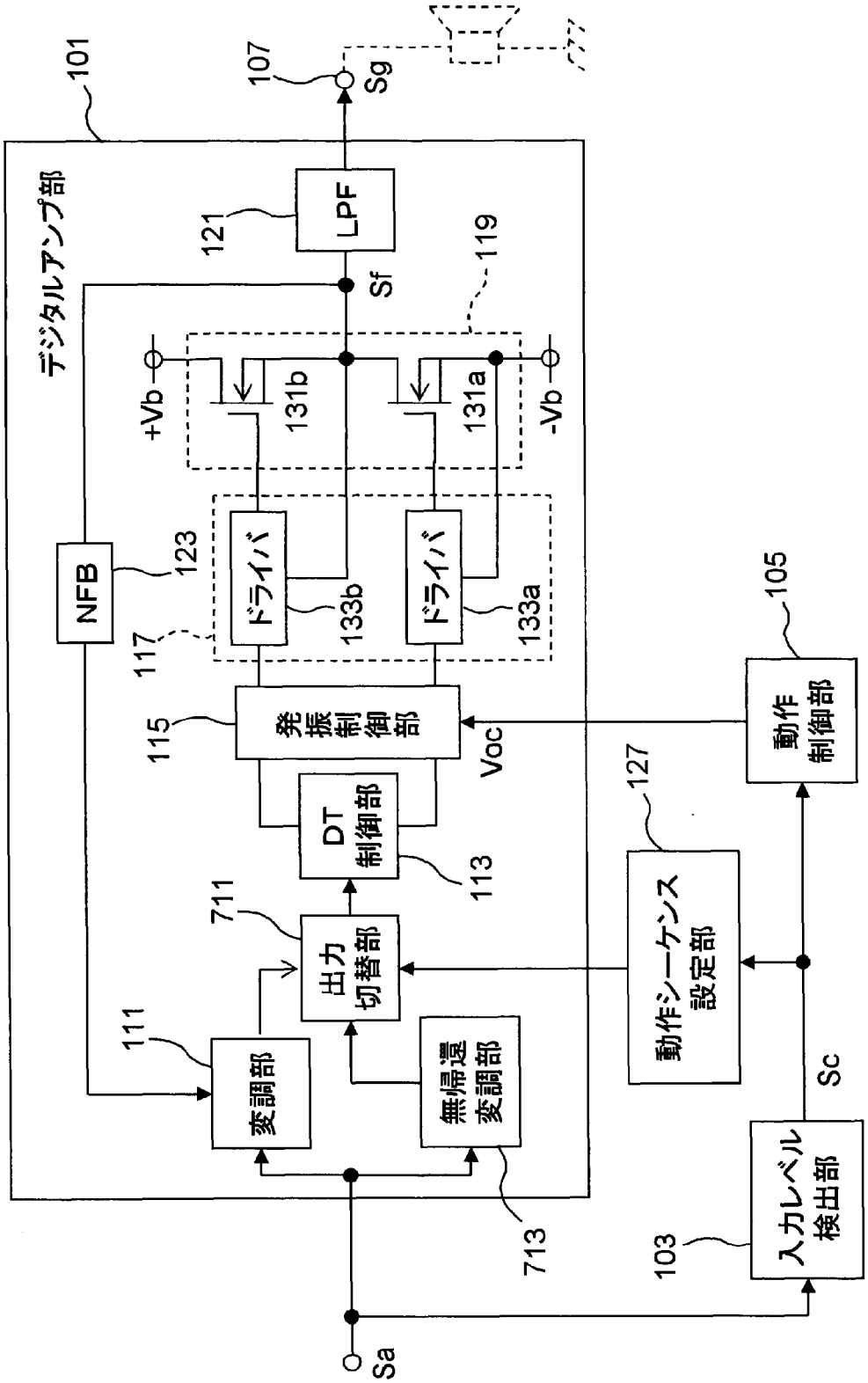
[図13]


101
107
Sg
デジタルアンプ部
LPF
121
Sf
119
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
105
動作制御部
DT制御部
113
125
511
ゲイン補正部
動作シーケンス設定部
111
変調部
Sc
入力レベル検出部
103
Sa

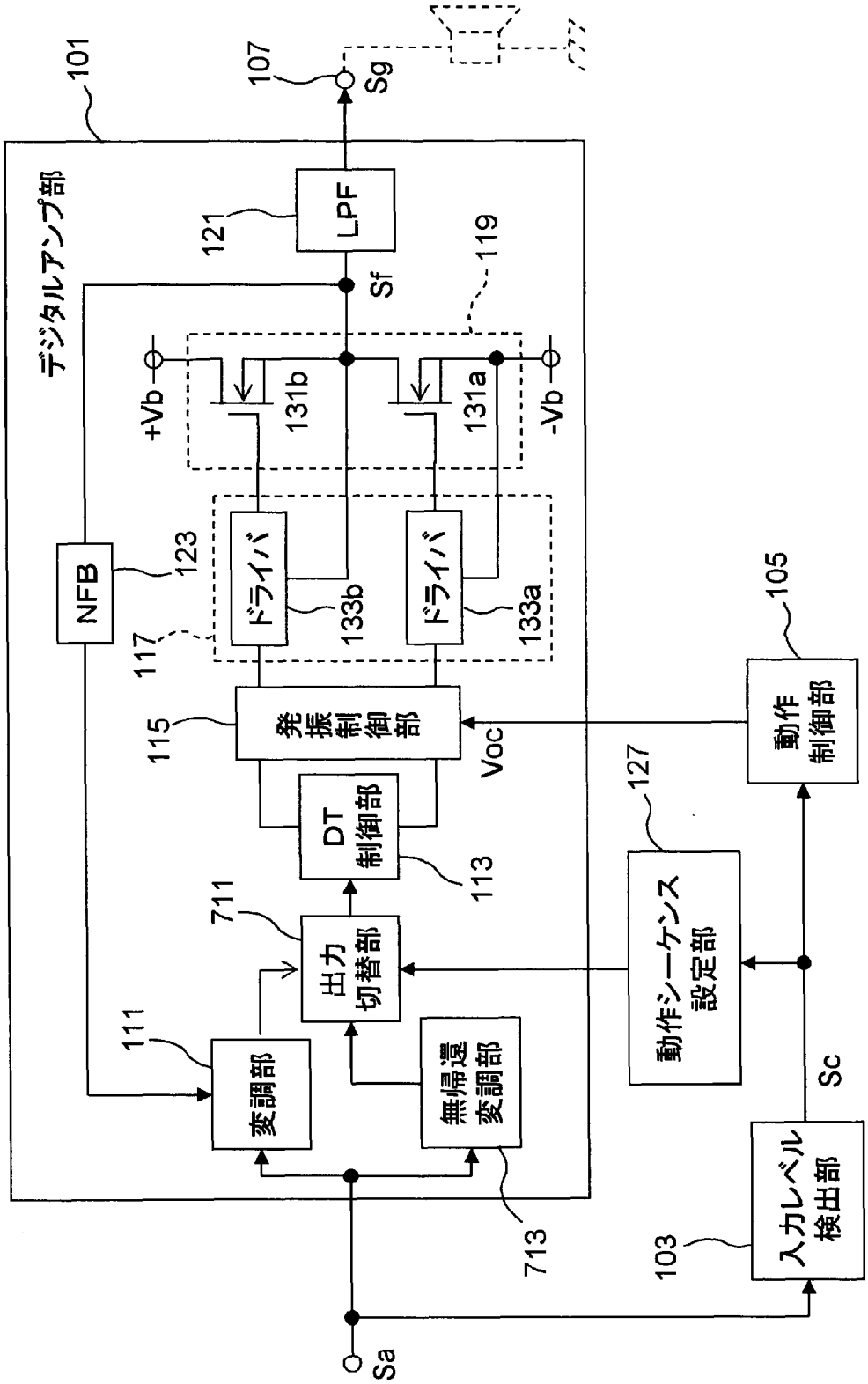
[図14]


101
107
Sg
デジタルアンプ部
121
LPF
Sf
119
+Vb
131b
131a
-Vb
123
NFB
電源電圧検出部
611
117
ドライバ
133b
ドライバ
133a
105
115
発振制御部
Voc
動作制御部
DT制御部
113
125
動作シーケンス設定部
ゲイン補正部
613
111
変調部
Sc
入力レベル検出部
103
Sa

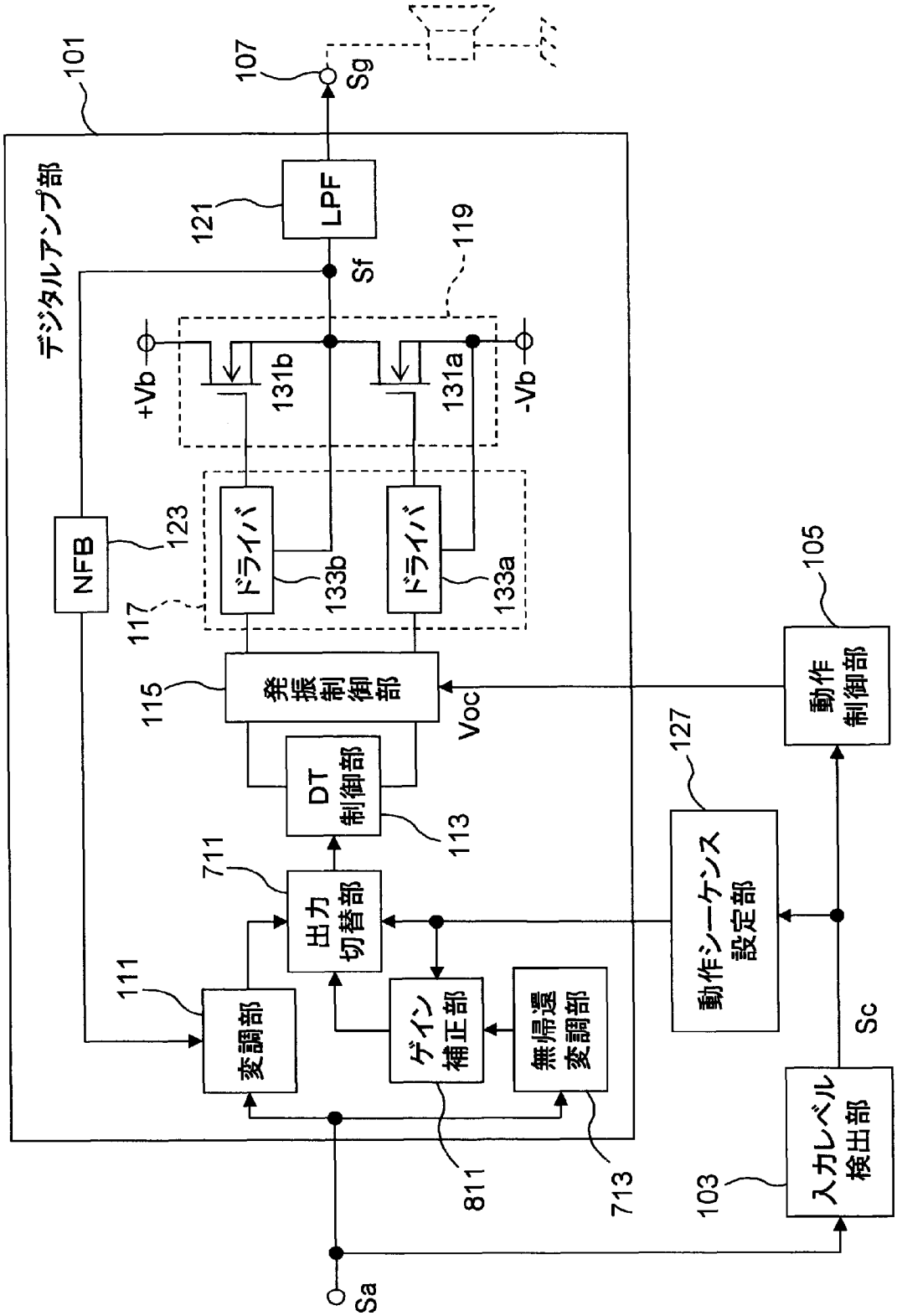
[図15]


101
107
Sg
デジタルアンプ部
121
LPF
Sf
119
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
105
動作制御部
DT制御部
113
127
711
出力切替部
動作シーケンス設定部
111
変調部
無帰還変調部
Sc
713
103
入力レベル検出部
Sa

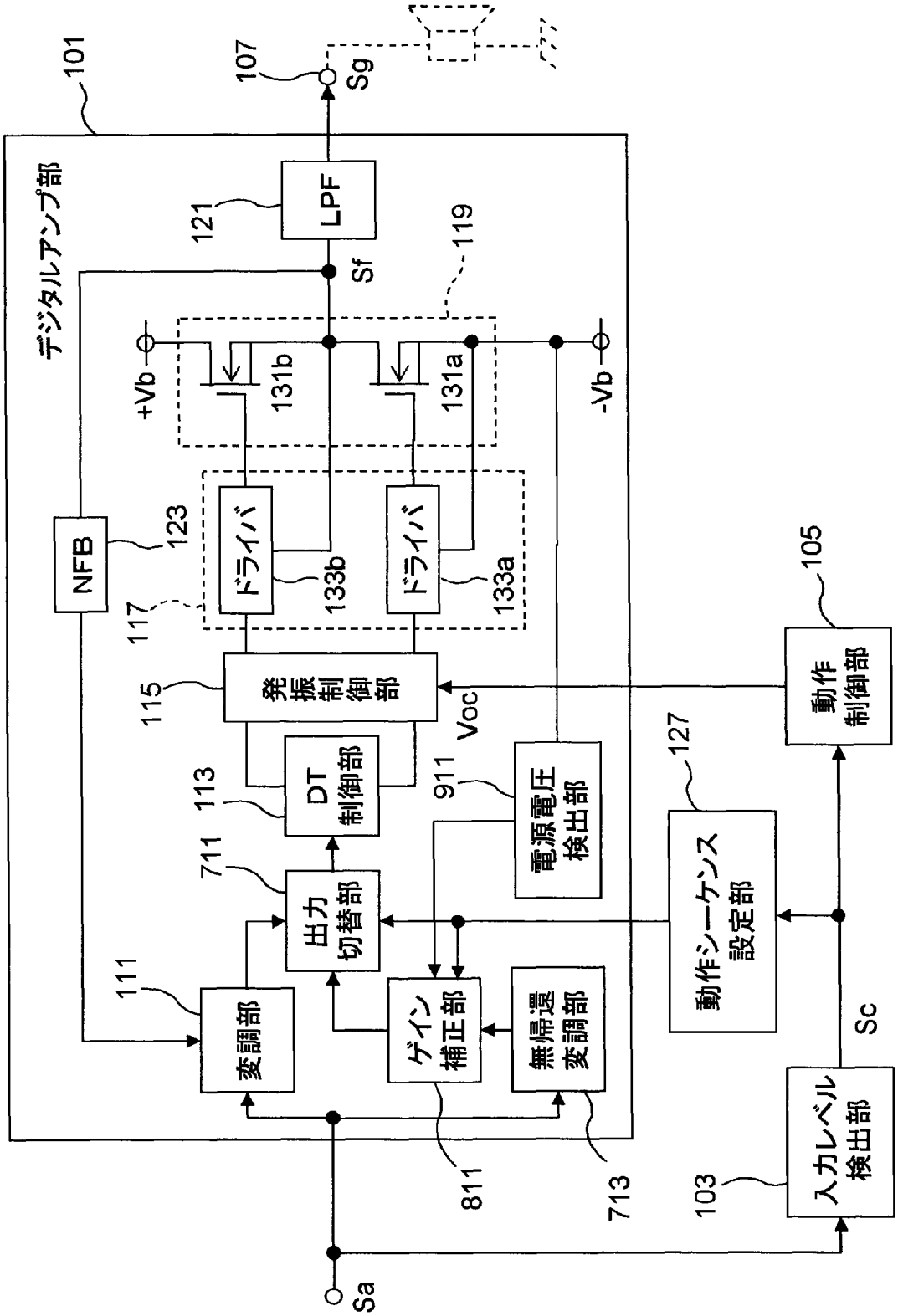
[図16]


101
107
Sg
デジタルアンプ部
LPF
121
Sf
119
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
105
115
発振制御部
Voc
動作制御部
127
DT制御部
113
711
出力切替部
動作シーケンス設定部
111
変調部
無帰還変調部
Sc
713
103
入力レベル検出部
Sa

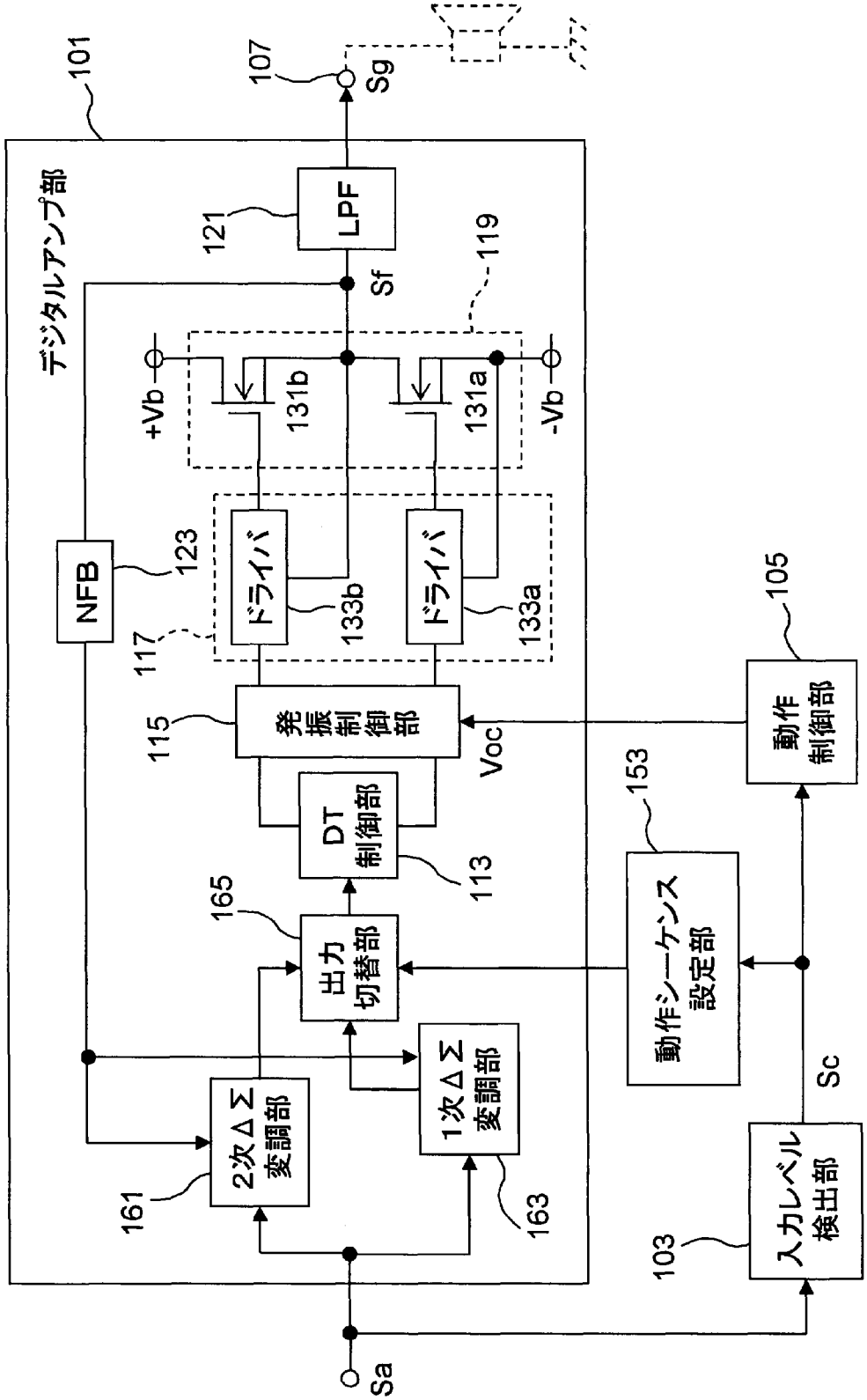
[図17]


101
107
Sg
デジタルアンプ部
121
LPF
Sf
119
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
105
動作制御部
DT制御部
113
127
711
出力切替部
動作シーケンス設定部
111
変調部
ゲイン補正部
無帰還変調部
Sc
811
713
103
入力レベル検出部
Sa

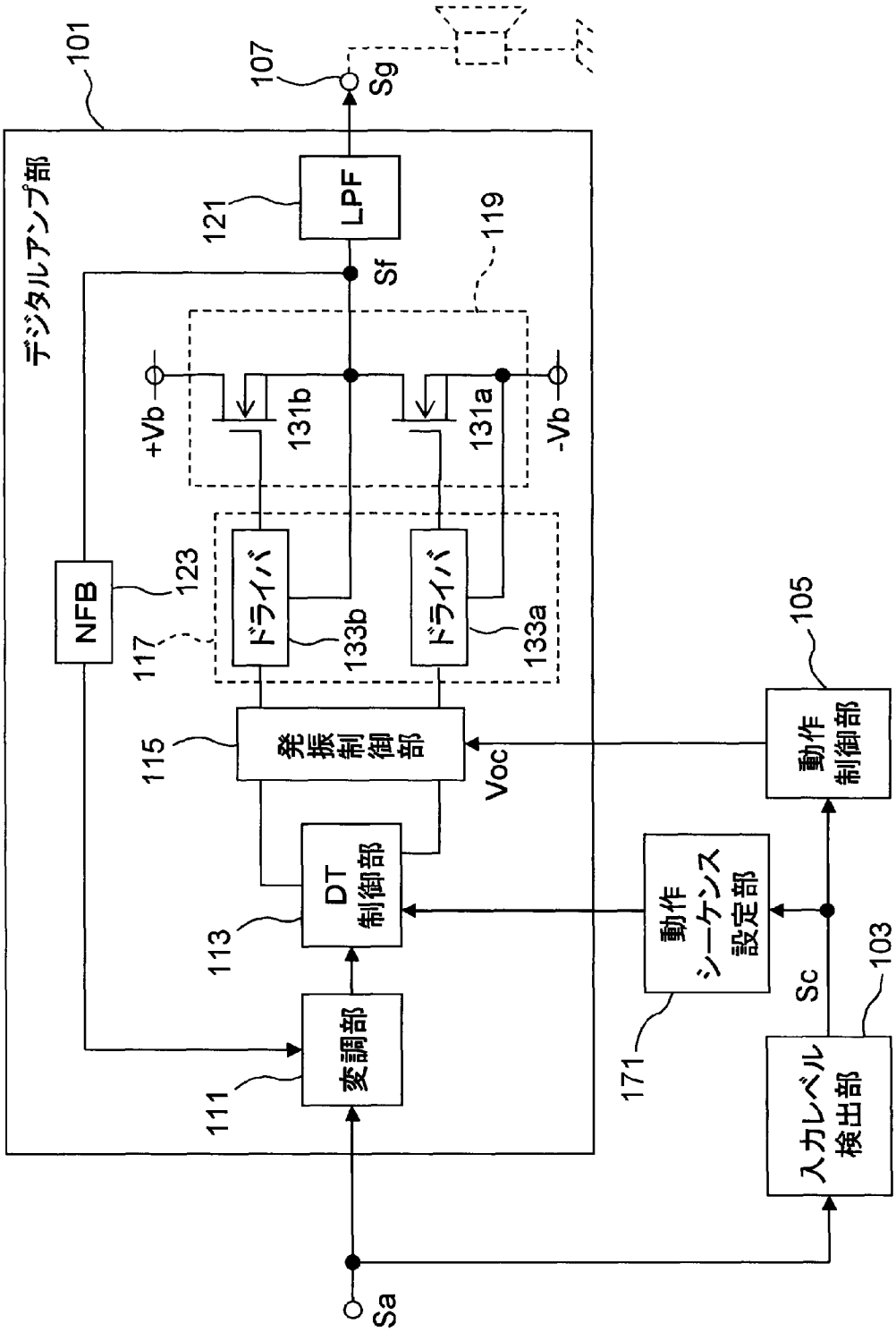
[図18]


101
デジタルアンプ部
107
Sg
121
LPF
Sf
119
+Vb
131b
131a
-Vb
123
NFB
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
105
動作制御部
113
DT制御部
911
電源電圧検出部
127
711
出力切替部
動作シーケンス設定部
111
変調部
ゲイン補正部
無帰還変調部
Sc
811
713
103
入力レベル検出部
Sa

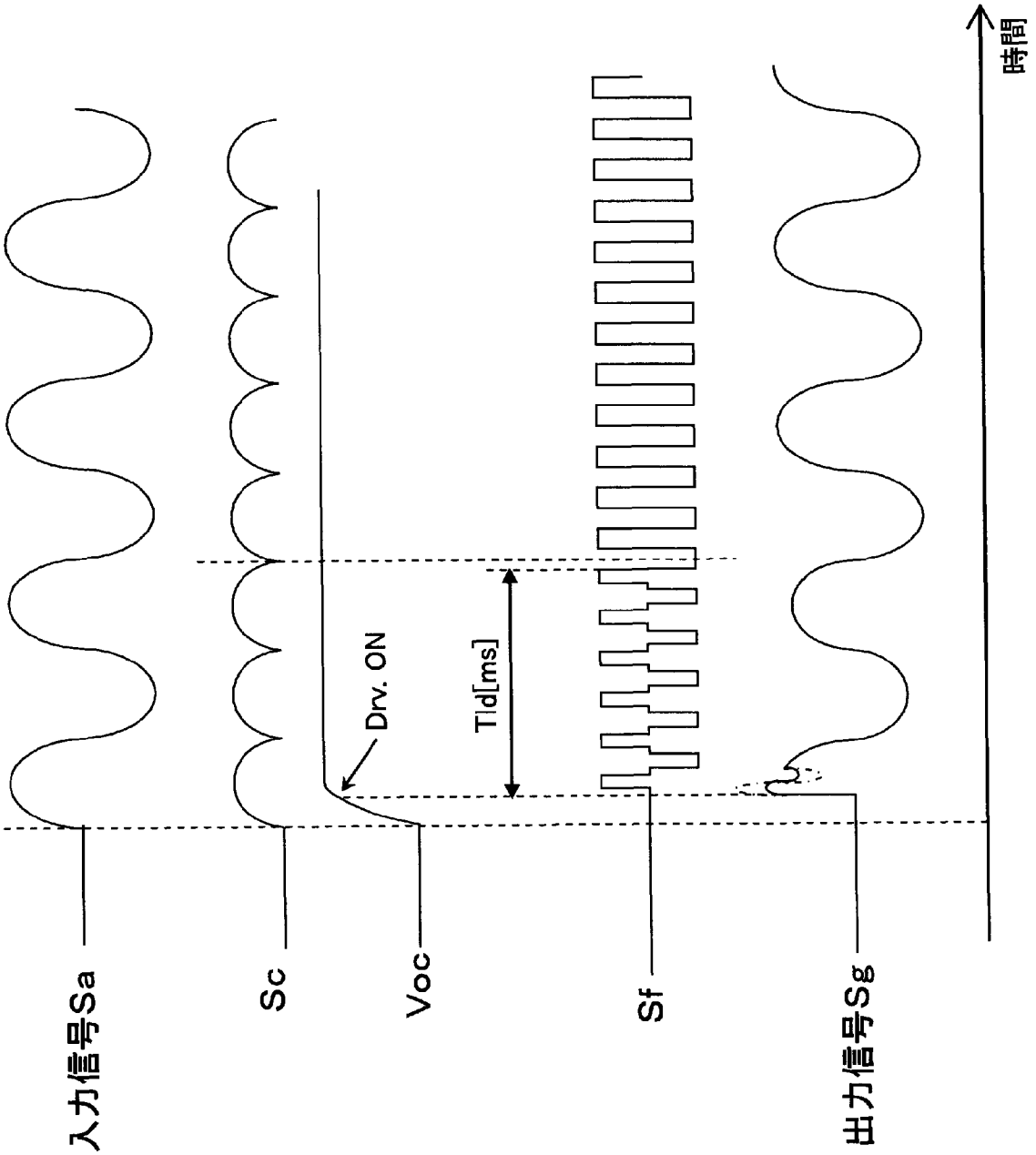
[図19]


101
107
Sg
デジタルアンプ部
121
LPF
Sf
119
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
105
動作制御部
DT制御部
113
153
165
出力切替部
動作シーケンス設定部
2次ΔΣ変調部
1次ΔΣ変調部
Sc
161
163
103
入力レベル検出部
Sa

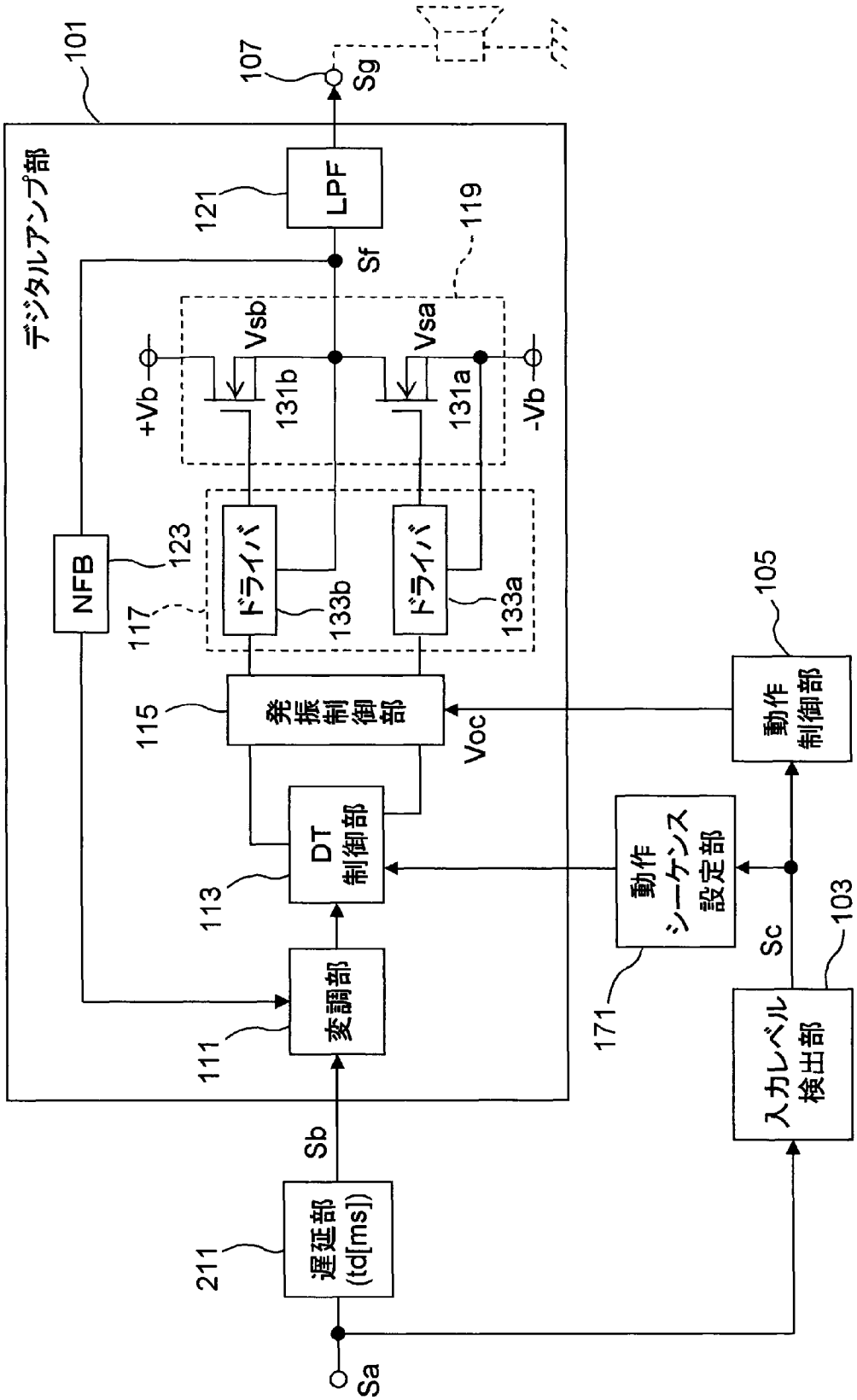
[図20]


101
デジタルアンプ部
107
Sg
121
LPF
Sf
119
+Vb
131b
131a
-Vb
123
NFB
117
ドライバ
133b
ドライバ
133a
115
発振制御部
Voc
105
動作制御部
113
DT制御部
動作シーケンス設定部
Sc
103
111
変調部
171
入力レベル検出部
Sa

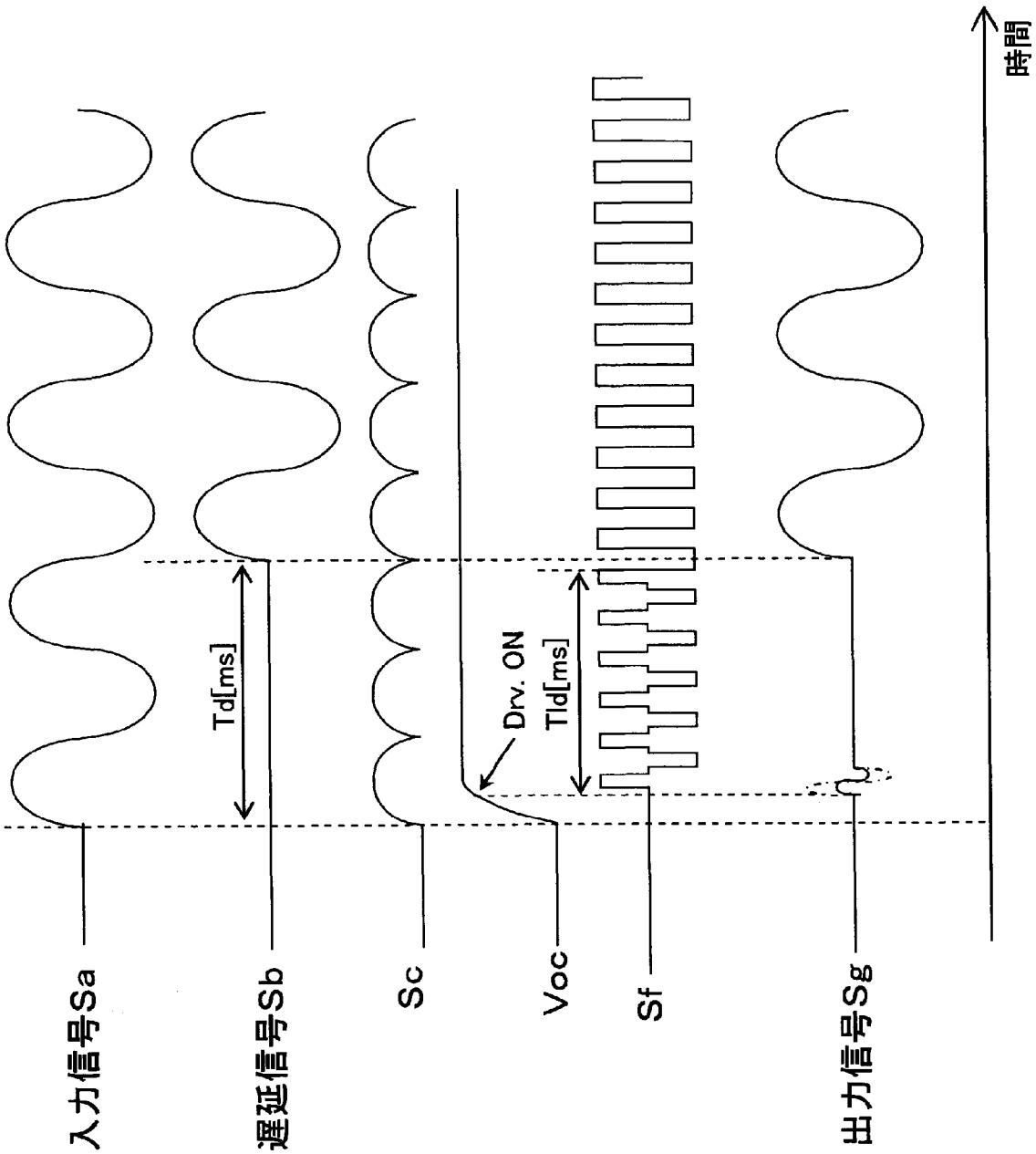
[図21]



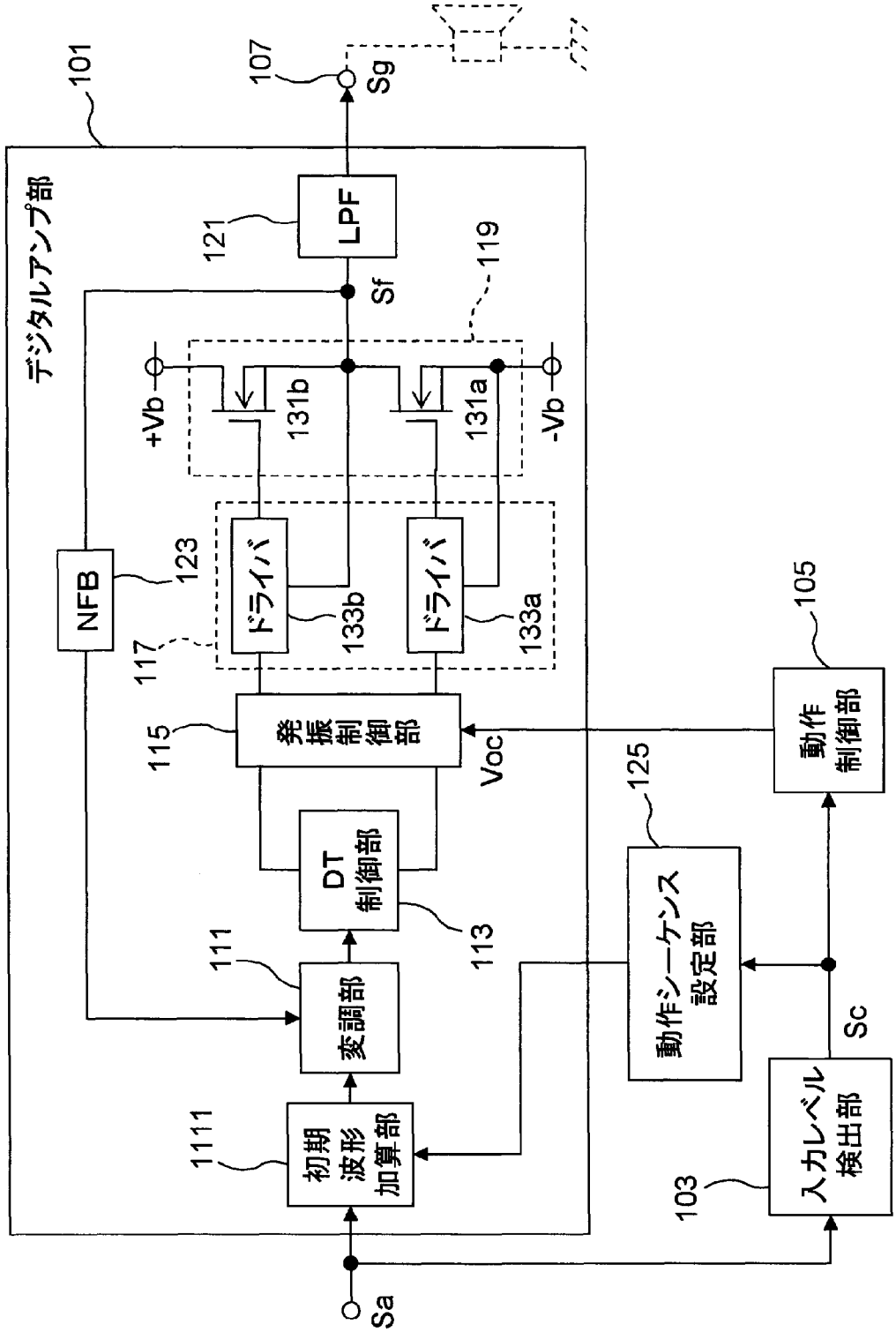
[図22]


101
デジタルアンプ部
107
Sg
121
LPF
Sf
119
Vsb
Vsa
+Vb
131b
131a
-Vb
NFB
123
117
ドライバ
133b
ドライバ
133a
115
発振制御部
Voc
105
動作制御部
DT制御部
113
動作シーケンス設定部
Sc
103
変調部
111
171
入力レベル検出部
Sb
211
遅延部(td[ms])
Sa

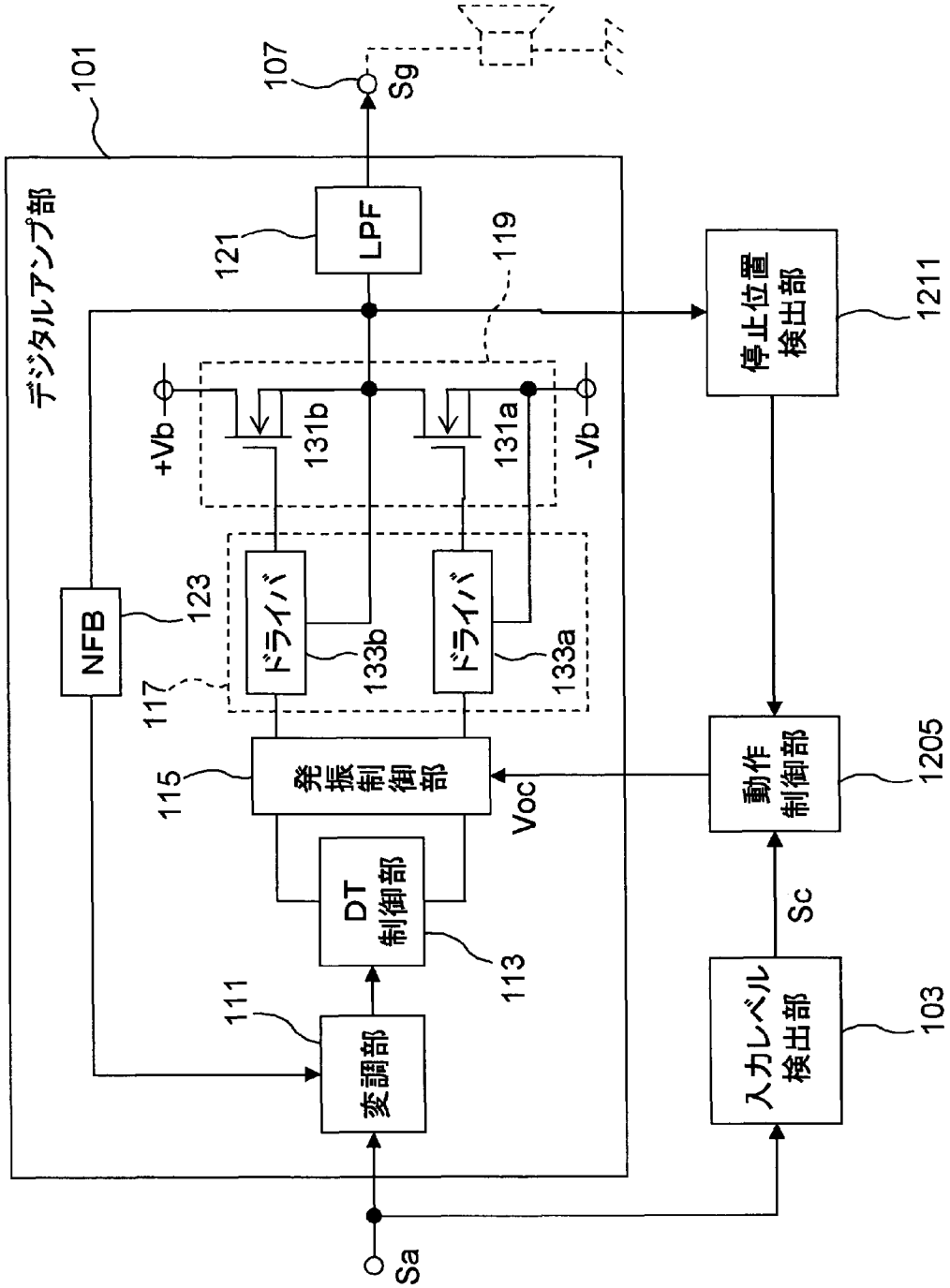
[図23]



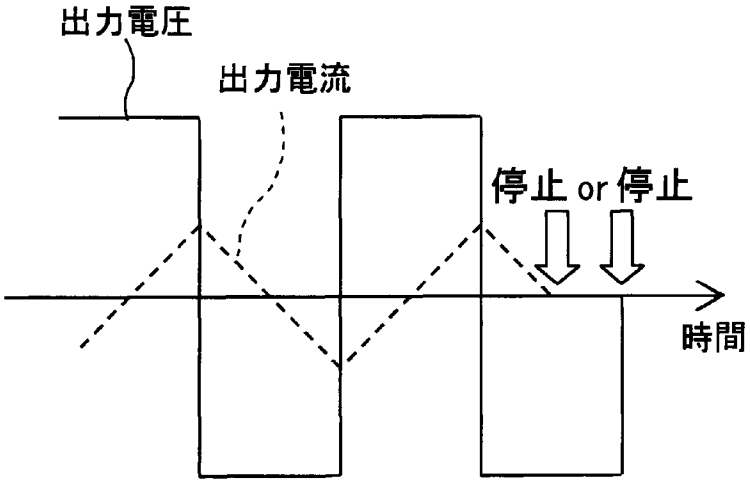
[図24]


101
107
Sg
デジタルアンプ部
121
LPF
Sf
119
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
105
動作制御部
125
DT制御部
113
111
変調部
動作シーケンス設定部
Sc
1111
初期波形加算部
103
入力レベル検出部
Sa

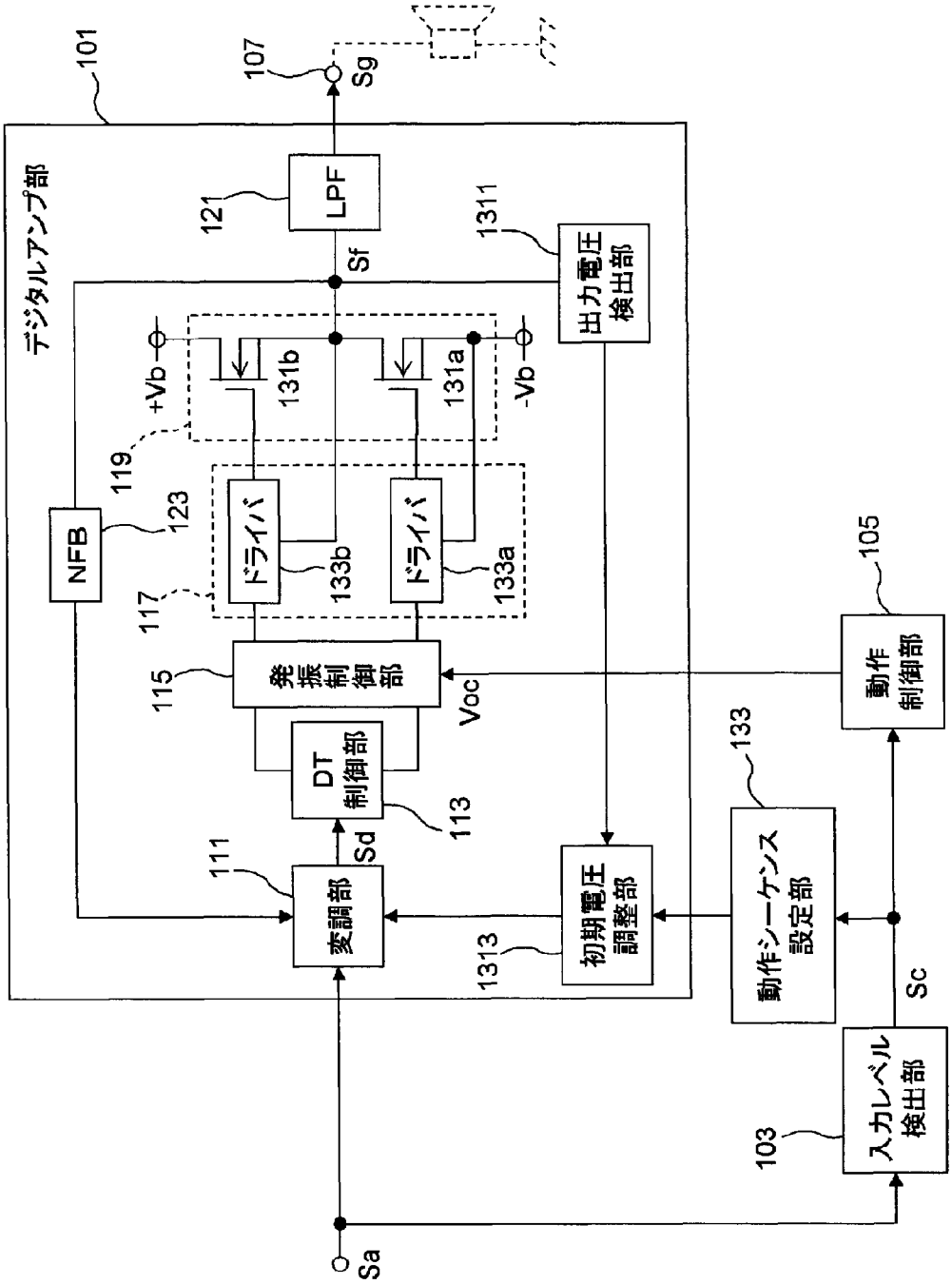
[図25]


101
107
Sg
デジタルアンプ部
LPF
121
119
停止位置検出部
1211
+Vb
131b
131a
-Vb
NFB
123
ドライバ
133b
ドライバ
133a
117
115
発振制御部
Voc
動作制御部
1205
DT制御部
113
Sc
111
変調部
入力レベル検出部
103
Sa

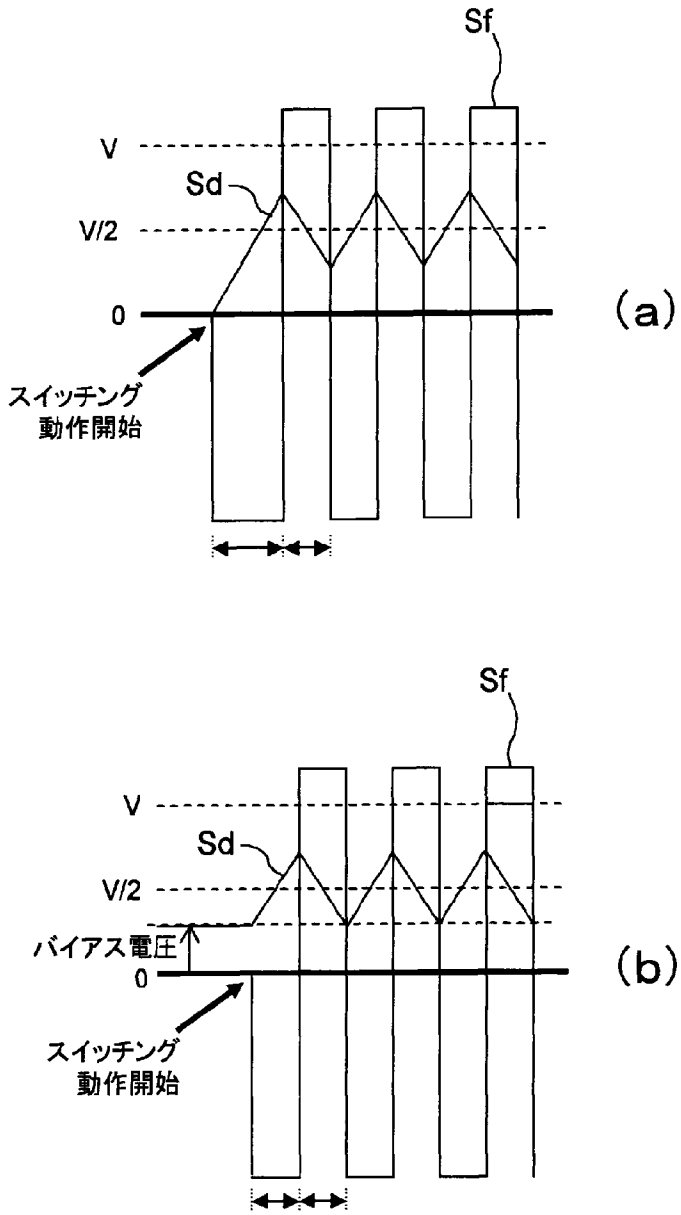
[図26]



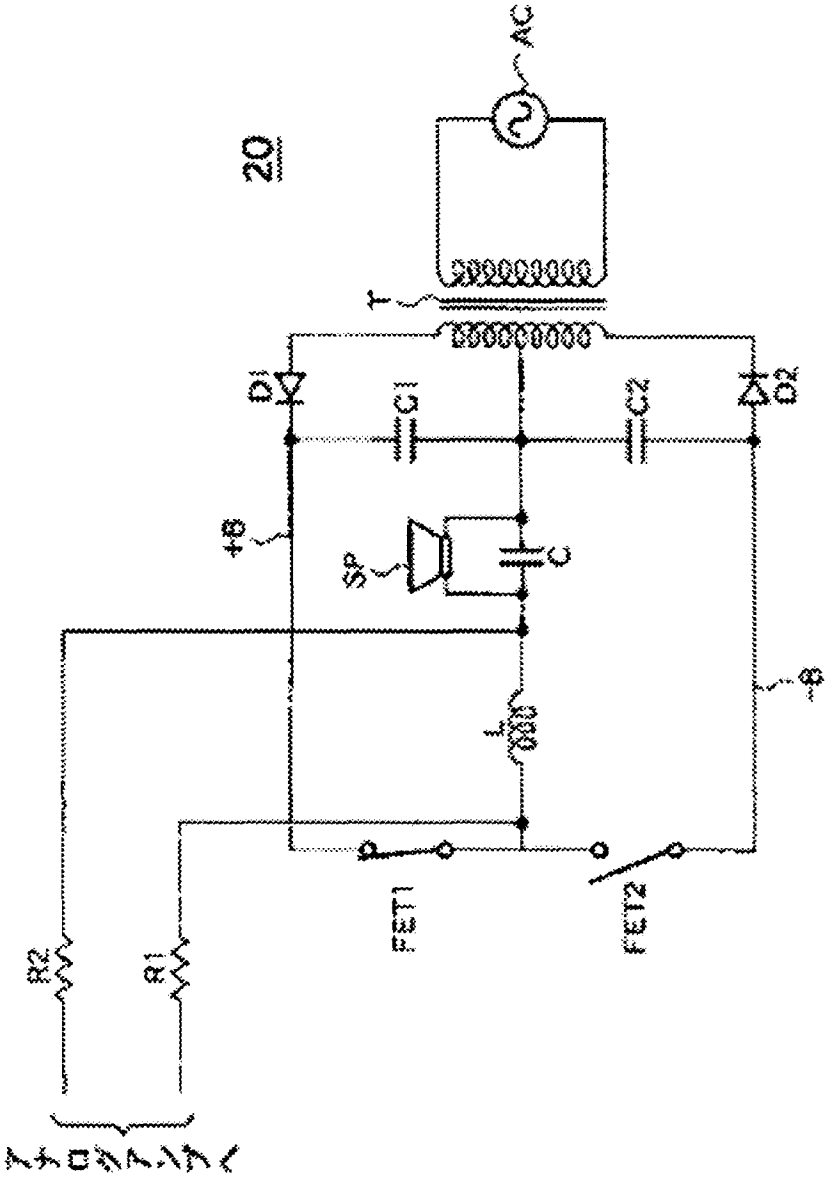
[図27]


101
デジタルアンプ部
107
Sg
121
LPF
Sf
1311
出力電圧検出部
+Vb
-Vb
131b
131a
119
123
NFB
ドライバ
ドライバ
133b
133a
117
115
発振制御部
Voc
105
動作制御部
DT制御部
113
133
111
Sd
変調部
初期電圧調整部
1313
動作シーケンス設定部
Sc
入力レベル検出部
103
Sa

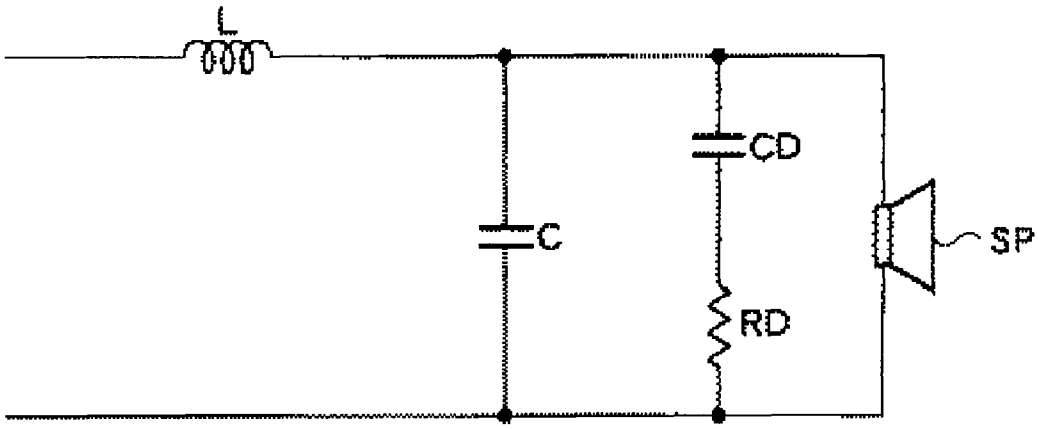
[図28]



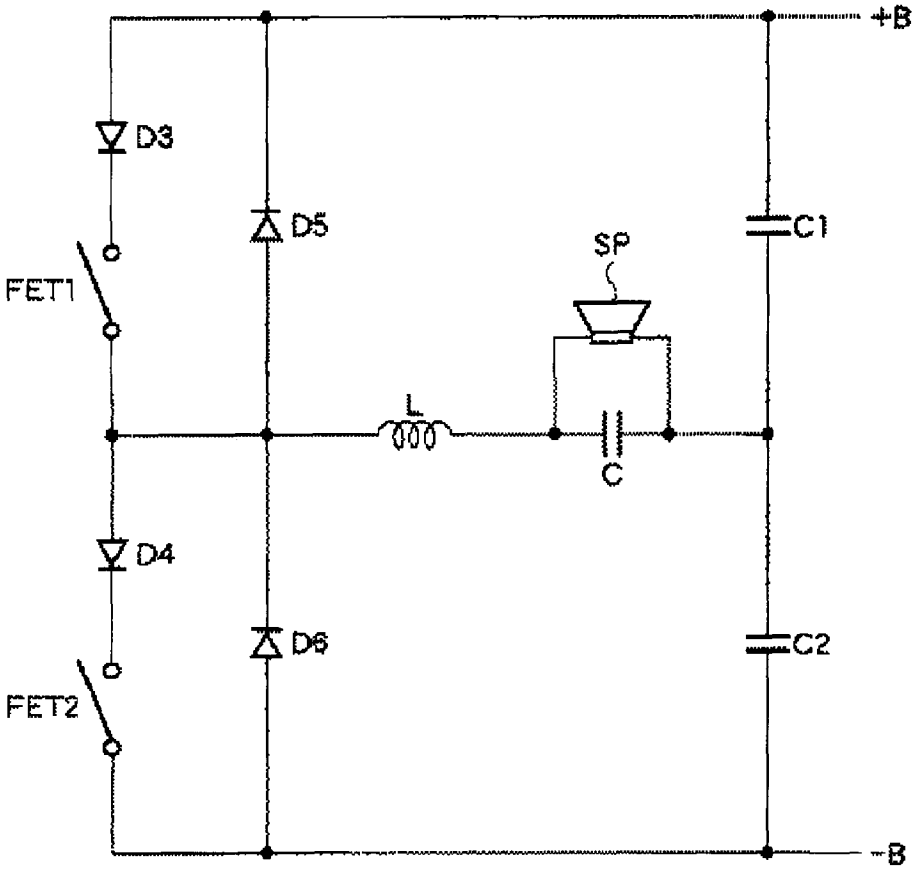
[図29]



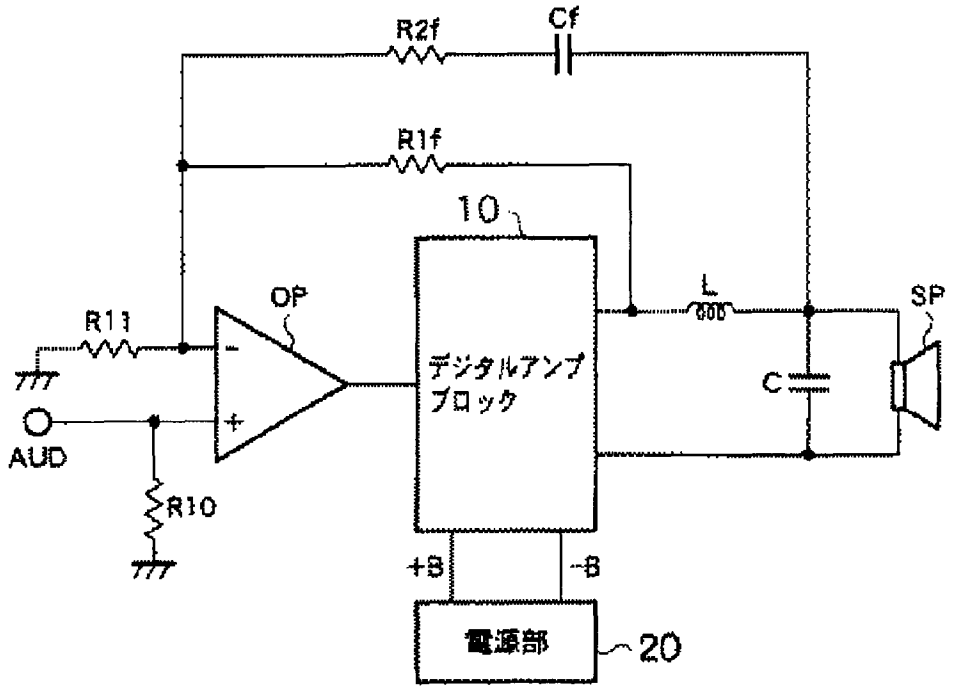
[図30]



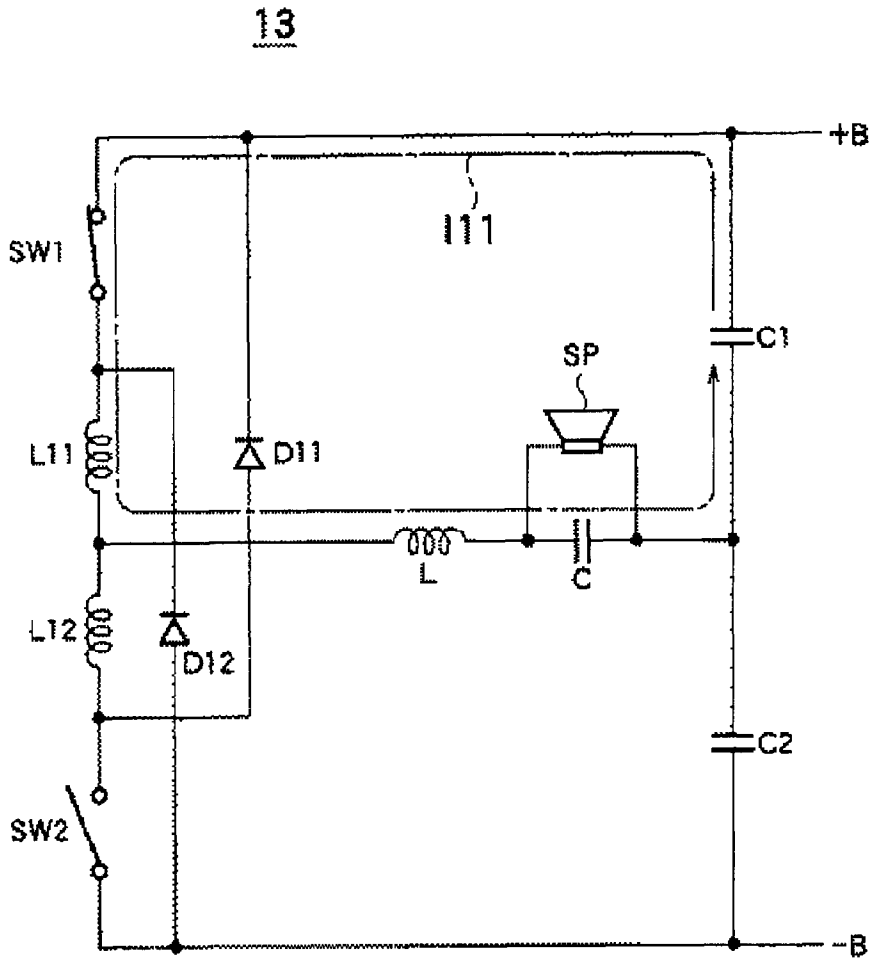
[図31]



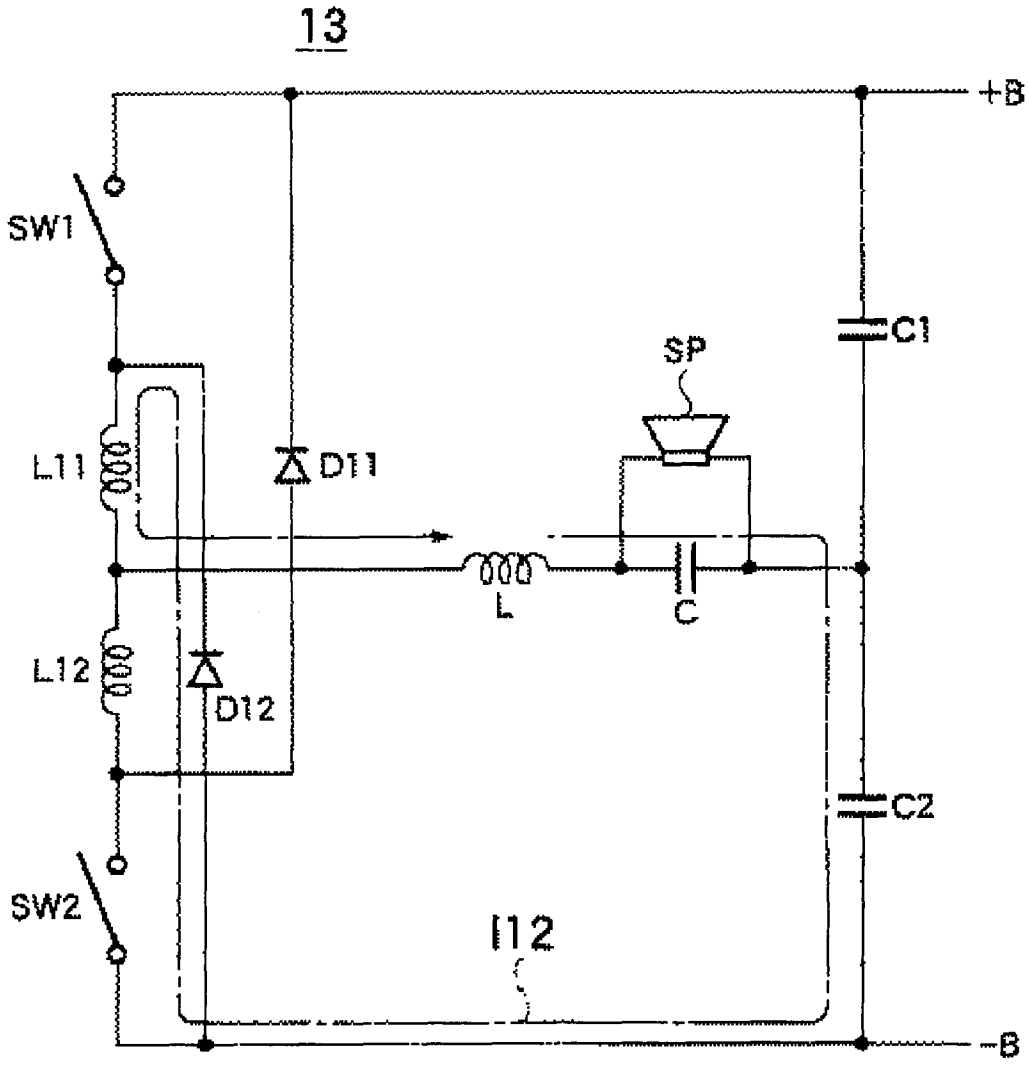
[図32]


R2f
Cf
R1f
10
OP
R11
AUD
R10
デジタルアンプ
ブロック
L
C
SP
+B
-B
電源部
20

[図33]


13
+B
111
SW1
C1
SP
L11
D11
L
C
L12
D12
C2
SW2
-B

[図34]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/000670

A. CLASSIFICATION OF SUBJECT MATTER
H03F3/217(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F3/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-72707 A (Sony Corp.), 04 March 2004 (04.03.2004), paragraphs [0131] to [0139]; fig. 7 (Family: none)	1 2-16
Y	JP 9-148851 A (Matsushita Electric Industrial Co., Ltd.), 06 June 1997 (06.06.1997), entire text; fig. 1 (Family: none)	2,7,8
Y	JP 2005-348288 A (Alpine Electronics, Inc.), 15 December 2005 (15.12.2005), entire text; fig. 3 (Family: none)	3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 April, 2011 (20.04.11)	10 May, 2011 (10.05.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/000670

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-135717 A (Sharp Corp.), 18 June 2009 (18.06.2009), entire text; fig. 1, 4 (Family: none)	4,5
Y	JP 2007-88926 A (Victor Company of Japan, Ltd.), 05 April 2007 (05.04.2007), entire text; fig. 1, 2 (Family: none)	6
Y	JP 2009-33430 A (Denso Corp.), 12 February 2009 (12.02.2009), entire text; fig. 1, 2 (Family: none)	9,12
Y	JP 2005-341327 A (Victor Company of Japan, Ltd.), 08 December 2005 (08.12.2005), entire text; fig. 1 (Family: none)	10
Y	JP 2004-266398 A (Mitsubishi Electric Corp.), 24 September 2004 (24.09.2004), entire text; fig. 1 & US 2004/0066229 A1 & US 2005/0225384 A1 & US 2005/0231281 A1 & DE 10347293 A & CN 1497839 A	11
Y	JP 2009-89301 A (Panasonic Corp.), 23 April 2009 (23.04.2009), entire text; fig. 1 (Family: none)	13
Y	WO 2005/104349 A1 (Rohm Co., Ltd.), 03 November 2005 (03.11.2005), entire text; fig. 1 & US 2007/0279101 A1 & KR 10-2007-0006846 A & CN 1934783 A	14-16

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０００６７０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03F3/217(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03F3/217

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2004-72707 A (ソニー株式会社) 2004.03.04, 【０１３１】－【０１３９】, 図７ (ファミリーなし)	1 2－16
Y	JP 9-148851 A (松下電器産業株式会社) 1997.06.06, 全文, 図１ (ファミリーなし)	2，7，8
Y	JP 2005-348288 A (アルパイン株式会社) 2005.12.15, 全文, 図３ (ファミリーなし)	3

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２０．０４．２０１１	国際調査報告の発送日 １０．０５．２０１１
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｔ　４７７６ 高橋　義昭 電話番号　０３－３５８１－１１０１　内線　３５６８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 2009-135717 A（シャープ株式会社）2009.06.18，全文，図１，４（ファミリーなし）	４，５
Ｙ	JP 2007-88926 A（日本ビクター株式会社）2007.04.05，全文，図１，２（ファミリーなし）	６
Ｙ	JP 2009-33430 A（株式会社デンソー）2009.02.12，全文，図１，２（ファミリーなし）	９，１２
Ｙ	JP 2005-341327 A（日本ビクター株式会社）2005.12.08，全文，図１（ファミリーなし）	１０
Ｙ	JP 2004-266398 A（三菱電機株式会社）2004.09.24，全文，図１ & US 2004/0066229 A1 & US 2005/0225384 A1 & US 2005/0231281 A1 & DE 10347293 A & CN 1497839 A	１１
Ｙ	JP 2009-89301 A（パナソニック株式会社）2009.04.23，全文，図１（ファミリーなし）	１３
Ｙ	WO 2005/104349 A1（ローム株式会社）2005.11.03，全文，図１ & US 2007/0279101 A1 & KR 10-2007-0006846 A & CN 1934783 A	１４－１６